



(21)申請案號：100141614

(22)申請日：中華民國 100 (2011) 年 11 月 15 日

(51)Int. Cl. : *H01L29/78 (2006.01)**H01L21/28 (2006.01)**H01L21/336 (2006.01)*(71)申請人：茂達電子股份有限公司 (中華民國) ANPEC ELECTRONICS CORPORATION
(TW)

新竹市新竹科學工業園區篤行一路 6 號

(72)發明人：林永發 LIN, YUNG FA (TW)；徐守一 HSU, SHOU YI (TW)；吳孟韋 WU, MENG WEI (TW)；陳面國 CHEN, MAIN GWO (TW)；張家豪 CHANG, CHIA HAO (TW)；陳家偉 CHEN, CHIA WEI (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 2005/0059214A1

US 2008/0311715A1

US 2009/0020810A1

US 2009/0140327A1

US 2011/0053326A1

審查人員：張靖輝

申請專利範圍項數：12 項 圖式數：9 共 27 頁

(54)名稱

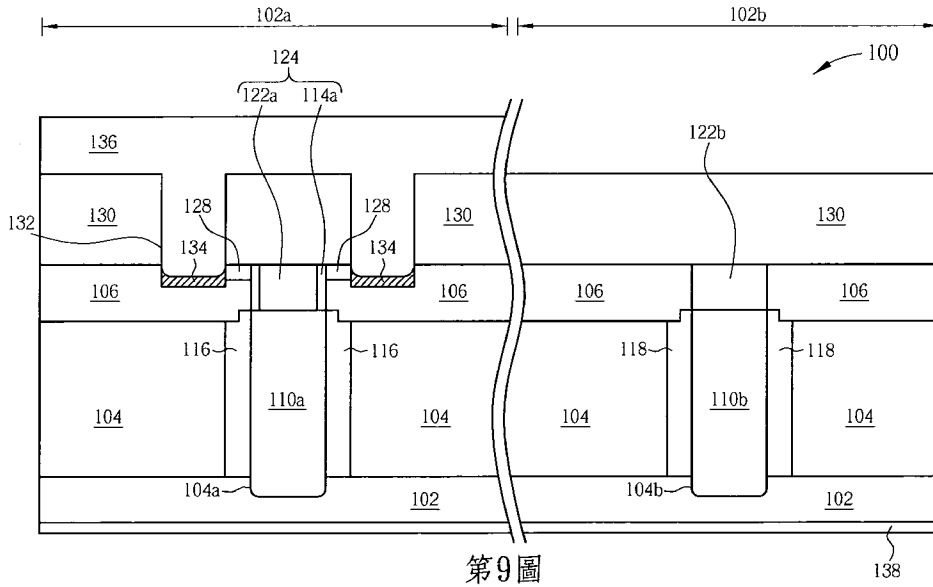
溝渠型功率電晶體元件及其製作方法

TRENCH TYPE POWER TRANSISTOR DEVICE AND FABRICATING METHOD THEREOF

(57)摘要

一種溝渠型功率電晶體元件包括一基底、一磊晶層、一擴散摻雜區、一源極摻雜區以及一閘極結構。基底、擴散摻雜區與源極摻雜區具有一第一導電類型，且基底具有一主動區以及一終端區。磊晶層設於基底上，且具有一第二導電類型，其中磊晶層具有位於主動區之一穿孔。擴散摻雜區設於穿孔一側之磊晶層中，且與基底相接觸。源極摻雜區設於擴散摻雜區之正上方之磊晶層中，且閘極結構設於擴散摻雜區與源極摻雜區之間的穿孔中。

The present invention provides a trench type power transistor device including a substrate, an epitaxial layer, a doped diffusion region, a doped source region, and a gate structure. The substrate, the doped diffusion region, and the doped source region have a first conductive type, and the substrate has an active region and a termination region. The epitaxial layer is disposed on the substrate, and has a second conductive type. The epitaxial layer has a through hole disposed in the active region. The doped diffusion region is disposed in the epitaxial layer at a side of the through hole, and is in contact with the substrate. The doped source region is disposed in the epitaxial layer disposed right on the doped diffusion region, and the gate structure is disposed in the through hole between the doped diffusion region and the doped source region.



第9圖

- 100 . . . 溝渠型功率電晶體元件
- 102 . . . 基底
- 102a . . . 主動區
- 102b . . . 終端區
- 104 . . . 磊晶層
- 104a . . . 第一穿孔
- 104b . . . 第二穿孔
- 106 . . . 井區
- 110a . . . 第一絕緣層
- 110b . . . 第二絕緣層
- 114a . . . 閘極絕緣層
- 116 . . . 第一擴散摻雜區
- 118 . . . 第二擴散摻雜區
- 122a . . . 閘極導電層
- 122b . . . 終端導電層
- 124 . . . 閘極結構
- 128 . . . 源極摻雜區
- 130 . . . 介電層
- 132 . . . 接觸洞
- 134 . . . 接觸摻雜區
- 136 . . . 源極金屬層
- 138 . . . 汲極金屬層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

100141614

※ 申請日：

111.03.15

※ IPC 分類：

H01L 29/78 · 2006.01

H01L 21/28 · 2006.01

H01L 21/336 · 2006.01

一、發明名稱：(中文/英文)

溝渠型功率電晶體元件及其製作方法/TRENCH TYPE POWER
TRANSISTOR DEVICE AND FABRICATING METHOD THEREOF

二、中文發明摘要：

一種溝渠型功率電晶體元件包括一基底、一磊晶層、一擴散摻雜區、一源極摻雜區以及一閘極結構。基底、擴散摻雜區與源極摻雜區具有一第一導電類型，且基底具有一主動區以及一終端區。磊晶層設於基底上，且具有一第二導電類型，其中磊晶層具有位於主動區之一穿孔。擴散摻雜區設於穿孔一側之磊晶層中，且與基底相接觸。源極摻雜區設於擴散摻雜區之正上方之磊晶層中，且閘極結構設於擴散摻雜區與源極摻雜區之間的穿孔中。

三、英文發明摘要：

The present invention provides a trench type power transistor device including a substrate, an epitaxial layer, a doped diffusion region, a doped source region, and a gate structure. The substrate, the doped diffusion region, and the doped source region have a first conductive type, and the substrate has an active region and a termination region. The epitaxial layer is disposed on the substrate, and has a second conductive type. The epitaxial layer has a through hole disposed in the

active region. The doped diffusion region is disposed in the epitaxial layer at a side of the through hole, and is in contact with the substrate. The doped source region is disposed in the epitaxial layer disposed right on the doped diffusion region, and the gate structure is disposed in the through hole between the doped diffusion region and the doped source region.

四、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

100	溝渠型功率電晶體元件	102	基底
102a	主動區	102b	終端區
104	磊晶層	104a	第一穿孔
104b	第二穿孔	106	井區
110a	第一絕緣層	110b	第二絕緣層
114a	閘極絕緣層	116	第一擴散摻雜區
118	第二擴散摻雜區	122a	閘極導電層
122b	終端導電層	124	閘極結構
128	源極摻雜區	130	介電層
132	接觸洞	134	接觸摻雜區
136	源極金屬層	138	汲極金屬層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種溝渠型功率電晶體元件及其製作方法，尤指一種具有超級介面之溝渠型功率電晶體元件及其製作方法。

【先前技術】

功率電晶體元件常應用於電源管理的部分，例如，切換式電源供應器、電腦中心或周邊電源管理 IC、背光板電源供應器或馬達控制等等用途，其種類包含有絕緣閘雙極性電晶體(insulated gate bipolar transistor, IGBT)、金氧半場效電晶體(metal-oxide-semiconductor field-effect transistor, MOSFET)與雙載子接面電晶體(bipolar junction transistor, BJT)等元件。

請參考第 1 圖，第 1 圖係為習知溝渠型功率電晶體元件之剖面示意圖。如第 1 圖所示，習知溝渠型功率電晶體元件 10 包含一 N 型基材 12、一 N 型磊晶層 14、複數個溝渠 16、一閘極絕緣層 18、複數個閘極 20 以及一源極金屬層 22。N 型磊晶層 14 設置於 N 型基材 12 上，且各溝渠 16 係位於 N 型磊晶層 14 上。閘極絕緣層 18 覆蓋於各溝渠 16 之表面，且各閘極 20 填充於各溝渠 16 中。並且，閘極絕緣層 18 將各閘極 20 與源極金屬層 22 電性隔離。N 型磊晶層 14 上另形成複數個 P 型基體摻雜區 24，且各 P 型基體摻雜區 24 上另形成一 N 型源極摻雜區 26，而各 P 型基體摻雜區 24 中另佈植一

P 型接觸摻雜區 28。各 P 型接觸摻雜區 28 係藉由一接觸插塞 30 電性連接至源極金屬層 22。此外，習知溝渠型功率電晶體元件 10 之汲極金屬層 32 係設置於 N 型基材 12 之下表面。

為了提高溝渠型功率電晶體元件之耐壓能力，已發展出在 N 型基材上形成 P 型磊晶層與 N 型磊晶層沿水平方向依序交替設置之結構，這樣的功率電晶體元件又稱為超級介面功率電晶體元件。然而，溝渠型功率電晶體元件之閘極與作為汲極之 N 型磊晶層具有較大之重疊面積，且其間之閘極絕緣層具有較小之厚度，造成較高的米勒電容，進而導致較高的切換損失 (switching loss)，影響元件效能。

有鑑於此，降低溝渠型功率電晶體元件之米勒電容實為業界努力之目標。

【發明內容】

本發明之主要目的之一在於提供一種溝渠型功率電晶體元件及其製作方法，以降低米勒電容，並增加耐壓。

為達上述之目的，本發明提供一種溝渠型功率電晶體元件，包括一基底、一磊晶層、一第一擴散摻雜區、一源極摻雜區、一閘極結構、一第二擴散摻雜區以及一終端導電層。基底具有一第一導電類型，且基底具有一主動區以及一終端區。磊晶層設於基底上，且具有不同於第一導電類型之一第二導電類型，其中磊晶層具有至少一

第一穿孔以及至少一第二穿孔，分別貫穿磊晶層，第一穿孔位於主動區，且第二穿孔位於終端區。第一擴散摻雜區設於第一穿孔一側之磊晶層中，且與基底相接觸，其中第一擴散摻雜區具有第一導電類型。源極摻雜區設於第一擴散摻雜區之正上方之磊晶層中，且源極摻雜區具有第一導電類型。閘極結構設於第一擴散摻雜區與源極摻雜區之間的第一穿孔中。第二擴散摻雜區設於第二穿孔一側之磊晶層中，且與基底相接觸，其中第二擴散摻雜區具有第一導電類型。終端導電層設於第二擴散摻雜區上方之第二穿孔中。

為達上述之目的，本發明提供一種溝渠型功率電晶體元件之製作方法。首先，提供一基底，且基底具有一第一導電類型，其中基底具有一主動區以及一終端區。然後，於基底上形成一磊晶層，且磊晶層具有不同於第一導電類型之一第二導電類型。接著，於磊晶層中形成至少一第一穿孔與至少一第二穿孔，貫穿磊晶層，其中第一穿孔位於主動區，且第二穿孔位於終端區。隨後，於第一穿孔與第二穿孔中分別填入一摻質來源層。之後，於第一穿孔一側之磊晶層中形成一第一擴散摻雜區以及於第二穿孔一側之磊晶層中形成一第二擴散摻雜區，且於第一穿孔中形成一閘極結構，其中第一擴散摻雜區與第二擴散摻雜區具有第一導電類型。接下來，於第一穿孔之一側的磊晶層中形成一源極摻雜區，且源極摻雜區位於第一擴散摻雜區之上方，其中源極摻雜區具有第一導電類型，且閘極結構位於第一擴散摻雜區與源極摻雜區之間。

綜上所述，本發明藉由於第一穿孔中填入具有絕緣特性的摻質來源層，且利用熱驅入製程將其中具有導電特性之摻質擴散至磊晶層中，以形成在垂直方向上與閘極導電層部分重疊的第一擴散摻雜區，且與具有第二導電類型之磊晶層形成一超級介面。此外，第一穿孔之底部填有具有絕緣特性之摻質來源層，藉此可減少溝渠型功率電晶體元件之閘極與汲極之間的寄生電容，進而降低米勒電容以及切換損失，且提升元件效能。

【實施方式】

請參考第 2 圖至第 9 圖，第 2 圖至第 9 圖為本發明一較佳實施例之溝渠型功率電晶體元件之製作方法示意圖，其中第 9 圖為本發明較佳實施例之溝渠型功率電晶體元件之剖面示意圖。如第 2 圖所示，首先提供具有一第一導電類型之一基底 102，且基底 102 具有用於設置主動元件之一主動區(active region)102a 以及用於設置終端結構(termination structure)之一終端區(termination region)102b。然後，利用一磊晶製程，於基底 102 上形成一磊晶層 104，且磊晶層 104 具有不同於第一導電類型之一第二導電類型。隨後，進行一沉積製程，於磊晶層 104 上形成一氧化層(圖未示)。接著，進行一第二導電類型之離子佈植製程與一熱驅入製程，以於磊晶層 104 中形成一井區 106，且井區 106 具有第二導電類型。然後，移除氧化層，並於磊晶層 104 上形成一硬遮罩層 108，例如氮化矽 (Si_3N_4) 或二氧化矽 (SiO_2)，且硬遮罩層 108 具有至少一第一開口 108a 與至少一第二開口 108b。第一開口 108a 位於主動區 102a 中，且第二開口

108b 位於終端區 102b 中。本實施例以第一導電類型為 P 型且第二導電類型為 N 型為例來作描述，但不限於此，第一導電類型與第二導電類型亦可互換。P 型基底 102 可為矽基板或矽晶圓，其可作為溝渠型功率電晶體元件之汲極。並且，本實施例之 N 型井區 106 係用於調整溝渠型功率電晶體元件之通道區的濃度，以控制溝渠型功率電晶體元件之臨界電壓(threshold voltage)。本發明並不限需形成 N 型井區 106，而亦可未形成氧化層與 N 型井區。此外，第一開口 108a 與第二開口 108b 之數量不限為單一個，亦可分別為複數個。

如第 3 圖所示，以硬遮罩層 108 為遮罩，對第一開口 108a 與第二開口 108b 所曝露出之 N 型磊晶層 104 進行一蝕刻製程，以於 N 型磊晶層 104 中形成至少一第一穿孔 104a 與至少一第二穿孔 104b，貫穿 N 型磊晶層 104。第一穿孔 104a 係對應第一開口 108a，且位於主動區 102a 中。第二穿孔 104b 對應第二開口 108b，且位於終端區 102b 中。並且，第一穿孔 104a 與第二穿孔 104b 係藉由第一開口 108a 與第二開口 108b 所形成，因此其數量亦不限為單一個，而可分別為複數個。此外，於本實施例中，第一穿孔與第二穿孔延伸至 P 型基底中。

如第 4 圖所示，去除硬遮罩層 108，然後，於第一穿孔 104a 與第二穿孔 104b 中分別填入包含有複數個 P 型摻質的一摻質來源層 110。接著利用研磨回蝕刻方法去除 N 型磊晶層 104 上方之摻質來源層 110，以及第一穿孔 104a 與第二穿孔 104b 中之部分摻質來源

層 110，使摻質來源層 110 之上表面高於 N 型井區 106 之底部。於本實施例中，形成摻質來源層 110 之材料包含有硼矽玻璃(Boron silicate glass, BSG)，但不限於此。並且，本發明之摻質來源層 110 之上表面並不限高於 N 型井區 106 之底部，亦可約略與 N 型井區 106 之底部位於同一平面或稍微低於 N 型井區 106 之底部。於本發明之其他實施例中，於填入摻質來源層之步驟之前亦可選擇性地於第一穿孔與第二穿孔的表面形成一緩衝層，其中緩衝層可利用熱氧化製程來形成，且其組成包含有氧化矽。並且，於填入摻質來源層之步驟之後另可選擇性地進行一 N 型離子佈植製程，以調整鄰近第一穿孔兩側之 N 型井區之摻雜濃度，進而控制溝渠型功率電晶體元件之臨界電壓。

如第 5 圖所示，然後，進行一熱氧化製程，於 N 型磊晶層 104 上方以及第一穿孔 104a 與第二穿孔 104b 之側壁形成一第三絕緣層 114。同時，在進行熱氧化製程中，位於摻質來源層 110 中之 P 型摻質亦會受到熱氧化製程影響而擴散至 N 型磊晶層 104 中，以於各第一穿孔 104a 兩側之 N 型磊晶層 104 中分別形成一 P 型第一擴散摻雜區 116，且於各第二穿孔 104b 兩側之 N 型磊晶層 104 中分別形成一 P 型第二擴散摻雜區 118。藉此，P 型第一擴散摻雜區 116 與 P 型第二擴散摻雜區 118 可與 N 型磊晶層 104 相接觸，以分別形成一 PN 接面，亦即超級介面，且 PN 接面係約略垂直 N 型基底 102。並且，第一穿孔 104a 中之摻質來源層 110 成為一第一絕緣層 110a，且第二穿孔 104b 中之摻質來源層 110 成為一第二絕緣層 110b。隨

後，利用一微影蝕刻製程移除位於終端區 102b 之第三絕緣層 114，且進行一沉積製程，於終端區 102b 之 N 型磊晶層 104 與第二絕緣層 110b 上以及主動區 102a 之第一絕緣層 110a 與第三絕緣層 114 上形成一導電層 122，且導電層 122 填入第一穿孔 104a 與第二穿孔 104b 中。於本實施例中，P 型第一擴散摻雜區 116 係與 P 型基底 102 相接觸，而可作為溝渠型功率電晶體元件之汲極。並且，第三絕緣層 114 係由氧化矽所構成，但本發明並不限利用熱氧化製程來形成第三絕緣層 114，且形成第三絕緣層 114 之步驟與形成 P 型第一擴散摻雜區與 P 型第二擴散摻雜區之步驟不限同時進行。於本發明之其他實施例中，第三絕緣層 114 亦可利用沉積製程搭配微影暨蝕刻製程來形成，且其材料亦不限由氧化矽所構成，而可為其他絕緣材料。並且，形成 P 型第一擴散摻雜區 116 以及 P 型第二擴散摻雜區 118 之步驟包括一熱驅入製程，將 P 型摻質擴散至 N 型磊晶層 104 中。另外，導電層 122 可為例如多晶矽等導電材料所構成。

如第 6 圖所示，然後，進行一回蝕刻製程或一化學機械研磨製程（chemical mechanical polishing，CMP），移除位於第一穿孔 104a 與第二穿孔 104b 外之第三絕緣層 114 以及導電層 122，以於第一穿孔 104a 中形成一閘極絕緣層 114a 以及一閘極導電層 122a，且於第二穿孔 104b 中形成一終端導電層 122b，其中位於第一穿孔 104a 中之閘極絕緣層 114a 與閘極導電層 122a 係構成一閘極結構 124，且閘極絕緣層 114a 位於閘極導電層 122a 與 N 型井區 106 之間。於本實施例中，位於第一穿孔 104a 之閘極導電層 122a 係藉由閘極絕緣

層 114a 以及第一絕緣層 110a 與 P 型第一擴散摻雜區 116 以及 N 型磊晶層 104 電性隔離，而作為溝渠型功率電晶體元件之閘極。值得注意的是，閘極導電層 122a 之下方係為第一絕緣層 110a，從閘極導電層 122a 延伸至 P 型基底 102，因此可大幅減少溝渠型功率電晶體元件之閘極與汲極之間的寄生電容，進而降低米勒電容以及切換損失 (switching loss)，且提升元件效能。並且，位於終端區 102b 之終端導電層 122b、第二擴散摻雜區 118 以及 N 型磊晶層 104 係構成一終端結構，且終端導電層 122b 可作為一耦合導體 (coupling conductor)，使終端區 102b 之電壓維持平緩下降之趨勢，並且使電壓截止在特定區域。

如第 7 圖所示，接著，於 N 型磊晶層 104 上形成一圖案化光阻層 126，以暴露出第一穿孔 104a 兩側之 N 型磊晶層 104 之一部分以及閘極結構 124。然後，進行一 P 型離子佈植製程，以於第一穿孔 104a 兩側之 N 型磊晶層 104 中分別形成二 P 型源極摻雜區 128，作為溝渠型功率電晶體元件之源極，其中各 P 型源極摻雜區 128 係為於各 P 型第一擴散摻雜區 116 之正上方之 N 型磊晶層 104 中。並且，閘極結構 124 係位於各 P 型第一擴散摻雜區 116 與其相對應之 P 型源極摻雜區 128 之間的第一穿孔 104a 中，且位於各 P 型第一擴散摻雜區 116 與其相對應之 P 型源極摻雜區 128 之間且鄰近閘極絕緣層 114a 的 N 型井區 106 係作為溝渠型功率電晶體元件之通道區，約略垂直 P 型基底 102。由此可知，本實施例之功率電晶體元件係為一垂直型功率電晶體元件。

如第 8 圖所示，其後，移除圖案化光阻層 126，並於 N 型磊晶層 104 與閘極結構 124 上覆蓋一介電層 130。接著，進行一微影暨蝕刻製程，於主動區 102a 之介電層 130 中形成二接觸洞 132，且各接觸洞分別暴露出 N 型磊晶層 104 以及各 P 型源極摻雜區 128 之一部分。繼以進行一 N 型離子佈植製程，於各接觸洞 132 所暴露出之 N 型磊晶層 104 中形成一 N 型接觸摻雜區 134，且各 N 型接觸摻雜區 134 與各 P 型源極摻雜區 128 相接觸。接著，進行退火 (anneal) 處理，以活化 N 型接觸摻雜區 134 之 N 型摻質。其中，上述 N 型接觸摻雜區 134 可提升金屬與半導體層接面之導電性，以利電流於接面之傳輸。

如第 9 圖所示，接下來，於介電層 130 上與各接觸洞 132 中形成一金屬層。然後，進行一微影暨蝕刻製程，移除中終端區 102b 之金屬層，以於主動區 102a 中形成一源極金屬層 136。並且，於 P 型基底 102 下形成一汲極金屬層 138。於本實施例中，形成源極金屬層 136 之步驟可包含進行電漿濺鍍或電子束沉積等製程，且源極金屬層 136 可包括鈦、氮化鈦、鋁、鎢等金屬或金屬化合物，但不限於此。至此已完成本實施例之溝渠型功率電晶體元件 100。於本發明之其他實施例中，於形成源極金屬層之前亦可先於接觸洞中形成接觸插塞，或先於接觸洞底部之 N 型磊晶層上形成一阻障層(圖未示)，其組成可包含鈦、氮化鈦、鈮、氮化鈮等金屬或金屬化合物。阻障層乃用以避免接觸洞內之金屬層電遷移 (electro migration) 或

擴散至 N 型磊晶層。值得一提的是，本實施例之溝渠型功率電晶體元件 100 係為 P 型功率電晶體元件，相較於 N 型功率電晶體元件而言，擁有較佳的順向偏壓安全操作區間以及抗單粒子燒毀之特性。且本實施例具有超級介面之 P 型溝渠型功率電晶體元件 100 亦可以有效提高耐壓以及降低開啟電阻(R_{dson})。

綜上所述，本發明藉由於第一穿孔中填入具有絕緣特性的摻質來源層，且利用熱驅入製程將其中具有導電特性之摻質擴散至磊晶層中，以形成超級介面。並且，具有絕緣特性的摻質來源層可在閘極導電層之下方形成一厚絕緣層，藉此可減少溝渠型功率電晶體元件之閘極與汲極之間的寄生電容，進而降低米勒電容以及切換損失，且提升元件效能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係為習知溝渠型功率電晶體元件之剖面示意圖。

第 2 圖至第 9 圖為本發明一較佳實施例之溝渠型功率電晶體元件之製作方法示意圖。

【主要元件符號說明】

10 溝渠型功率電晶體元 12 N 型基材

件

14	N 型磊晶層	16	溝渠
18	閘極絕緣層	20	閘極
22	源極金屬層	24	P 型基體摻雜區
26	N 型源極摻雜區	28	P 型接觸摻雜區
30	接觸插塞	32	汲極金屬層
100	溝渠型功率電晶體元	102	基底

件

102a	主動區	102b	終端區
104	磊晶層	104a	第一穿孔
104b	第二穿孔	106	井區
108	硬遮罩層	108a	第一開口
108b	第二開口	110	摻質來源層
110a	第一絕緣層	110b	第二絕緣層
114	第三絕緣層	114a	閘極絕緣層
116	第一擴散摻雜區	118	第二擴散摻雜區
122	導電層	122a	閘極導電層
122b	終端導電層	124	閘極結構
126	圖案化光阻層	128	源極摻雜區
130	介電層	132	接觸洞
134	接觸摻雜區	136	源極金屬層
138	汲極金屬層		

103年9月19日修正頁

103年9月19日修正替換頁

七、申請專利範圍：

1. 一種溝渠型功率電晶體元件，包括：

一基底，具有一第一導電類型，且該基底具有一主動區以及一終端區；

一磊晶層，設於該基底上，且具有不同於該第一導電類型之一第二導電類型，其中該磊晶層具有至少一第一穿孔以及至少一第二穿孔，分別貫穿該磊晶層，該第一穿孔位於該主動區，且該第二穿孔位於該終端區；

一第一擴散摻雜區，設於該第一穿孔一側之該磊晶層中，且與該基底相接觸，其中該第一擴散摻雜區具有該第一導電類型，且該第一擴散摻雜區與該磊晶層相接觸；

一源極摻雜區，設於該第一擴散摻雜區之正上方之該磊晶層中，且該源極摻雜區具有該第一導電類型；

一閘極結構，設於該第一擴散摻雜區與該源極摻雜區之間的該第一穿孔中；

一第二擴散摻雜區，設於該第二穿孔一側之該磊晶層中，且與該基底相接觸，其中該第二擴散摻雜區具有該第一導電類型；以及

一終端導電層，設於該第二擴散摻雜區上方之該第二穿孔中。

2. 如請求項 1 所述之溝渠型功率電晶體元件，另包括一第一絕緣層，設於該閘極結構下之該第一穿孔中，且電性絕緣該第一擴散摻雜區與該閘極結構。

3. 如請求項 1 所述之溝渠型功率電晶體元件，其中該閘極結構包括一閘極導電層以及一閘極絕緣層，且該閘極絕緣層設於該閘極導電層與該磊晶層之間。
4. 如請求項 1 所述之溝渠型功率電晶體元件，另包括一井區，設於該第一擴散摻雜區與該第二擴散摻雜區上之該磊晶層中，且該井區具有該第二導電類型。
5. 如請求項 1 所述之溝渠型功率電晶體元件，另包括一第二絕緣層，設於該終端導電層下之該第二穿孔中。
6. 如請求項 1 所述之溝渠型功率電晶體元件，其中該第一導電類型係為 P 型，且該第二導電類型係為 N 型。
7. 一種溝渠型功率電晶體元件之製作方法，包括：
提供一基底，且該基底具有一第一導電類型，其中該基底具有一主動區以及一終端區；
於該基底上形成一磊晶層，且該磊晶層具有不同於該第一導電類型之一第二導電類型；
於該磊晶層中形成至少一第一穿孔與至少一第二穿孔，貫穿該磊晶層，其中該第一穿孔位於該主動區，且該第二穿孔位於該終端區；

於該第一穿孔與該第二穿孔中分別填入一摻質來源層，其中該摻質來源層包含有具有該第一導電類型之複數個摻質；

進行一熱驅入製程，將該等摻質擴散至該磊晶層中，以於該第一穿孔一側之該磊晶層中形成一第一擴散摻雜區以及於該第二穿孔一側之該磊晶層中形成一第二擴散摻雜區，並於該第一穿孔中形成一第一絕緣層以及於該第二穿孔中形成一第二絕緣層，其中該第一擴散摻雜區與該第二擴散摻雜區具有該第一導電類型；

於該第一穿孔中形成一閘極結構；以及

於該第一穿孔之一側的該磊晶層中形成一源極摻雜區，且該源極摻雜區位於該第一擴散摻雜區之上方，其中該源極摻雜區具有該第一導電類型，且該閘極結構位於該第一擴散摻雜區與該源極摻雜區之間。

8. 如請求項 7 所述之溝渠型功率電晶體元件之製作方法，其中形成該閘極結構之步驟包括：

於該磊晶層上以及該第一穿孔與該第二穿孔之側壁上形成一第三絕緣層；

移除位於該終端區之該第三絕緣層；

於該第三絕緣層上以及該終端區之該磊晶層上形成一導電層，且該導電層填入該第一穿孔與該第二穿孔中；以及

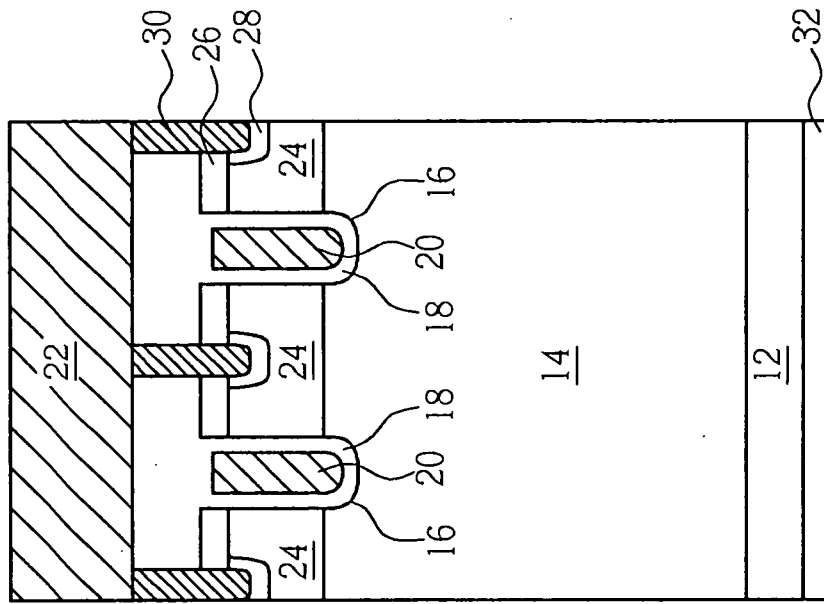
移除位於該第一穿孔與該第二穿孔外之該第三絕緣層以及該導電層，以於該第一穿孔中形成該閘極結構，且於該第二穿孔中

形成一終端導電層。

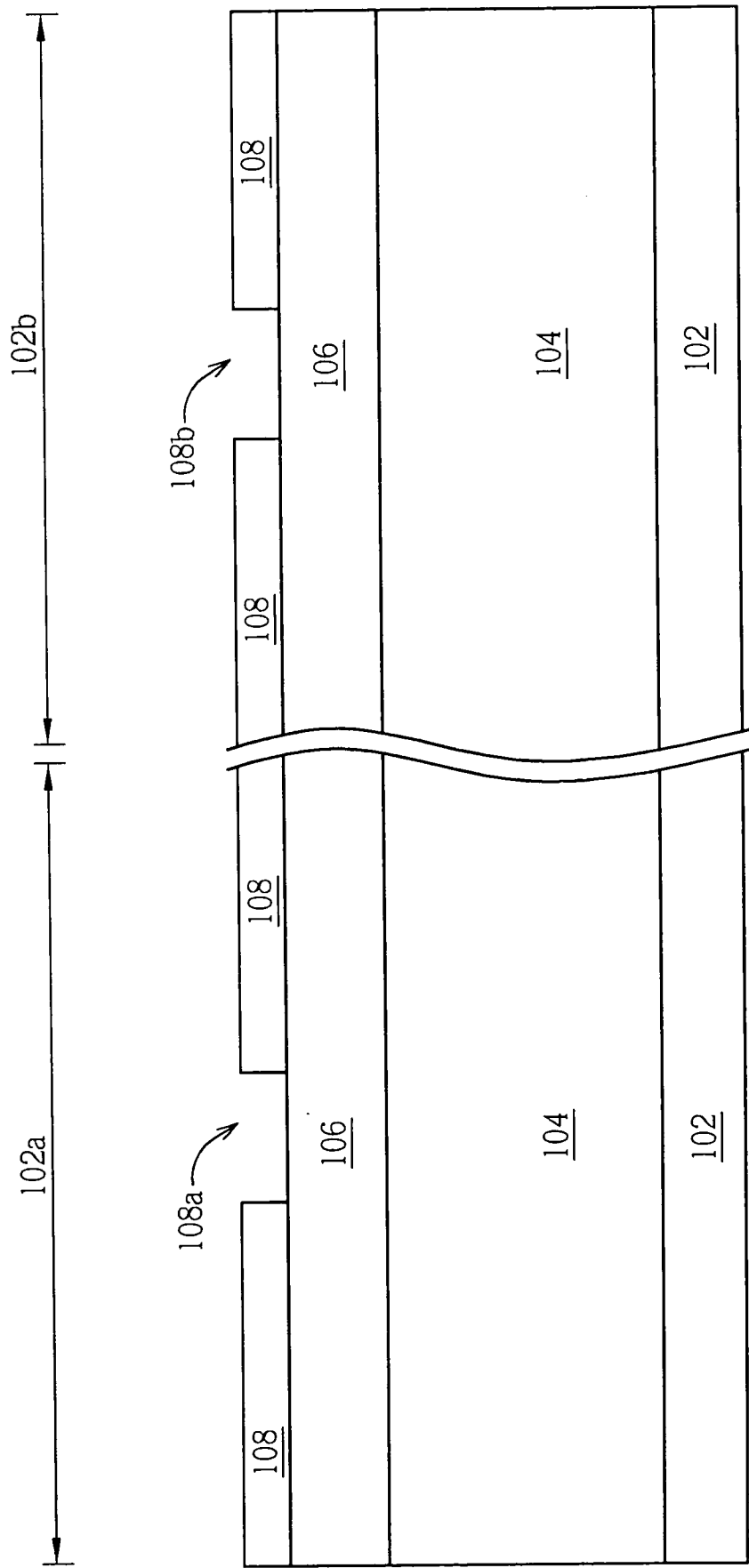
9. 如請求項 8 所述之溝渠型功率電晶體元件之製作方法，其中該第三絕緣層與該第一擴散摻雜區以及該第二擴散摻雜區係同時形成。
10. 如請求項 7 所述之溝渠型功率電晶體元件之製作方法，其中該摻質來源層包含有硼矽玻璃(Boron silicate glass, BSG)。
11. 如請求項 7 所述之溝渠型功率電晶體元件之製作方法，其中形成該磊晶層之步驟與形成該第一穿孔與該第二穿孔之步驟之間，該製作方法另包括於該磊晶層中形成一井區，且該井區具有該第二導電類型。
12. 如請求項 7 所述之溝渠型功率電晶體元件之製作方法，其中該第一導電類型係為 P 型，且該第二導電類型係為 N 型。

八、圖式：

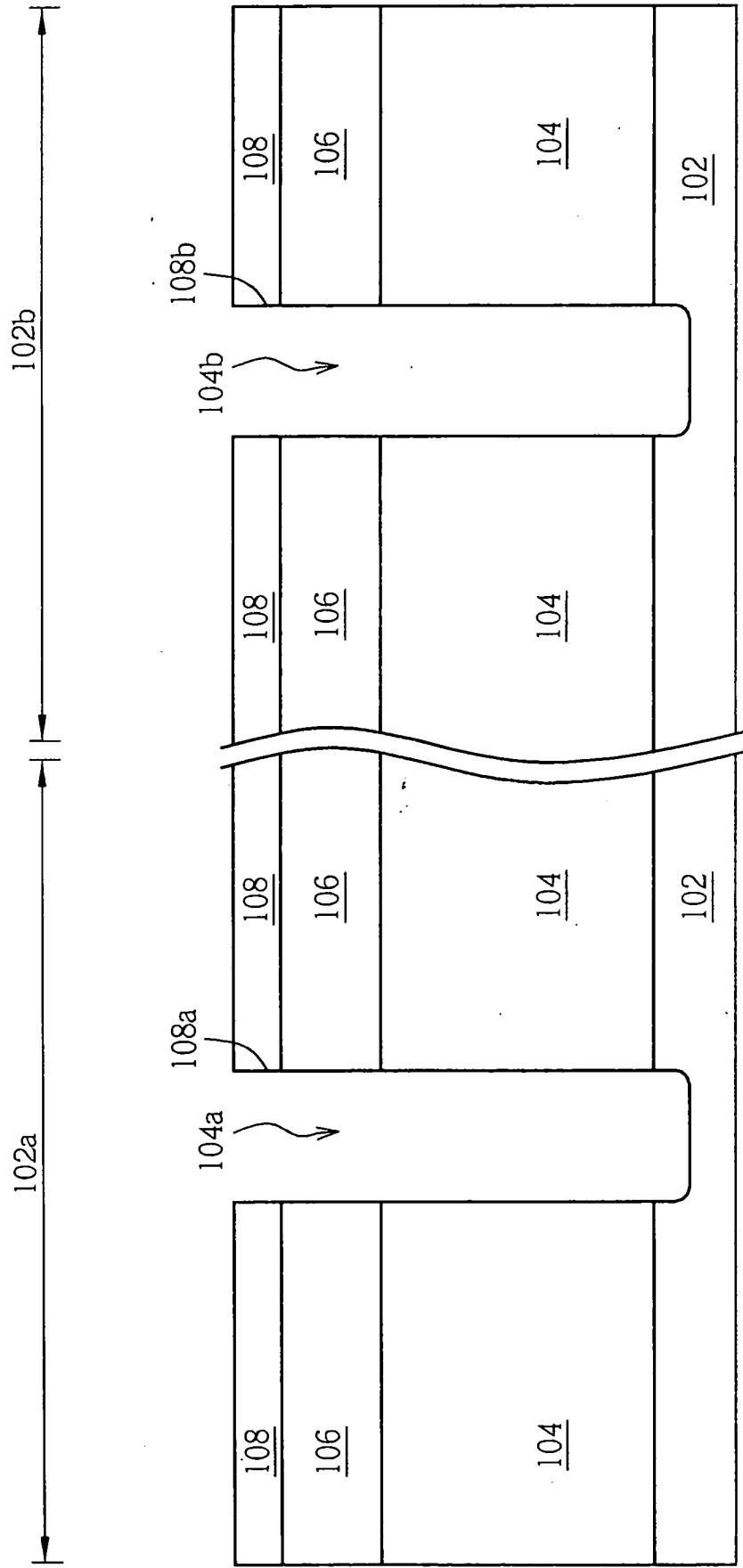
10



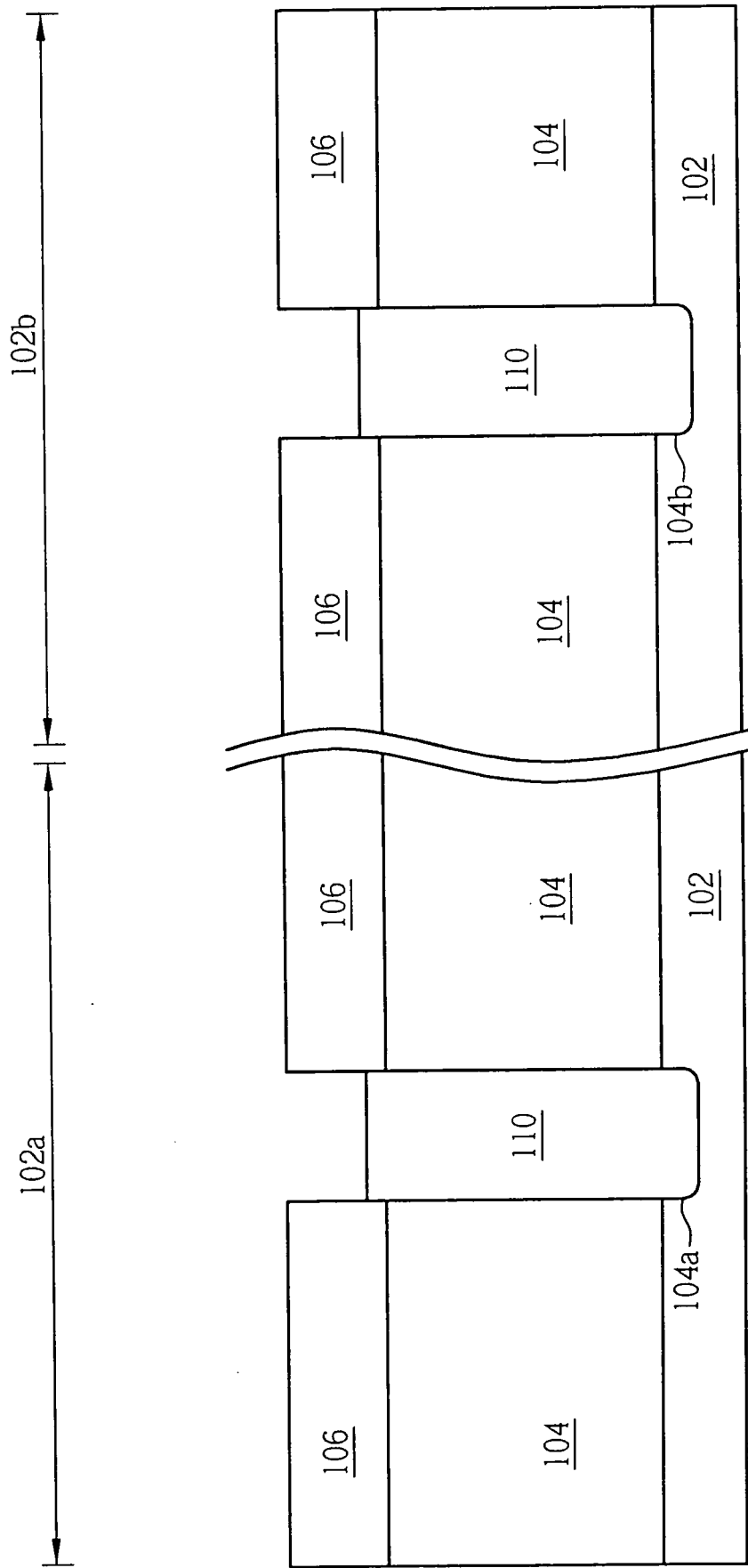
第1圖



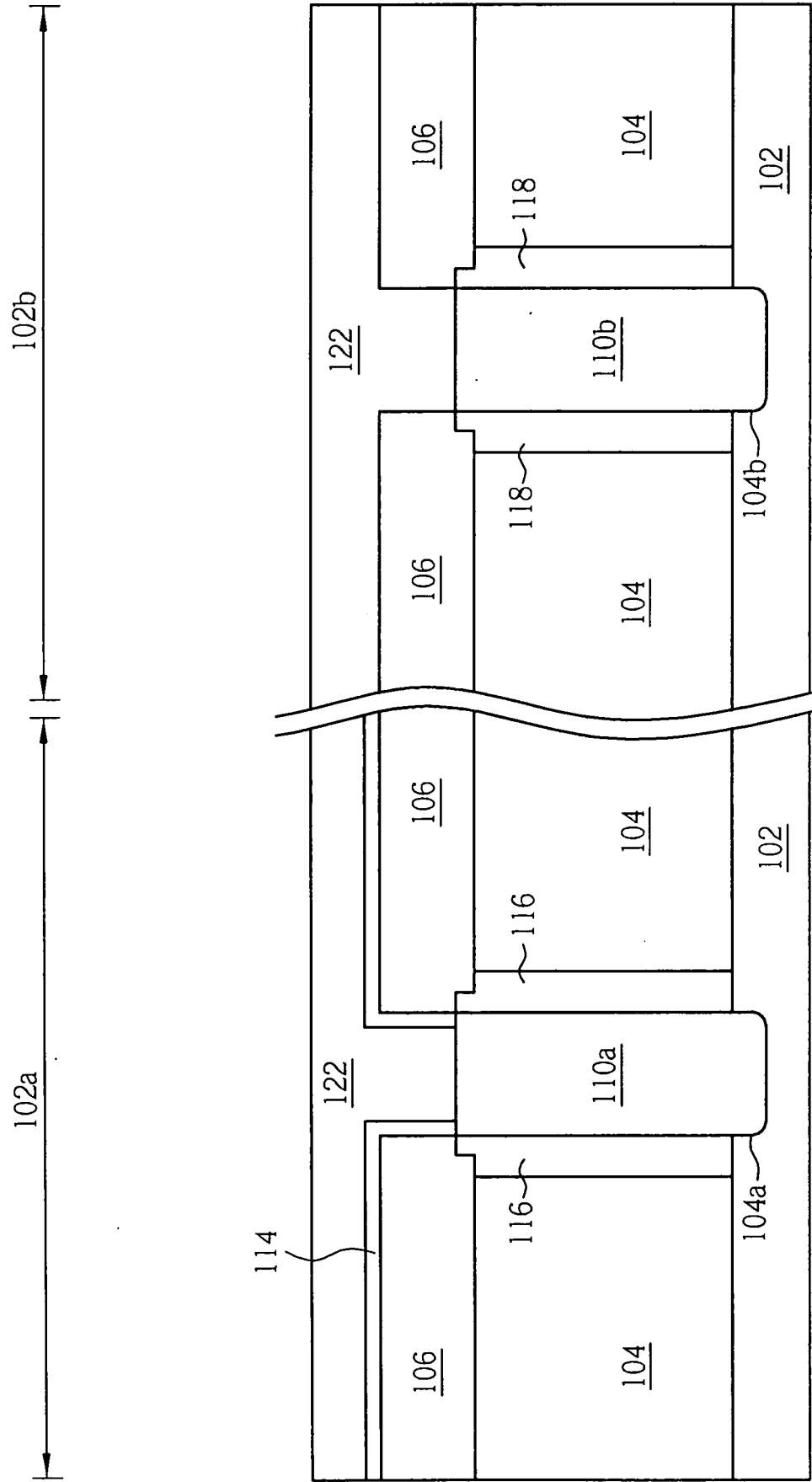
第2圖



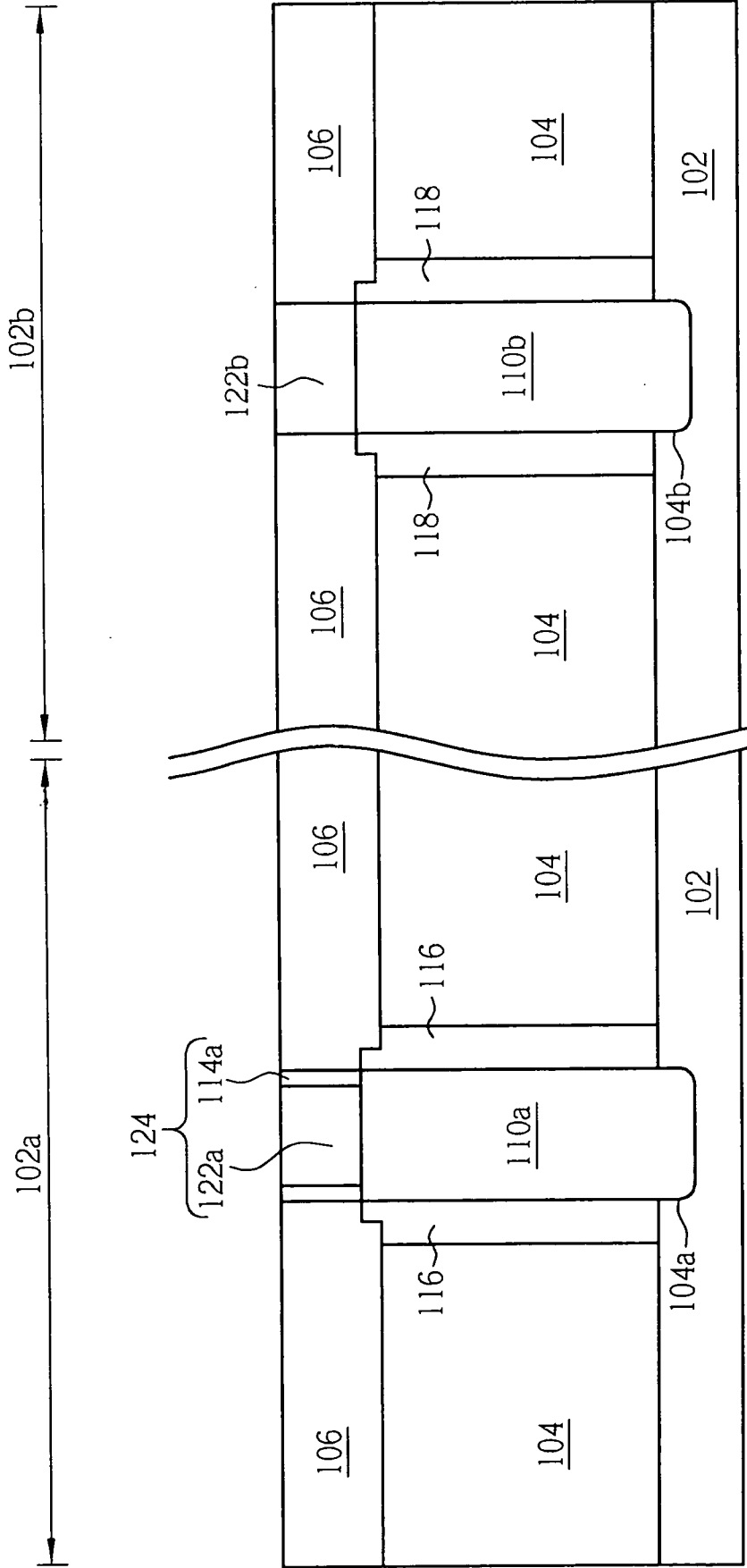
第3圖



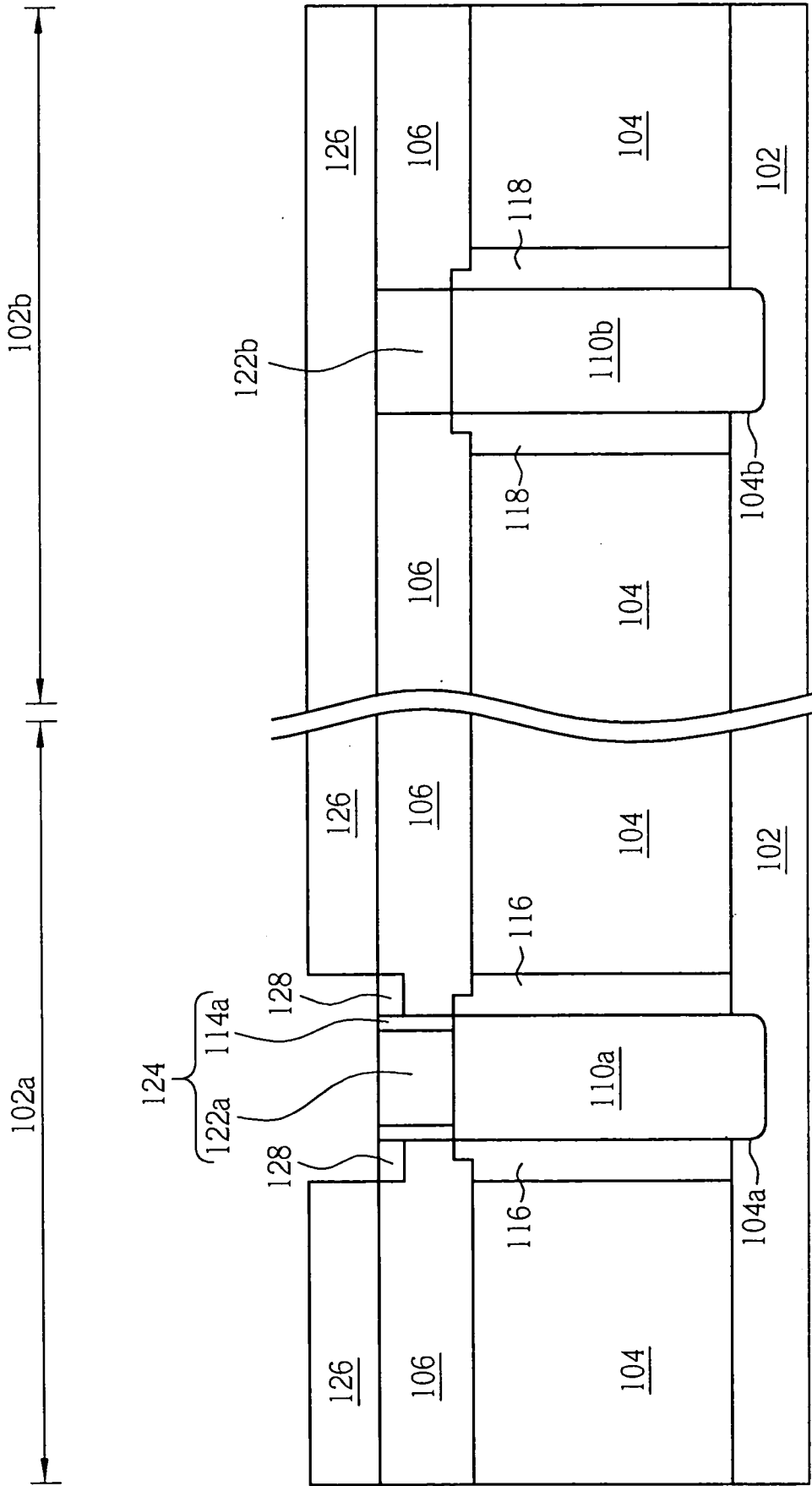
第4圖



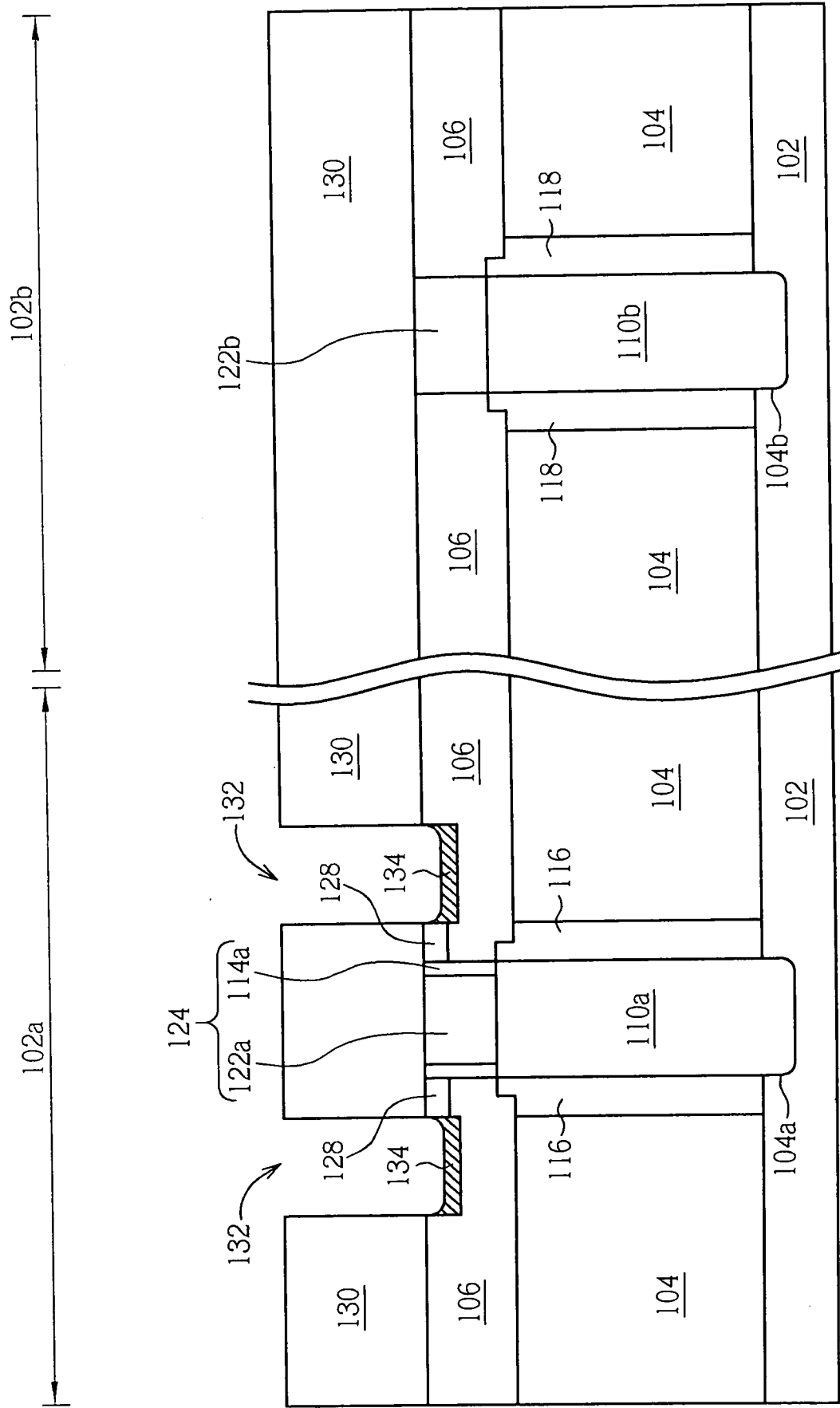
第5圖



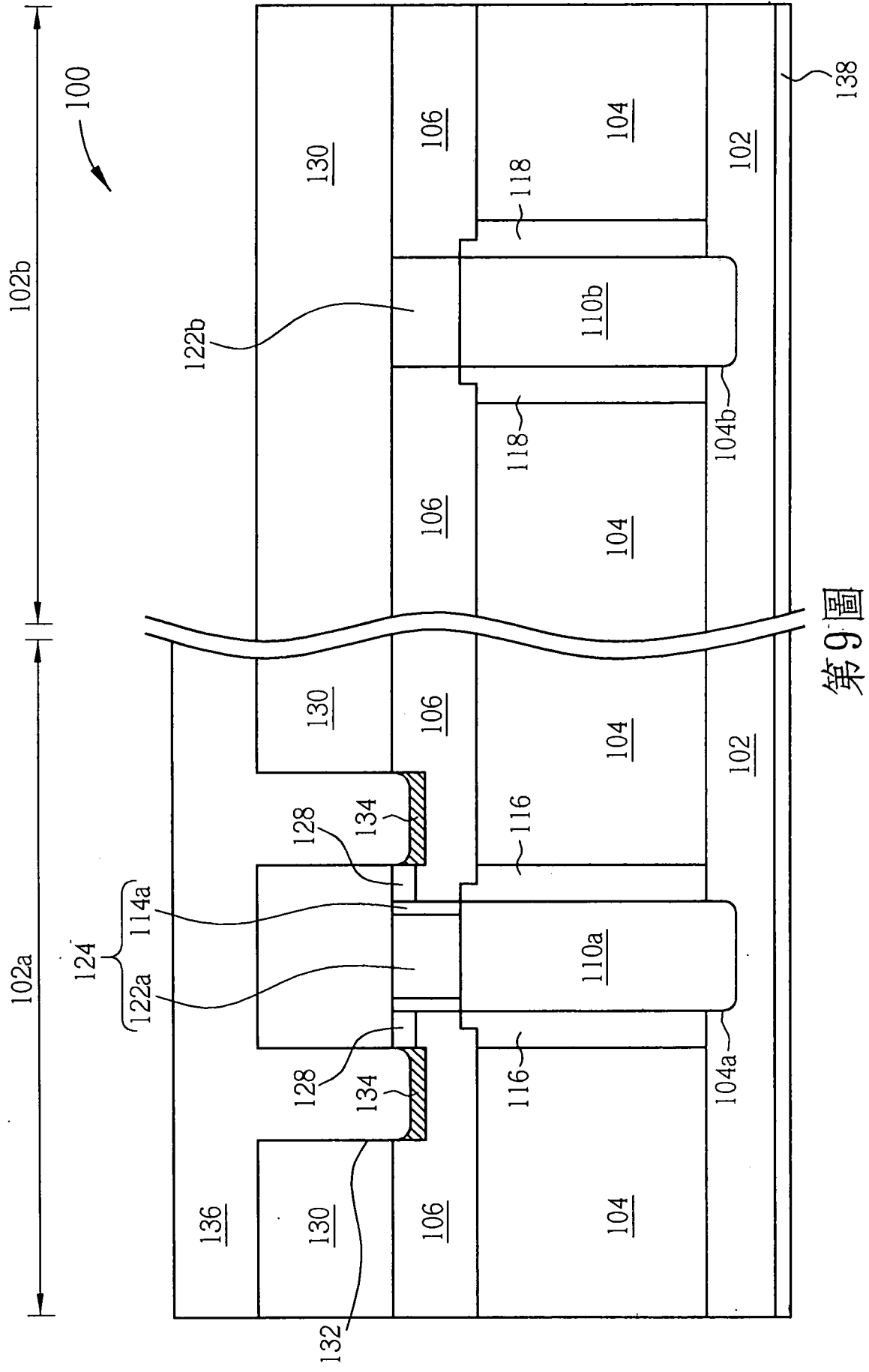
第6圖



第7圖



第8圖



第9圖