

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 7/22

H03K 5/135



[12] 发明专利申请公开说明书

[21] 申请号 03815729.2

[43] 公开日 2005 年 9 月 7 日

[11] 公开号 CN 1666290A

[22] 申请日 2003.6.11 [21] 申请号 03815729.2

[30] 优先权

[32] 2002. 6. 12 [33] US [31] 10/167,709

[86] 国际申请 PCT/US2003/018411 2003.6.11

[87] 国际公布 WO2003/107349 英 2003.12.24

[85] 进入国家阶段日期 2005.1.4

[71] 申请人 米克罗恩技术公司

地址 美国爱达荷州

[72] 发明人 林 峰 泰勒·J·戈姆

[74] 专利代理机构 北京市柳沈律师事务所

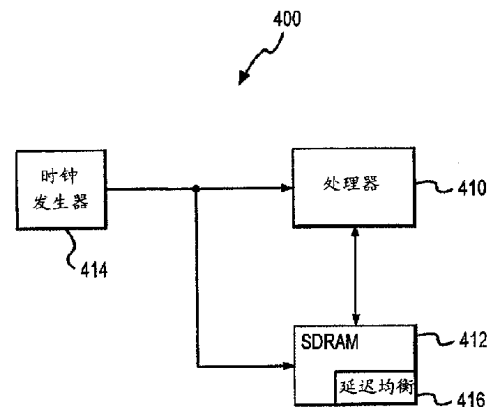
代理人 邵亚丽 黄小临

权利要求书 6 页 说明书 12 页 附图 8 页

[54] 发明名称 用于延迟电路的方法和装置

[57] 摘要

本发明提供了涉及延迟电路的装置和方法。一种电子系统，包括被配置成测量延迟并根据测得的延迟产生经过同步的信号的延迟均衡电路。该延迟均衡电路可以被配置成检测溢出状态并且通过例如施加溢出信号做出相应的响应。此外，该延迟均衡电路可以被进一步或者另外被配置成检测对延迟的成功测量，并通过例如执行功率节省和/或噪声降低过程来做出响应。



ISSN 1008-4274

1. 一种存储器, 包含:
延迟测量电路, 它被配置成接收输入信号并产生经过测量的延迟信号;
- 5 和
工作控制电路, 它被配置成接收所述经过测量的延迟信号和执行下列(a)和(b)中的至少一个: (a) 在所述经过测量的延迟信号中检测溢出状态, 和 (b) 在所述经过测量的延迟信号中检测入口点并根据对所述入口点的检测终止信号。
- 10 2. 如权利要求0所述的存储器, 其中, 所述延迟测量电路包含:
测量延迟线, 它被配置成测量所述输入信号中的延迟并根据所述输入信号中的延迟产生所述经过测量的延迟信号;
可变延迟线, 它被配置成接收所述经过测量的延迟信号并根据所述经过测量的延迟信号产生经过同步的信号。
- 15 3. 如权利要求0所述的存储器, 其中:
所述测量延迟线被配置成当在所述经过测量的延迟信号中检测到入口点时产生状态信号; 和
所述工作控制电路被配置成接收所述状态信号并响应于所述状态信号调整溢出信号。
- 20 4. 如权利要求0所述的存储器, 其中:
所述测量延迟线包含一个以上的级;
所述工作控制电路包含一个以上的级, 其中:
每个工作控制电路级被连接到对应的测量延迟线级, 并至少接收所述经过测量的延迟信号的一部分;
- 25 所述工作控制电路级之一为最后一级; 并且
所述最后一级根据对所述溢出状态的检测产生溢出信号。
5. 如权利要求0所述的存储器, 其中, 所述工作控制电路被配置成当检测到所述溢出状态时, 在所述最后一级中储存被选择的值。
6. 如权利要求0所述的存储器, 其中, 所述工作控制电路被配置成根据
30 对所述溢出状态的检测把被选择的输出提供给所述可变延迟线。
7. 如权利要求0所述的存储器, 其中, 所述工作控制电路被配置成:

根据所述经过测量的延迟信号的第一部分，把第一被选择输出提供给所述可变延迟线；和

根据对所述溢出状态的检测，把第二被选择输出提供给所述可变延迟线。

8.如权利要求0所述的存储器，其中，所述工作控制电路包括溢出电路，
5 该溢出电路被配置成根据对所述溢出状态的检测调整溢出信号。

9.如权利要求0所述的存储器，其中，所述工作控制电路包括时钟选择电路，该时钟选择电路被配置成根据对所述入口点的检测，终止到所述延迟测量电路的被选择部分的时钟信号。

10. 如权利要求0所述的存储器，其中：
10 所述测量延迟电路包含多于一个的输出级；并且

所述时钟选择电路包含多于一个的控制级，其中，每个时钟选择电路控制级被连接到对应的输出级。

11. 如权利要求0所述的存储器，其中，所述时钟选择电路被配置成接收所述经过测量的延迟信号，在所述经过测量的延迟信号中检测所述入口点，
15 并根据对所述入口点的检测，终止到所述延迟测量电路的被选择部分的时钟信号。

12. 一种具有延迟均衡电路的存储器，包含：
延迟监视电路，它被配置成响应初始输入信号产生经过延迟的输入信号；
测量延迟线，它被连接到所述延迟监视电路，并被配置成接收所述经过
20 延迟的输入信号并根据所述经过延迟的输入信号产生经过测量的延迟信号；

中间元件，它被连接到所述测量延迟线，并被配置成接收所述经过测量的延迟信号；

可变延迟线，它被连接到所述中间元件，并被配置成接收所述经过测量的延迟信号；和

25 工作控制电路，它被连接到所述测量延迟线、所述中间元件和所述可变延迟线其中至少一个，并被配置成在所述经过测量的延迟信号中检测入口点，所述工作控制电路包括：

溢出电路，它被配置成根据对所述入口点的检测调整溢出信号；和

30 时钟选择电路，它被配置成根据对所述入口点的检测，终止到所述测量延迟线、所述中间元件和所述可变延迟线其中至少一个的被选择部分的时钟信号。

13. 如权利要求0所述的具有延迟均衡电路的存储器, 其中:
所述测量延迟线被配置成当检测到所述入口点时产生状态信号; 和
所述溢出电路被配置成接收所述状态信号并响应所述状态信号调整所述溢出信号。
- 5 14. 如权利要求0所述的具有延迟均衡电路的存储器, 其中:
所述中间元件包含多于一个的级; 和
所述溢出信号包含由所述中间元件级之一所提供的输出信号。
15. 如权利要求0所述的具有延迟均衡电路的存储器, 其中, 所述溢出电路被配置成在提供所述输出信号的中间元件级中储存被选择的值。
- 10 16. 如权利要求0所述的具有延迟均衡电路的存储器, 其中, 所述工作控制电路被配置成:
从所述中间元件接收输出信号; 和
根据对所述入口点的检测, 把被选择的输出提供给所述可变延迟线。
- 15 17. 如权利要求0所述的具有延迟均衡电路的存储器, 其中:
可变延迟线包括多于一个的级; 和
所述工作控制电路被配置成:
根据对所述入口点的检测, 把第一被选择输出提供给第一组可变延迟线级, 把第二被选择输出提供给第二组可变延迟线级。
- 20 18. 如权利要求0所述的具有延迟均衡电路的存储器, 其中:
所述溢出电路被配置成当在所述经过测量的延迟信号中检测到所述入口点时产生时钟控制信号; 和
所述时钟选择电路被配置成响应所述时钟控制信号, 终止到所述测量延迟线、所述中间元件和所述可变延迟线其中至少一个的被选择部分的时钟信号。
- 25 19. 如权利要求0所述的具有延迟均衡电路的存储器, 其中:
所述测量延迟线、所述中间元件和所述可变延迟线其中至少一个包含多于一个的输出级; 并且
所述时钟选择电路包含多于一个的控制级, 其中, 每个时钟选择电路控制级被连接到对应的输出级。
- 30 20. 如权利要求0所述的具有延迟均衡电路的存储器, 其中, 所述时钟选择电路被配置成从所述中间元件接收所述经过测量的延迟信号, 在所述经

过测量的延迟信号中检测入口点，并根据对所述入口点的检测终止到所述可变延迟线的被选择部分的时钟信号。

21. 一种电子系统，包含：

处理器；

- 5 时钟发生器，它被连接到所述处理器，并被配置成产生时钟信号；和
存储器，它被连接到所述处理器和所述时钟发生器，并包括延迟均衡电路，其中，所述延迟均衡电路包含：

延迟测量电路，它被配置成接收所述时钟信号和经过延迟的输入信号，并产生经过测量的延迟信号；和

- 10 工作控制电路，它具有部件并被配置成执行下列 (a)、(b) 中的至少一个：(a) 在所述经过测量的延迟信号中检测溢出状态并调整溢出信号，和 (b) 在所述经过测量的延迟信号中检测入口点并终止到所述部件的时钟信号。

22. 如权利要求 0 所述的电子系统，其中：

- 15 所述延迟测量电路包括被配置成在检测到所述入口点时产生状态信号的测量延迟线；和

所述工作控制电路被配置成接收所述状态信号并响应所述状态信号调整所述溢出信号。

23. 如权利要求 0 所述的电子系统，其中：

- 20 所述存储器包括具有多于一个的级的中间元件；和
所述溢出信号包含由所述中间元件的级之一所提供的输出信号。

24. 如权利要求 0 所述的电子系统，其中，所述溢出电路被配置成在提供所述输出信号的中间元件级中储存被选择的值。

25. 如权利要求 0 所述的电子系统，其中，所述工作控制电路被配置成：

- 25 从所述延迟测量电路接收输出信号；和
根据对所述溢出状态的检测，提供包括所述溢出信号的被选择输出。

26. 如权利要求 0 所述的电子系统，其中：

- 所述延迟测量电路包括具有多于一个的级的可变延迟线；和
所述工作控制电路被配置成根据对所述入口点的检测，把第一被选择输出提供
30 出提供给第一组可变延迟线级，把第二被选择输出提供给第二组可变延迟线级。

27. 如权利要求0所述的电子系统, 其中:
所述延迟测量电路包含多于一个的输出级; 和
所述工作控制电路包含多于一个的控制级, 其中, 每个工作控制电路控制级被连接到对应的输出级。
- 5 28. 一种连接到部件并被配置成接收经过测量的延迟信号的延迟均衡电路, 其中, 所述延迟均衡电路被配置成为下面至少其中之一:
在所述经过测量的延迟信号中检测溢出状态; 和
在所述经过测量的延迟信号中检测入口点并终止到所述部件的时钟信号。
- 10 29. 如权利要求0所述的延迟均衡电路, 还包含被配置成在检测到所述入口点时使溢出信号无效的溢出电路。
30. 如权利要求0所述的延迟均衡电路, 其中, 所述溢出电路被配置成响应于检测到所述入口点而产生被选择的一组数据。
31. 如权利要求0所述的延迟均衡电路, 还包含具有多于一个的级的延迟线 and 多于一个单元的中间元件其中至少一个, 其中:
15 所述溢出信号包含所述延迟线和所述中间元件其中至少一个的最后级别的输出; 并且
所述溢出电路被配置成在检测到所述入口点时从所述延迟线和所述中间元件其中至少一个的最后一级产生被选择的输出。
- 20 32. 一种使第一信号与第二信号同步的方法, 包含:
测量所述第一信号和所述第二信号之间的延迟;
产生和所述测得的延迟对应的经过测量的延迟信号;
在所述经过测量的延迟信号中检测溢出状态; 和
当检测到溢出状态时调整溢出信号。
- 25 33. 如权利要求32所述的使第一信号与第二信号同步的方法, 其中, 在所述经过测量的延迟信号中检测所述溢出状态包括: 在被选择周期内监视所述经过测量的延迟信号来查找入口点。
34. 如权利要求0所述的使第一信号与第二信号同步的方法, 其中, 当检测到溢出状态时调整所述溢出信号包括: 如果在被选择周期内在所述经过测量的延迟信号中没有检测到所述入口点, 则发出所述溢出信号。
- 30 35. 如权利要求32所述的使第一信号与第二信号同步的方法, 其中,

在所述经过测量的延迟信号中检测所述溢出状态包含访问所述经过测量的延迟信号的最后部分。

36. 如权利要求0所述的使第一信号与第二信号同步的方法，其中，当检测到所述溢出状态时调整所述溢出信号包含从所述经过测量的延迟信号的最后部分中提供被选择的值。

37. 如权利要求32所述的使第一信号与第二信号同步的方法，还包含根据所述经过测量的延迟信号终止输入信号。

38. 如权利要求0所述的使第一信号与第二信号同步的方法，其中，根据所述经过测量的延迟信号终止所述输入信号包含：

10 监视所述经过测量的延迟信号以查找入口点；和
在检测到所述入口点时终止所述输入信号。

39. 一种使第一信号与第二信号同步的方法，包含：
测量所述第一信号和所述第二信号之间的延迟；
产生和所述测得的延迟对应的经过测量的延迟信号；和
15 根据所述经过测量的延迟信号终止输入信号。

40. 如权利要求0所述的使第一信号与第二信号同步的方法，其中，根据所述经过测量的延迟信号终止所述输入信号包含：

20 监视所述经过测量的延迟信号以查找入口点；和
在检测到所述入口点时终止所述输入信号。

41. 如权利要求0所述的使第一信号与第二信号同步的方法，还包含：
在所述经过测量的延迟信号中检测溢出状态；和
当检测到所述溢出状态时调整溢出信号。

用于延迟电路的方法和装置

5 技术领域

本发明一般地涉及电子电路。

背景技术

10 很多电子设备使用时钟信号来协调部件的工作。例如，使用同步动态随机访问存储器（synchronous dynamic random access memories, SDRAM）的电子系统通常将 SDRAM 输出与系统时钟协调。因此，大多数的 SDRAM 以及其他部件接收系统时钟，用于使 SDRAM 的工作与系统中的其他部件同步。

但是，时钟偏移(skew)扰乱了系统时钟和 SDRAM 输出信号之间的协调。
15 时钟偏移是外部提供的系统时钟信号和产生输出信号的 SDRAM 输出电路所使用的信号之间的延迟。有多种原因可以造成时钟偏移，这些原因包括和时钟输入缓存器、驱动器以及其他阻-容电路元件相关的延迟。

几个解决方案能够修正时钟偏移，以使系统时钟和 SDRAM 时钟协调。例如，一些系统使用延迟锁定环（delay-locked loops, DLL）或者锁相环
20 （phase-locked loops, PLL）把 SDRAM 输出数据锁定到系统时钟信号。但是，DLL 和 PLL 需要相对较长的时间锁定到输入信号上。而且，温度和电压变化可能降低 DLL 和 PLL 的性能。

同步延迟电路是另一种流行的延迟均衡(deskewing)解决方案，例如时钟同步延迟（clock-synchronized delay, CSD）电路和同步镜像延迟（synchronized mirror delay, SMD）电路。同步延迟电路一般提供了比 DLL 和 PLL 更快的锁定性能。例如，常规的 SMD 电路可以在两个周期内锁定到输入信号；常规的
25 CSD 电路能够在单个周期内锁定到输入信号。

参考图 1，常规的 CSD 电路 100 包含用于接收系统时钟信号并将其提供给延迟监视电路 104 的输入缓存器 102，锁存器 106 和可变延迟线 108。延
30 迟监视电路 104 把所需延迟插入到信号中，并把经过延迟的输入信号提供给测量延迟线 110。测量延迟线 110 测量来自延迟监视电路 104 的经过延迟的信

号与系统时钟之间的差别。测得的延迟被传送到锁存器 106。可变延迟线 108 读取锁存器 106，并且可变延迟线 108 产生一个信号，该信号的延迟与测量延迟线 110 测得的延迟相同。然后，来自可变延迟线 108 的信号被提供给时钟驱动电路 112 以便放大和分配该经过同步的信号。

5 测量延迟线 110 适宜通过经一系列的级接收输入信号来测量延迟，其中每一级产生一个指示特定的级是否和测得的延迟对应的单比特信号。例如，参考图 2，测量延迟线 110 可以包含一系列的级 210，每一级包含与非门 212 和反相器 214。每一级 210 给锁存器 106 提供一个指示延迟是否已经由级 210 成功测得的信号。参考图 3，锁存器 106 接收一个数字字(digital word)。给锁
10 存器 106 提供了被称为入口点 310 的第一个逻辑 HIGH 信号的级 210 成功地测得了延迟。

在一些应用，例如便携式的由电池驱动的设备中，同步延迟电路可能消耗过多的功率和/或产生噪声。额外的功率消耗和噪声产生是由不必要地翻转的数字延迟元件部分所导致的。而且，单个同步延迟电路可能被用来在很多
15 不同的频率下进行同步。对于特别缓慢的频率，同步延迟电路的采样频率可能如此之高，以至于所有的采样都在输入信号的第一个脉冲到达之前进行了，导致溢出状态。换句话说，同步延迟电路不能测量超过特定界限的延迟。

发明内容

20 根据本发明的各个方面的一种电子系统包括延迟均衡电路。延迟均衡电路被配置成测量延迟，并根据测得的延迟产生经同步的信号。此外，延迟均衡电路被配置为检测溢出状态并做相应的响应，例如通过发出溢出信号。而且，延迟均衡电路可以被进一步或者另外被配置成检测延迟的成功测量，并通过例如执行功率节省和/或噪声降低过程来做出响应。

25

附图说明

通过结合附图查阅说明书和权利要求中所描述的非限制性实施例，本发明另外的方面是清晰的，附图中同样的数字代表同样的元件。

图 1 是常规的 CSD 电路。

30 图 2 是常规的测量延迟电路。

图 3 是常规的寄存器。

图 4 是根据本发明的各个方面的电子系统的方框图。

图 5 是示范性同步延迟电路的方框图。

图 6 是示范性工作控制电路的原理图和方框图。

图 7 是示范性工作过程的流程图。

5 图 8A-8B 是示范性填充电路的原理图。

图 9 是另一示范性填充电路的原理图。

图 10 是另一示范性填充电路的原理图。

图 11 是示范性时钟选择电路的原理图。

图 12 是另一示范性时钟选择电路的原理图。

10 为了简洁和清晰绘出了图中的元件，不一定是按比例绘制的。例如，为了提高对本发明的实施例的理解，图中的一部分元件的尺寸相对于其他元件可能有所放大。

具体实施方式

15 可以根据功能性部件和步骤对本发明的各个方面和特征进行描述。这样的功能性部件和步骤可以由被配置成执行规定功能的任何数量的元件和/或步骤来实现。例如，本方法和装置可以采用电子、信令和逻辑元件，如锁存器、寄存器、延迟线和逻辑门，它们在各种实施例、应用和环境中可以执行各种功能。此外，可以结合任何数量的过程和系统实践本方法和装置，并且
20 所描述的这些装置和方法仅仅是本发明的示范性应用。另外，本方法和装置可以采用任何数量的常规或者其他性质的技术来放置、使用、制造等。

一种根据本发明的各个方面的电子系统包括多个与延迟测量电路协同工作的部件。这些部件可以包含使用延迟测量电路的任何部件，例如单块板子上的多个集成电路和电子部件，单个集成电路中的各种元件，计算机系统的
25 各种部件，或者任何其他部件。例如，参考图 4，示范性电子系统 400 适宜包含处理器 410、存储器 412 和时钟发生器 414。处理器 410 根据程序控制电子系统 400。例如，处理器 410 可以包含常规的中央处理单元，如英特尔奔腾（Pentium）处理器或者先进微器件公司的速龙（Athlon）处理器。时钟发生器 414 产生系统时钟信号，并把系统时钟信号提供给电子系统 400 的
30 各种部件，例如处理器 410 和存储器 412。时钟发生器 414 可以包含用于产生系统时钟信号的任何系统，如使用石英晶体的常规定时器件。

存储器 412 储存信息，用于随后的检索。存储器 412 可以包含任何适当的存储器、存储器系统或储存设备或系统。例如，存储器 412 可以包含包括存储器控制器、多个存储器芯片和相关的逻辑和电路在内的存储器子系统。在本实施例中，存储器 412 包含 SDRAM，例如可从美商美光科技公司(Micron Technology, Inc) 获得的 DDR SDRAM。

存储器 412 包括延迟均衡电路 416。在本实施例中，延迟均衡电路 416 被集成到 SDRAM 中，尽管延迟均衡电路 416 也可以被集成到存储器 412 的其他部件中，或者作为单独的电路来实现。根据本发明的各个方面的延迟均衡电路 416 用来同步第一信号和第二信号。具体来说，延迟均衡电路 416 可以被配置成使内部时钟信号或数据信号与以时钟发生器 414 所产生的系统时钟信号为例的外部时钟信号同步。延迟均衡电路 416 也可以被配置成初始化另一部件，例如一个延迟锁定环。延迟均衡电路 416 可以包含任何合适的延迟均衡电路，例如延迟锁定环 (DLL)、锁相环 (PLL)、同步镜像延迟电路、时钟同步延迟电路 (CSD)，或者任何其他的延迟均衡电路或这些电路的适当组合。

在本实施例中，延迟均衡电路 416 包含 CSD 电路，该电路也被称为测量控制延迟电路。例如，参考图 5，根据本发明的各个方面的 CSD 电路 500 包含延迟监视电路 510；测量延迟线 512；中间元件 514；可变延迟线 516；和工作控制电路 518。CSD 电路 500 适宜被配置成通过测量和输入缓存器 520、输出驱动器 522 和/或任何的其他相关电路相关联的延迟，并根据测得的延迟产生和输入信号同时产生的定时脉冲来产生同步到输入脉冲的输出脉冲。

延迟监视电路 510 导致了初始输入信号的被选择持续时间的传输延迟。被选择延迟可以被调整到任何所需的持续时间。在本实施例中，选择一个延迟来模拟和输入缓存器 520 (d1) 及输出驱动电路 522 (d2) 相关联的延迟。可以用任何适当的方式来实现延迟监视电路 510，以引起所需的延迟 (d1 + d2)，例如，使用一系列驱动器和缓存器电路。

在通过延迟监视电路 510 传输后，经延迟的输入信号通过测量延迟线 512 传输。测量延迟线 512 适宜被配置成为延迟均衡操作测量延迟持续时间。根据由测量延迟线 512 测得的延迟，CSD 电路 500 产生和输入信号同步的输出信号。测量延迟线 512 可以用任何适当的方式测量该延迟，例如通过让信号通过一系列常规的级来传输，其中每一级和某个延迟周期相关联。例如，测

量延迟线 512 可以包含电阻器阵列、金属线、一组串联的与非门和反相器，或更多复杂的逻辑门延迟电路。

5 测量延迟线 512 适宜产生与测得的延迟对应的经过测量的延迟信号，并把经过测量的延迟信号提供给可变延迟线 516。例如，在本实施例中，测量延迟线适宜测量该延迟，执行和该延迟对应的时间到数字转换以产生经过测量的延迟信号，并把经过测量的延迟信号提供给中间元件 514。经过测量的延迟信号适宜包含一个可以被从测量延迟线 512 直接或间接地提供给可变延迟线 516 的数字字。

10 在本实施例中，经过测量的延迟信号被通过中间元件 514 提供给可变延迟线 516。中间元件 514 储存和/或缓存经过测量的延迟信号。中间元件 514 可以包含任何适于把经过测量的延迟信号从测量延迟线 512 传递到可变延迟线 516 的中间元件，例如锁存器、寄存器或缓存器。此外，中间元件 514 可以是独立的元件，或者被集成到测量延迟线 512 或可变延迟线 516 中。

15 在本实施例中，中间元件 514 被配置成接收和储存包含经过测量的延迟信号的数字字的每一个比特。例如，中间元件 514 适宜包含被配置成储存数字信息的常规捕捉寄存器或锁存器。或者，中间元件 514 可以被配置成移位寄存器，例如，在 CSD 电路 500 初始化一个 DLL 的应用中；或者，如果延迟均衡电路 416 被用同步镜像延迟电路或任何其他适当的部件来实现，则被配置为监视控制电路。

20 可变延迟线 516 从测量延迟线 512 接收经过测量的延迟信号，例如通过中间元件 514。然后，可变延迟线 516 根据经过测量的延迟信号产生可变延迟信号。例如，可变延迟线 516 适宜通过产生可变延迟信号来执行数字到时间转换，该可变延迟信号被与经过测量的延迟信号相应的延迟所标记。和测量延迟线 512 一样，可变延迟线 516 可以用任何适当的方式来实现，例如，
25 电阻器阵列、金属线、一组串联的与非门和反相器，或更多复杂的逻辑门延迟电路。可变延迟信号被提供给输出驱动器 522，驱动器 522 适宜放大来自可变延迟线 516 的时钟信号或者数据信号，以分配最终的经过延迟均衡的信号。

30 工作控制电路 518 控制 CSD 电路 500 的各个方面的工作。工作控制电路 518 可以被配置成以任何适当的方式控制 CSD 电路 500 的任何被选择的方面，例如降低功耗和/或噪声，或检测和指示溢出状态。例如，工作控制电路 518

可以被配置成在检测到入口点 310 时产生任何被选择的响应，包括功率节省响应和/或非溢出响应。

5 根据本发明的各个方面的工作控制电路 518 包括溢出电路。溢出电路适宜被配置成检测溢出状态是否已经发生。例如，溢出电路可以被配置成检测入口点是否存在于溢出电路的工作范围内的信号中，并且根据任何适当的标准做出响应。溢出电路可以监视任何适当的信号以便确定是否已经检测到入口点。溢出电路还适宜根据是否检测到入口点来控制例如溢出标志的溢出信号。

10 溢出电路可以被配置成在被选择周期内监视被选择信号。例如，被选择周期适宜从延迟线 512、516 接收到初始脉冲开始持续一段和延迟线的总的持续能力或其他工作范围对应的时间。如果在被选择周期内没有检测到入口点 310，则延迟溢出状态已经发生，并且溢出电路可以相应地调整溢出信号。溢出信号也可以由例如处理器 410 的其他系统监视或接收，以便识别溢出状况并做出响应。

15 例如，参考图 6，根据本发明的各个方面的溢出电路 612 可以被配置成监视测量延迟线 512，并且，如果在测量延迟线的最大测量周期内没有检测到入口点 310 则激活溢出信号 618。测量延迟线 512 可以被分割为多个段 614A-D。每个段 614A-D 适宜包含测量延迟线 512 的一级或多个级，并包括状态输出和时钟输入。状态输出被配置成产生状态信号 616A-D，状态信号
20 616A-D 和对应的段 614A-D 中是否有任何一级检测到入口点 310 对应。入口点 310 可以包含输入信号中的任何适当的特征。例如，入口点 310 适宜由测量延迟线 512 的输出中的第一次逻辑 LOW 到逻辑 HIGH 的转换来标识。这样，可以通过对各个段 614 的状态信号 616 进行监视来检测测量延迟线 512 对延迟的成功测量。

25 状态信号 616 可以由任何部件以任何适当的方式使用和监视。例如，在本实施例中，状态信号 616 被提供给溢出电路 612。溢出电路 612 可以被配置成根据任何适当的标准对来自测量延迟线 512 的状态信号 616 做出响应。在本实施例中，溢出电路 612 从各个段接收状态信号 616，以确定入口点是否已经被检测到。溢出电路 612 根据入口点是否已经被检测到来控制溢出信
30 号 618，如溢出标志。溢出电路 612 可以被配置成在被选择周期内监视状态信号 616，该被选择周期从延迟线 512 接收到经延迟的脉冲开始持续一段和

延迟线 512 的总的持续能力相对应的的时间。如果状态信号 616 指示在被选择周期内未检测到入口点 310, 则已发生溢出状态, 并且溢出电路 612 可以相应地调整溢出信号。溢出信号 618 可以由例如处理器 410 的另一个系统监视, 以便识别溢出状况并做出响应。

- 5 溢出电路 612 可以被配置成与任何适当的信号或部件协同工作, 以便检测溢出状态并产生溢出信号 618。例如, 溢出电路 612 可以在另一部件的输出信号内产生溢出信号 618。因此, 不提供独立的溢出信号 618, 而是将其集成到另一部件的输出中。

例如, 延迟均衡电路 416 的中间元件 514 可以与溢出电路 612 协同工作以产生溢出信号 618。参考图 8A, 根据本发明的各个实施例的中间元件包括寄存器, 例如移位寄存器 810, 并且溢出电路 612 可以控制该寄存器的输出。中间元件适宜包含多个单元 514。移位寄存器 810 可以包含用于储存信息的任何电路, 例如常规的移位寄存器。移位寄存器 810 适宜包含多个寄存器单元 812。

- 15 溢出电路 612 适宜包含填充电路。填充电路选择性地导致一个或多个寄存器单元 812 的内容被设置为被选择的值, 例如逻辑 HIGH。可以用任何适当方式实现填充电路以产生溢出信号。例如, 填充电路可以被配置成在检测到溢出状态后在特定的寄存器单元 812 内储存被选择的值。

在本实施例中, 填充电路包含多个级 814 来控制寄存器单元 812 的内容。每个填充电路级 814 适宜和对应的寄存器单元 812 协同工作。仍参考图 8A, 移位寄存器单元 812 被耦合到示范性填充电路级 814。移位寄存器单元 812 包括接到右移寄存器单元的 RIGHT IN(右输入)输入和连接到左移寄存器单元的 LEFT IN(左输入)输入。寄存器单元 812 也包括测量延迟线输入, 用于接收来自测量延迟线 512 的对应级的输入。

- 25 填充电路 814 适宜对控制信号 FILL(填充)做出响应以使能填充电路级 814。当控制信号无效时, 两个晶体管 820、822 被关闭, 从而将移位寄存器单元 812 与填充电路级 814 隔离。当控制信号被激活时, 晶体管 820、822 在一个逻辑 HIGH 信号被施加到 RIGHT IN 输入后被启动。因此, 当逻辑 HIGH 入口点被检测到并被储存在右移寄存器单元 812 中时, 它将下一个移位寄存器单元 812 的非反相输出驱动到逻辑 HIGH, 而与 RIGHT IN、LEFT IN 和测量延迟线的输入处的输入无关。此逻辑 HIGH 输出也被在下一个移位寄存器
- 30

单元 812 的 RIGHT IN 处提供给该左移输出移位寄存器单元 812, 从而使得逻辑 HIGH 值通过左移寄存器单元 812 传输。

5 填充电路 814 可以被用任何适当的方式实现, 以便储存所需的值并产生所需的溢出信号。例如, 参考图 8B, 另一种填充电路 814 级包含与非门 824, 取代移位寄存器单元 812 的反相器中的一个。与非门 824 的第二输入端被连接到右移移位寄存器单元 812 的反相输入。这样, 如果前一移位寄存器单元的非反相输出是逻辑 LOW, 则当前移位寄存器单元 812 储存一个和从被选择的 RIGHT IN、LEFT IN 或测量延迟线输入所接收到的值对应的值。但是, 如果前一移位寄存器单元的非反相输出是逻辑 HIGH, 则与非门 824 的非反相输出是逻辑 HIGH。来自反相输出的逻辑 LOW 信号也被在下一寄存器单元的 RIGHT IN 输入端提供给该左移寄存器单元, 从而使逻辑 HIGH 值传输通过左移寄存器单元 812。

15 这样填充电路 814 可以将逻辑 HIGH 值传输通过移位寄存器 810 的剩余寄存器单元 812。因此, 填充电路 814 用于确保溢出状态可以由最后一个移位寄存器单元 812 指示。如果检测到入口点 310, 则逻辑 HIGH 值传输到最后一个移位寄存器单元 812。另一方面, 如果在相关的工作范围内没有检测到入口点 310, 则溢出状态已经发生了, 并且所有的移位寄存器单元 812 包含逻辑 LOW 值。因此, 可以通过在被选择周期的末尾, 例如在和整个测量延迟线 512 的持续时间对应的定时器到期时, 只访问最后一个移位寄存器单元 812 来检测溢出状态。如果最后一个移位寄存器单元 812 包含逻辑 HIGH 值, 则入口点 310 被检测到了; 否则, 未检测到入口点, 并且溢出状态已经发生。这样, 最后一个移位寄存器单元 812 提供了溢出信号。

25 工作控制电路 518 可以被用任何适当的方式配置为把被选择的值通过中间元件 514 传输。例如, 工作控制电路 518 可以无须改变中间元件 514 的内容就改变中间元件 514 的输出。例如, 参考图 9, 填充电路 814 的另一实施例包含多个或门。每个或门的第一输入被连接到对应寄存器单元 812 的输出, 而第二输入被连接到前一或门的输出。打头的或门的第二输入被连接到逻辑 LOW 信号。采用这种结构, 或门的输出为逻辑 LOW, 直到从移位寄存器 810 输出和入口点 310 的检测对应的第一个逻辑 HIGH 为止。当第一个逻辑 HIGH 30 值被放入移位寄存器 810 后, 对应的或门的输出和每个后续或门的输出在经过输出建立时间后也被驱动到逻辑 HIGH。这样, 可以仅仅通过在任何适

当的时间，例如当从接收到输入信号已经经过了超过测量延迟线 512 的最大时间的足够长时间时，访问最后一个移位寄存器单元 812 来检测溢出状态。

可以实现另一种工作控制电路 518 来获得类似的结果。例如，参考图 10，可以使用与非(NAND)门和反相器来实现填充电路 814。每个与非门具有连接到对应的寄存器单元 812 的反相输出的第一输入和通过对应的反相器连接到前一与非门的输出的第二输入。初始与非门的第二输入被连接到逻辑 HIGH 信号。采用这种结构，与图 9 的或门结构类似，直到和入口点 310 的检测相对应的第一逻辑 HIGH 被储存到寄存器 810 为止，与非门的输出都是逻辑 LOW。当第一逻辑 HIGH 值被放入寄存器 810 时，对应的与非门和填充电路 814 的每个后续与非门的输出也切换到逻辑 HIGH。

工作控制电路 518 可以被配置成降低延迟均衡电路 416 的功耗。例如，工作电路 518 可以包括时钟选择电路，用于选择性地使能和禁止提供给 CSD 电路 500 的部件的信号，CSD 电路 500 的部件如测量延迟线 512、中间元件 514 和/或可变延迟线 516。再参考图 6，时钟选择电路 610 的示范性实施例与来自各个段 614 的状态信号 616 协同工作。时钟选择电路 610 对状态信号 616 做出响应，例如，节省功率和/或降低噪声。

在本实施例中，时钟选择电路 610 被配置成，当状态信号 616 指示已经检测到入口点时，使得提供给一个或多个段 614 的时钟信号 620 无效。时钟选择电路 610 适宜包含具有和每个段 614A-D 对应的逻辑与非门 622A-D 的逻辑系统。每个与非门 622A-D 接收时钟信号 620 和对应的段 614A-D 的状态信号 616A-D。门 622 的输出被连接到对应的段 614A-D 的时钟输入。这样，当状态信号为逻辑 HIGH，指示段 614A-D 还未检测到入口点时，时钟信号 620 被门 622 传送到段 614。当检测到入口点，段 614 把状态信号驱动到逻辑 LOW，使得提供给段 614 的时钟信号 620 无效。

时钟选择电路 610 还适宜被配置成与溢出电路 612 协同工作，以便控制 CSD 电路 500 的工作。例如，时钟选择电路 610 可被配置成根据来自溢出电路 612 的信号使得提供给测量延迟线 512 的时钟信号 620 无效。时钟选择电路 610 可以包含具有专用于每个段 614 的 3 输入逻辑与非门 622 的逻辑系统。每个与非门 622 接收系统时钟信号 620 和用于对应的段 614 的状态信号 616，并且，门 622 的输出被连接到对应的段 614 的时钟输入。每个与非门 622 的第三输入从溢出电路 612 接收时钟控制信号 624。

时钟选择电路 610 可以根据任何适当的标准做出响应。在本实施例中，溢出电路 612 适宜发信号指示时钟选择电路 610，使被选择的段 614 在检测到入口点后无效。具体来说，溢出电路 612 监视来自段 614 的状态信号 616，并且在段 614 之一检测到入口点后，把测量延迟线 512 中所有后续段 614 的时钟控制信号 624 驱动到逻辑 LOW。把时钟控制信号 624 驱动到逻辑 LOW 使得提供给特定段 614 的时钟信号 620 无效，从而降低了每个相关段 614 的功耗和噪声产生。

在工作中，本实施例的延迟均衡电路 416 检测入口点 310，并自动地终止到测量延迟线 512 的剩余的段 614 的时钟信号。如果未检测到入口点 310，则延迟均衡电路 416 调整溢出信号，指示未检测到入口点 310。

例如，参考图 7，结合图 6 所描述的延迟均衡电路 416 通过最开始经由缓冲器 520（步骤 710）接收例如来自时钟发生器 114 的输入信号来执行延迟均衡过程 700。输入信号被传送到延迟监视电路 510，延迟监视电路 510 引起被选择持续时间的传输延迟（步骤 712）。来自延迟监视电路 510 的经过延迟的信号随后被提供给延迟测量线 512 以便监视该信号以查找入口点 310。

信号首先进入第一段 614A（步骤 714）。如果在特定段内没有检测到入口点 310（步骤 716），则信号传输到下一段 614B（步骤 718）。另一方面，如果在段 614 内的任一级 210 检测到入口点 310，则段 614 调整状态信号 616，指示检测到入口点 310（步骤 720）。当状态信号 616 指示检测到入口点时，溢出电路 612 接收状态信号 616 并根据任何适当的标准做出响应。例如，在本实施例中，溢出电路 612 调整溢出信号 618，指示溢出状态还未发生（步骤 722）。此外，溢出电路 612 给时钟选择电路 610 提供信号，时钟选择电路 610 适宜终止到测量延迟线 512 的后续的段 614 的时钟信号（步骤 724）。如果信号完全传过测量延迟线 512 而没有检测到入口点（步骤 726），则溢出电路 612 可以使用溢出信号 618，例如通过设置溢出标志来指示溢出状态（步骤 728）。

如果检测到入口点 310，则测量延迟线 512 适宜产生和测得的延迟相对应的测量延迟信号，并把它提供给中间元件 514。中间元件 514 把测量延迟信号提供给可变延迟线 516，然后可变延迟线在经过与测量延迟信号对应的延迟后产生可变延迟信号。可变延迟信号由输出驱动电路 522 放大和分配。

根据本发明的各个方面的工作控制电路 518 也可以被配置成降低由延迟

均衡电路 416 的其他部件所消耗的功率或产生的噪声。例如，工作控制电路 518 可以被配置成在检测到入口点 310 后终止施加到可变延迟线 516 的时钟信号。工作控制电路 518 适宜被连接到中间元件 514 以便接收测量延迟信号，还适宜被连接到可变延迟线 516 以便控制提供给可变延迟线 516 的时钟信号。

5 参考图 11，可变延迟线 516 适宜包含多个级以产生所需延迟。可变延迟线 516 的每一级可以包含常规延迟级 1108，例如一对与非门 1110、1112。第一个与非门 1110 具有连接到前一级 1108 的第一输入以接收传输的可变延迟信号，还具有连接到时钟选择电路 610 的第二输入。时钟选择电路 610 根据选择标准给第一与非门 1110 提供时钟信号。级 1108 的第二与非门 1112 具有连接到第一与非门 1110 的输出的第一输入。第二与非门 1112 还适宜包括第二输入，第二输入连接到中间元件 514 的对应部分的反相输出，例如移位寄存器 810 的对应的寄存器单元 812 的反相输出。

10 例如，时钟信号可以根据任何适当的标准被提供给第一与非门 1110，以便检测到入口点 310 时终止到第一与非门 1110 的时钟。在本实施例中，如果对应的寄存器单元 812C 包含逻辑 HIGH 值，并且前一寄存器单元 812B 包含逻辑 LOW 值，则入口点 310 被检测到。在本实施例中，时钟选择电路 610 包含多个与非门 1116，以使每个与非门 1116 的输出被连接到对应的可变延迟线级的第一与非门 1110 的输入。每个时钟选择电路 610 与非门 1116 的第一输入被连接到例如来自时钟发生器 414 的系统时钟信号。每个时钟选择电路 20 610 与非门 1116 的第二和第三输入被分别连接到移位寄存器 810 的对应级的输出和中间元件 514 的前一级的反相输出。在这种结构中，只有可变延迟线 516 的与入口点 310 对应的级被使能以启动可变延迟信号。这样，时钟信号仅被提供给可变延迟线 516 的与入口点对应的级。到后续级的时钟信号被终止。

25 在各种实施方式中，中间元件 514、工作控制电路 518 和/或可变延迟线 516 可能需要建立时间以便根据被提供的信号和/或相关的命令来调整值。例如，在图 11 的实施例中，中间元件 514 包括移位寄存器 810，入口点 310 之后的所有级的反转都被终止了。但是，当遇到左移命令时，后续的比特可能没有被正确地预处理，导致在输出的下降沿上的占空比错误。

30 可以配置延迟均衡电路 416 来补救这些潜在的问题。例如，参考图 12，图 11 的时钟选择电路 610 可以被重新配置成使每个时钟选择电路 610 与非

门 1116 的第三输入被连接到移位寄存器 810 的超前相应单元 2 个单元的那个单元的反相输出。在这种结构中，入口点 310 之后的可变延迟线 516 级接收时钟信号以便预处理该延迟级。当出现左移命令时，可变延迟线 516 被恰当地预处理以使得占空比错误不出现。

- 5 参考各种优选实施例描述了本发明。但是，不偏离本发明的范围，就可对各种示范性实施例做出变化和修改。这些以及其他的变化或修改确实被包括在由所附权利要求给出的本发明的范围之内。

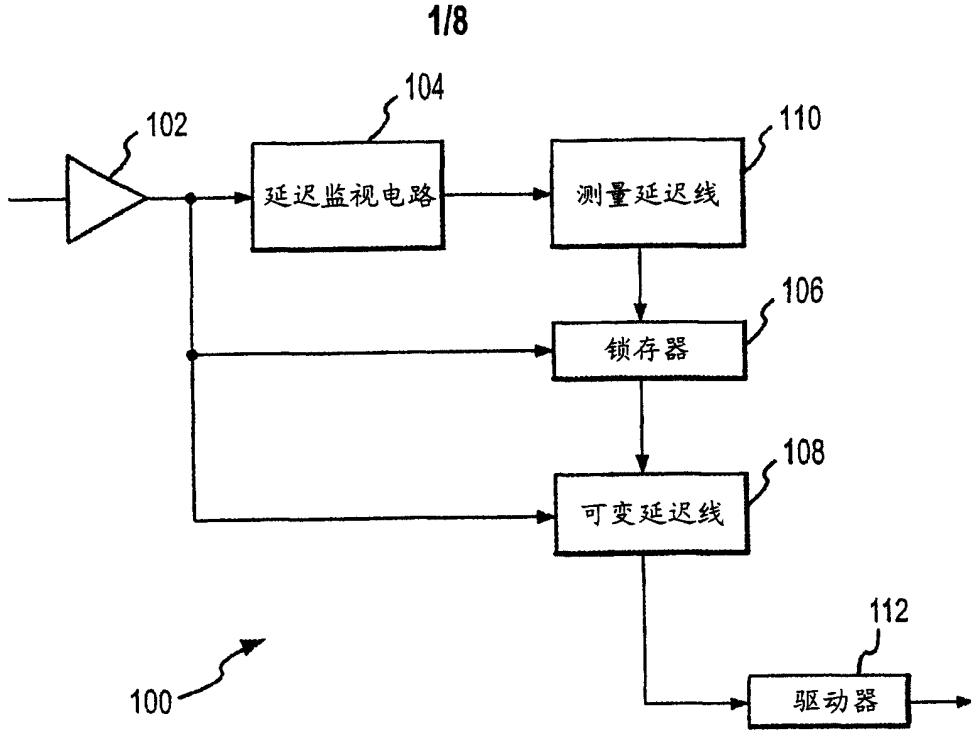


图 1

(现有技术)

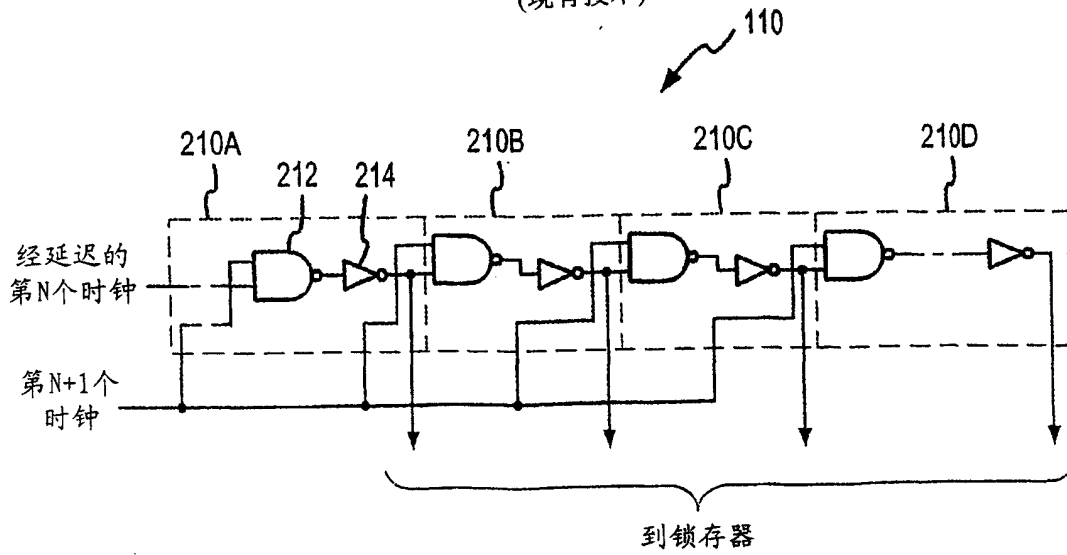


图 2

(现有技术)

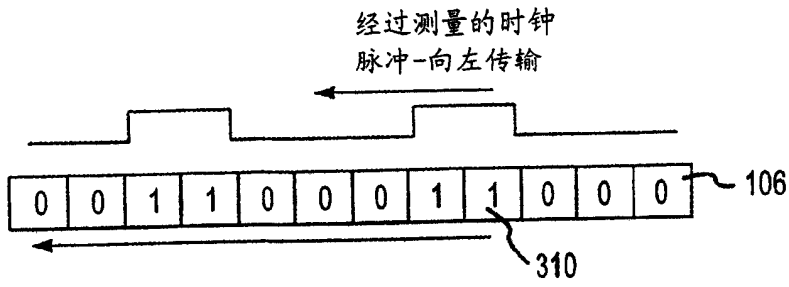


图 3
(现有技术)

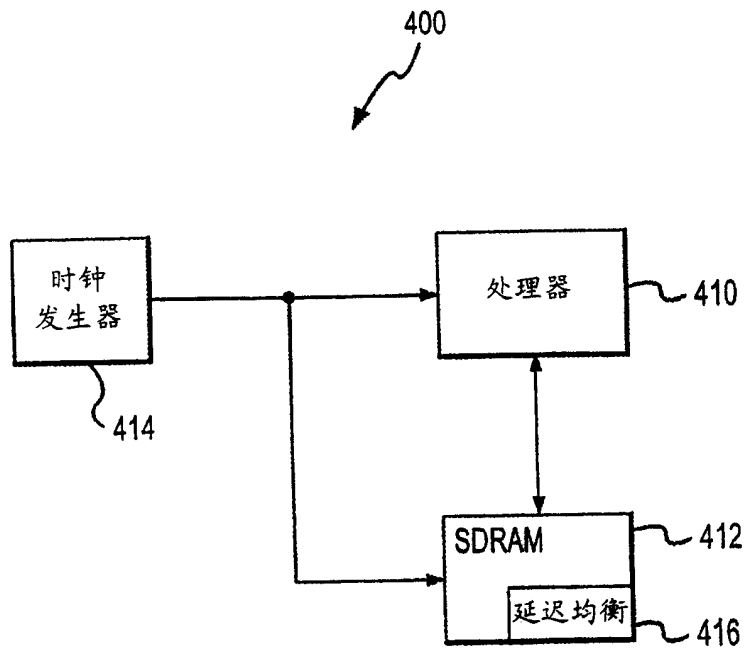


图 4

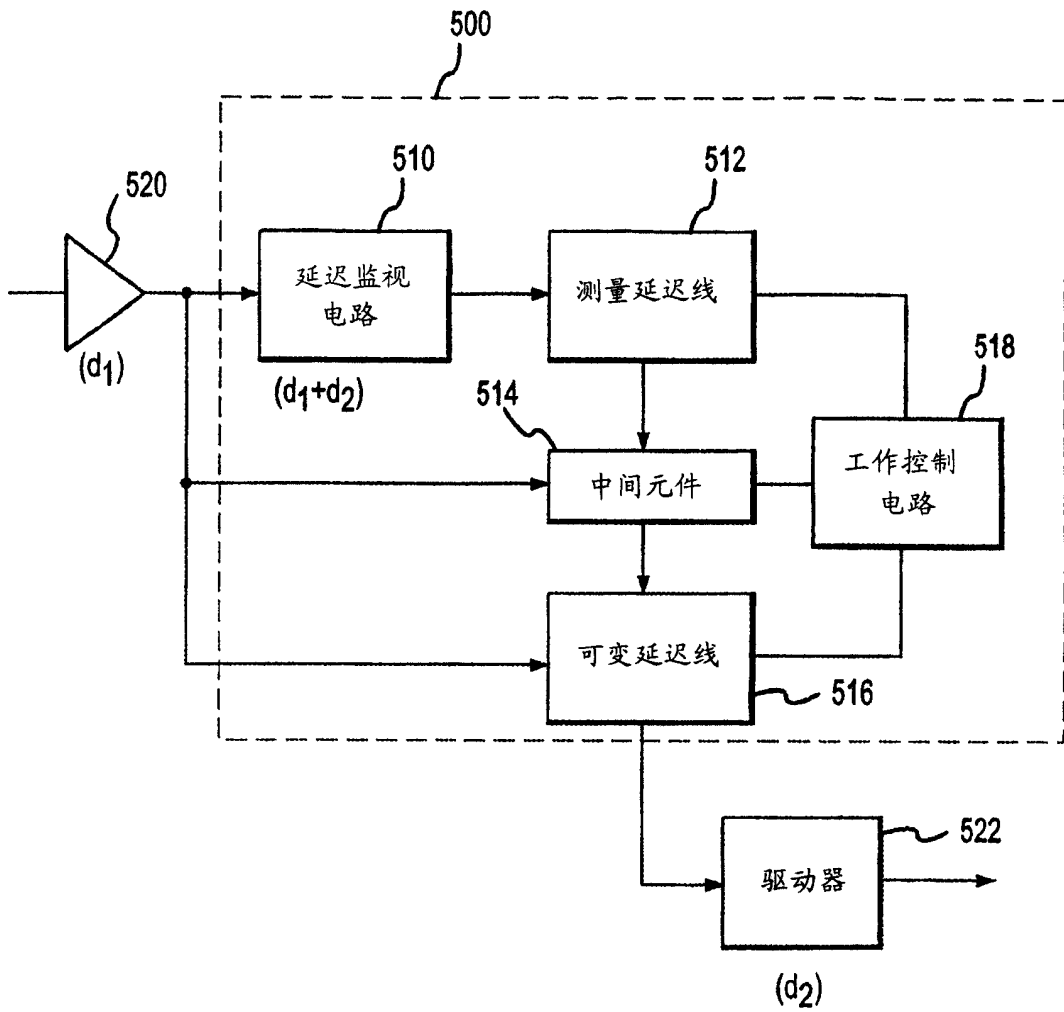


图 5

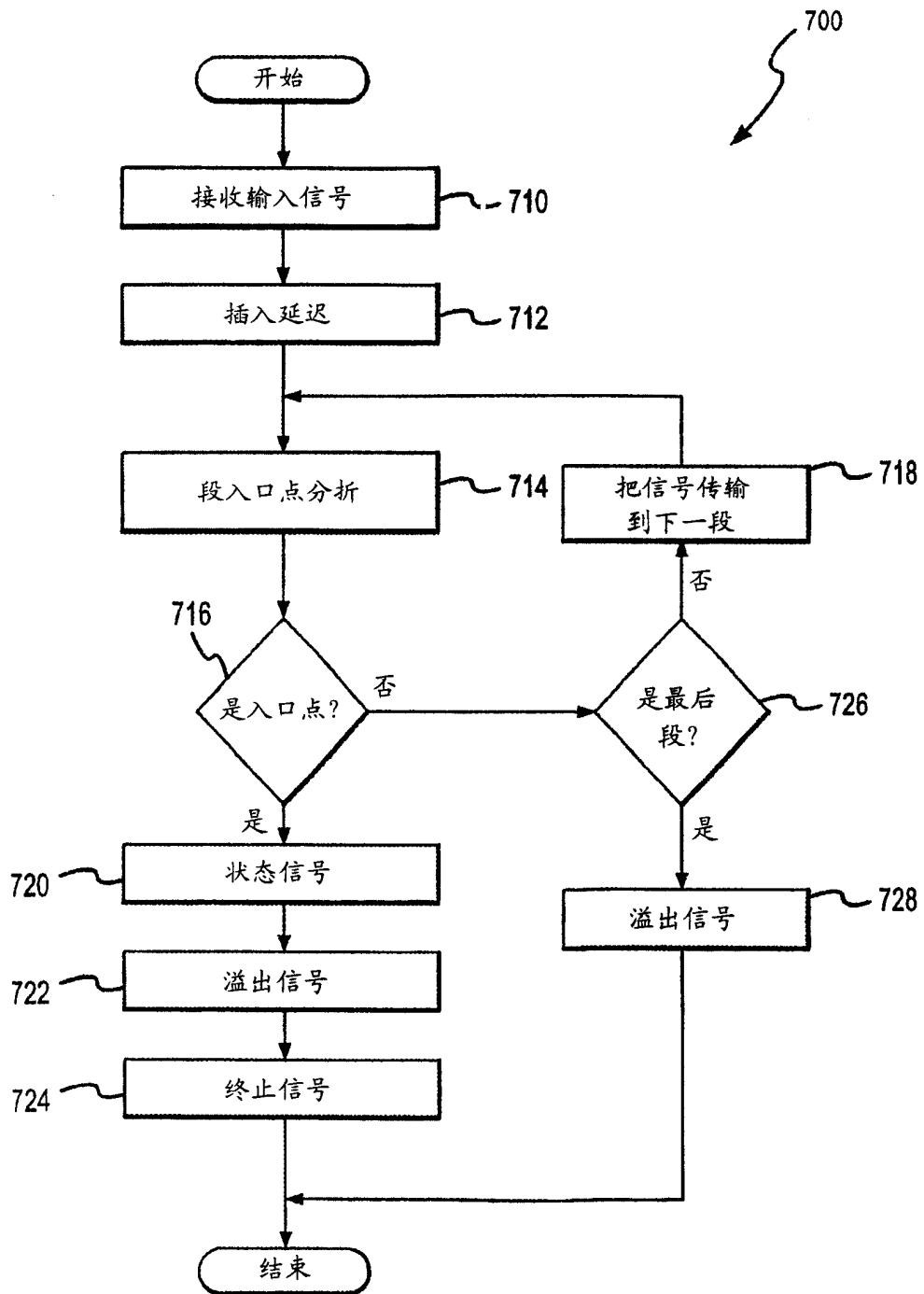


图 7

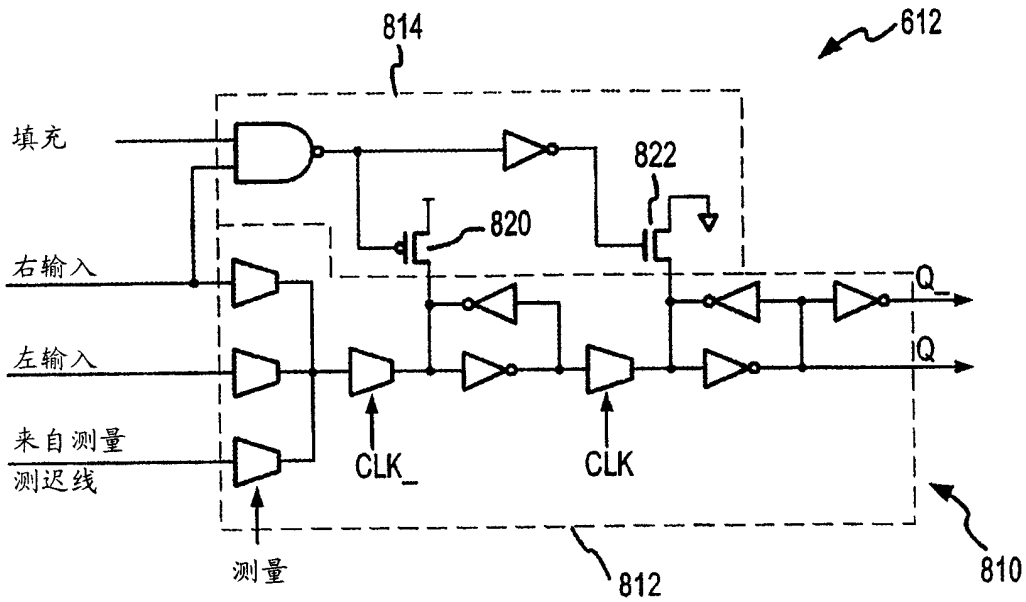


图 8A

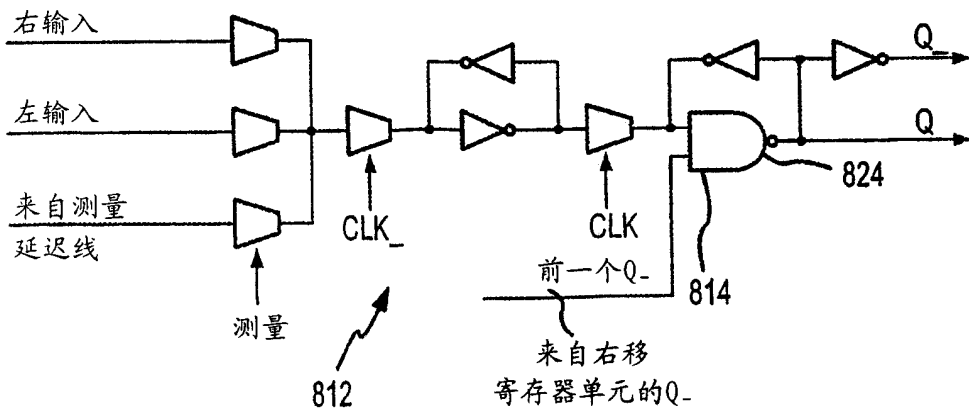


图 8B

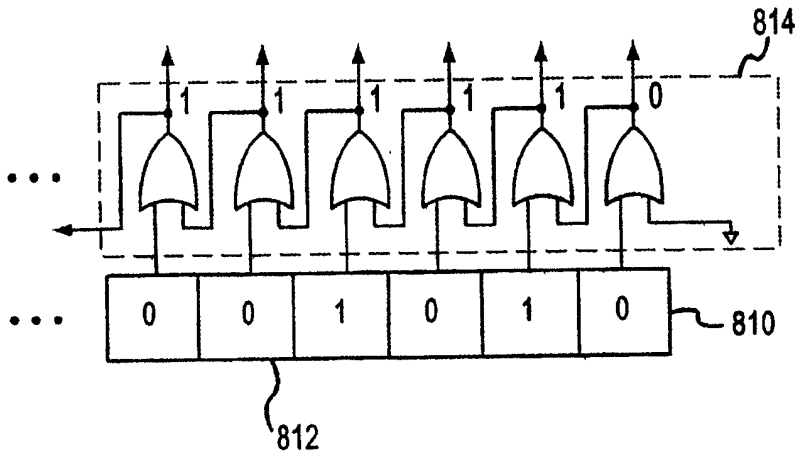


图 9

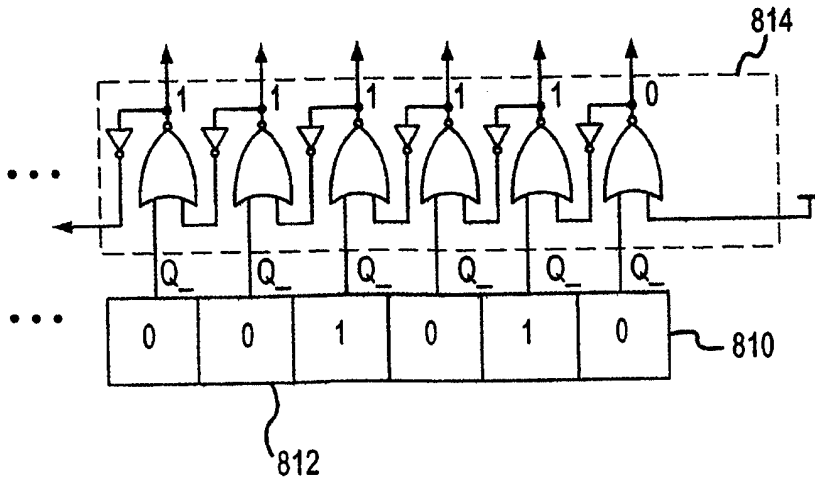


图 10

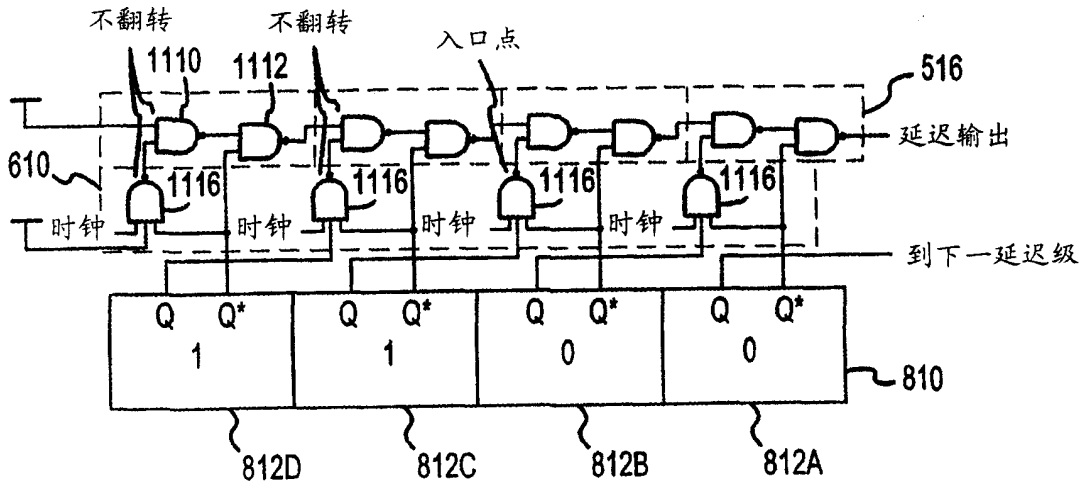


图 11

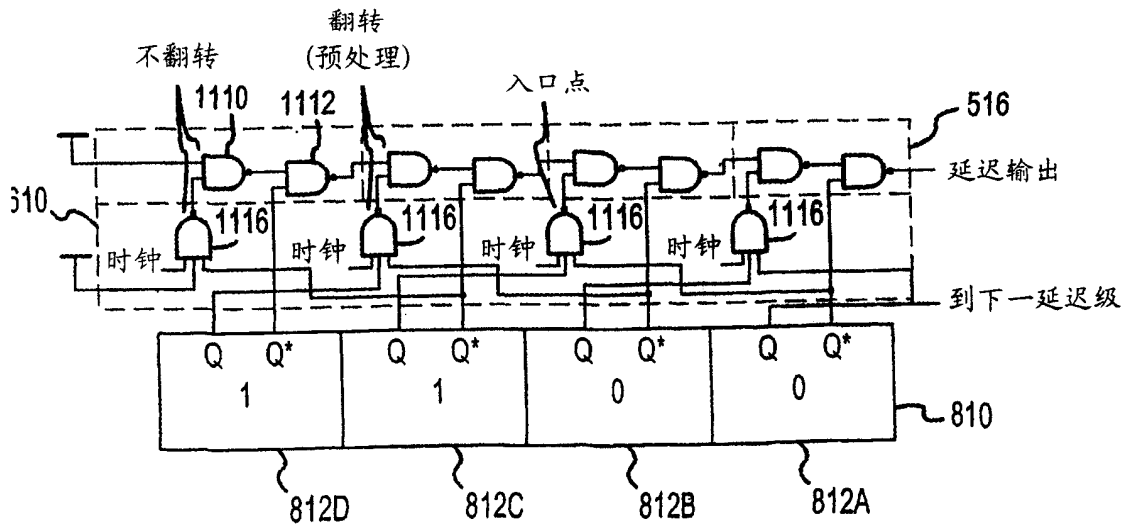


图 12