

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5630294号
(P5630294)

(45) 発行日 平成26年11月26日(2014.11.26)

(24) 登録日 平成26年10月17日(2014.10.17)

(51) Int. Cl. F I
H03L 7/10 (2006.01) H03L 7/10 D
H03L 7/093 (2006.01) H03L 7/08 E

請求項の数 3 (全 23 頁)

(21) 出願番号	特願2011-15180 (P2011-15180)	(73) 特許権者	308014341
(22) 出願日	平成23年1月27日 (2011.1.27)		富士通セミコンダクター株式会社
(65) 公開番号	特開2012-156854 (P2012-156854A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成24年8月16日 (2012.8.16)	(74) 代理人	100072718
審査請求日	平成25年9月27日 (2013.9.27)		弁理士 古谷 史旺
		(74) 代理人	100116001
			弁理士 森 俊秀
		(72) 発明者	今福 一宏
			神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内
		(72) 発明者	正木 俊一郎
			神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

最終頁に続く

(54) 【発明の名称】 PLL回路および半導体装置

(57) 【特許請求の範囲】

【請求項1】

制御電圧に応じた周波数の出力信号を生成する電圧制御発振器と、
 前記出力信号を分周する分周器と、
 基準信号と分周された出力信号との位相差を検出し、前記位相差に応じて第1検出信号および第2検出信号を生成する位相比較器と、
 前記第1検出信号に基づいてオン/オフが制御される第1スイッチおよび前記第2検出信号に基づいてオン/オフが制御される第2スイッチを含み、前記制御電圧を調整するチャージポンプ回路と、
 前記チャージポンプ回路により充放電される容量素子を含み、前記チャージポンプ回路の出力を平滑化して前記制御電圧を生成するローパスフィルタと、
 前記電圧制御発振器に初期電圧を与える初期設定期間に、前記第1スイッチおよび前記第2スイッチの少なくとも一方をオンし、前記容量素子の充放電を制御することにより、前記制御電圧を前記初期電圧に設定する電圧供給部とを備え、
 前記チャージポンプ回路は、前記第1スイッチを介して前記容量素子を充電する第1電流源と、前記第2スイッチを介して前記容量素子を放電する第2電流源とを有し、
 前記電圧供給部は、前記初期設定期間に、前記第1スイッチおよび前記第1電流源間のノードと、前記第2スイッチおよび前記第2電流源間のノードとの少なくとも一方のノードに、前記初期電圧を与え、前記第1スイッチおよび前記第2スイッチのうち、前記初期電圧が与えられたノードと前記容量素子との間に配置された方をオンし、前記制御電圧を

10

20

前記初期電圧に設定する

ことを特徴とするPLL回路。

【請求項2】

前記電圧供給部は、前記電圧制御発振器の目標周波数に応じて、前記初期電圧を可変に設定する

ことを特徴とする請求項1記載のPLL回路。

【請求項3】

基準信号に基づく周波数の出力信号を生成するPLL回路を備え、

前記PLL回路は、

制御電圧に応じた周波数の前記出力信号を生成する電圧制御発振器と、

前記出力信号を分周する分周器と、

前記基準信号と分周された出力信号との位相差を検出し、前記位相差に応じて第1検出信号および第2検出信号を生成する位相比較器と、

前記第1検出信号に基づいてオン/オフが制御される第1スイッチおよび前記第2検出信号に基づいてオン/オフが制御される第2スイッチを含み、前記制御電圧を調整するチャージポンプ回路と、

前記チャージポンプ回路により充放電される容量素子を含み、前記チャージポンプ回路の出力を平滑化して前記制御電圧を生成するローパスフィルタと、

前記電圧制御発振器に初期電圧を与える初期設定期間に、前記第1スイッチおよび前記第2スイッチの少なくとも一方をオンし、前記容量素子の充放電を制御することにより、前記制御電圧を前記初期電圧に設定する電圧供給部とを備え、

前記チャージポンプ回路は、前記第1スイッチを介して前記容量素子を充電する第1電流源と、前記第2スイッチを介して前記容量素子を放電する第2電流源とを有し、

前記電圧供給部は、前記初期設定期間に、前記第1スイッチおよび前記第1電流源間のノードと、前記第2スイッチおよび前記第2電流源間のノードとの少なくとも一方のノードに、前記初期電圧を与え、前記第1スイッチおよび前記第2スイッチのうち、前記初期電圧が与えられたノードと前記容量素子との間に配置された方をオンし、前記制御電圧を前記初期電圧に設定する

ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL回路および半導体装置に関する。

【背景技術】

【0002】

PLL(Phase Locked Loop)回路は、出力信号の位相を基準信号の位相に同期させる回路である。一般的に、PLL回路は、位相比較器、チャージポンプ回路、ループフィルタ、電圧制御発振器および分周器を有している。位相比較器は、電圧制御発振器から分周器を介してフィードバックされた信号(出力信号を分周した分周信号)と基準信号との位相差を比較する。そして、PLL回路は、位相比較器により検出された位相差に基づいて、電圧制御発振器の出力信号の周波数を調整する。例えば、電圧制御発振器は、位相差に基づいて調整された制御電圧を受け、制御電圧に応じた周波数の出力信号を生成する。これにより、出力信号の位相は、基準信号の位相に同期する。

【0003】

ここで、PLL回路が動作していないときには、制御電圧は、例えば、0V(あるいはPLL回路の電源電圧)に維持されている。そして、PLL回路が動作したとき、制御電圧は、0Vから出力信号の目標周波数に対応する電圧まで徐々に上昇する。PLL回路の動作開始時の制御電圧が0V(あるいはPLL回路の電源電圧)であるため、PLL回路の発振周波数が安定するまで時間がかかる。

【0004】

10

20

30

40

50

PLL回路の発振周波数が安定するまでの時間（以下、ロックアップタイムとも称する）を短縮するために、電圧制御発振器に所定の初期電圧を与えるPLL回路が提案されている（例えば、特許文献1）。この種のPLL回路は、例えば、電圧制御発振器の入力端子（制御電圧を受ける端子）に接続された電圧供給回路を有している。例えば、電圧供給回路は、PLL回路の動作開始時に、電圧制御発振器の入力端子に電氣的に接続され、電圧制御発振器に所定の初期電圧を与える。その後、電圧供給回路は、電圧制御発振器の入力端子と電氣的に非接続される。これ以降、電圧制御発振器は、位相差に基づいて調整された制御電圧を受け、制御電圧に応じた周波数の出力信号を生成する。

【0005】

なお、D/A変換器により生成された電圧を電圧制御発振器に与えるPLL回路も提案されている（例えば、特許文献2）。例えば、D/A変換器は、電圧制御発振器の目標周波数に対応する電圧を生成する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平6-61852号公報

【特許文献2】特開2000-40959号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

電圧制御発振器の入力端子に電圧供給回路が接続された構成では、電圧供給回路から電圧制御発振器の入力端子への電流パスが形成されている。このため、電圧供給回路と電圧制御発振器の入力端子とを電氣的に非接続にしても、電圧供給回路内のトランジスタ等のリーク電流が電圧制御発振器の入力端子に流れるおそれがある。電圧供給回路からのリーク電流により制御電圧が揺れると、PLL回路の発振精度が低下する。このため、ロックアップタイムが長くなる。なお、トランジスタ等のリーク電流は、製造プロセスの微細化に伴い増加している。このため、電圧供給回路から電圧制御発振器の入力端子に流れるリーク電流も増加する。リーク電流の増加に伴い、PLL回路の発振精度がさらに低下すると、PLL回路が正常に機能しないおそれがある。

【0008】

本発明の目的は、PLL回路の発振精度の低下を抑制しつつ、ロックアップタイムを短縮することである。

【課題を解決するための手段】

【0009】

本発明の一形態では、PLL回路は、制御電圧に応じた周波数の出力信号を生成する電圧制御発振器と、出力信号を分周する分周器と、基準信号と分周された出力信号との位相差を検出し、位相差に応じて第1検出信号および第2検出信号を生成する位相比較器と、第1検出信号に基づいてオン/オフが制御される第1スイッチおよび第2検出信号に基づいてオン/オフが制御される第2スイッチを含み、制御電圧を調整するチャージポンプ回路と、チャージポンプ回路により充放電される容量素子を含み、チャージポンプ回路の出力を平滑化して制御電圧を生成するローパスフィルタと、電圧制御発振器に初期電圧を与える初期設定期間に、第1スイッチおよび第2スイッチの少なくとも一方をオンし、容量素子の充放電を制御することにより、制御電圧を初期電圧に設定する電圧供給部とを備え、チャージポンプ回路は、第1スイッチを介して容量素子を充電する第1電流源と、第2スイッチを介して容量素子を放電する第2電流源とを有し、電圧供給部は、初期設定期間に、第1スイッチおよび第1電流源間のノードと、第2スイッチおよび第2電流源間のノードとの少なくとも一方のノードに、初期電圧を与え、第1スイッチおよび第2スイッチのうち、初期電圧が与えられたノードと容量素子との間に配置された方をオンし、制御電圧を初期電圧に設定する。

【発明の効果】

【 0 0 1 0 】

P L L回路の発振精度の低下を抑制しつつ、ロックアップタイムを短縮できる。

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 一実施形態における P L L回路の例を示している。

【 図 2 】 図 1 に示した P L L回路の初期設定期間の動作の一例を示している。

【 図 3 】 図 1 に示した P L L回路の通常動作期間の動作の一例を示している。

【 図 4 】 別の実施形態における P L L回路の一例を示している。

【 図 5 】 図 4 に示した各電流源の少なくとも一部を M O Sトランジスタで構成したときの P L L回路の一例を示している。

10

【 図 6 】 図 5 に示した P L L回路の初期設定期間の動作の一例を示している。

【 図 7 】 図 5 に示した P L L回路の通常動作期間の動作の一例を示している。

【 図 8 】 別の実施形態における P L L回路の一例を示している。

【 図 9 】 図 8 に示した P L L回路の初期設定期間の動作の一例を示している。

【 図 1 0 】 別の実施形態における P L L回路の一例を示している。

【 図 1 1 】 図 1 0 に示した電圧供給部の出力端子の電圧を抵抗分割により生成する P L L回路の一例を示している。

【 図 1 2 】 図 1 1 に示した P L L回路の初期設定期間の動作の一例を示している。

【 図 1 3 】 図 1 1 に示した P L L回路の通常動作期間の動作の一例を示している。

【 図 1 4 】 別の実施形態における P L L回路の一例を示している。

20

【 発明を実施するための形態 】

【 0 0 1 2 】

以下、実施形態を図面を用いて説明する。

【 0 0 1 3 】

図 1 は、一実施形態における P L L回路 1 0 の例を示している。なお、図 1 の二重丸は、スイッチ S W (S W 1、S W 2) のオン / オフを制御する信号を受ける制御端子を示している。P L L (P h a s e L o c k e d L o o p) 回路 1 0 は、例えば、半導体装置の少なくとも一部を構成する。例えば、P L L回路 1 0 は、位相比較器 P F D、チャージポンプ回路 C P 1、ローパスフィルタ L P F、電圧制御発信器 V C O、分周器 D I V および電圧供給部 V S 1 を有している。P L L回路 1 0 は、分周器 D I V の出力信号 (電圧制御発信器 V C O の出力信号を分周した信号) の位相を、位相比較器 P F D で受けた基準信号の位相に同期させる。

30

【 0 0 1 4 】

位相比較器 P F D は、入力端子 C K で受けた基準信号と入力端子 F B で受けたフィードバック信号との位相差を検出する。フィードバック信号は、例えば、分周器 D I V の出力信号や電圧制御発信器 V C O の出力信号である。そして、位相比較器 P F D は、基準信号とフィードバック信号との位相差に応じて、検出信号を出力端子 U P、D N を介してチャージポンプ回路 C P 1 に出力する。出力端子 U P、D N は、例えば、チャージポンプ回路 C P 1 の第 1 スイッチ S W 1 の制御端子および第 2 スイッチ S W 2 の制御端子にそれぞれ接続されている。

40

【 0 0 1 5 】

例えば、位相比較器 P F D は、フィードバック信号の位相が基準信号の位相に対して遅れているとき、電圧制御発信器 V C O の出力信号の周波数を高くするためのアップ信号を、出力端子 U P を介してチャージポンプ回路 C P 1 に出力する。また、例えば、位相比較器 P F D は、フィードバック信号の位相が基準信号の位相に対して進んでいるとき、電圧制御発信器 V C O の出力信号の周波数を低くするためのダウン信号を、出力端子 D N を介してチャージポンプ回路 C P 1 に出力する。すなわち、位相比較器 P F D は、基準信号と分周器 D I V の出力信号との位相差を検出し、位相差に応じてアップ信号およびダウン信号を生成する。

【 0 0 1 6 】

50

チャージポンプ回路CP1は、例えば、内部電源線と接地線との間に直列に接続された第1電流源IS10、第1スイッチSW1、第2スイッチSW2および第2電流源IS20を有している。第1スイッチSW1と第2スイッチSW2との接続ノードN1は、例えば、電圧制御発信器VCOの入力端子VCNTと、ローパスフィルタLPFの容量素子C1および抵抗R1とに接続されている。例えば、チャージポンプ回路CP1は、第1スイッチSW1および第2スイッチSW2の一方をオンすることにより、電圧制御発信器VCOの制御電圧（入力端子VCNTの電圧）を調整する。

【0017】

第1スイッチSW1は、例えば、制御端子（図のスイッチSW1の二重丸）で受けるアップ信号等に基づいてオン/オフが制御される。また、第2スイッチSW2は、例えば、制御端子（図のスイッチSW2の二重丸）で受けるダウン信号等に基づいてオン/オフが制御される。第1電流源IS10は、第1スイッチSW1がオンしたとき、ローパスフィルタLPFの容量素子C1を、第1スイッチSW1を介して充電する。また、第2電流源IS20は、第2スイッチSW2がオンしたとき、ローパスフィルタLPFの容量素子C1を、第1スイッチSW1を介して放電する。

10

【0018】

ローパスフィルタLPFは、例えば、チャージポンプ回路CP1のノードN1と接地線との間に並列に接続された容量素子C1および抵抗R1を有している。例えば、ローパスフィルタLPFは、チャージポンプ回路CP1の出力を平滑化して制御電圧を生成する。制御電圧は、電圧制御発信器VCOの入力端子VCNTに入力される。すなわち、ローパスフィルタLPFは、チャージポンプ回路CP1の出力を平滑化して、電圧制御発信器VCOの制御電圧を生成する。

20

【0019】

電圧制御発信器VCOは、入力端子VCNTで受けた制御電圧に応じた周波数の出力信号を生成し、生成した出力信号を出力端子SOUTから出力する。例えば、電圧制御発信器VCOの出力信号は、PLL回路10の外部に出力される。また、電圧制御発信器VCOの出力信号は、分周器DIVを介して、位相比較器PFDの入力端子FBに入力される。これにより、電圧制御発信器VCOの出力信号は、分周器DIVを介して、位相比較器PFDにフィードバックされる。

30

【0020】

分周器DIVは、電圧制御発信器VCOと位相比較器PFDとの間に配置されている。例えば、分周器DIVは、入力端子DINFで受けた信号が示す分周比で、入力端子CINで受けた信号を分周する。そして、分周器DIVは、分周した信号を出力端子COUTから出力する。例えば、分周器DIVの入力端子CINは、電圧制御発信器VCOの出力端子SOUTに接続され、分周器DIVの出力端子COUTは、位相比較器PFDの入力端子FBに接続されている。

【0021】

すなわち、分周器DIVは、電圧制御発信器VCOの出力信号を所定の分周比で分周し、分周した信号を位相比較器PFDに出力する。これにより、PLL回路10は、出力信号（電圧制御発信器VCOの出力信号）の周波数が基準信号（位相比較器PFDの入力端子CKで受ける信号）の周波数より高いときにも、出力信号の位相を基準信号の位相に同期させることができる。

40

【0022】

電圧供給部VS1は、例えば、位相比較器PFDの検出信号が無効のときに、第1スイッチSW1および第2スイッチSW2のオン/オフを制御する。例えば、電圧供給部VS1の出力端子EN1は、第1スイッチSW1の制御端子に接続されている。また、例えば、電圧供給部VS1の出力端子EN2は、第2スイッチSW2の制御端子に接続されている。

【0023】

ここで、位相比較器PFDの検出信号が無効の期間は、例えば、PLL回路10がオフ

50

している期間である。あるいは、PLL回路10の発振周波数を変更させる際に、位相比較器PFDの検出信号を所定時間無効にしてもよい。例えば、位相比較器PFDの検出信号が無効の期間に、電圧供給部VS1は、第1スイッチSW1および第2スイッチSW2をオンし、電圧制御発信器VCOに初期電圧を与える。すなわち、電圧供給部VS1は、電圧制御発信器VCOに初期電圧を与える初期設定期間に、第1スイッチSW1および第2スイッチSW2をオンする。

【0024】

なお、PLL回路10の構成は、この例に限定されない。例えば、PLL回路10は、位相比較器PFDの出力信号と電圧供給部VS1の出力信号とを切り替えてチャージポンプ回路CP1（より詳細には、スイッチSW1、SW2）に出力するセレクトを有してもよい。また、分周器DIVの分周比は、固定されていてもよい。例えば、分周器DIVは、入力端子DINFが省かれて構成されてもよい。あるいは、PLL回路10は、分周器DIVが省かれて構成されてもよい。例えば、電圧制御発信器VCOの出力信号は、位相比較器PFDの入力端子FBに直接入力されてもよい。これにより、電圧制御発信器VCOの出力信号は、分周器DIVを介さずに、位相比較器PFDにフィードバックされる。

【0025】

図2は、図1に示したPLL回路10の初期設定期間の動作の一例を示している。すなわち、図2は、電圧制御発信器VCOに初期電圧を設定する際のPLL回路10の動作の一例を示している。図2の二重丸の意味は、図1と同じである。図2の破線は、位相比較器PFDの検出信号が無効であることを示している。例えば、初期設定期間では、位相比較器PFDの出力端子UP、DNは、高インピーダンス状態に設定されている。

【0026】

電圧供給部VS1は、初期設定期間に、第1スイッチSW1をオンさせる制御信号を出力端子EN1から第1スイッチSW1の制御端子に出力するとともに、第2スイッチSW2をオンさせる制御信号を出力端子EN2から第2スイッチSW2の制御端子に出力する。すなわち、電圧供給部VS1は、初期設定期間に、第1スイッチSW1および第2スイッチSW2をオンし、容量素子C1の充放電を制御する。

【0027】

例えば、容量素子C1の電圧がチャージポンプ回路CP1の各素子の特性で決まるノードN1の電圧より低いとき、第1電流源IS10から容量素子C1に向かって、電流I10が流れる。これにより、容量素子C1が充電され、容量素子C1の電圧が上昇する。あるいは、容量素子C1の電圧がチャージポンプ回路CP1の各素子の特性で決まるノードN1の電圧より高いとき、容量素子C1から第2電流源IS20に向かって、電流I20が流れる。これにより、容量素子C1が放電され、容量素子C1の電圧が低下する。

【0028】

したがって、電圧制御発信器VCOの入力端子VCNTの電圧（容量素子C1の電圧）は、内部電源線と接地線との間に直列に接続された第1電流源IS10、第1スイッチSW1、第2スイッチSW2および第2電流源IS20の特性により決まるノードN1の電圧で安定する。これにより、電圧制御発信器VCOの入力端子VCNTの初期電圧は、例えば、電源電圧と接地電圧との中間の電圧に設定される。

【0029】

このように、電圧供給部VS1は、例えば、PLL回路がオフしているときに、電圧制御発信器VCOの入力端子VCNTの電圧を、電源電圧と接地電圧との中間の電圧（チャージポンプ回路CP1の各素子の特性で決まるノードN1の電圧）に設定する。これにより、この実施形態では、入力端子VCNTの電圧が接地電圧や電源電圧に維持されている構成に比べて、入力端子VCNTの電圧が目標周波数に対応する電圧に到達するまでの時間を短縮できる。

【0030】

この結果、この実施形態では、PLL回路10の発振周波数が安定するまでの時間（以下、ロックアップタイムとも称する）を短縮できる。なお、例えば、PLL回路10がオ

10

20

30

40

50

ンしている期間（初期設定期間後の通常動作期間）では、電圧供給部V S 1の出力端子E N 1、E N 2は、高インピーダンス状態に設定されている。

【0031】

ここで、例えば、電圧制御発信器V C Oに初期電圧を与える必要がないときには、電圧供給部V S 1は、P L L回路10のオフ期間に、第1スイッチS W 1および第2スイッチS W 2をオフしてもよい。また、第1電流源I S 10および第2電流源I S 20は、例えば、電圧制御発信器V C Oに初期電圧を与える必要がないときには、P L L回路10のオフ期間に、オフしてもよい。

【0032】

図3は、図1に示したP L L回路10の通常動作期間の動作の一例を示している。なお、図3は、分周器D I Vの出力信号（電圧制御発信器V C Oの出力信号を分周した信号）の位相が基準信号の位相に対して進んでいるときのP L L回路10の動作を示している。図3の二重丸の意味は、図1と同じである。図3の破線は、電圧供給部V S 1の出力端子E N 1、E N 2の信号が無効であることを示している。例えば、初期設定期間後の通常動作期間では、電圧供給部V S 1の出力端子E N 1、E N 2は、高インピーダンス状態に設定されている。

10

【0033】

位相比較器P F Dは、入力端子C Kで受けた基準信号と入力端子F Bで受けたフィードバック信号（分周器D I Vの出力信号や電圧制御発信器V C Oの出力信号）との位相差に応じて、検出信号を出力端子U P、D Nを介してチャージポンプ回路C P 1に出力する。

20

【0034】

例えば、位相比較器P F Dは、フィードバック信号の位相が基準信号の位相に対して進んでいるとき、ダウン信号を出力端子D Nから第2スイッチS W 2の制御端子に出力する。第2スイッチS W 2は、制御端子で受けたダウン信号に応答して、オンする。なお、第1スイッチS W 1は、第1スイッチS W 1をオンさせるアップ信号が位相比較器P F Dから出力されていないため、オフしている。

【0035】

このため、ローパスフィルタL P Fの容量素子C 1からチャージポンプ回路C P 1の第2電流源I S 20に向かって電流が流れ、容量素子C 1が放電される。容量素子C 1の放電により、電圧制御発信器V C Oの入力端子V C N Tの電圧が低下する。この結果、電圧制御発信器V C Oの出力信号の周波数が低くなる。なお、フィードバック信号の位相が基準信号の位相に対して遅れているときは、第1スイッチS W 1がオンし、第2スイッチS W 2がオフする。これにより、容量素子C 1が充電され、電圧制御発信器V C Oの入力端子V C N Tの電圧が上昇する。この結果、電圧制御発信器V C Oの出力信号の周波数が高くなる。

30

【0036】

このように、P L L回路10は、基準信号と分周器D I Vの出力信号（電圧制御発信器V C Oの出力信号を分周した信号）との位相差に応じて、電圧制御発信器V C Oの制御電圧を制御する。これにより、電圧制御発信器V C Oの出力信号の位相は、基準信号の位相に同期する。

40

【0037】

ここで、電圧供給部V S 1で発生するリーク電流は、チャージポンプ回路C P 1の電流源I S 10、I S 20の電流に比べて、極めて小さい。このため、通常動作期間では、電圧供給部V S 1で発生したリーク電流は、チャージポンプ回路C P 1の電流源I S 10、I S 20の電流の中に埋もれ、電圧制御発信器V C Oの制御電圧にほとんど影響を与えない。したがって、この実施形態では、P L L回路10の発振精度を低下させることなく、ロックアップタイムを短縮できる。

【0038】

さらに、この実施形態では、電圧供給部V S 1は、電圧制御発信器V C Oの入力端子V C N Tに接続されていない。すなわち、この実施形態では、電圧制御発信器V C Oの入力

50

端子V C N Tに接続されるトランジスタ等を追加することなく、電圧制御発信器V C Oの制御電圧を初期電圧に設定できる。このため、この実施形態では、電圧制御発信器V C Oの入力端子V C N Tに電圧供給回路が接続された構成に比べて、電圧制御発信器V C Oの入力端子V C N Tに流れるリーク電流を低減できる。

【0039】

したがって、この実施形態では、電圧制御発信器V C Oの入力端子V C N Tに流れるリーク電流を抑制しつつ、電圧制御発信器V C Oの制御電圧を初期電圧に設定できる。すなわち、この実施形態では、電圧制御発信器V C Oの入力端子V C N Tに流れるリーク電流を抑制しつつ、ロックアップタイムを短縮できる。

【0040】

以上、この実施形態では、P L L回路10の電圧供給部V S 1は、初期設定期間に、ローパスフィルタL P Fの容量素子C 1を、チャージポンプ回路C P 1のスイッチS W 1、S W 2を介して充放電する。このため、この実施形態では、電圧制御発信器V C Oの入力端子V C N Tに電圧供給回路が接続された構成に比べて、電圧供給部V S 1のリーク電流が電圧制御発信器V C Oの制御電圧に与える影響を小さくできる。したがって、この実施形態では、P L L回路10の発振精度の低下を抑制しつつ、ロックアップタイムを短縮できる。

【0041】

図4は、別の実施形態におけるP L L回路10の一例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。なお、図4の電流源I S (I S 1 2、I S 2 2)の二重丸は、電流源I Sの電流供給能力を制御する信号を受ける制御端子を示している。また、図4のスイッチS W (S W 1、S W 2)の二重丸の意味は、図1と同じである。この実施形態のP L L回路10では、図1に示したチャージポンプ回路C P 1および電圧供給部V S 1の代わりにチャージポンプ回路C P 2および電圧供給部V S 2がそれぞれ設けられている。P L L回路10のその他の構成は、上述した実施形態と同じである。

【0042】

チャージポンプ回路C P 2は、図1に示した第1電流源I S 1 0および第2電流源I S 2 0の代わりに、第1電流源I S 1 2および第2電流源I S 2 2を有している。チャージポンプ回路C P 2のその他の構成は、チャージポンプ回路C P 1と同じである。第1電流源I S 1 2および第2電流源I S 2 2は、例えば、それぞれの制御端子で受ける電圧により、電流供給能力やオン/オフが制御される。

【0043】

電圧供給部V S 2は、第1電流源I S 1 2および第2電流源I S 2 2の電流供給能力を制御することを除いて、電圧供給部V S 1と同じである。例えば、電圧供給部V S 2の出力端子I C N T 1は、第1電流源I S 1 2の制御端子に接続されている。また、例えば、電圧供給部V S 2の出力端子I C N T 2は、第2電流源I S 2 2の制御端子に接続されている。

【0044】

例えば、電圧供給部V S 2は、初期設定期間に、第1電流源I S 1 2の制御端子の電圧および第2電流源I S 2 2の制御端子の電圧をそれぞれ制御する。これにより、第1電流源I S 1 2および第2電流源I S 2 2のそれぞれの電流供給能力が調整され、ノードN 1の電圧が調整される。すなわち、電圧供給部V S 2は、初期設定期間に、第1電流源I S 1 2および第2電流源I S 2 2のそれぞれの電流供給能力を制御することにより、電圧制御発信器V C Oの入力端子V C N Tに任意の初期電圧を与える。

【0045】

これにより、この実施形態では、例えば、電圧制御発信器V C Oの目標周波数に対応する電圧を、電圧制御発信器V C Oの初期電圧に設定できる。したがって、この実施形態では、ロックアップタイムをさらに短縮できる。また、この実施形態では、初期設定期間における第1電流源I S 1 2および第2電流源I S 2 2のそれぞれの電流供給能力を小さく

10

20

30

40

50

することにより、初期設定期間の消費電力を低減できる。

【 0 0 4 6 】

なお、PLL回路10の構成は、この例に限定されない。例えば、PLL回路10は、分周器DIVが省かれて構成されてもよい。すなわち、電圧制御発信器VCOの出力信号は、分周器DIVを介さずに、位相比較器PFDにフィードバックされてもよい。あるいは、分周器DIVの分周比は、固定されていてもよい。

【 0 0 4 7 】

図5は、図4に示した各電流源IS12、IS22の少なくとも一部をMOSトランジスタで構成したときのPLL回路10の一例を示している。図5の二重丸の意味は、図4と同じである。

10

【 0 0 4 8 】

第1電流源IS12は、例えば、pMOSトランジスタMI1を有している。トランジスタMI1は、ソースが内部電源線に接続され、ドレインが第1スイッチSW1に接続され、ゲートが制御端子に接続されている。すなわち、トランジスタMI1は、電圧供給部VS2の出力端子ICNT1から出力された電圧をゲートで受ける。

【 0 0 4 9 】

第2電流源IS22は、例えば、nMOSトランジスタMI2を有している。トランジスタMI2は、ソースが接地線に接続され、ドレインが第2スイッチSW2に接続され、ゲートが制御端子に接続されている。すなわち、トランジスタMI2は、電圧供給部VS2の出力端子ICNT2から出力された電圧をゲートで受ける。

20

【 0 0 5 0 】

トランジスタMI1、MI2のオン抵抗は、ゲートで受ける電圧に応じて変化する。したがって、電圧供給部VS2は、初期設定期間に、トランジスタMI1のゲートに印加する電圧およびトランジスタMI2のゲートに印加する電圧をそれぞれ制御することにより、トランジスタMI1、MI2のオン抵抗をそれぞれ調整する。これにより、電圧供給部VS2は、ノードN1の電圧を調整する。すなわち、電圧供給部VS2は、第1電流源IS12の制御端子および第2電流源IS22の制御端子に電圧をそれぞれ与えることにより、電圧制御発信器VCOの制御電圧を任意の初期電圧に設定できる。

【 0 0 5 1 】

なお、電流源IS (IS12、IS22) の構成は、この例に限定されない。例えば、各電流源ISは、複数のMOSトランジスタを有してもよい。さらに、各電流源ISは、pMOSトランジスタおよびnMOSトランジスタの両方を有してもよい。あるいは、第1電流源IS12は、例えば、pMOSトランジスタMI1の代わりにnMOSトランジスタを有してもよい。

30

【 0 0 5 2 】

図6は、図5に示したPLL回路10の初期設定期間の動作の一例を示している。図6の二重丸の意味は、図4と同じである。図6の破線の意味は、図2と同じである。例えば、初期設定期間では、位相比較器PFDの出力端子UP、DNは、高インピーダンス状態に設定されている。

【 0 0 5 3 】

初期設定期間におけるPLL回路10の動作は、電圧供給部VS2がトランジスタMI1、MI2のゲートの電圧をそれぞれ制御することを除いて、図2で説明したPLL回路10の動作と同じである。例えば、電圧供給部VS2は、初期設定期間に、第1スイッチSW1および第2スイッチSW2をオンするとともに、第1電流源IS12の制御端子および第2電流源IS22の制御端子に電圧をそれぞれ与える。これにより、内部電源線と接地線との間に直列に接続されたトランジスタMI1、第1スイッチSW1、第2スイッチSW2およびトランジスタMI2のうちのトランジスタMI1、MI2のオン抵抗がそれぞれ調整される。この結果、ノードN1の電圧が調整され、電圧制御発信器VCOの入力端子VCNTの電圧が調整される。

40

【 0 0 5 4 】

50

図7は、図5に示したPLL回路10の通常動作期間の動作の一例を示している。なお、図7は、分周器DIVの出力信号（電圧制御発信器VCOの出力信号を分周した信号）の位相が基準信号の位相に対して進んでいるときのPLL回路10の動作を示している。図7の二重丸の意味は、図4と同じである。図7の破線の意味は、図3と同じである。例えば、通常動作期間では、電圧供給部VS2の出力端子EN1、EN2は、高インピーダンス状態に設定されている。

【0055】

通常動作期間におけるPLL回路10の動作は、電圧供給部VS2がトランジスタMI1、MI2のゲートに電圧をそれぞれ印加することを除いて、図3で説明したPLL回路10の動作と同じである。例えば、通常動作期間では、電圧供給部VS2は、第1電流源IS12の電流供給能力を所定の能力にする電圧を、第1電流源IS12の制御端子に印加し、第2電流源IS22の電流供給能力を所定の能力にする電圧を、第2電流源IS22の制御端子に印加する。これにより、通常動作期間では、PLL回路10は、図3で説明した動作と同じように動作する。

【0056】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、この実施形態では、第1電流源IS12の制御端子の電圧および第2電流源IS22の制御端子の電圧をそれぞれ制御することにより、電圧制御発信器VCOの制御電圧を任意の初期電圧（例えば、電圧制御発信器VCOの目標周波数に対応する電圧）に設定できる。これにより、この実施形態では、ロックアップタイムをさらに短縮できる。また、この実施形態では、初期設定期間における第1電流源IS12および第2電流源IS22のそれぞれの電流供給能力を小さくすることにより、初期設定期間の消費電力を低減できる。

【0057】

図8は、別の実施形態におけるPLL回路10の一例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。なお、図8の二重丸の意味は、図1と同じである。この実施形態のPLL回路10は、図1に示した電圧供給部VS1の代わりに電圧供給部VS3を有している。PLL回路10のその他の構成は、図1 - 図3で説明した実施形態と同じである。

【0058】

この実施形態では、チャージポンプ回路CP1の第1スイッチSW1および第2スイッチSW2は、例えば、pMOSトランジスタMS1およびnMOSトランジスタMS2をそれぞれ有している。トランジスタMS1は、ソースが第1電流源IS10に接続され、ドレインがトランジスタMS2のドレインに接続され、ゲートが制御端子に接続されている。トランジスタMS2は、ソースが第2電流源IS20に接続され、ドレインがトランジスタMS1のドレインに接続され、ゲートが制御端子に接続されている。すなわち、トランジスタMS1、MS2のドレインは、ノードN1に接続されている。

【0059】

なお、スイッチSW（SW1、SW2）の構成は、この例に限定されない。例えば、各スイッチSWは、複数のMOSトランジスタを有してもよい。さらに、各スイッチSWは、pMOSトランジスタおよびnMOSトランジスタの両方を有してもよい。あるいは、第1スイッチSW1は、例えば、pMOSトランジスタMS1の代わりにnMOSトランジスタを有してもよい。また、各スイッチSWは、MOSトランジスタを含まずに構成されてもよい。

【0060】

電圧供給部VS3は、第1スイッチSW1のオン抵抗および第2スイッチSW2のオン抵抗を初期設定期間にそれぞれ制御することを除いて、電圧供給部VS1と同じである。例えば、電圧供給部VS3の出力端子SCNT1は、第1スイッチSW1の制御端子に接続されている。また、例えば、電圧供給部VS3の出力端子SCNT2は、第2スイッチSW2の制御端子に接続されている。

10

20

30

40

50

【 0 0 6 1 】

例えば、電圧供給部 V S 3 は、初期設定期間に、第 1 スイッチ S W 1 の制御端子の電圧および第 2 スイッチ S W 2 の制御端子の電圧をそれぞれ制御する。これにより、第 1 スイッチ S W 1 のオン抵抗および第 2 スイッチ S W 2 のオン抵抗がそれぞれ調整され、ノード N 1 の電圧が調整される。

【 0 0 6 2 】

すなわち、電圧供給部 V S 3 は、初期設定期間に、第 1 スイッチ S W 1 の制御端子および第 2 スイッチ S W 2 の制御端子に調整電圧をそれぞれ与えることにより、第 1 スイッチ S W 1 および第 2 スイッチ S W 2 のオン抵抗をそれぞれ制御し、電圧制御発信器 V C O の制御電圧を初期電圧に設定する。

10

【 0 0 6 3 】

なお、P L L 回路 1 0 の構成は、この例に限定されない。例えば、P L L 回路 1 0 は、分周器 D I V が省かれて構成されてもよい。すなわち、電圧制御発信器 V C O の出力信号は、分周器 D I V を介さずに、位相比較器 P F D にフィードバックされてもよい。あるいは、分周器 D I V の分周比は、固定されていてもよい。

【 0 0 6 4 】

図 9 は、図 8 に示した P L L 回路 1 0 の初期設定期間の動作の一例を示している。図 9 の二重丸の意味は、図 8 と同じである。図 9 の破線の意味は、図 2 と同じである。例えば、初期設定期間では、位相比較器 P F D の出力端子 U P、D N は、高インピーダンス状態に設定されている。

20

【 0 0 6 5 】

初期設定期間における P L L 回路 1 0 の動作は、電圧供給部 V S 3 がトランジスタ M S 1、M S 2 のゲートの電圧をそれぞれ制御することを除いて、図 2 で説明した P L L 回路 1 0 の動作と同じである。例えば、電圧供給部 V S 3 は、初期設定期間に、トランジスタ M S 1、M S 2 のゲートに調整電圧をそれぞれ与える。すなわち、トランジスタ M S 1 は、電圧供給部 V S 3 の出力端子 S C N T 1 から出力された調整電圧をゲートで受け、トランジスタ M S 2 は、電圧供給部 V S 3 の出力端子 S C N T 2 から出力された調整電圧をゲートで受ける。

【 0 0 6 6 】

トランジスタ M S 1、M S 2 のオン抵抗は、ゲートで受ける電圧に応じて変化する。したがって、内部電源線と接地線との間に直列に接続された第 1 電流源 I S 1 0、トランジスタ M S 1、トランジスタ M S 2 および第 2 電流源 I S 2 0 のうちのトランジスタ M S 1、M S 2 のオン抵抗が電圧供給部 V S 3 によりそれぞれ調整される。この結果、ノード N 1 の電圧が調整され、電圧制御発信器 V C O の入力端子 V C N T の電圧が調整される。

30

【 0 0 6 7 】

すなわち、電圧供給部 V S 3 は、初期設定期間に、第 1 スイッチ S W 1 の制御端子の電圧および第 2 スイッチ S W 2 の制御端子の電圧をそれぞれ制御することにより、電圧制御発信器 V C O の入力端子 V C N T に任意の初期電圧を与える。これにより、この実施形態では、例えば、電圧制御発信器 V C O の目標周波数に対応する電圧を、電圧制御発信器 V C O の初期電圧に設定できる。したがって、この実施形態では、ロックアップタイムをさらに短縮できる。

40

【 0 0 6 8 】

なお、通常動作期間の P L L 回路 1 0 の動作は、図 3 で説明した P L L 回路 1 0 の動作と同じである。例えば、通常動作期間では、電圧供給部 V S 3 の出力端子 S C N T 1、S C N T 2 は、高インピーダンス状態に設定されている。これにより、位相比較器 P F D は、基準信号と分周器 D I V の出力信号（電圧制御発信器 V C O の出力信号を分周した信号）との位相差に応じて、第 1 スイッチ S W 1 および第 2 スイッチ S W 2 のオン / オフを制御できる。

【 0 0 6 9 】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。

50

さらに、この実施形態では、第1スイッチSW1の制御端子の電圧および第2スイッチSW2の制御端子の電圧をそれぞれ制御することにより、電圧制御発信器VCOの制御電圧を任意の初期電圧（例えば、電圧制御発信器VCOの目標周波数に対応する電圧）に設定できる。また、この実施形態では、初期設定期間における第1スイッチSW1のオン抵抗および第2スイッチSW2のオン抵抗を大きくすることにより、第1スイッチSW1および第2スイッチSW2に流れる初期設定期間の電流を低減できる。この結果、この実施形態では、初期設定期間の消費電力を低減できる。

【0070】

図10は、別の実施形態におけるPLL回路10の一例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。なお、図10の二重丸の意味は、図4と同じである。この実施形態のPLL回路10は、図4に示した電圧供給部VS2の代わりに電圧供給部VS4を有している。PLL回路10のその他の構成は、図4-図7で説明した実施形態と同じである。

10

【0071】

電圧供給部VS4は、例えば、初期設定期間に、出力端子VRから出力される電圧を用いて、電圧制御発信器VCOに初期電圧を与える。例えば、電圧供給部VS4の出力端子VRは、第1電流源IS12と第1スイッチSW1との接続ノードN2に接続されている。また、電圧供給部VS4の出力端子EN1、EN2は、第1スイッチSW1の制御端子および第2スイッチSW2の制御端子にそれぞれ接続されている。そして、電圧供給部VS4の出力端子EN3、EN4は、第1電流源IS12の制御端子および第2電流源IS22の制御端子にそれぞれ接続されている。

20

【0072】

例えば、電圧供給部VS4は、初期設定期間に、第1スイッチSW1をオンし、第2スイッチSW2をオフし、第1電流源IS12および第2電流源IS22をオフする。これにより、電圧供給部VS4の出力端子VRの電圧が電圧制御発信器VCOの入力端子VCNTに与えられる。

【0073】

なお、出力端子VRは、チャージポンプ回路CP2のノードN2に接続されずに、第2電流源IS22と第2スイッチSW2との接続ノードN3に接続されてもよい。この場合、電圧供給部VS4は、初期設定期間に、第1スイッチSW1をオフし、第2スイッチSW2をオンし、第1電流源IS12および第2電流源IS22をオフする。すなわち、電圧供給部VS4は、初期設定期間に、第1スイッチSW1および第2スイッチSW2のうち、出力端子VRに接続されたノードとローパスフィルタLPFの容量素子C1との間に配置された方のスイッチをオンする。

30

【0074】

ここで、例えば、出力端子VRの電圧は、図11に示すように、抵抗分割により生成される。なお、出力端子VRの電圧は、抵抗分割以外の方法（例えば、バンドギャップ回路により生成された電圧）により与えられてもよい。また、この実施形態では、第1電流源IS12および第2電流源IS22は、電圧供給部VS4の出力端子EN3、EN4の電圧によりオン/オフが制御される構成であればよい。すなわち、第1電流源IS12および第2電流源IS22の電流供給能力は、電圧供給部VS4の出力端子EN3、EN4の電圧で制御されなくてもよい。

40

【0075】

なお、PLL回路10の構成は、この例に限定されない。例えば、PLL回路10は、分周器DIVが省かれて構成されてもよい。すなわち、電圧制御発信器VCOの出力信号は、分周器DIVを介さずに、位相比較器PFDにフィードバックされてもよい。あるいは、分周器DIVの分周比は、固定されていてもよい。

【0076】

図11は、図10に示した電圧供給部VS4の出力端子VRの電圧を抵抗分割により生成するPLL回路10の一例を示している。図11の二重丸の意味は、図10と同じであ

50

る。

【 0 0 7 7 】

電圧供給部 V S 4 は、出力端子 V R に電圧を供給する電圧生成部 V G 1 を有している。電圧生成部 V G 1 は、例えば、内部電源線と接地線との間に直列に接続された抵抗 R 1 0、スイッチ S W 1 0、S W 2 0 および抵抗 R 2 0 を有している。なお、図 1 1 では、図を見やすくするために、スイッチ S W 1 0、S W 2 0 のオン/オフを制御する信号を受ける制御端子の記載を省略している。

【 0 0 7 8 】

出力端子 V R は、スイッチ S W 1 0 とスイッチ S W 2 0 との接続ノードに接続されている。したがって、出力端子 V R の電圧は、例えば、スイッチ S W 1 0、S W 2 0 がオンしたとき、抵抗 R 1 0 およびスイッチ S W 1 0 のオン抵抗と、スイッチ S W 2 0 のオン抵抗および抵抗 R 1 0 とにより分割された電圧に設定される。例えば、スイッチ S W 1 0、S W 2 0 のオン抵抗が小さいとき、出力端子 V R の電圧は、抵抗 R 1 0、R 2 0 で分割された電圧に設定される。

10

【 0 0 7 9 】

なお、電圧供給部 V S 4 の構成は、この例に限定されない。例えば、スイッチ S W 2 0 の抵抗 R 2 0 に接続されていない方の端子は、チャージポンプ回路 C P 2 のノード N 2 に接続されずに、第 2 電流源 I S 2 2 と第 2 スイッチ S W 2 との接続ノード N 3 に接続されてもよい。この場合、電圧供給部 V S 4 は、初期設定期間に、第 1 スイッチ S W 1 および第 2 スイッチ S W 2 をオンし、第 1 電流源 I S 1 2 および第 2 電流源 I S 2 2 をオフする。

20

【 0 0 8 0 】

図 1 2 は、図 1 1 に示した P L L 回路 1 0 の初期設定期間の動作の一例を示している。図 1 2 の二重丸の意味は、図 1 0 と同じである。図 1 2 の破線の意味は、図 2 と同じである。例えば、初期設定期間では、位相比較器 P F D の出力端子 U P、D N は、高インピーダンス状態に設定されている。また、図 1 2 の破線の電流源 I S 1 2、I S 2 2 は、電流源 I S 1 2、I S 2 2 がオフしていることを示している。

【 0 0 8 1 】

電圧供給部 V S 4 は、初期設定期間に、電圧生成部 V G 1 のスイッチ S W 1 0、S W 2 0 をオンし、抵抗 R 1 0、R 2 0 で分割された電圧を出力端子 V R に出力する。そして、電圧供給部 V S 4 は、初期設定期間に、第 1 スイッチ S W 1 をオンし、第 2 スイッチ S W 2 をオフし、第 1 電流源 I S 1 2 および第 2 電流源 I S 2 2 をオフする。これにより、抵抗 R 1 0、R 2 0 で分割された電圧（出力端子 V R の電圧）が電圧制御発信器 V C O の入力端子 V C N T に与えられる。

30

【 0 0 8 2 】

例えば、容量素子 C 1 の電圧が出力端子 V R の電圧より低いとき、出力端子 V R から容量素子 C 1 に向かって、電流 I 3 0 が流れる。これにより、容量素子 C 1 が充電され、容量素子 C 1 の電圧が上昇する。あるいは、容量素子 C 1 の電圧が出力端子 V R の電圧より高いとき、容量素子 C 1 から出力端子 V R に向かって、電流 I 3 0 が流れる。これにより、容量素子 C 1 が放電され、容量素子 C 1 の電圧が低下する。

40

【 0 0 8 3 】

すなわち、電圧供給部 V S 4 は、初期設定期間に、第 1 スイッチ S W 1 および第 2 スイッチ S W 2 の少なくとも一方をオンし、容量素子 C 1 の充放電を制御する。容量素子 C 1 の充放電により、電圧制御発信器 V C O の入力端子 V C N T の電圧（容量素子 C 1 の電圧）は、出力端子 V R の電圧で安定する。

【 0 0 8 4 】

このように、電圧供給部 V S 4 は、初期設定期間に、電圧制御発信器 V C O の制御電圧を、出力端子 V R の電圧（初期電圧）に設定する。したがって、この実施形態の P L L 回路 1 0 においても、ロックアップタイムを短縮できる。また、例えば、図 1 2 に示した構成では、抵抗 R 1 0、R 2 0 を大きくすることにより、電圧生成部 V G 1 の電流を低減で

50

き、消費電力を低減できる。なお、例えば、通常動作期間では、電圧供給部 V S 4 の出力端子 E N 1、E N 2、V R は、高インピーダンス状態に設定されている。

【 0 0 8 5 】

図 1 3 は、図 1 1 に示した P L L 回路 1 0 の通常動作期間の動作の一例を示している。なお、図 1 3 は、分周器 D I V の出力信号（電圧制御発信器 V C O の出力信号を分周した信号）の位相が基準信号の位相に対して進んでいるときの P L L 回路 1 0 の動作を示している。図 1 3 の二重丸の意味は、図 1 0 と同じである。図 1 3 の破線は、電圧供給部 V S 4 の出力端子 E N 1、E N 2、V R の信号が無効であることを示している。例えば、通常動作期間では、電圧供給部 V S 4 の出力端子 E N 1、E N 2、V R は、高インピーダンス状態に設定されている。

10

【 0 0 8 6 】

通常動作期間における P L L 回路 1 0 の動作は、電圧供給部 V S 4 の出力端子 V R が高インピーダンス状態に設定されることを除いて、図 7 で説明した P L L 回路 1 0 の動作と同じである。例えば、通常動作期間では、電圧供給部 V S 4 は、電圧生成部 V G 1 のスイッチ S W 1 0、S W 2 0 をオフし、出力端子 V R を高インピーダンス状態に設定する。これにより、通常動作期間では、P L L 回路 1 0 は、図 3 および図 7 で説明した動作と同じように動作する。なお、この実施形態では、電圧供給部 V S 4 の出力端子 V R が第 1 スイッチ S W 1 を介して電圧制御発信器 V C O の入力端子 V C N T に接続されているため、電圧供給部 V S 4 のリーク電流が電圧制御発信器 V C O の制御電圧に与える影響を小さくできる。

20

【 0 0 8 7 】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、この実施形態では、電圧生成部 V G 1 により生成された電圧が、電圧制御発信器 V C O の初期電圧に設定される。これにより、この実施形態では、チャージポンプ回路 C P 2 の各素子の特性に拘わらず、電圧制御発信器 V C O の初期電圧を簡易に生成できる。

【 0 0 8 8 】

図 1 4 は、別の実施形態における P L L 回路 1 0 の一例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。なお、図 1 4 の二重丸の意味は、図 1 0 と同じである。この実施形態の P L L 回路 1 0 では、図 1 0 に示した P L L 回路 1 0 に選択部 S E L が設けられ、電圧供給部 V S 4 の代わりに電圧供給部 V S 5 が設けられている。P L L 回路 1 0 のその他の構成は、図 1 0 - 図 1 3 で説明した実施形態と同じである。なお、図 1 4 では、図を見やすくするために、電圧供給部 V S 5（より詳細には、電圧生成部 V G 2）内の各スイッチ S W（S W 1 0、S W 1 1、S W 1 2、S W 2 0、S W 2 1、S W 2 2）のオン/オフを制御する信号を受ける制御端子の記載を省略している。

30

【 0 0 8 9 】

電圧供給部 V S 5 は、電圧生成部 V G 1 の代わりに電圧生成部 V G 2 を有している。電圧供給部 V S 5 のその他の構成は、電圧供給部 V S 4 と同じである。例えば、電圧供給部 V S 5 は、選択部 S E L から受けた信号に基づいて、出力端子 V R の電圧を設定する。出力端子 V R の電圧は、電圧生成部 V G 2 で生成される。

40

【 0 0 9 0 】

電圧生成部 V G 2 は、例えば、内部電源線と出力端子 V R との間に配置された可変抵抗と、出力端子 V R と接地線との間に配置された可変抵抗とを有している。可変抵抗は、例えば、抵抗およびスイッチが直列に接続されたペアを、複数有している。例えば、電圧生成部 V G 2 では、内部電源線と出力端子 V R との間に、抵抗 R 1 0 およびスイッチ S W 1 0 のペアと、抵抗 R 1 1 およびスイッチ S W 1 1 のペアと、抵抗 R 1 2 およびスイッチ S W 1 2 のペアとが並列に接続されている。さらに、出力端子 V R と接地線との間に、スイッチ S W 2 0 および抵抗 R 2 0 のペアと、スイッチ S W 2 1 および抵抗 R 2 1 のペアと、スイッチ S W 2 2 および抵抗 R 2 2 のペアとが並列に接続されている。なお、抵抗およびスイッチのペアの数は、この例に限定されない。

50

【 0 0 9 1 】

電圧生成部 V G 2 で生成される電圧（出力端子 V R の電圧）は、例えば、内部電源線と出力端子 V R との間の抵抗と、出力端子 V R と接地線との間の抵抗との比を変更することにより、可変に設定される。例えば、内部電源線と出力端子 V R との間の抵抗は、電圧生成部 V G 2 内の抵抗 R 1 0、R 1 1、R 1 2 の組み合わせを変更することにより、可変に設定される。また、出力端子 V R と接地線との間の抵抗は、電圧生成部 V G 2 内の抵抗 R 2 0、R 2 1、R 2 2 の組み合わせを変更することにより、可変に設定される。

【 0 0 9 2 】

なお、抵抗 R 1 0、R 1 1、R 1 2 の組み合わせは、スイッチ S W 1 0、S W 1 1、S W 1 2 のオン/オフの制御により、変更される。また、抵抗 R 1 0、R 1 1、R 1 2 の組み合わせは、スイッチ S W 2 0、S W 2 1、S W 2 2 のオン/オフの制御により、変更される。すなわち、出力端子 V R の電圧は、スイッチ S W 1 0、S W 1 1、S W 1 2、S W 2 0、S W 2 1、S W 2 2 のオン/オフを制御することにより、可変に設定される。

10

【 0 0 9 3 】

分周器 D I V は、電圧制御発信器 V C O と位相比較器 P F D との間に配置されている。例えば、分周器 D I V は、入力端子 D I N F で受けた信号が示す分周比で、入力端子 C I N で受けた信号を分周する。そして、分周器 D I V は、分周した信号を出力端子 C O U T から出力する。例えば、分周器 D I V の入力端子 C I N は、電圧制御発信器 V C O の出力端子 S O U T に接続され、分周器 D I V の出力端子 C O U T は、位相比較器 P F D の入力端子 F B に接続されている。

20

【 0 0 9 4 】

すなわち、分周器 D I V は、電圧制御発信器 V C O の出力信号を所定の分周比で分周し、分周した信号を位相比較器 P F D に出力する。これにより、P L L 回路 1 0 は、出力信号（電圧制御発信器 V C O の出力信号）の周波数が基準信号（位相比較器 P F D の入力端子 C K で受ける信号）の周波数より高いときにも、出力信号の位相を基準信号の位相に同期させることができる。

【 0 0 9 5 】

選択部 S E L は、例えば、電圧生成部 V G 2 内の抵抗（R 1 0 - R 1 2、R 2 0 - R 2 2）の組み合わせを示す信号を、入力端子 S I N F で受けた信号が示す分周比に基づいて生成する。例えば、選択部 S E L の入力端子 S I N F は、分周器 D I V の入力端子 D I N F に接続されている。なお、選択部 S E L は、分周比を示す信号の代わりに、電圧制御発信器 V C O の出力信号の目標周波数を示す信号を受けてもよい。

30

【 0 0 9 6 】

電圧生成部 V G 2 内の抵抗（R 1 0 - R 1 2、R 2 0 - R 2 2）の組み合わせを示す信号は、例えば、各スイッチ S W 1 0、S W 1 1、S W 1 2、S W 2 0、S W 2 1、S W 2 2 をオンするかオフするかを示す信号である。この信号は、例えば、選択部 S E L の出力端子 R E S L 1 - R E S L 6 からそれぞれ出力される。

【 0 0 9 7 】

例えば、P L L 回路 1 0 の出力信号（電圧制御発信器 V C O の出力信号）の周波数が高いときには、分周器 D I V の分周比は、P L L 回路 1 0 の出力信号の周波数が低いときに比べて、大きく設定される。このため、出力端子 V R の電圧は、分周器 D I V の分周比が大きいとき（例えば、分周比が 3 のとき）には、分周器 D I V の分周比が小さいとき（例えば、分周比が 2 のとき）に比べて、高く設定される。

40

【 0 0 9 8 】

したがって、選択部 S E L は、例えば、入力端子 S I N F で受けた信号が示す分周比が大きいときには、出力端子 V R の電圧を高くする抵抗（R 1 0 - R 1 2、R 2 0 - R 2 2）の組み合わせを示す信号を、出力端子 R E S L 1 - R E S L 6 から出力する。また、選択部 S E L は、例えば、入力端子 S I N F で受けた信号が示す分周比が小さいときには、出力端子 V R の電圧を低くする抵抗（R 1 0 - R 1 2、R 2 0 - R 2 2）の組み合わせを示す信号を、出力端子 R E S L 1 - R E S L 6 から出力する。

50

【0099】

これにより、電圧供給部V S 5は、例えば、初期設定期間に、選択部S E Lから受けた信号に基づいて、出力端子V Rの電圧を適切に設定できる。なお、初期設定期間におけるP L L回路10の動作は、電圧供給部V S 5が選択部S E Lから受けた信号に基づいて出力端子V Rの電圧を設定することを除いて、図12で説明したP L L回路10の動作と同じである。例えば、電圧供給部V S 5は、初期設定期間に、第1スイッチS W 1をオンし、第2スイッチS W 2をオフし、第1電流源I S 1 2および第2電流源I S 2 2をオフする。また、通常動作期間におけるP L L回路10の動作は、分周器D I Vにより分周された信号と基準信号との位相差が検出されることを除いて、図13で説明したP L L回路10の動作と同じである。

10

【0100】

なお、電圧供給部V S 5の構成は、この例に限定されない。例えば、出力端子V Rは、チャージポンプ回路C P 2のノードN 2に接続されずに、ノードN 3に接続されてもよい。この場合、電圧供給部V S 5は、初期設定期間に、第1スイッチS W 1をオフし、第2スイッチS W 2をオンし、第1電流源I S 1 2および第2電流源I S 2 2をオフする。

【0101】

また、例えば、スイッチS W 2 0、S W 2 1、S W 2 2の抵抗R 2 0、R 2 1、R 2 2に接続されていない方の端子は、ノードN 2に接続されずに、ノードN 3に接続されてもよい。この場合、電圧供給部V S 5は、初期設定期間に、第1スイッチS W 1および第2スイッチS W 2をオンし、第1電流源I S 1 2および第2電流源I S 2 2をオフする。また、例えば、電圧生成部V G 2は、電圧供給部V S 5の外部に設けられてもよい。あるいは、出力端子V Rの電圧は、抵抗分割以外の方法により可変に生成されてもよい。

20

【0102】

さらに、P L L回路10は、分周器D I Vが省かれて構成されてもよい。すなわち、電圧制御発信器V C Oの出力信号は、分周器D I Vを介さずに、位相比較器P F Dにフィードバックされてもよい。あるいは、分周器D I Vの分周比は、固定されていてもよい。これらの場合、選択部S E Lは、例えば、電圧生成部V G 2内の抵抗(R 1 0 - R 1 2、R 2 0 - R 2 2)の組み合わせを示す信号を、P L L回路10の出力信号(電圧制御発信器V C Oの出力信号)の目標周波数に応じて生成する。また、図4 - 図9で説明したP L L回路10において、電圧制御発信器V C Oの入力端子V C N Tの初期電圧(制御電圧の初期電圧)を可変に設定してもよい。

30

【0103】

例えば、図6に示した電圧供給部V S 2は、電圧制御発信器V C Oの出力信号の目標周波数に応じて、電流源I S 1 2、I S 2 2の制御端子の電圧をそれぞれ調整することにより、トランジスタM I 1のオン抵抗とトランジスタM I 2のオン抵抗との比を調整する。これにより、電圧制御発信器V C Oの入力端子V C N Tの初期電圧は、可変に設定される。また、例えば、図9に示した電圧供給部V S 3は、電圧制御発信器V C Oの出力信号の目標周波数に応じて、スイッチS W 1、S W 2の制御端子の電圧をそれぞれ調整することにより、トランジスタM S 1のオン抵抗とトランジスタM S 2のオン抵抗との比を調整する。これにより、電圧制御発信器V C Oの入力端子V C N Tの初期電圧は、可変に設定される。

40

【0104】

以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、この実施形態では、電圧制御発信器V C Oの入力端子V C N Tに与える初期電圧を可変に設定できるため、P L L回路10の出力信号(電圧制御発信器V C Oの出力信号)の目標周波数に応じた適切な初期電圧を、電圧制御発信器V C Oの入力端子V C N Tに与えることができる。これにより、この実施形態では、P L L回路10の出力信号の周波数が変更されたときにも、ロックアップタイムを短縮できる。

【0105】

以上の実施形態において説明した発明を整理して、付記として開示する。

50

(付記 1)

制御電圧に応じた周波数の出力信号を生成する電圧制御発振器と、

前記出力信号を分周する分周器と、

基準信号と前記分周された出力信号との位相差を検出し、前記位相差に応じて第 1 検出信号および第 2 検出信号を生成する位相比較器と、

前記第 1 検出信号に基づいてオン/オフが制御される第 1 スイッチおよび前記第 2 検出信号に基づいてオン/オフが制御される第 2 スイッチを含み、前記制御電圧を調整するチャージポンプ回路と、

前記チャージポンプ回路により充放電される容量素子を含み、前記チャージポンプ回路の出力を平滑化して前記制御電圧を生成するローパスフィルタと、

前記電圧制御発振器に初期電圧を与える初期設定期間に、前記第 1 スイッチおよび前記第 2 スイッチの少なくとも一方をオンし、前記容量素子の充放電を制御することにより、前記制御電圧を前記初期電圧に設定する電圧供給部と

を備えていることを特徴とする PLL 回路。

10

(付記 2)

前記チャージポンプ回路は、

第 1 制御端子が受ける電圧により制御され、前記第 1 スイッチを介して前記容量素子を充電する第 1 電流源と、

第 2 制御端子が受ける電圧により制御され、前記第 2 スイッチを介して前記容量素子を放電する第 2 電流源とを有し、

20

前記電圧供給部は、前記初期設定期間に、前記第 1 スイッチおよび前記第 2 スイッチをオンするとともに、前記第 1 制御端子および前記第 2 制御端子に電圧をそれぞれ与えることにより、前記制御電圧を前記初期電圧に設定すること

を特徴とする付記 1 記載の PLL 回路。

(付記 3)

前記第 1 電流源は、前記第 1 制御端子の電圧をゲートで受ける MOS トランジスタを有し、

前記第 2 電流源は、前記第 2 制御端子の電圧をゲートで受ける MOS トランジスタを有し、

前記電圧供給部は、前記初期設定期間に、前記第 1 制御端子の電圧および前記第 2 制御端子の電圧をそれぞれ制御することにより、前記第 1 電流源および前記第 2 電流源のそれぞれの MOS トランジスタのオン抵抗を制御し、前記制御電圧を前記初期電圧に設定すること

30

を特徴とする付記 2 記載の PLL 回路。

(付記 4)

前記電圧供給部は、前記初期設定期間に、前記第 1 スイッチのオン/オフを制御する信号を受ける端子に第 1 調整電圧を与えるとともに、前記第 2 スイッチのオン/オフを制御する信号を受ける端子に第 2 調整電圧を与えることにより、前記第 1 スイッチおよび前記第 2 スイッチのオン抵抗を制御し、前記制御電圧を前記初期電圧に設定すること

を特徴とする付記 1 記載の PLL 回路。

40

(付記 5)

前記第 1 スイッチは、前記第 1 調整電圧をゲートで受ける MOS トランジスタを有し、前記第 2 スイッチは、前記第 2 調整電圧をゲートで受ける MOS トランジスタを有していること

を特徴とする付記 4 記載の PLL 回路。

(付記 6)

前記チャージポンプ回路は、前記第 1 スイッチを介して前記容量素子を充電する第 1 電流源と、前記第 2 スイッチを介して前記容量素子を放電する第 2 電流源とを有し、

前記電圧供給部は、前記初期設定期間に、前記第 1 スイッチおよび前記第 1 電流源間のノードと、前記第 2 スイッチおよび前記第 2 電流源間のノードとの少なくとも一方のノード

50

ドに、前記初期電圧を与え、前記第 1 スイッチおよび前記第 2 スイッチのうち、前記初期電圧が与えられたノードと前記容量素子との間に配置された方をオンし、前記制御電圧を前記初期電圧に設定すること

を特徴とする付記 1 記載の P L L 回路。

(付記 7)

前記電圧供給部は、前記電圧制御発振器の目標周波数に応じて、前記初期電圧を可変に設定すること

を特徴とする付記 6 記載の P L L 回路。

(付記 8)

前記電圧供給部は、前記電圧制御発振器の目標周波数に応じて、前記初期電圧を可変に設定すること

を特徴とする付記 1 ないし付記 5 のいずれか 1 項に記載の P L L 回路。

(付記 9)

前記チャージポンプ回路は、

第 1 制御端子が受ける電圧により制御され、前記第 1 スイッチを介して前記容量素子を充電する第 1 電流源と、

第 2 制御端子が受ける電圧により制御され、前記第 2 スイッチを介して前記容量素子を放電する第 2 電流源とを有し、

前記電圧供給部は、前記初期設定期間に、前記第 1 スイッチおよび前記第 2 スイッチをオンするとともに、前記電圧制御発振器の目標周波数に応じて、前記第 1 制御端子および前記第 2 制御端子の電圧をそれぞれ調整し、前記制御電圧の前記初期電圧を可変に設定すること

を特徴とする付記 1 記載の P L L 回路。

(付記 10)

前記電圧供給部は、前記初期設定期間に、前記電圧制御発振器の目標周波数に応じて、前記第 1 スイッチのオン/オフを制御する信号を受ける端子の電圧と、前記第 2 スイッチのオン/オフを制御する信号を受ける端子の電圧とをそれぞれ調整することにより、前記第 1 スイッチのオン抵抗と前記第 2 スイッチのオン抵抗との比を調整し、前記制御電圧の前記初期電圧を可変に設定すること

を特徴とする付記 1 記載の P L L 回路。

(付記 11)

基準信号に基づく周波数の出力信号を生成する P L L 回路を備え、

前記 P L L 回路は、

制御電圧に応じた周波数の前記出力信号を生成する電圧制御発振器と、

前記出力信号を分周する分周器と、

前記基準信号と前記分周された出力信号との位相差を検出し、前記位相差に応じて第 1 検出信号および第 2 検出信号を生成する位相比較器と、

前記第 1 検出信号に基づいてオン/オフが制御される第 1 スイッチおよび前記第 2 検出信号に基づいてオン/オフが制御される第 2 スイッチを含み、前記制御電圧を調整するチャージポンプ回路と、

前記チャージポンプ回路により充放電される容量素子を含み、前記チャージポンプ回路の出力を平滑化して前記制御電圧を生成するローパスフィルタと、

前記電圧制御発振器に初期電圧を与える初期設定期間に、前記第 1 スイッチおよび前記第 2 スイッチの少なくとも一方をオンし、前記容量素子の充放電を制御することにより、前記制御電圧を前記初期電圧に設定する電圧供給部とを備えている

ことを特徴とする半導体装置。

【0106】

以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、特許請求の範囲がその精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において

10

20

30

40

50

通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずであり、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物に拠ることも可能である。

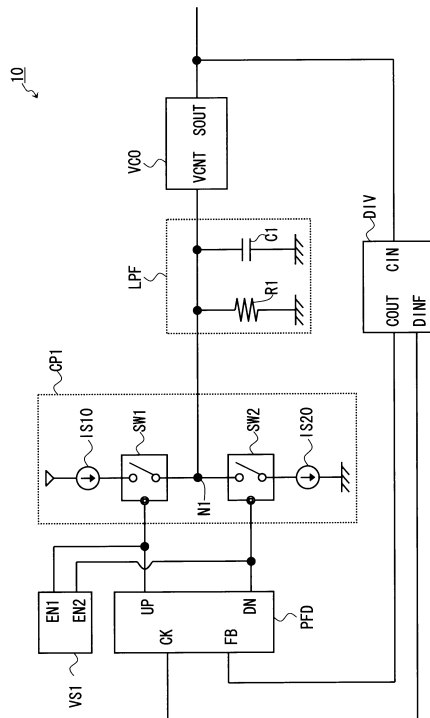
【符号の説明】

【0107】

10 PLL回路；C1 容量素子；CP1、CP2 チャージポンプ回路；DIV 分周器；IS10、IS12、IS20、IS22 電流源；LPF ローパスフィルタ；MI1、MI2、MS1、MS2 MOSTランジスタ；PFD 位相比較器；R1、R10-R12、R20-R22 抵抗；SEL 選択部；SW1、SW2、SW10-SW12、SW20-SW22 スイッチ；VG1、VG2 電圧供給部；VS1-VS5 電圧供給部

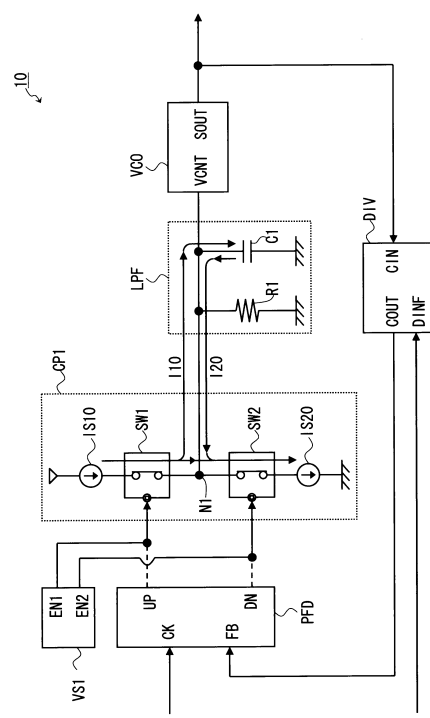
【図1】

一実施形態におけるPLL回路の例を示す図



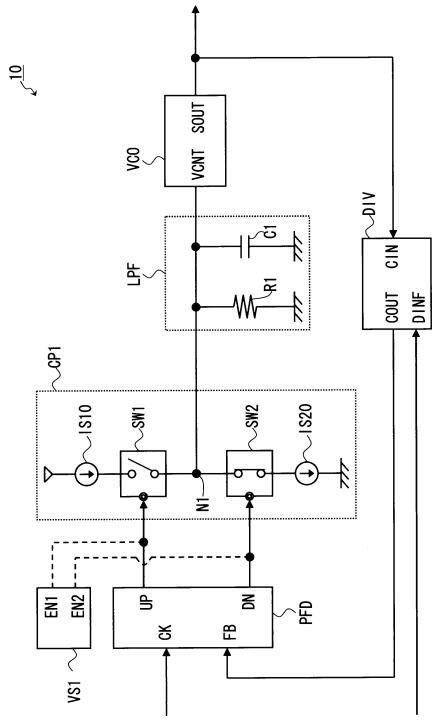
【図2】

図1に示したPLL回路の初期設定期間の動作の例を示す図



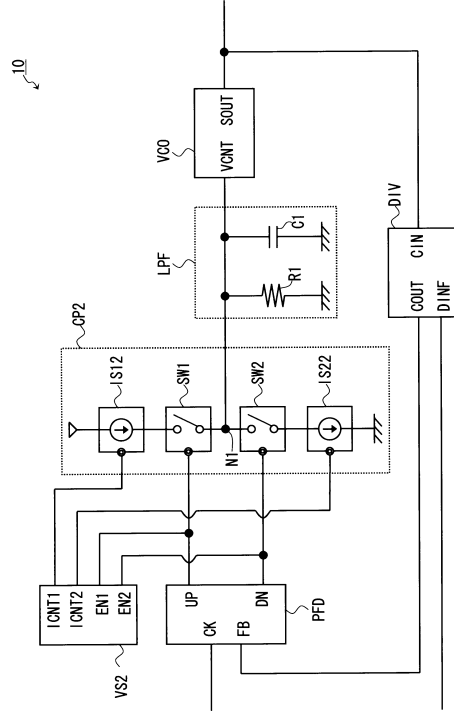
【 図 3 】

図 1 に示した PLL 回路の通常動作期間の動作の例を示す図



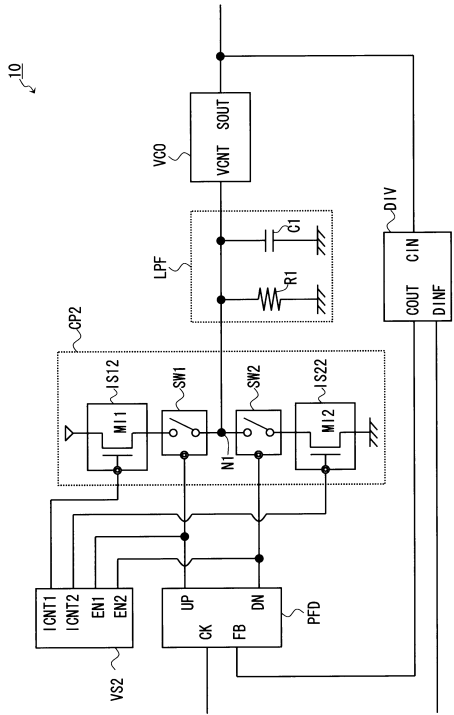
【 図 4 】

別の実施形態における PLL 回路の例を示す図



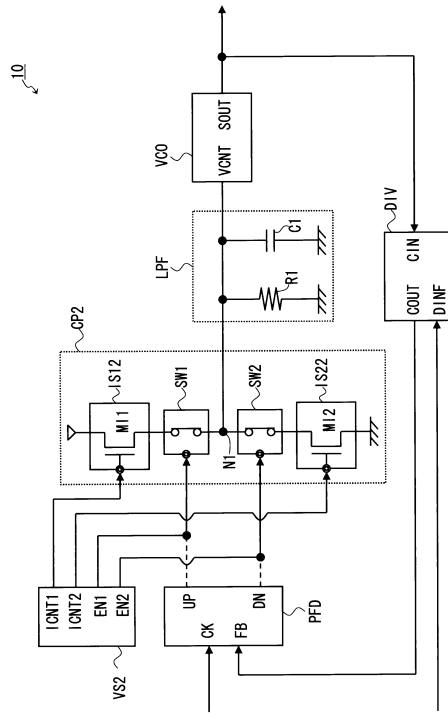
【 図 5 】

図 4 に示した各電流源の少なくとも一部を MOS トランジスタで構成したときの PLL 回路の例を示す図



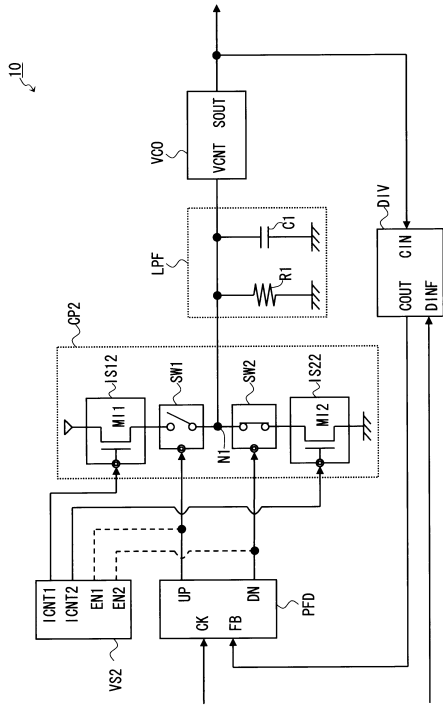
【 図 6 】

図 5 に示した PLL 回路の初期設定期間の動作の例を示す図



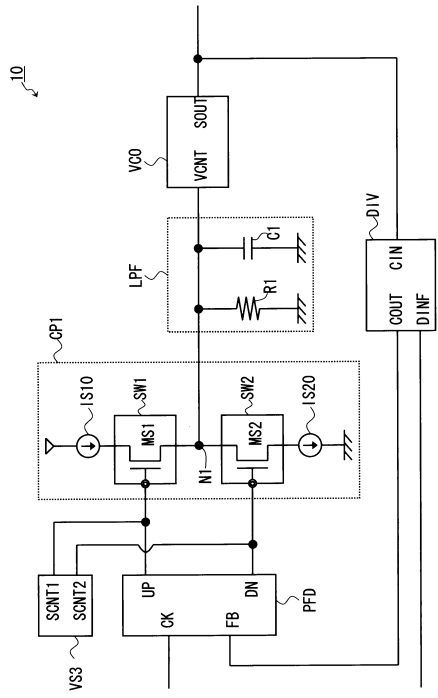
【 図 7 】

図5に示したPLL回路の通常動作期間の動作の例を示す図



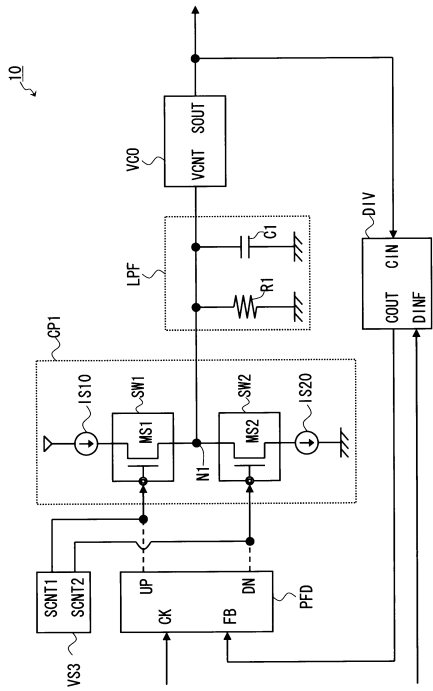
【 図 8 】

別の実施形態におけるPLL回路の例を示す図



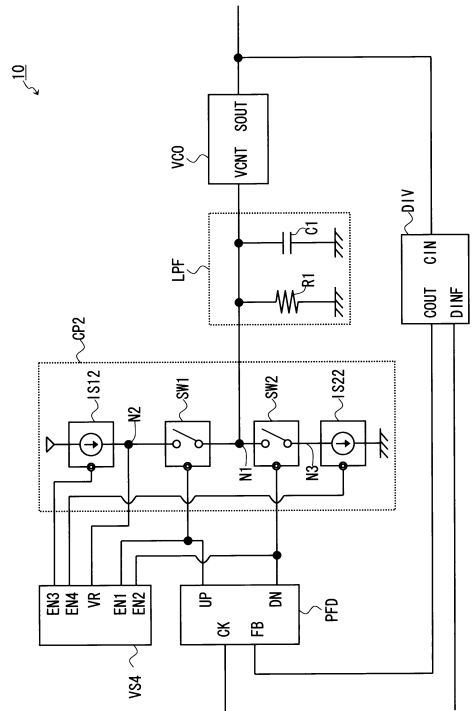
【 図 9 】

図8に示したPLL回路の初期設定期間の動作の例を示す図



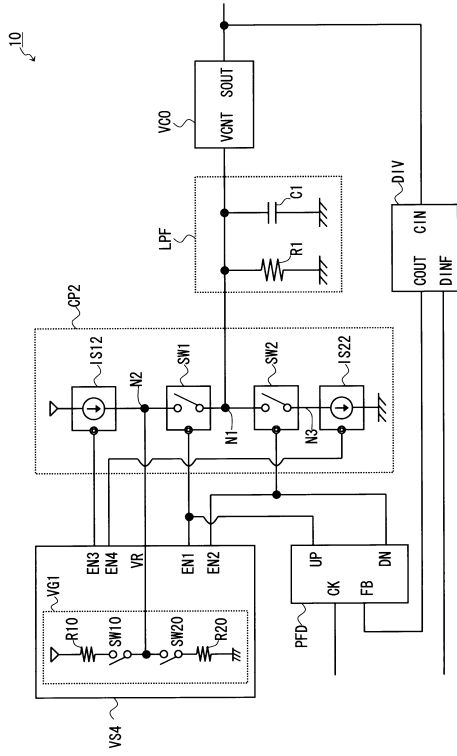
【 図 10 】

別の実施形態におけるPLL回路の例を示す図



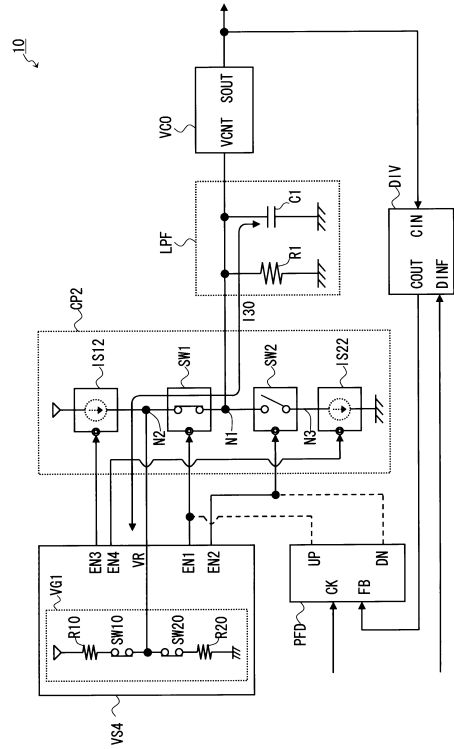
【図 1 1】

図 1 0 に示した電圧供給部の出力端子 VR の電圧を抵抗分割により生成する PLL 回路の例を示す図



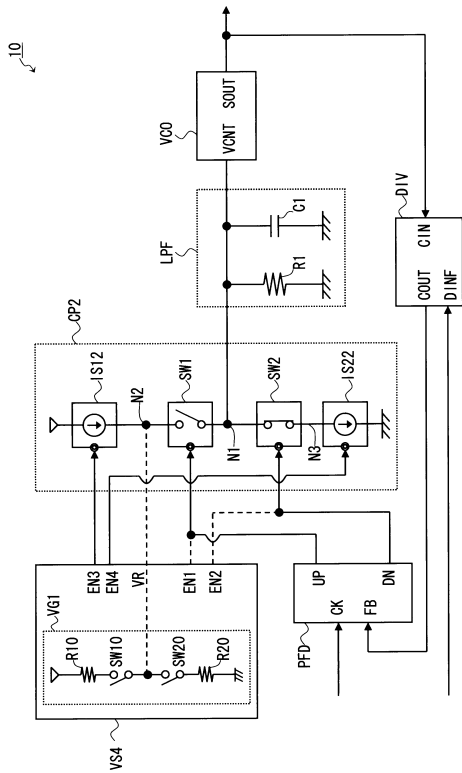
【図 1 2】

図 1 1 に示した PLL 回路の初期設定期間の動作の例を示す図



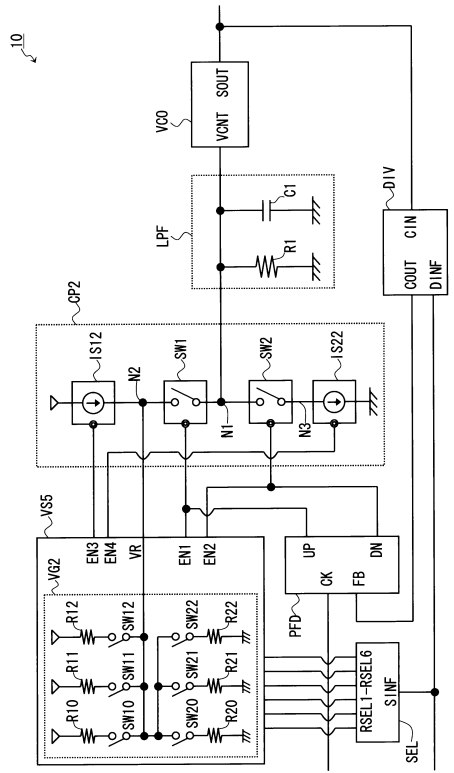
【図 1 3】

図 1 1 に示した PLL 回路の通常動作期間の動作の例を示す図



【図 1 4】

別の実施形態における PLL 回路の例を示す図



フロントページの続き

審査官 鬼塚 由佳

- (56)参考文献 特開平06 - 104747 (JP, A)
特開平07 - 177027 (JP, A)
特開2009 - 182447 (JP, A)
国際公開第03 / 090358 (WO, A1)
特開2006 - 042352 (JP, A)
国際公開第2011 / 001497 (WO, A1)
国際公開第01 / 095492 (WO, A1)
特開平11 - 225069 (JP, A)