



(12) 发明专利

(10) 授权公告号 CN 102819998 B

(45) 授权公告日 2015. 01. 14

(21) 申请号 201210266145. 7

KR 20090050358 A, 2009. 05. 20, 全文.

(22) 申请日 2012. 07. 30

US 2008048712 A1, 2008. 02. 28, 全文.

CN 101093647 A, 2007. 12. 26, 全文.

(73) 专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
专利权人 成都京东方光电科技有限公司

CN 102779478 A, 2012. 11. 14, 说明书第 13, 34, 96-247 段、附图 1-21.

审查员 张景美

(72) 发明人 青海刚 祁小敬

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 赵爱军

(51) Int. Cl.

G09G 3/20 (2006. 01)

G11C 19/28 (2006. 01)

(56) 对比文件

CN 202736497 U, 2013. 02. 13, 权利要求 1-9.

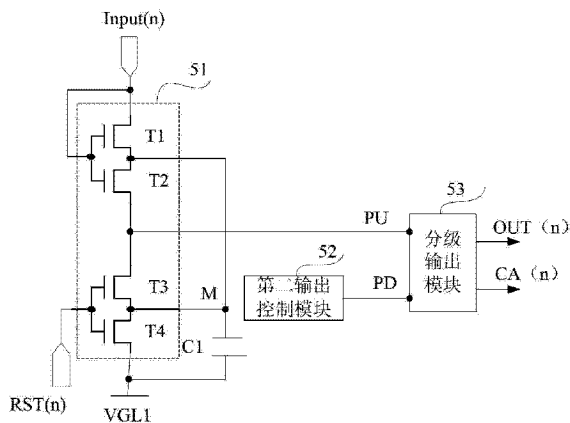
权利要求书2页 说明书8页 附图5页

(54) 发明名称

移位寄存器和显示装置

(57) 摘要

本发明提供一种移位寄存器单元、移位寄存器和显示装置。所述移位寄存器单元包括：第一输出控制模块；第二输出控制模块；分级输出模块，分别与上拉节点、下拉节点、进位信号输出端和驱动信号输出端连接，用于通过分级输出进位信号和驱动信号，而使得在驱动信号在求值阶段维持高电平而在复位阶段、预充电阶段和非工作阶段维持低电平；上拉节点电平维持电容，连接于所述第一低电平输出端与第一输出控制模块包括的第一薄膜晶体管的源极之间，用于在求值阶段通过所述第一输出控制模块维持所述上拉节点的电平为高电平，以使得所述驱动信号维持高电平。本发明可以解决耗尽型 TFT 的漏电流问题对移位寄存器的影响。



1. 一种移位寄存器,其特征在于,包括多级移位寄存器单元;

除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端和上一级移位寄存器单元的进位信号输出端连接;

除了最后一级移位寄存器单元之外,每一级移位寄存器单元的复位端和下一级移位寄存器单元的进位信号输出端连接;

第一级移位寄存器单元的输入端接入起始信号;

最后一级移位寄存器单元的复位端接入最后一级移位寄存器单元输出的驱动信号;

所述移位寄存器单元包括:

第一输出控制模块,其与上拉节点连接,用于在求值阶段将上拉节点上拉到高电平,而在复位阶段下拉到第一低电平;

第二输出控制模块,其与下拉节点连接,用于在复位阶段和非工作阶段将下拉节点上拉到高电平;

分级输出模块,分别与上拉节点、下拉节点、进位信号输出端和驱动信号输出端连接,用于通过分级输出进位信号和驱动信号,而使得在所述驱动信号在求值阶段维持高电平而在复位阶段、预充电阶段和非工作阶段维持低电平;

上拉节点电平维持电容,连接于第一低电平输出端与所述第一输出控制模块中的第一薄膜晶体管的源极之间,用于在求值阶段通过所述第一输出控制模块维持所述上拉节点的电平为高电平。

2. 如权利要求 1 所述的移位寄存器,其特征在于,所述第一输出控制模块包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管;所述第一薄膜晶体管,栅极和漏极与所述输入端连接,源极与所述第二薄膜晶体管的漏极连接;所述第二薄膜晶体管,栅极与所述输入端连接,源极与所述上拉节点连接;所述第三薄膜晶体管,栅极与复位端连接,源极分别与所述第四薄膜晶体管的漏极和第一薄膜晶体管的源极连接,漏极与所述上拉节点连接;所述第四薄膜晶体管,栅极与所述复位端连接,源极与第一低电平输出端连接。

3. 如权利要求 2 所述的移位寄存器,其特征在于,所述分级输出模块包括:

进位输出单元,用于在预充电阶段、复位阶段和非工作阶段在所述第一输出控制模块和第二输出控制模块的控制下使得进位信号输出端输出第一低电平,并在求值阶段在所述第一输出控制模块和第二输出控制模块的控制下使得进位信号输出端输出高电平;

驱动输出单元,用于在求值阶段在所述第一输出控制模块和第二输出控制模块的控制下使得驱动信号输出端输出高电平,并在预充电阶段、复位阶段和非工作阶段在所述第一输出控制模块和第二输出控制模块的控制下使得驱动信号输出端输出第二低电平。

4. 如权利要求 3 所述的移位寄存器,其特征在于,

所述进位输出单元包括第一进位输出薄膜晶体管和第二进位输出薄膜晶体管;所述驱动输出单元包括第一驱动薄膜晶体管、第二驱动薄膜晶体管和自举电容;

所述第一进位输出薄膜晶体管,栅极与所述第一输出控制模块连接,源极与所述进位信号输出端连接,漏极与时钟信号输入端连接;

所述第二进位输出薄膜晶体管,栅极与所述第二输出控制模块连接,源极与第一低电平输出端连接,漏极与所述进位信号输出端连接;

所述第一驱动薄膜晶体管的栅极和源极之间并联有所述自举电容；

所述第一驱动薄膜晶体管，栅极与所述第一输出控制模块连接，源极与所述驱动信号输出端连接，漏极与所述时钟信号输入端连接；

所述第二驱动薄膜晶体管，栅极与所述第二输出控制模块连接，源极与第二低电平输出端连接，漏极与所述驱动信号输出端连接。

5. 如权利要求 4 所述的移位寄存器，其特征在于，第二低电平大于第一低电平。

6. 如权利要求 4 或 5 所述的移位寄存器，其特征在于，所述第二输出控制模块包括下拉控制薄膜晶体管和下拉电容，其中：

所述下拉控制薄膜晶体管，栅极与所述上拉节点连接，源极与第一低电平输出端连接，漏极分别与所述下拉节点和所述下拉电容的第一端连接；

所述下拉电容的第二端与所述时钟信号输入端连接。

7. 如权利要求 6 所述的移位寄存器，其特征在于，

所述第一进位输出薄膜晶体管、所述第二进位输出薄膜晶体管、所述第一驱动薄膜晶体管和所述第二驱动薄膜晶体管都是耗尽型薄膜晶体管。

8. 一种显示装置，其特征在于，包括如权利要求 1 至 7 中任一权利要求所述的移位寄存器。

## 移位寄存器和显示装置

### 技术领域

[0001] 本发明涉及有机发光显示领域,尤其涉及一种移位寄存器单元、移位寄存器和显示装置。

### 背景技术

[0002] 随着平板显示的发展,高分辨率,窄边框成为发展的潮流,而要实现高分辨率,窄边框显示,面板上集成栅极驱动电路是最重要的解决办法。对于 a-si (非晶硅)和 p-si (多晶硅)技术,现有的各种成熟移位寄存电路可以很好的实现这个目标。氧化物 TFT (晶体管)作为一种非常有潜力的半导体技术,相比于 p-si 工艺更简单,成本更低,相比于 a-si 迁移率更高,因而越来越受到重视,未来很可能是 OLED (有机发光二极管),柔性显示的主流背板驱动技术。然而氧化物 TFT 是一种耗尽型晶体管,而前面提到的 a-si TFT 和 p-si TFT 为增强型的晶体管。

[0003] 图 1 为传统的基本的移位寄存器单元的电路图。如图 1 所示,该基本的移位寄存器单元包括上拉薄膜晶体管 T1、下拉薄膜晶体管 T2、自举电容 C1、上拉控制薄膜晶体管 T3、下拉控制薄膜晶体管 T4、存储电容 C2、第一时钟信号输入端 CK、第二时钟信号输入端 CKB、输入端 Input、复位端 Reset 和输出端 Output ;

[0004] 上拉节点(PU 点)为与 T1 的栅极连接的节点,下拉节点(PD 点)为与 T2 的栅极连接的节点;

[0005] 并且从输入端 Input 输入起始信号 STV, VGL 为低电平。

[0006] 图 2 是如图 1 所示的基本的移位寄存器单元在工作时各信号的时序图, VGH 为高电平。

[0007] 当使用增强型 TFT 技术制作该基本的移位寄存器单元的电路时,该基本的移位寄存器单元的电路可以正常工作,见图 2 实线部分,然而如果使用氧化物晶体管(耗尽型晶体管)制作该电路时,由于下拉晶体管无法关闭,电路失效,见图 2 虚线部分。

[0008] 增强型晶体管和耗尽型晶体管的差别见图 3 和图 4,图 3 为增强型晶体管的特性曲线图,图 3 的纵轴为增强型晶体管的漏极电流  $i_D$ ,图 3 的横轴为增强型晶体管的栅源电压  $V_{gs}$ ,从图 3 上可以看到,当  $V_{gs}$  为零时,  $i_D$  为零,说明  $V_{gs}$  为零时,增强型晶体管完全关闭;图 4 为耗尽型晶体管的特性曲线图,同样图 4 的纵轴为耗尽型晶体管的漏极电流  $i_D$ ,图 4 的横轴为耗尽型晶体管的栅源电压  $V_{gs}$ ,但图 4 显示的却是  $V_{gs}$  为零时,  $i_D$  远大于零,而只有在栅源电压  $V_{gs}$  为  $-6V$  时,  $i_D$  才为零,因此,在栅源电压  $V_{gs}$  为 0 时耗尽型晶体管仍然处于导通状态,无法关闭,因此现有的使用 a-si 技术或 p-si 技术能正常工作的电路,在运用氧化物晶体管制作时,由于氧化物晶体管不能关闭,漏电流较大,因此如图 1 所述的传统的基本的移位寄存器单元的电路就不再适用。

### 发明内容

[0009] 本发明的主要目的在于提供一种移位寄存器单元、移位寄存器和显示装置,以解

决耗尽型 TFT 的漏电流问题对移位寄存器的影响。

[0010] 为了达到上述目的,本发明提供了一种移位寄存器单元,包括:

[0011] 第一输出控制模块,其与上拉节点连接,用于在求值阶段将上拉节点上拉到高电平,而在复位阶段下拉到第一低电平;

[0012] 第二输出控制模块,其与下拉节点连接,用于在复位阶段和非工作阶段将下拉节点上拉到高电平;

[0013] 分级输出模块,分别与上拉节点、下拉节点、进位信号输出端和驱动信号输出端连接,用于通过分级输出进位信号和驱动信号,而使得在所述驱动信号在求值阶段维持高电平而在复位阶段、预充电阶段和非工作阶段维持低电平;

[0014] 上拉节点电平维持电容,连接于所述第一低电平输出端与所述第一薄膜晶体管的源极之间,用于在求值阶段通过所述第一输出控制模块维持所述上拉节点的电平为高电平。

[0015] 实施时,所述第一输出控制模块包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管;所述第一薄膜晶体管,栅极和漏极与所述输入端连接,源极与所述第二薄膜晶体管的漏极连接;所述第二薄膜晶体管,栅极与所述输入端连接,源极与所述上拉节点连接;所述第三薄膜晶体管,栅极与复位端连接,源极分别与所述第四薄膜晶体管的漏极和第一薄膜晶体管的源极连接,漏极与所述上拉节点连接;所述第四薄膜晶体管,栅极与所述复位端连接,源极与第一低电平输出端连接。

[0016] 实施时,所述分级输出模块包括:

[0017] 进位输出单元,用于在预充电阶段、复位阶段和非工作阶段在所述第一输出控制模块和第二输出控制模块的控制下使得进位信号输出端输出第一低电平,并在求值阶段在所述第一输出控制模块和第二输出控制模块的控制下使得进位信号输出端输出高电平;

[0018] 驱动输出单元,用于在求值阶段在所述第一输出控制模块和第二输出控制模块的控制下使得驱动信号输出端输出高电平,并在预充电阶段、复位阶段和非工作阶段在所述第一输出控制模块和第二输出控制模块的控制下使得驱动信号输出端输出第二低电平。

[0019] 实施时,所述进位输出单元包括第一进位输出薄膜晶体管和第二进位输出薄膜晶体管;所述驱动输出单元包括第一驱动薄膜晶体管、第二驱动薄膜晶体管和自举电容;

[0020] 所述第一进位输出控制薄膜晶体管,栅极与所述第一输出控制模块连接,源极与所述进位信号输出端连接,漏极与时钟信号输入端连接;

[0021] 所述第二进位输出薄膜晶体管,栅极与所述第二输出控制模块连接,源极与第一低电平输出端连接,漏极与所述进位信号输出端连接;

[0022] 所述第一驱动薄膜晶体管的栅极和源极之间并联有所述自举电容;

[0023] 所述第一驱动薄膜晶体管,栅极与所述第一输出控制模块连接,源极与所述驱动信号输出端连接,漏极与所述时钟信号输入端连接;

[0024] 所述第二驱动薄膜晶体管,栅极与所述第二输出控制模块连接,源极与第二低电平输出端连接,漏极与所述驱动信号输出端连接。

[0025] 实施时,第二低电平大于第一低电平。

[0026] 实施时,所述第二输出控制模块包括下拉控制薄膜晶体管和下拉电容,其中:

[0027] 所述下拉控制薄膜晶体管,栅极与所述上拉节点连接,源极与第一低电平输出端

连接,漏极分别与所述下拉节点和所述下拉电容的第一端连接;

[0028] 所述下拉电容的第二端与所述时钟信号输入端连接。

[0029] 实施时,所述第一进位输出薄膜晶体管、所述第二进位输出薄膜晶体管、所述第一驱动薄膜晶体管和所述第二驱动薄膜晶体管都是耗尽型薄膜晶体管。

[0030] 本发明还提供了一种移位寄存器,包括多级上述的移位寄存器单元;

[0031] 除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端和上一级移位寄存器单元的进位信号输出端连接;

[0032] 除了最后一级移位寄存器单元,每一级移位寄存器单元的复位端和下一级移位寄存器单元的进位信号输出端连接;

[0033] 第一级移位寄存器单元的输入端接入起始信号;

[0034] 最后一级移位寄存器单元的复位端接入最后一级移位寄存器单元输出的驱动信号。

[0035] 本发明还提供了一种显示装置,包括上述的移位寄存器。

[0036] 与现有技术相比,本发明所述的移位寄存器单元、移位寄存器和显示装置,运用上拉节点电平维持电容在求值阶段维持上拉节点的电平为高电平,从而去稳定所述分级输出模块包括的与上拉节点连接的用于上拉驱动的薄膜晶体管的源极的既有电位,使得该用于上拉驱动信号的薄膜晶体管在栅极电位下拉时,栅极与源极的电压差小于零同时小于阈值电压,因此对于耗尽型晶体管,其处于关闭状态,极大地减小了漏电流,防止了上拉节点电位被下拉,从而解决了耗尽型移位寄存电路的漏电问题,保证了移位寄存器单元正常工作;并且采用了分级输出模块,通过分级输出进位信号和驱动信号,而使得在所述驱动信号在求值阶段维持高电平而在复位阶段、预充电阶段和非工作阶段维持低电平,从而解决耗尽型 TFT 的漏电流问题对移位寄存器单元的驱动信号的影响。

## 附图说明

[0037] 图 1 是传统的基本的移位寄存器单元的电路图;

[0038] 图 2 是该基本的移位寄存器单元在工作时各信号的时序图;

[0039] 图 3 是增强型晶体管的特性曲线图;

[0040] 图 4 是耗尽型晶体管的特性曲线图;

[0041] 图 5 是本发明所述的移位寄存器单元的第一实施例的电路图;

[0042] 图 6 是本发明所述的移位寄存器单元的第二实施例的电路图;

[0043] 图 7 是本发明所述的移位寄存器单元的第三实施例的电路图;

[0044] 图 8 是本发明所述的移位寄存器单元的第三实施例在工作时的各信号的时序图;

[0045] 图 9 是本发明所述的移位寄存器单元的第四实施例的电路图;

[0046] 图 10 是本发明所述的移位寄存器的一实施例的电路图。

## 具体实施方式

[0047] 为使得本发明的目的、技术方案和优点表达得更加清楚明白,下面结合附图及具体实施例对本发明再做进一步详细的说明。

[0048] 本发明提供了一种移位寄存器单元、移位寄存器和显示装置,以解决耗尽型 TFT

的漏电流问题对移位寄存器的影响。

[0049] 如图 5 所示,本发明所述的移位寄存器单元的第一实施例,包括:

[0050] 第一输出控制模块 51,其与上拉节点 PU 连接,用于在求值阶段将上拉节点上拉到高电平,在复位阶段将上拉节点下拉到第一低电平;

[0051] 第二输出控制模块 52,其与下拉节点 PD 连接,用于在复位阶段和非工作阶段将下拉节点上拉到高电平;

[0052] 所述第一输出控制模块 51 包括第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3 和第四薄膜晶体管 T4;

[0053] 所述第一薄膜晶体管 T1,栅极和漏极与输入端 Input (n)连接,源极所述第二薄膜晶体管 T2 的漏极连接;

[0054] 所述第二薄膜晶体管 T2,栅极与所述输入端 Input (n)连接,源极与所述上拉节点 PU 连接;

[0055] 所述第三薄膜晶体管 T3,栅极与复位端 RST (n)连接,源极分别与所述第四薄膜晶体管 T4 的漏极和第一薄膜晶体管 T1 的源极连接,漏极与所述上拉节点 PU 连接;

[0056] 所述第四薄膜晶体管 T4,栅极与复位端 RST (n)连接,源极与第一低电平输出端连接;

[0057] 本发明所述的移位寄存器单元的第一实施例还包括:

[0058] 分级输出模块 53,分别与上拉节点(PU 点)、下拉节点(PD 点)、进位信号输出端 CA (n)和驱动信号输出端 OUT(n)连接,用于通过分级输出进位信号和驱动信号,而使得在所述驱动信号在求值阶段维持高电平而在复位阶段和预充电阶段和非工作阶段维持低电平;

[0059] 上拉节点电平维持电容 C1,连接于所述第一低电平输出端与所述第一薄膜晶体管的源极 T1 之间,用于在求值阶段通过所述第一输出控制模块 51 维持所述上拉节点(PU 点)的电平为高电平;

[0060] 本发明所述的移位寄存器单元的第一实施例的进位信号输出端与下一级移位寄存器单元的输入端 Input (n+1) 连接,还与上一级移位寄存器单元的复位端 RST (n-1) 连接(图 5 中未示);

[0061] M 点是与所述第一薄膜晶体管 T1 的源极连接的节点,所述第一低电平输出端输出第一低电平 VGL1。

[0062] 本发明所述的移位寄存器单元的第一实施例,主要是运用上拉节点电平维持电容 C1 在求值阶段维持所述上拉节点(PU 点)的电平为高电平。具体的操作主要是通过电容 C1 稳定与 PU 点连接的薄膜晶体管(图 5 中未示)的源极的既有电位,使得该薄膜晶体管在栅极电位下拉时,栅极与源极的电压差小于零同时小于阈值电压,因此对于耗尽型晶体管,其处于关闭状态,极大地减小了漏电流,防止了 PU 点电位被下拉,从而解决了耗尽型移位寄存电路的漏电问题,保证了移位寄存器单元的正常工作。

[0063] 并且,在本发明所述的移位寄存器单元的第一实施例中,采用了所述分级输出模块 53,通过分级输出进位信号和驱动信号,而使得在所述驱动信号在求值阶段维持高电平而在复位阶段和预充电阶段和非工作阶段维持低电平,从而解决耗尽型 TFT 的漏电流问题对移位寄存器单元的驱动信号的影响。

[0064] 如图 6 所示,本发明所述的移位寄存器单元的第二实施例的电路图。本发明所述

的移位寄存器单元的第二实施例基于本发明所述的移位寄存器单元的第一实施例。在该第二实施例中,所述分级输出模块 53 包括驱动输出单元 531 和进位输出单元 532,其中,

[0065] 所述进位输出单元 532 采用第一低电平输出端驱动;

[0066] 所述驱动输出单元 531 采用第二低电平输出端驱动;

[0067] 所述进位输出单元 532,用于在预充电阶段、复位阶段和非工作阶段在所述第一输出控制模块 51 的控制下使得进位信号输出端 CA (n) 输出第一低电平 VGL1,并在求值阶段在第二输出控制模块的控制下使得进位信号输出端输出高电平;

[0068] 所述驱动输出单元 531,用于在求值阶段在所述第二输出控制模块 52 和第一输出控制模块 51 的控制下使得驱动信号输出端 OUT (n) 输出高电平,并在复位阶段在第一输出控制模块 51 和第二输出控制模块 52 的控制下使得驱动信号输出端 OUT (n) 输出第二低电平 VGL2。

[0069] 所述第一低电平输出端输出第一低电平 VGL1,所述第二低电平输出端输出第二低电平 VGL2;

[0070] 所述第一低电平 VGL1 和第二低电平 VGL2 不同,从而避免耗尽型 TFT 的漏电流问题对移位寄存器单元的驱动信号的影响。

[0071] 如图 7 所示,本发明所述的移位寄存器单元的第三实施例的电路图。本发明所述的移位寄存器单元的第三实施例基于本发明所述的移位寄存器单元的第二实施例。在该第三实施例中,

[0072] 所述进位输出单元 532 包括第一进位输出薄膜晶体管 T5 和第二进位输出薄膜晶体管 T6;

[0073] 所述驱动输出单元 531 包括第一驱动薄膜晶体管 T7、第二驱动薄膜晶体管 T8 和自举电容 C2;

[0074] 所述第一进位输出薄膜晶体管 T5,栅极与所述第一输出控制模块 51 连接,源极与所述进位信号输出端 CA (n) 连接,漏极与时钟信号输入端连接;

[0075] 所述第一驱动薄膜晶体管 T7 的栅极和源极之间并联有所述自举电容 C2;

[0076] 所述第一驱动薄膜晶体管 T7,栅极与所述第一输出控制模块 51 连接,源极与所述驱动信号输出端 OUT (n) 连接,漏极与所述时钟信号输入端连接;

[0077] 所述第二进位输出薄膜晶体管 T6,栅极与所述第二输出控制模块 52 连接,源极与第一低电平输出端连接,漏极与所述进位信号输出端 CA (n) 连接;

[0078] 所述第二驱动薄膜晶体管 T8,栅极与所述第二输出控制模块 52 连接,源极与第二低电平输出端连接,漏极与所述驱动信号输出端 OUT (n) 连接;

[0079] 所述第一输出控制模块 51 还分别与第一低电平输出端和所述输入端 Input (n) 连接;

[0080] 所述第二输出控制模块 52 还与第一低电平输出端连接。

[0081] 进一步地,T5、T6、T7 和 T8 都是 n 型 TFT (薄膜晶体管);

[0082] 进一步地,所述第一进位输出薄膜晶体管 T5、所述第二进位输出薄膜晶体管 T6、所述第一驱动薄膜晶体管 T7 和所述第二驱动薄膜晶体管 T8 都是耗尽型薄膜晶体管;

[0083] 其中,从时钟信号输入端输入时钟信号 CK,所述第一低电平输出端输出第一低电平 VGL1,所述第二低电平输出端输出第二低电平 VGL2,并且  $VGL1 < VGL2$ 。



[0084] 在本发明所述的移位寄存器单元的第三实施例中,PU 点是与所述第一进位输出控制薄膜晶体管 T5 的栅极连接的节点,PD 点是与所述第二进位输出控制薄膜晶体管 T6 的栅极连接的节点。PU 点电位、PD 点电位分别由第一输出控制模块 51、第二输出控制模块 52 所控制的。

[0085] 本发明所述的移位寄存器单元的第三实施例使用了两个不同的下拉电位:VGL1 和 VGL2,一个下拉电位 VGL2 用于驱动信号输出,一个下拉电位 VGL1 用于反馈和进位信号输出,且 VGL2 大于 VGL1,同时本级移位寄存器单元的输入部分和复位部分使用了两个 TFT 串联,两个 TFT 的中间连在一起,且与电容 C1 连接于 M 点。另外本发明所述的移位寄存器单元的第三实施例需要的时钟信号 CK,高电平为 VGH,低电平为 VGL1;第二输出控制模块 52 输出的信号作用于 PD 点,高电平为 VGH,低电平为 VGL1;根据本级移位寄存器单元与上一级移位寄存器单元的复位端 RST(n-1) 和对下一级移位寄存器单元的输入端 Input(n+1) 的连接,可知本级移位寄存器单元的输入端 Input(n) 和复位端 RST(n) 接收到的信号的高电平、低电平分别为 VGH、VGL1。

[0086] 如图 8 所示,本发明所述的移位寄存器单元的第三实施例的工作过程分为三个阶段:

[0087] 第一个阶段为预充电阶段 S1:时钟信号输入端和复位端 RST(n) 输出第一低电平 VGL1,输入端 Input(n) 输出高电平 VGH,因此 T1、T2 开启,通过 PU 点对自举电容 C2 充电,同时也通过 M 点对 C1 充电;由于 T4 的源极电压为 VGL1,同时 RST(n) 的电位也为 VGL1,因此对于 T4 而言  $V_{gs}$  (栅源电压) 为 0, T4 处于一定的开启状态(对应其特性曲线,可以看到其处于线性区,有一定电阻),随着输入端 Input(n) 对 C1 的充电, M 点电位迅速升高,对于 T3,其源极电位为 M 点的电位,而 T3 的栅极电位为 VGL1,因此 T3 的  $V_{gs}$  小于 0,当 M 点电位上升到一定值后, T3 彻底关闭,由于 T3 关闭, PU 点的电位会很快到达 VGH;而 PD 点的电位为 VGL1, T6 的  $V_{gs}$  为 0, T6 开启;对于 T8,由于 VGL2 大于 VGL1, T8 的  $V_{gs}$  小于 0,因此 T8 关闭。由于 PU 点电位的升高, T5、T7 开启, OUT(n) 输出低电平 VGL1, CA(n) 输出低电平 VGL1;

[0088] 第二个阶段为求值阶段 S2:CK 跳变为高电平,输入端 Input(n) 的电位跳变为第一低电平 VGL1, RST(n) 仍然输出第一低电平 VGL1, T1 的  $V_{gs}$  和 T4 的  $V_{gs}$  为 0,因此 T1 和 T4 处于一定的开启状态(处于线性区,有一定电阻);T2 的栅极电位和 T3 的栅极电位都为 VGL1, T2 的源极电位和 T3 的源极电位为 M 点电位, M 点由于与 C1 连接,虽然 C1 会通过 T1 和 T4 缓慢放电,但 M 点电位不会很快跳变成 VGL1,而是缓慢下降,只要 C1 的电容值达到某一预定值,在半个脉宽的时间内 C1 两端的电位差可以保持大于 VGL1 一定值,因此 T2 的栅源电压  $V_{gs}$  和 T3 的栅源电压  $V_{gs}$  小于 0 且可以保证其处于关闭状态, T2 和 T3 的关闭可以使得 PU 点电位继续为高电平保持不变,因此 T5 和 T7 继续开启, PD 点的电位继续保持低电平 VGL1,因此 T8 继续关闭, T6 保持一定的开启状态,此时 CK 为高电平,通过 C2 将 PU 点电位进一步提高, T5 和 T7 进一步开启,因此 OUT(n) 输出高电平 VGH,同时 CA(n) 输出高电平 VGH;

[0089] 第三阶段为复位阶段 S3:CK 跳变为第一低电平 VGL1, RST(n) 和 PD 点输出高电平 VGH,因此 T6 和 T8 充分开启, T3 和 T4 充分开启,因此 PU 点和 M 点电位被下拉至 VGL1, T6 和 T8 的开启使得 OUT(n) 输出 VGL2,而 CA(n) 输出 VGL1;

[0090] 到此移位寄存器单元的操作结束, PU 点电位下拉至 VGL1 后, 由于 OUT (n) 输出 VGL2, T7 的  $V_{gs}$  小于 0, T7 关闭, 因此当 CK 再次为高电平的时候也不会影响到 OUT (n) 的输出。而 T5 虽然有可能处于微开启, 但由于 T6 的开启, 因此 CA (n) 输出 VGL1。

[0091] 图 9 是本发明所述的移位寄存器单元的第四实施例的电路图。本发明所述的移位寄存器单元的第四实施例基于本发明所述的移位寄存器单元的第三实施例。

[0092] 如图 9 所示, 在该第四实施例中, 所述第二输出控制模块 52 包括下拉控制薄膜晶体管 T9 和上拉电容 C3, 其中:

[0093] 下拉控制薄膜晶体管 T9, 栅极与所述上拉节点 (PU 点) 连接, 源极与第一低电平输出端连接, 漏极分别与所述下拉节点 (PD 点) 和所述上拉电容 C3 的第一端连接;

[0094] 所述上拉电容 C3 的第二端与所述时钟信号输入端连接。

[0095] 需注意的是: 本发明的第二输出控制模块 52 有很多种方案, 如图 9 所示的第二输出控制模块就是实施例之一, 但第二输出控制模块的差异并不是本专利与其他方案的本质区别, 只要使用了本发明的技术方案, 第二输出控制模块无论使用何种实施例都在本发明专利的保护范围内。

[0096] 本发明还提供了一种移位寄存器, 包括多级上述的移位寄存器单元;

[0097] 除了第一级移位寄存器单元之外, 每一级移位寄存器单元的输入端和上一级移位寄存器单元的进位信号输出端连接;

[0098] 除了最后一级移位寄存器单元, 每一级移位寄存器单元的复位端和下一级移位寄存器单元的进位信号输出端连接;

[0099] 第一级移位寄存器单元的输入端接入起始信号;

[0100] 最后一级移位寄存器单元的复位端接入最后一级移位寄存器单元输出的驱动信号。

[0101] 如图 10 所示, 本发明所述的移位寄存器的一实施例由 N 级移位寄存器单元连接构成, 以作为有源矩阵的行扫描器, N 通常为有源矩阵的行数, N 为正整数;

[0102] S1、S2...、Sn、...、SN 分别标示的是第一级移位寄存器单元、第二级移位寄存器单元...、第 n 级移位寄存器单元...、第 N 级移位寄存器单元;

[0103] 第一时钟信号输入端输出的时钟信号和第二时钟信号输入端输入的时钟信号相位相反, 占空比为 50%;

[0104] 其中, 第一级移位寄存器的输入端 IN 接入初始脉冲信号 STV, STV 为高电平有效;

[0105] 最后一级移位寄存器单元的复位端接入最后一级移位寄存器单元输出的驱动信号;

[0106] 除了第一级移位寄存器单元之外, 每一级移位寄存器单元的输入端和上一级移位寄存器单元的进位信号输出端连接; 每一级移位寄存器有两个输出端: CA (n) 为进位信号输出端, 其分别与下一级移位寄存器单元的输入端 Input (n+1) 和上一级移位寄存器单元的复位端 RST (n-1) 连接; OUT (n) 为驱动信号输出端, 其与有源矩阵的行扫描线 Gn 连接; 其中, n 为正整数, 且 n 小于或等于 N;

[0107] 相邻两级移位寄存器单元的时钟控制信号互为反相, 比如: 如果第一级移位寄存器单元的时钟输入端连接时钟信号 CK 则与该第一级移位寄存器单元相邻的第二级移位寄存器单元的时钟信号输入端连接时钟信号 CKB, 时钟信号 CK 和时钟信号 CKB 互为反相。

[0108] 本发明的实施例还提供一种显示装置,包括如以上实施例所述的移位寄存器,所述显示装置可以包括液晶显示装置,例如液晶面板、液晶电视、手机、液晶显示器。除了液晶显示装置外,所述显示装置还可以包括有机发光显示器或者其他类型的显示装置,比如电子阅读器等。该移位寄存器可以作为显示装置的扫描电路或者栅极驱动电路等,以提供逐行扫描功能,将扫描信号送至显示区域。

[0109] 以上说明对本发明而言只是说明性的,而非限制性的,本领域普通技术人员理解,在不脱离所附权利要求所限定的精神和范围的情况下,可做出许多修改、变化或等效,但都将落入本发明的保护范围内。

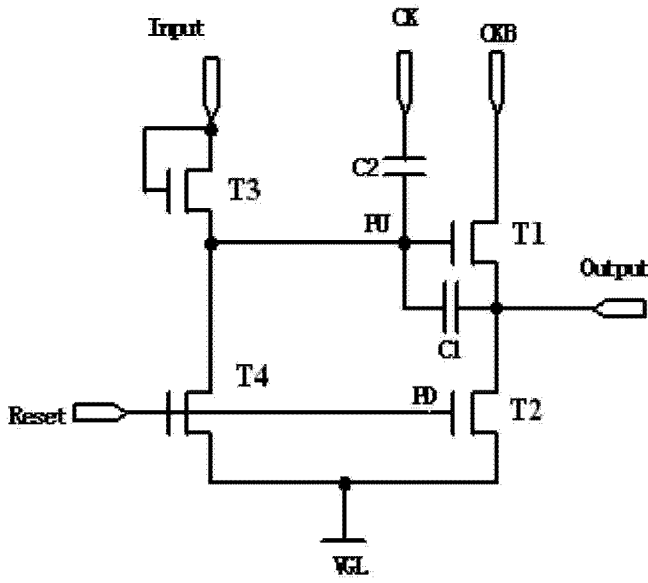


图 1

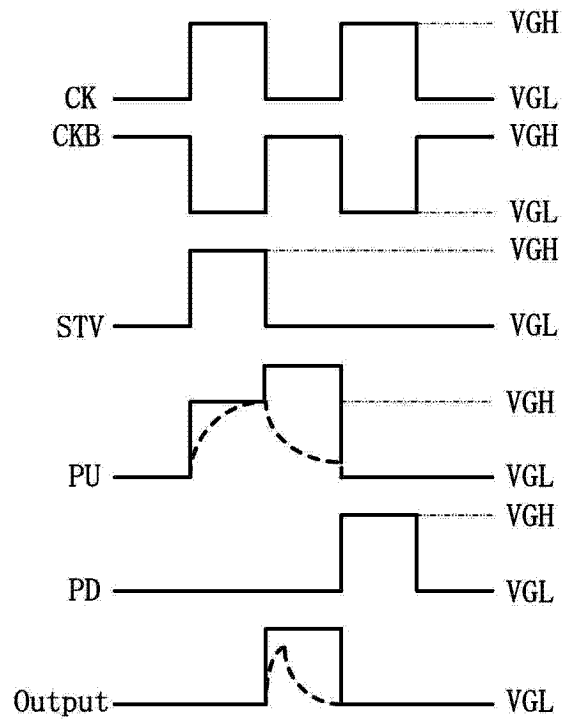


图 2

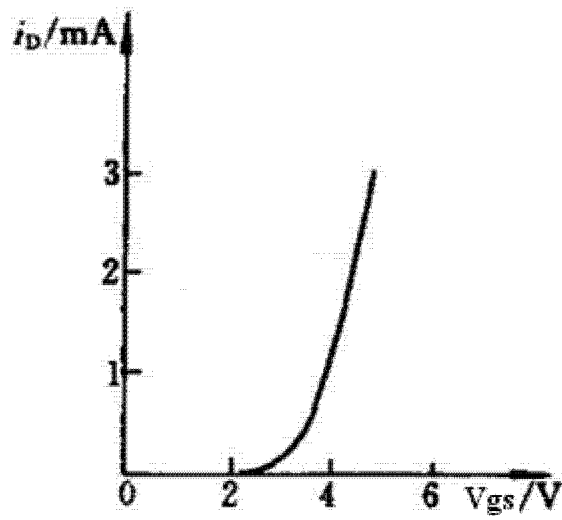


图 3

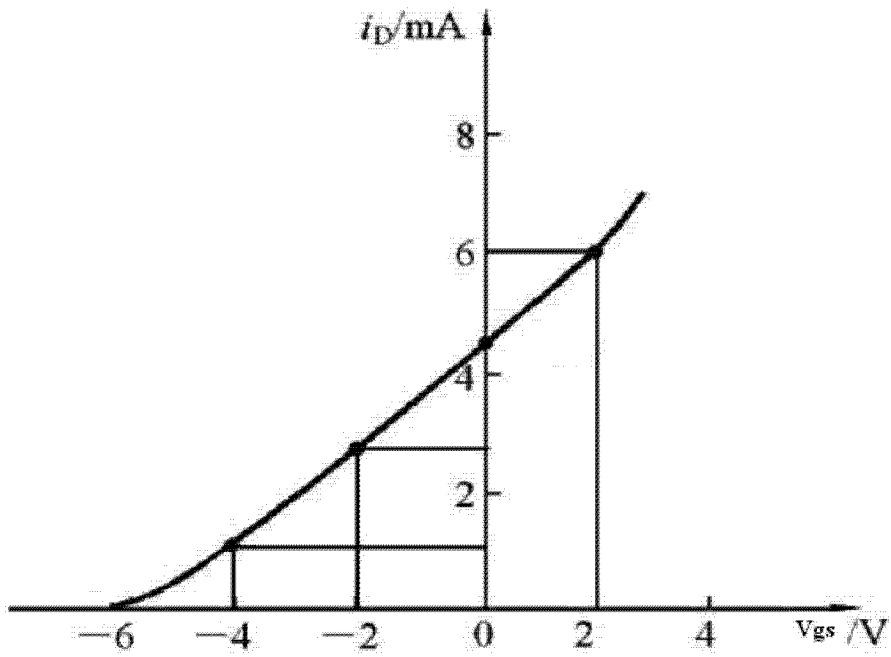


图 4

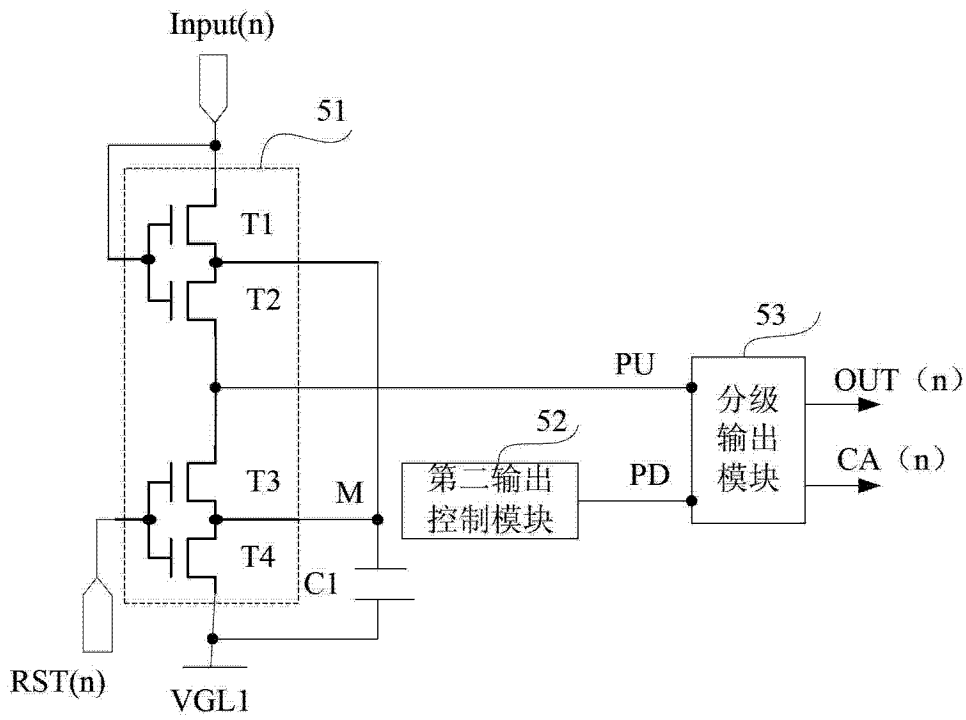


图 5

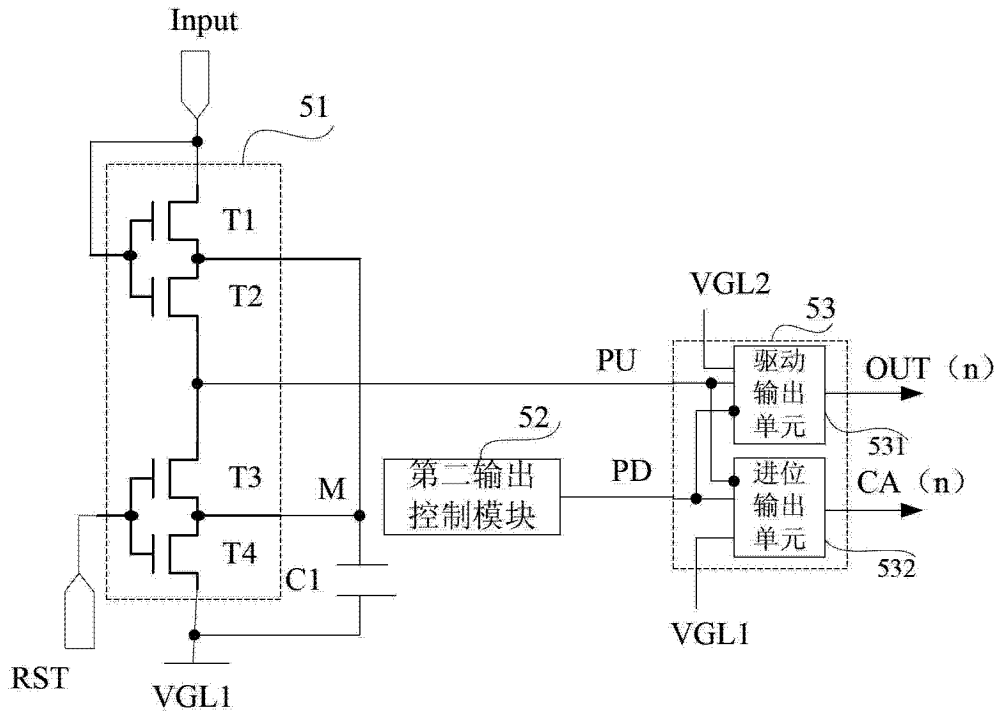


图 6

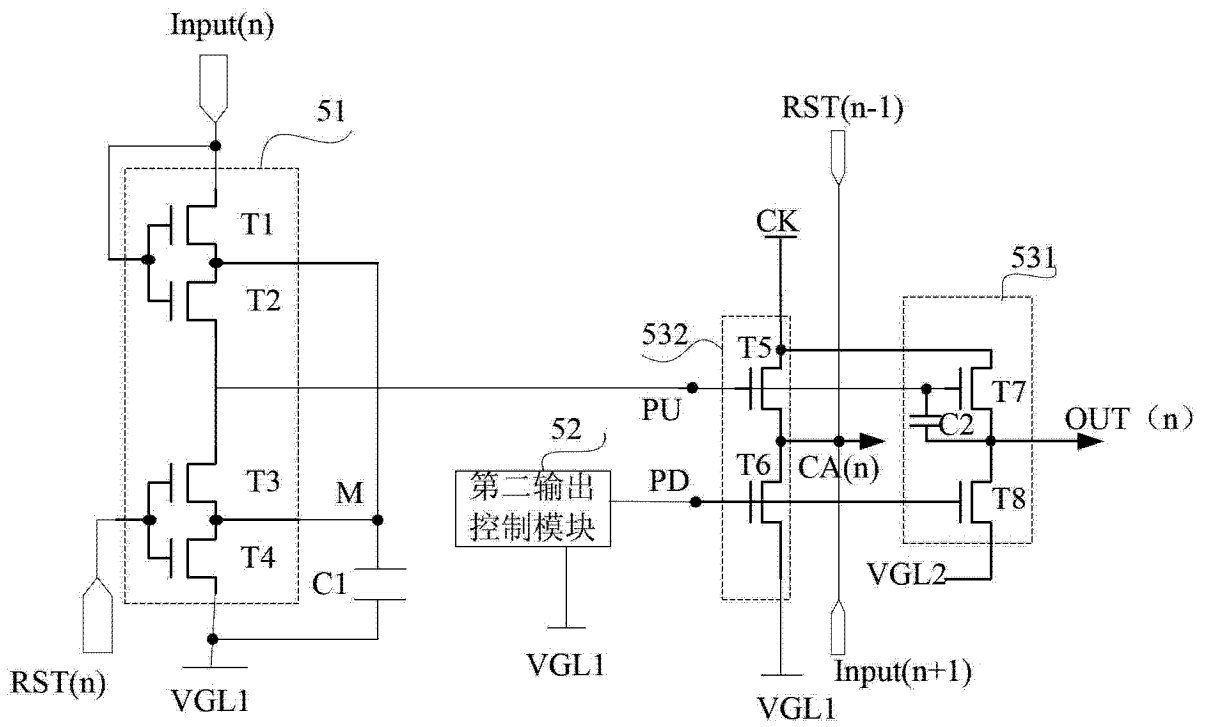


图 7

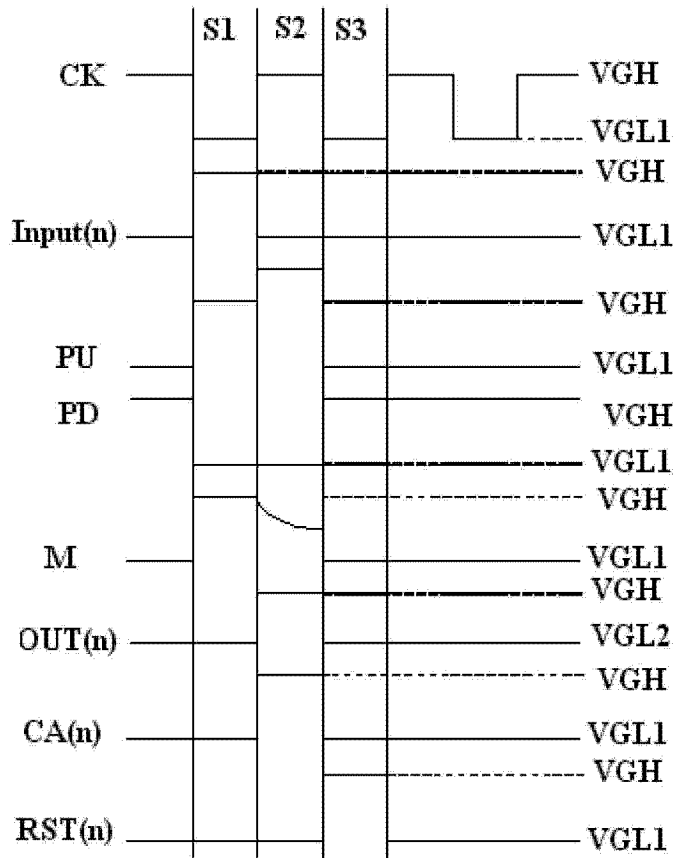


图 8

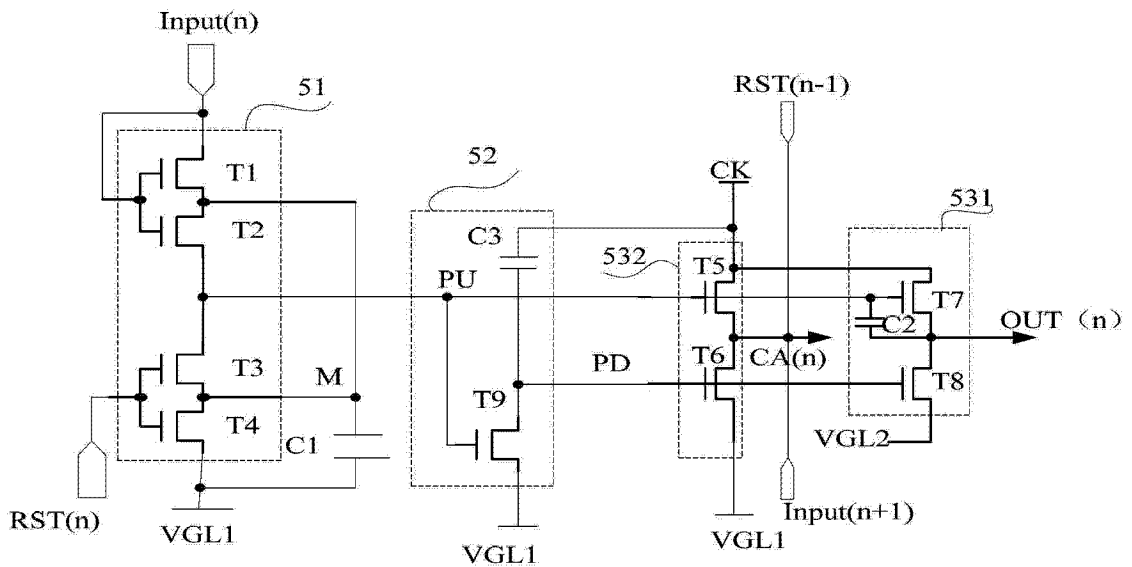


图 9

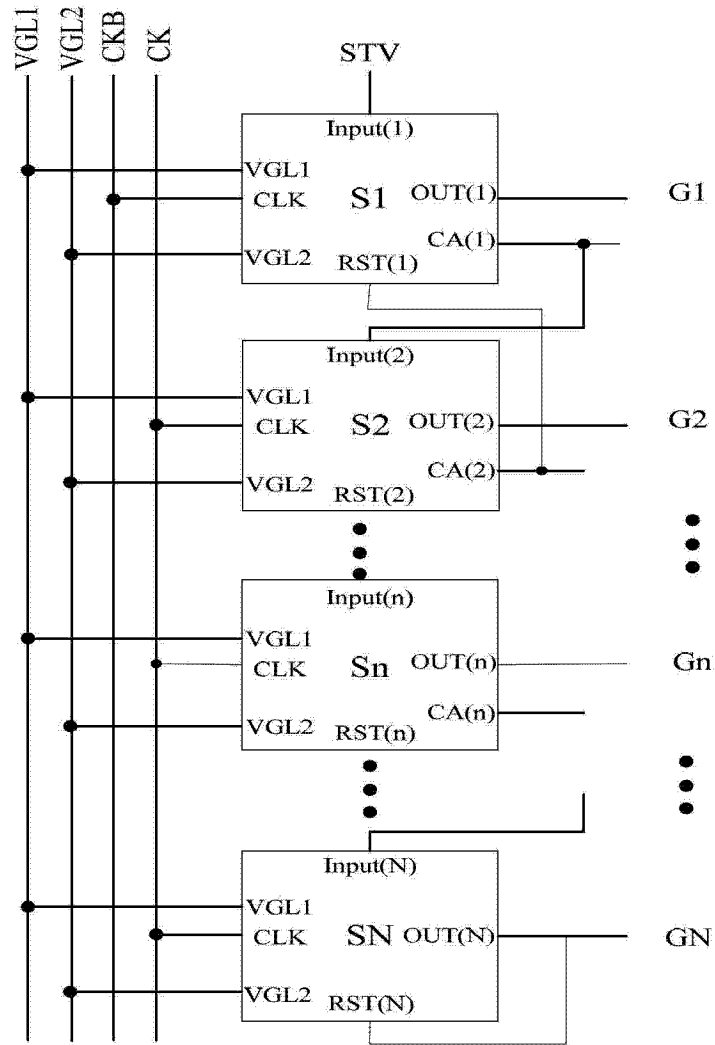


图 10