



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년07월12일  
 (11) 등록번호 10-1752780  
 (24) 등록일자 2017년06월26일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/36 (2006.01) G02F 1/1362 (2006.01)  
 (21) 출원번호 10-2011-0024823  
 (22) 출원일자 2011년03월21일  
 심사청구일자 2016년02월12일  
 (65) 공개번호 10-2012-0107245  
 (43) 공개일자 2012년10월02일  
 (56) 선행기술조사문헌  
 US06256076 B1\*  
 US20080001902 A1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 엘지디스플레이 주식회사  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**홍광표**  
 경상북도 구미시 산호대로33길 6-65, 502호 (옥계동)  
**이중현**  
 경상북도 구미시 칠성로2길 19 가동 305호 (신평동, LG전자기숙사)  
 (74) 대리인  
**특허법인네이트**

전체 청구항 수 : 총 10 항

심사관 : 추장희

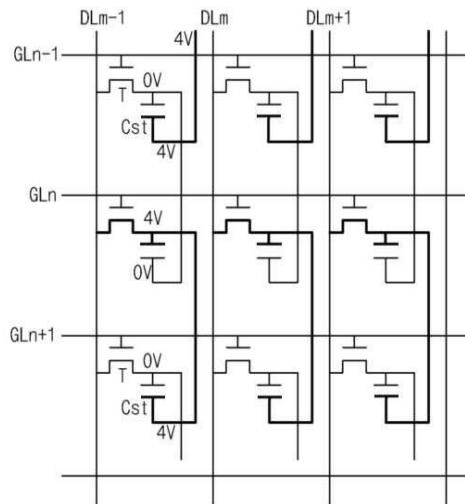
(54) 발명의 명칭 **액정표시장치 및 그 구동방법**

**(57) 요약**

본 발명은 액정표시장치 및 그 구동방법에 관한 것이다.

이전 화소영역의 화소전압과 다음 화소영역의 상대전압을 동시에 공급함에 따라 별도로 인가되는 공통전압을 제거할 수 있고, 그 결과 액정표시장치의 소비전력을 줄일 수 있다.

**대표도** - 도6



## 명세서

### 청구범위

#### 청구항 1

다수의 화소영역이  $M \times N$  ( $M, N$ 은 임의의 자연수)의 매트릭스형상으로 배열되어 액정패널을 형성한 액정표시장치에 있어서,

제1기판과;

상기 제1기판 상부에 형성되며, 서로 교차하여 상기 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과;

상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와;

상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과;

상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와;

상기 스토리지 커패시터의 타 전극과 연결되는 상대전극과;

상기 다수의 게이트 배선 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 형성된 상기 다수의 데이터 배선과, 게이트 전극에 대응하여 형성된 반도체층과, 상기 반도체층 상부로 상기 데이터 배선과 연결된 소스 전극 및 상기 드레인 전극과;

상기 데이터 배선과 상기 소스 전극 및 상기 드레인 전극과 상기 화소전극 위로 형성된 보호층과;

상기 보호층 상부에 상기 화소전극을 노출시키는 콘택홀을 포함하며,

상기 상대전극은 상기 보호층 위에 배치되며, 상기 화소전극에 대응하여 바(bar) 형태로 이격하는 다수의 개구부를 포함하고,

제  $N$  번째 게이트 배선 및 제  $M$  번째 데이터 배선이 서로 교차하여 정의하는 화소영역( $M, N$ )의 화소전극과, 제  $N+1$  번째 게이트 배선 및 제  $M$  번째 데이터 배선이 서로 교차하여 정의하는 화소영역( $M, N+1$ )의 상대전극이 서로 연결되어, 상기 화소영역( $M, N$ )의 화소전극과, 상기 화소영역( $M, N+1$ )의 상대전극에 각각 동일한 전압이 인가되며,

상기 화소영역( $M, N$ )의 콘택홀을 통해 상기 화소영역( $M, N$ )의 화소전극과 상기 화소영역( $M, N+1$ )의 상대전극이 연결되고,

상기 화소영역( $M, N$ )에 형성된 상기 박막트랜지스터는 상기 화소영역( $M, N$ )의 스토리지 커패시터 및 상기 화소영역( $M, N+1$ )의 스토리지 커패시터에만 직접 연결되는 액정표시장치.

#### 청구항 2

삭제

#### 청구항 3

다수의 화소영역이  $M \times N$  ( $M, N$ 은 임의의 자연수)의 매트릭스형상으로 배열되어 액정패널을 형성한 액정표시장치에 있어서,

제1기판과;

상기 제1기판 상부에 형성되며, 서로 교차하여 상기 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과;

상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와;

상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과;

상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와;

상기 스토리지 커패시터의 타 전극과 연결되는 상대전극과;

상기 다수의 게이트 배선 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 형성된 상기 다수의 데이터 배선과, 게이트 전극에 대응하여 형성된 반도체층과, 상기 반도체층 상부로 상기 데이터 배선과 연결된 소스 전극 및 드레인 전극과;

상기 데이터 배선과 상기 소스 전극 및 상기 드레인 전극과 상기 화소전극 위로 형성된 보호층과;

상기 보호층 상부에 상기 화소전극을 노출시키는 콘택홀을 포함하며,

상기 상대전극은 상기 보호층 위에 배치되며, 상기 화소전극에 대응하여 바(bar) 형태로 이격하는 다수의 개구부를 포함하고,

제 N 번째 게이트 배선 및 제 M 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N)의 화소전극과, 제 N 번째 게이트 배선 및 제 M+1 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M+1, N)의 상대전극이 서로 연결되어, 상기 화소영역(M, N)의 화소전극과, 상기 화소영역(M+1, N)의 상대전극에 각각 동일한 전압이 인가되며,

상기 화소영역(M, N)의 콘택홀을 통해 상기 화소영역(M, N)의 화소전극과 상기 화소영역(M+1, N)의 상대전극이 연결되고,

상기 화소영역(M, N)에 형성된 상기 박막트랜지스터는 상기 화소영역(M, N)의 스토리지 커패시터 및 상기 화소영역(M+1, N)의 스토리지 커패시터에만 직접 연결되는 액정표시장치.

#### 청구항 4

삭제

#### 청구항 5

제1항 또는 제3항에 있어서,

데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 다수의 데이터배선에 공급하는 데이터 드라이버와;

게이트 신호를 생성하고, 생성된 상기 게이트 신호를 상기 다수의 게이트배선에 공급하는 게이트 드라이버와;

상기 게이트 드라이버 및 상기 데이터 드라이버의 동작타이밍을 제어하기 위한 다수의 제어신호를 공급하는 타이밍 제어부를 더 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제5항에 있어서,

상기 데이터 드라이버는,

상기 화소영역(M, N)의 화소전극에 인가되는 전압과 감마전압을 이용하여 상기 화소영역(M, N+1)의 화소전극 또는 상기 화소영역(M+1, N)의 화소전극에 인가되는 전압을 연산하는 데이터 연산 장치를 더 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제6항에 있어서,

상기 데이터 연산 장치는,

상기 화소영역(M, N)의 화소전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압 만큼 빼주고,

상기 화소영역(M, N)의 화소전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압 만큼 더해서 상기 화소영역(M, N+1)의 화소전극 또는 상기 화소영역(M+1, N)의 화소전극에 인가되는 전압을 연산하는 것을 특징으로 하는 액정표시장치.

### 청구항 8

서로 교차하여  $M \times N$ (M, N은 임의의 자연수)의 매트릭스형상으로 배열되는 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 상기 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과, 상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와, 상기 스토리지 커패시터의 타 전극과 연결되는 상대전극과, 상기 다수의 게이트 배선 위로 형성된 게이트 절연막과, 상기 게이트 절연막 위로 형성된 상기 다수의 데이터 배선과, 게이트 전극에 대응하여 형성된 반도체층과, 상기 반도체층 상부로 상기 데이터 배선과 연결된 소스 전극 및 드레인 전극과, 상기 데이터 배선과 상기 소스 전극 및 상기 드레인 전극과 상기 화소전극 위로 형성된 보호층과, 상기 보호층 상부에 상기 화소전극을 노출시키는 콘택홀과, 상기 상대전극은 상기 보호층 위에 배치되며 상기 화소전극에 대응하여 바(bar) 형태로 이격하는 다수의 개구부를 포함하고, 제 N 번째 게이트 배선 및 제 M 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N)의 콘택홀을 통해 상기 화소영역(M, N)의 화소전극과 제 N+1 번째 게이트 배선 및 제 M 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N+1)의 상대전극이 연결되고, 상기 화소영역(M, N)에 형성된 상기 박막트랜지스터는 상기 화소영역(M, N)의 스토리지 커패시터 및 상기 화소영역(M, N+1)의 스토리지 커패시터에만 직접 연결되는 액정표시장치의 구동방법에 있어서,

상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와;

상기 다수의 데이터 배선에 데이터 신호를 공급하여 턴-온 된 상기 박막트랜지스터를 통하여 상기 화소전극에 전압을 인가하는 단계를 포함하며,

상기 화소영역(M, N)의 화소전극에 전압을 인가하는 경우에,

상기 화소영역(M, N+1)의 상대전극에 동일한 전압이 인가되는 액정표시장치의 구동방법.

### 청구항 9

제8항에 있어서,

상기 화소영역(M, N)의 화소전극에 전압을 인가한 후에,

상기 화소영역(M, N)의 화소전극에 전압과 감마전압을 이용하여 상기 화소영역(M, N+1)의 화소전극에 인가되는 전압을 생성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

### 청구항 10

서로 교차하여  $M \times N$ (M, N은 임의의 자연수)의 매트릭스형상으로 배열되는 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 상기 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과, 상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와, 상기 스토리지 커패시터의 타 전극과 연결되는 상대전극과, 상기 다수의 게이트 배선 위로 형성된 게이트 절연막과, 상기 게이트 절연막 위로 형성된 상기 다수의 데이터 배선과, 게이트 전극에 대응하여 형성된 반도체층과, 상기 반도체층 상부로 상기 데이터 배선과 연

결된 소스 전극 및 드레인 전극과, 상기 데이터 배선과 상기 소스 전극 및 상기 드레인 전극과 상기 화소전극 위로 형성된 보호층과, 상기 보호층 상부에 상기 화소전극을 노출시키는 콘택홀과, 상기 상대전극은 상기 보호층 위에 배치되며 상기 화소전극에 대응하여 바(bar) 형태로 이격하는 다수의 개구부를 포함하고, 제 N 번째 게이트 배선 및 제 M 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N)의 콘택홀을 통해 상기 화소영역(M, N)의 화소전극과 제 N 번째 게이트 배선 및 제 M+1 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N+1)의 상대전극이 연결되고, 상기 화소영역(M, N)에 형성된 상기 박막트랜지스터는 상기 화소영역(M, N)의 스토리지 커패시터 및 상기 화소영역(M+1, N)의 스토리지 커패시터에만 직접 연결되는 액정표시장치의 구동방법에 있어서,

상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와;

상기 다수의 데이터 배선에 데이터 신호를 공급하여 턴-온 된 상기 박막트랜지스터를 통하여 상기 화소전극에 전압을 인가하는 단계를 포함하며,

상기 화소영역(M, N)의 화소전극에 전압을 인가하는 경우에,

상기 화소영역(M+1, N)의 상대전극에 동일한 전압이 인가되는 액정표시장치의 구동방법.

### 청구항 11

제10항에 있어서,

상기 화소영역(M, N)의 화소전극에 전압을 인가한 후에,

상기 화소영역(M, N)의 화소전극에 전압과 감마전압을 이용하여 상기 화소영역(M+1, N)의 화소전극에 인가되는 전압을 생성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

### 청구항 12

제9항 또는 제11항에 있어서,

상기 전압을 생성하는 단계는,

상기 화소영역(M, N)의 화소전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압 만큼 빼주고,

상기 화소영역(M, N)의 화소전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압 만큼 더해서 생성하는 것을 특징으로 하는 액정표시장치의 구동방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 액정표시장치 및 그 구동방법에 관한 것으로, 보다 상세하게는 횡전계 액정표시장치에 있어서, 이전 화소영역의 화소전압과 다음 화소영역의 상대전압을 동시에 공급함에 따라 별도로 인가되는 공통전압을 제거할 수 있어 액정표시장치의 소비전력을 줄일 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

### 배경 기술

[0002] 최근 정보화 사회가 발전함에 따라 디스플레이 분야에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 박형화, 경량화, 저소비 전력화 등의 특징을 지닌 여러 평판 표시 장치(Flat Panel Display device), 예를 들어, 액정표시장치(Liquid Crystal Display device), 플라즈마표시장치(Plasma Display Panel device), 전기 발광표시장치(Electro Luminescent Display device) 등이 연구되고 있다.

[0003] 이 중에서 액정표시장치는 현재 가장 널리 사용되는 평판 표시 장치 중 하나이며, 화소전극과 공통전극 등이 형성되는 두 기판과, 두 기판 사이의 액정층을 포함한다.

- [0004] 이러한 액정표시장치는, 전극에 인가된 전압에 의해 생성된 전기장에 따라 액정층의 액정분자들의 배향을 결정하고, 입사광의 편광을 제어하여 영상을 표시한다.
- [0005] 그리고, 액정표시장치는 동화상 표시에 유리하고 높은 콘트라스트비(contrast ratio)로 인하여 기존의 음극선관(Cathode Ray Tube)을 대체하면서 이동 단말기의 표시장치(노트북 모니터 등)뿐만 아니라 컴퓨터의 모니터, 텔레비전 등으로 다양하게 이용되고 있다.
- [0006] 액정표시장치는 액정의 배열과 액정에 전계를 인가하는 전극의 배열 형태에 따라, 액정 분자가 90도 트위스트 되도록 배열한 후 전압을 인가하여 액정 분자를 제어하는 TN(Twisted Nematic)모드, 한 기판 상에 두개의 전극을 형성하여 배향막과 나란한 평면에서 수평전계에 의해 액정분자의 배향을 변화시키는 IPS(In-Plane Switching)모드, 액정분자의 초기 배향이 기판에 평행하게 배열되고 전극은 제1 및 제2기판 각각에 형성되어 액정에 수직전계를 인가하는VA(Vertical Alignment)모드 등으로 구분된다.
- [0007] 이 중 IPS방식의 액정표시장치는, 일반적으로 서로 대향배치되며 그 사이에 액정층을 구비하는 제1기판과 제2기판을 포함하며, 액정층의 액정분자가 횡전계에 의해 수평 구동되므로 시야각이 우수하다.
- [0008] 도1은 종래의 액정표시장치의 화소영역의 등가회로를 개략적으로 도시한 도면이다.
- [0009] 도1에 도시한 바와 같이, 액정표시장치(미도시)에는 서로 교차하여 화소영역(P)을 정의하는 게이트 배선(GL) 및 데이터 배선(DL)이 형성되고, 각 화소영역(P)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 형성된다.
- [0010] 도시하지는 않았지만, 화소전극(미도시)은 박막트랜지스터(T)의 드레인전극(미도시)과 연결되며, 화소전극(미도시)에 대응하여 공통 전극(미도시)이 형성될 수 있다.
- [0011] 이러한 화소전극(미도시)과 공통전극(미도시) 각각에 화소전압(Vdata) 및 공통전압(Vcom)이 인가되면, 화소전극(미도시)과 공통전극(미도시) 사이에 전계가 형성되고, 형성된 전계를 이용하여 액정표시장치를 구동할 수 있다.
- [0012] 그리고, 스토리지 커패시터(Cst)는 화소전극(미도시)에 인가된 화소전압(Vdata)을 다음 프레임까지 유지할 수 있도록 하는 역할을 한다.
- [0013] 도2는 종래의 액정표시장치를 개략적으로 도시한 도면이다.
- [0014] 도2에 도시한 바와 같이, 종래의 액정표시장치에는, 서로 교차하여 다수의 화소영역(P)을 정의하는 다수의 게이트 배선(GL<sub>n-1</sub>, GL<sub>n</sub>, GL<sub>n+1</sub>)과 다수의 데이터 배선(DL<sub>m-1</sub>, DL<sub>m</sub>, DL<sub>m+1</sub>)이 형성된다.
- [0015] 이때, 다수의 화소영역(P)은 M×N(M, N은 임의의 자연수)의 매트릭스형상으로 배열될 수 있으며, 예를 들어, 화소영역(M, N)은 제 M 번째 데이터 배선(DL<sub>m</sub>)과 제 N 번째 게이트 배선(GL<sub>n</sub>)이 교차하여 정의될 수 있다.
- [0016] 예를 들어, 화소영역(M, N)에는, 게이트 배선(GL<sub>n</sub>) 및 데이터 배선(DL<sub>m</sub>)에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)에 일 전극이 연결되는 스토리지 커패시터(Cst)가 형성되고, 스토리지 커패시터(Cst)의 타 전극은 공통배선(미도시)에 연결될 수 있다.
- [0017] 이러한 액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 영상을 표시할 수 있으며, 액정표시장치를 구동하기 위하여 라인 반전 방식(Line Inversion System) 또는 화소 반전 방식(Dot Inversion System) 등의 방식으로 구동될 수 있다.
- [0018] 그 결과, 다수의 공통배선(미도시)에는 상이한 극성의 공통전압이 게이트 신호에 동기하여 프레임 별로 반전되며 인가될 수 있다.
- [0019] 도3a는 종래의 액정표시장치의 어레이기판의 평면도이고, 도3b는 도 3a를 절단선 III-III'를 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.
- [0020] 도3a 및 도3b에 도시한 바와 같이, 종래의 액정표시장치의 어레이기판(10)에는 게이트 절연막(13)을 개재하여 그 하부 및 상부에서 서로 교차하여 다수의 화소영역(미도시)을 정의하며 게이트 배선(12)과 데이터 배선(22)이

형성되어 있으며, 각 화소영역(미도시)에는 게이트 배선(12) 및 데이터 배선(22)과 연결되며 박막트랜지스터(T)가 형성된다.

- [0021] 또한, 게이트 절연막(13) 상부로 각 화소영역(미도시)에는 박막트랜지스터(T)의 드레인 전극(19)과 연결되는 화소전극(20)이 형성될 수 있다.
- [0022] 이때, 화소전극(20)은 데이터 배선(22)과 동일한 층 즉, 게이트 절연막(13) 상에 형성되며, 데이터 배선(22)과의 쇼트를 방지하기 위해 데이터 배선(22)과 일정간격 이격하며 형성된다.
- [0023] 또한, 데이터 배선(22)과 화소전극(20) 상부에는 절연물질로서 보호층(24)이 형성되고 있으며, 보호층(24) 상의 전면에 각 화소영역(미도시)에 대응하여 일정간격 이격하며, 바(bar) 형태의 다수의 개구부(OA)를 갖는 공통전극(26)이 형성된다.
- [0024] 이러한 액정표시장치의 화소영역(미도시)의 동작을 살펴보면, 게이트 배선(12) 및 데이터 배선(22)에 각각 게이트 신호 및 데이터 신호가 인가되고, 게이트 신호에 따라 박막트랜지스터(T)가 턴-온(Turn-On) 되면, 데이터 신호가 박막트랜지스터(T)를 통하여 화소전극(20)에 화소전압(Vdata)으로 인가된다.
- [0025] 그리고, 공통전압(26)에는 공통전압(Vcom)이 인가되면, 화소전압(Vdata) 및 공통전압(Vcom)에 의하여 생성된 전기장에 의해 액정층(미도시)을 재배열하여 영상을 표시할 수 있다.
- [0026] 도4a 및 도4b는 액정표시장치의 구동장식 중 각각 라인 반전 방식의 파형도 및 화소 반전 방식의 파형도를 도시한 도면이다.
- [0027] 도4a에 도시한 바와 같이, 라인 반전 방식의 경우에는 타이밍 제어부(미도시)로부터 발생하는 극성 제어신호에 따라 화소전압(Vdata)의 극성이 라인 단위 및 프레임 단위로 반전되고, 화소전압(Vdata)의 극성과는 반전되도록 공통전압(Vcom)이 교류 형태로 인가될 수 있다.
- [0028] 예를 들어, 도2를 함께 참조하면, 제 M-1 번째 데이터 배선(DLm-1)과 제 N-1 번째 게이트 배선(GLN-1)이 교차하여 정의되는 화소영역(M-1, N-1)에 정극성(+)의 화소전압(Vdata)이 인가되고, 제 M 번째 데이터 배선(DLm-1)과 제 N 번째 게이트 배선(GLN)이 교차하여 정의되는 화소영역(M-1, N)에 부극성(-)의 화소전압(Vdata)이 인가될 수 있다.
- [0029] 그리고, 화소영역(M-1, N-1)에 각각 대응되는 공통전극(미도시)에는 부극성(-)의 공통전압(Vcom)이 인가되고, 화소영역(M-1, N)에 대응되는 공통전극(미도시)에는 정극성(+)의 공통전압(Vcom)이 인가될 수 있다.
- [0030] 반면, 도4b에 도시한 바와 같이, 화소 반전 방식의 경우에는 공통전압(Vcom)으로 직류전압이 인가되고, 화소전압(Vdata)은 공통전압(Vcom)을 기준으로 극성이 바뀌면서 인가될 수 있다.
- [0031] 그에 따라 화소전극과 공통전극간의 전계에 의해 액정을 구동시켜 액정의 광 투과율을 조절하여 영상을 표시할 수 있다.
- [0032] 하지만, 이러한 구동방식으로 액정표시장치를 구동하는 경우에 종래에는 별도로 공통전압부를 두어 모든 화소영역에 공통전압을 인가했었는데, 공통전극은 액정표시장치의 어레이기판의 모든 화소영역에 형성되어 있고, 액정표시장치를 구동하는 경우에 공통전극에는 동시에 동일한 전압이 인가되기 때문에 공통전압 인가로 인하여 액정표시장치의 소비전력이 커지는 문제점이 있었다.

**발명의 내용**

**해결하려는 과제**

- [0033] 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 화소영역(M, N)의 화소전압과 화소영역(M, N+1)의 상대전압을 동시에 공급함에 따라 별도로 인가되는 공통전압을 제거하여 소비전력이 감소되는 액정표시장치를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0034] 상기한 바와 같은 목적을 달성하기 위한 제1실시예에 따른 액정표시장치는, 다수의 화소영역이  $M \times N$ ( $M, N$ 은 임의의 자연수)의 매트릭스형상으로 배열되어 액정패널을 형성한 액정표시장치에 있어서, 제1기판과; 상기 제1기판 상부에 형성되며, 서로 교차하여 상기 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과; 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막 트랜지스터와; 상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과; 상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와; 상기 스토리지 커패시터의 타 전극과 연결되는 상대전극을 포함하며, 제  $N$  번째 게이트 배선 및 제  $M$  번째 데이터 배선이 서로 교차하여 정의하는 화소영역( $M, N$ )의 화소전극과, 제  $N+1$  번째 게이트 배선 및 제  $M$  번째 데이터 배선이 서로 교차하여 정의하는 화소영역( $M, N+1$ )의 상대전극이 서로 연결되어, 상기 화소영역( $M, N$ )의 화소전극과, 상기 화소영역( $M, N+1$ )의 상대전극에 각각 동일한 전압이 인가되는 것을 특징으로 한다.
- [0035] 여기서, 본 발명에 제1실시예에 따른 액정표시장치는, 상기 다수의 게이트 배선 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 형성된 상기 다수의 데이터 배선과, 게이트 전극에 대응하여 형성된 반도체층과, 상기 반도체층 상부로 상기 데이터 배선과 연결된 소스 전극 및 드레인 전극과; 상기 드레인 전극 일끝단과 중첩하도록 형성된 상기 화소전극과; 상기 데이터 배선과 상기 소스 전극 및 상기 드레인 전극과 상기 화소전극 위로 형성된 보호층과; 상기 보호층 위로 상기 화소전극에 대응하여 바(bar) 형태로 이격하는 다수의 개구부를 가지며 형성된 상기 상대전극과; 상기 보호층 상부에 상기 화소전극을 노출시키는 콘택홀을 포함하며, 상기 화소영역( $M, N$ )의 콘택홀을 통해 상기 화소영역( $M, N$ )의 화소전극과 상기 화소영역( $M, N+1$ )의 상대전극이 연결될 수 있다.
- [0036] 상기한 바와 같은 목적을 달성하기 위한 제2 실시예에 따른 액정표시장치는, 다수의 화소영역이  $M \times N$ ( $M, N$ 은 임의의 자연수)의 매트릭스형상으로 배열되어 액정패널을 형성한 액정표시장치에 있어서, 제1기판과; 상기 제1기판 상부에 형성되며, 서로 교차하여 상기 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과; 상기 다수의 게이트 배선 및 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막 트랜지스터와; 상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과; 상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와; 상기 스토리지 커패시터의 타 전극과 연결되는 상대전극을 포함하며, 제  $N$  번째 게이트 배선 및 제  $M$  번째 데이터 배선이 서로 교차하여 정의하는 화소영역( $M, N$ )의 화소전극과, 제  $N$  번째 게이트 배선 및 제  $M+1$  번째 데이터 배선이 서로 교차하여 정의하는 화소영역( $M+1, N$ )의 상대전극이 서로 연결되어, 상기 화소영역( $M, N$ )의 화소전극과, 상기 화소영역( $M+1, N$ )의 상대전극에 각각 동일한 전압이 인가되는 것을 특징으로 한다.
- [0037] 여기서, 여기서, 본 발명에 제1실시예에 따른 액정표시장치는, 상기 다수의 게이트 배선 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 형성된 상기 다수의 데이터 배선과, 게이트 전극에 대응하여 형성된 반도체층과, 상기 반도체층 상부로 상기 데이터 배선과 연결된 소스 전극 및 드레인 전극과; 상기 드레인 전극 일끝단과 중첩하도록 형성된 상기 화소전극과; 상기 데이터 배선과 상기 소스 전극 및 상기 드레인 전극과 상기 화소전극 위로 형성된 보호층과; 상기 보호층 위로 상기 화소전극에 대응하여 바(bar) 형태로 이격하는 다수의 개구부를 가지며 형성된 상기 상대전극과; 상기 보호층 상부에 상기 화소전극을 노출시키는 콘택홀을 포함하며, 상기 화소영역( $M, N$ )의 콘택홀을 통해 상기 화소영역( $M, N$ )의 화소전극과 상기 화소영역( $M+1, N$ )의 상대전극이 될 수 있다.
- [0038] 그리고, 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 다수의 데이터배선에 공급하는 데이터 드라이버와; 게이트 신호를 생성하고, 생성된 상기 게이트 신호를 상기 다수의 게이트배선에 공급하는 게이트 드라이버와; 상기 게이트 드라이버 및 상기 데이터 드라이버의 동작타이밍을 제어하기 위한 다수의 제어신호를 공급하는 타이밍 제어부를 더 포함할 수 있다.
- [0039] 또한, 상기 데이터 드라이버는, 상기 화소영역( $M, N$ )의 화소전극에 인가되는 전압과 감마전압을 이용하여 상기 화소영역( $M, N+1$ )의 화소전극 또는 상기 화소영역( $M+1, N$ )의 화소전극에 인가되는 전압을 연산하는 데이터 연산 장치를 더 포함하는 것이 바람직하다.
- [0040] 여기서, 상기 데이터 연산 장치는, 상기 화소영역( $M, N$ )의 화소전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 빼주고, 상기 화소영역( $M, N$ )의 화소전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 더해서 상기 화소영역( $M, N+1$ )의 화소전극 또는 상기 화



소영역(M+1, N)의 화소전극에 인가되는 전압을 연산할 수 있다.

[0041] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 제1실시예에 따른 액정표시장치 구동방법은, 서로 교차하여 M×N(M, N은 임의의 자연수)의 매트릭스형상으로 배열되는 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 상기 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과, 상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와, 상기 스토리지 커패시터의 타 전극과 연결되는 상대전극을 포함하는 액정표시장치의 구동방법에 있어서, 상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와; 상기 다수의 데이터 배선에 데이터 신호를 공급하여 턴-온 된 상기 박막트랜지스터를 통하여 상기 화소전극에 전압을 인가하는 단계를 포함하며, 제 N 번째 게이트 배선 및 제 M 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N)의 화소전극에 전압을 인가하는 경우에, 제 N+1 번째 게이트 배선 및 제 M 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N+1)의 상대전극에 동일한 전압이 인가되는 것을 특징으로 한다.

[0042] 여기서, 본 발명의 제1실시예에 따른 액정표시장치 구동방법은, 상기 화소영역(M, N)의 화소전극에 전압을 인가한 후에, 상기 화소영역(M, N)의 화소전극에 전압과 감마전압을 이용하여 상기 화소영역(M, N+1)의 화소전극에 인가되는 전압을 생성하는 단계를 더 포함할 수 있다.

[0043] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 제2실시예에 따른 액정표시장치 구동방법은, 서로 교차하여 M×N(M, N은 임의의 자연수)의 매트릭스형상으로 배열되는 다수의 화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 게이트 배선 및 상기 다수의 데이터 배선에 연결되어 상기 다수의 화소영역 각각에 형성되는 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극과 연결되는 화소전극과, 상기 화소전극에 일 전극이 연결되는 스토리지 커패시터와, 상기 스토리지 커패시터의 타 전극과 연결되는 상대전극을 포함하는 액정표시장치의 구동방법에 있어서, 상기 다수의 게이트 배선에 게이트 신호를 공급하여 상기 박막트랜지스터를 턴-온 시키는 단계와; 상기 다수의 데이터 배선에 데이터 신호를 공급하여 턴-온 된 상기 박막트랜지스터를 통하여 상기 화소전극에 전압을 인가하는 단계를 포함하며, 제 N 번째 게이트 배선 및 제 M 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M, N)의 화소전극에 전압을 인가하는 경우에, 제 N 번째 게이트 배선 및 제 M+1 번째 데이터 배선이 서로 교차하여 정의하는 화소영역(M+1, N)의 상대전극에 동일한 전압이 인가되는 것을 특징으로 한다.

[0044] 여기서, 본 발명의 제2실시예에 따른 액정표시장치 구동방법은, 상기 화소영역(M, N)의 화소전극에 전압을 인가한 후에, 상기 화소영역(M, N)의 화소전극에 전압과 감마전압을 이용하여 상기 화소영역(M+1, N)의 화소전극에 인가되는 전압을 생성하는 단계를 더 포함할 수 있다.

[0045] 그리소, 상기 전압을 생성하는 단계는, 상기 화소영역(M, N)의 화소전극에 인가되는 전압이 정극성(+)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 빼주고, 상기 화소영역(M, N)의 화소전극에 인가되는 전압이 부극성(-)의 전압일 경우에는 상기 전압에서 상기 감마전압만큼 더해서 생성하는 것이 바람직하다.

**발명의 효과**

[0046] 이상 설명한 바와 같이, 본 발명에 따른 액정표시장치에서는, 이전 화소영역의 화소전압과 다음 화소영역의 상대전압을 동시에 공급할 수 있다.

[0047] 그 결과 공통전압을 따로 공급할 필요가 없어 액정표시장치의 소비전력을 획기적으로 줄일 수 있다.

**도면의 간단한 설명**

[0048] 도1은 종래의 액정표시장치의 화소영역의 등가회로를 개략적으로 도시한 도면이다.

도2는 종래의 액정표시장치를 개략적으로 도시한 도면이다.

도3a는 종래의 액정표시장치의 어레이기판의 평면도이고, 도3b는 도 3a를 절단선 III-III'를 따라 절단한 부분

에 대한 단면도를 개략적으로 도시한 도면이다.

도4a 및 도4b는 액정표시장치의 구동장식 중 각각 라인 반전 방식의 파형도 및 화소 반전 방식의 파형도를 도시한 도면이다.

도5는 본 발명의 바람직한 실시예에 따른 액정표시장치를 도시한 도면이다.

도6은 본 발명의 제1 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.

도7a는 본 발명의 제1 실시예에 따른 액정표시장치의 어레이기판의 평면도이고, 도7b는 도 7a를 절단선 VII-VII'를 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.

도8은 본 발명의 제2 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.

도9a는 본 발명의 제2 실시예에 따른 액정표시장치의 어레이기판의 평면도이고, 도9b는 도 9a를 절단선 IX-IX'를 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.

도10은 본 발명의 바람직한 실시예에 따른 액정표시장치의 화소전압 및 상대전압의 파형도를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0049] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0050] 도5는 본 발명의 바람직한 실시예에 따른 액정표시장치를 도시한 도면이다. 도6을 참조하여 설명한다.
- [0051] 도5에 도시한 바와 같이, 액정표시장치(100)는, 다수의 화소영역(P)을 포함하는 액정패널(110)과, 다수의 데이터배선(DL)을 구동하기 위한 데이터 드라이버(Data Driver)(120)와, 다수의 게이트배선(GL)을 구동하기 위한 게이트 드라이버(Gate Driver)(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130) 각각의 구동 타이밍을 제어하기 위한 타이밍 제어부(140) 등을 포함할 수 있다.
- [0052] 액정패널(110)은, 다수의 게이트배선(GL), 다수의 데이터배선(DL)이 서로 교차하여 정의되는 다수의 화소영역(P)을 포함할 수 있으며, 이때, 다수의 화소영역(P)은  $M \times N$ (M, N은 임의의 자연수)의 매트릭스형상으로 배열될 수 있다. 예를 들어, 화소영역(M, N)은 제 M 번째 데이터 배선(DL<sub>m</sub>)과 제 N 번째 게이트 배선(GL<sub>n</sub>)이 교차하여 정의될 수 있다.
- [0053] 다수의 게이트배선(GL)을 통해 전달되는 게이트신호에 의해 각 화소영역(미도시)의 박막트랜지스터(T)가 라인 별로 순차적으로 턴-온(Turn-On) 되고, 다수의 데이터배선(DL)을 통해 전달되는 데이터신호가 각 화소영역(미도시)에 인가됨에 따라 영상을 표시할 수 있다.
- [0054] 데이터 드라이버(120)는 다수의 데이터제어신호를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 다수의 데이터배선(DL)에 공급할 수 있다.
- [0055] 도시하지는 않았지만, 데이터 드라이버(120)는, 화소영역(M, N)의 화소전극 미도시)에 인가되는 화소전압(Vdata)과 감마전압을 이용하여 화소영역(M+1, N)의 화소전극(미도시) 또는 상기 화소영역(M, N+1)의 화소전극 미도시)에 인가되는 화소전압(Vdata)을 연산하는 데이터 연산 장치(미도시)를 포함할 수 있다.
- [0056] 게이트 드라이버(130)는 다수의 게이트제어신호를 이용하여 게이트신호를 생성하고, 생성된 게이트신호를 다수의 게이트배선(GL)에 공급할 수 있다.
- [0057] 타이밍 제어부(timing controller)(140)는 그래픽 카드와 같은 시스템(미도시)으로부터 원본 영상신호(RGB)와 데이터인에이블신호(DE) 등의 다수의 제어신호를 입력 받아 게이트 드라이버(130) 및 데이터 드라이버(120)의 동작 타이밍을 제어하기 위한 다수의 게이트제어신호, 다수의 데이터제어신호를 각각 생성하여 해당 드라이버로 공급할 수 있다.
- [0058] 그리고, 타이밍 제어부(140)는 원본 영상신호(RGB) 및 다수의 데이터제어신호를 데이터 드라이버(120)에 공급하여 데이터 드라이버(120)가 원본 영상신호(RGB) 및 다수의 데이터제어신호를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 액정패널(110)의 다수의 데이터배선(DL)에 공급하도록 제어할 수 있다.

- [0059] 도6은 본 발명의 제1 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.
- [0060] 도6에 도시한 바와 같이, 액정표시장치에는, 서로 교차하여 다수의 화소영역(P)을 정의하는 다수의 게이트 배선(GLn-1, GLn, GLn+1)과 다수의 데이터 배선(DLm-1, DLm, DLm+1)이 형성된다.
- [0061] 이때, 다수의 화소영역(P)은 M×N(M, N은 임의의 자연수)의 매트릭스형상으로 배열될 수 있으며, 예를 들어, 화소영역(M, N)은 제 M 번째 데이터 배선(DLm)과 제 N 번째 게이트 배선(GLn)이 교차하여 정의되는 화소영역일 수 있다.
- [0062] 각 화소영역(P)에는, 예를 들어, 화소영역(M, N)에는, 게이트 배선(GLn) 및 데이터 배선(DLm)에 연결되는 박막 트랜지스터(T)와, 박막트랜지스터(T)에 일 전극(화소전극)이 연결되는 스토리지 커패시터(Cst)가 형성될 수 있다.
- [0063] 여기서, 스토리지 커패시터(Cst)의 타 전극(상대전극)은 화소영역(M, N-1)의 스토리지 커패시터(Cst)의 일 전극(화소전극)과 연결될 수 있다.
- [0064] 따라서, 화소영역(M, N-1)의 화소전극(미도시)에 화소전압(Vdata)이 인가되며, 동시에 화소영역(M, N)의 상대전극(미도시)에 동일한 전압이 인가되어 충전될 수 있고, 화소영역(M, N)의 화소전극(미도시)에 화소전압(Vdata)이 인가되며, 동시에 화소영역(M, N+1)의 상대전극(미도시)에 동일한 전압이 인가되어 충전될 수 있다.
- [0065] 종래에는 공통전극에 별도로 공통전압(Vcom)을 인가하는 방식이었으나, 본 발명에 따르면, 이전 화소영역(M, N-1)에 인가되는 화소전압(Vdata)을 이용하여 다음 화소영역(M, N)의 상대전극에 상대전압을 인가하기 때문에 별도로 공통전압(Vcom)을 인가할 필요가 없어 액정표시장치의 소비전력을 획기적으로 줄일 수 있다.
- [0066] 도7a는 본 발명의 제1 실시예에 따른 액정표시장치의 어레이기판의 평면도이고, 도7b는 도 7a를 절단선 VII-VII'를 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.
- [0067] 도7a 및 도7b에 도시한 바와 같이, 액정표시장치의 어레이기판(200)에는 게이트 절연막(213)을 개재하여 그 하부 및 상부에서 서로 교차하여 다수의 화소영역(미도시)을 정의하며 게이트 배선(212)과 데이터 배선(222)이 형성되어 있으며, 각 화소영역(미도시)에는 게이트 배선(212) 및 데이터 배선(222)과 각각 연결되는 박막트랜지스터(T)가 형성된다.
- [0068] 또한, 게이트 절연막(213) 상부로 각 화소영역(미도시)에는 박막트랜지스터(T)의 드레인 전극(219)과 연결되는 화소전극(220)이 형성될 수 있다.
- [0069] 이때, 화소전극(220)은 데이터 배선(222)과 동일한 층 즉, 게이트 절연막(213) 상에 형성되며, 데이터 배선(222)과의 쇼트를 방지하기 위해 데이터 배선(222)과 일정간격 이격하며 형성될 수 있다.
- [0070] 여기서, 화소전극(220)은 인듐-틴-옥사이드(Indium-Tin-Oxide: ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 재료로 사용할 수 있다.
- [0071] 또한, 데이터 배선(222)과 화소전극(220) 상부에는 절연물질로서 보호층(224)이 형성되고 있으며, 보호층(224) 상의 전면에 각 화소영역(미도시)에 대응하여 일정간격 이격하며 바(bar) 형태의 다수의 개구부(OA)를 갖는 상대전극이 형성될 수 있다.
- [0072] 여기서, 각 화소영역(미도시)의 화소전극(220)은 열방향으로 다음 화소영역(미도시)의 상대전극(226)과 연결될 수 있으며, 예를 들어, 화소영역(M, N)의 화소전극(220)은 화소영역(M, N+1)의 상대전극(226)과 연결될 수 있고, 화소영역(M, N+1)의 화소전극(220)은 화소영역(M, N+2)의 상대전극(226)과 연결될 수 있다.
- [0073] 여기서, 화소영역(M, N+1)의 화소전극(220)은 화소영역(M, N+2)의 상대전극(226)은 콘택홀(225)을 통해 연결된다.
- [0074] 이러한 액정표시장치의 화소영역(미도시)의 동작을 살펴보면, 예를 들어, 화소영역(M, N)의 동작은 게이트 배선(212) 및 데이터 배선(222)에 각각 게이트 신호 및 데이터 신호가 인가되고, 게이트 신호에 따라 박막트랜지스터(T)가 턴-온(Turn-On) 되면, 데이터 신호가 박막트랜지스터(T)를 통하여 스토리지 커패시터(Cst)의 일 전극(화소전극)에 화소전압(Vdata)으로 인가될 수 있다.
- [0075] 그리고, 화소영역(M, N+2)의 상대전극(226)에는 화소영역(M, N+1)의 화소전극(220)에 충전된 화소전압(Vdata)이

상대전압으로서 인가될 수 있다.

- [0076] 그 결과, 본 발명에서는 별도로 공통전압(Vcom)을 인가하지 않더라도 상대전압을 인가시킬 수 있고, 인가된 화소전압(Vdata) 및 상대전압에 의하여 생성된 전기장에 의해 액정층(미도시)을 재배열하여 영상을 표시할 수 있다.
- [0077] 도8은 본 발명의 제2 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.
- [0078] 도8에 도시한 바와 같이, 액정표시장치에는, 서로 교차하여 다수의 화소영역(미도시)을 정의하는 다수의 게이트 배선(GLn-1, GLn, GLn+1)과 다수의 데이터 배선(DLm-1, DLm, DLm+1)이 형성된다.
- [0079] 이때, 다수의 화소영역(미도시)은  $M \times N$ (M, N은 임의의 자연수)의 매트릭스형상으로 배열될 수 있으며, 예를 들어, 화소영역(M, N)은 제 M 번째 데이터 배선(DLm)과 제 N 번째 게이트 배선(GLn)이 교차하여 정의되는 화소영역일 수 있다.
- [0080] 예를 들어, 화소영역(M, N)에는, 게이트 배선(GLn) 및 데이터 배선(DLm)에 연결되는 박막트랜지스터(T)와, 박막트랜지스터(T)에 일 전극(화소전극)이 연결되는 스토리지 커패시터(Cst)가 형성될 수 있다.
- [0081] 여기서, 스토리지 커패시터(Cst)의 타 전극(상대전극)은 화소영역(M-1, N)의 스토리지 커패시터(Cst)의 일 전극(화소전극)과 연결될 수 있다.
- [0082] 따라서, 화소영역(M-1, N)의 화소전극(미도시)에 화소전압(Vdata)이 인가되며, 동시에 화소영역(M, N)의 상대전극(미도시)에 동일한 전압이 인가되어 충전될 수 있고, 화소영역(M, N)의 화소전극(미도시)에 화소전압(Vdata)이 인가되며, 동시에 화소영역(M+1, N)의 상대전극(미도시)에 동일한 전압이 인가되어 충전될 수 있다.
- [0083] 이러한 액정표시장치는 화소전극과 상대전극 사이의 전계를 이용하여 액정의 광 투과율을 조절함으로써 영상을 표시할 수 있다.
- [0084] 도9a는 본 발명의 제2 실시예에 따른 액정표시장치의 어레이기판의 평면도이고, 도9b는 도 9a를 절단선 IX-IX'를 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.
- [0085] 도9a 및 도9b에 도시한 바와 같이, 액정표시장치의 어레이기판(300)에는 게이트 절연막(313)을 개재하여 그 하부 및 상부에서 서로 교차하여 다수의 화소영역(미도시)을 정의하며 게이트 배선(312)과 데이터 배선(322)이 형성되어 있으며, 각 화소영역(미도시)에는 게이트 배선(312) 및 데이터 배선(322)과 각각 연결되는 박막트랜지스터(T)가 형성된다.
- [0086] 또한, 게이트 절연막(313) 상부로 각 화소영역(미도시)에는 박막트랜지스터(T)의 드레인 전극(319)과 연결되는 화소전극(320)이 형성될 수 있다.
- [0087] 이때, 화소전극(320)은 데이터 배선(322)과 동일한 층 즉, 게이트 절연막(313) 상에 형성되며, 데이터 배선(322)과의 쇼트를 방지하기 위해 데이터 배선(322)과 일정간격 이격하며 형성될 수 있다.
- [0088] 여기서, 화소전극(320)은 인듐-틴-옥사이드(Indium-Tin-Oxide: ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속을 재료로 사용할 수 있다.
- [0089] 또한, 데이터 배선(322)과 화소전극(320) 상부에는 절연물질로서 보호층(324)이 형성되고 있으며, 보호층(324) 상의 전면에 각 화소영역(미도시)에 대응하여 일정간격 이격하며 바(bar) 형태의 다수의 개구부(OA)를 갖는 상대전극(326)이 형성될 수 있다.
- [0090] 여기서, 각 화소영역(미도시)의 화소전극(320)은 행방향으로 다음 화소영역(미도시)의 상대전극(326)과 연결될 수 있다.
- [0091] 예를 들어, 화소영역(M, N)의 화소전극(320)은 화소영역(M+1, N)의 상대전극(326)과 연결될 수 있고, 화소영역(M+1, N)의 화소전극(320)은 화소영역(M+2, N)의 상대전극(326)과 연결될 수 있다.
- [0092] 여기서, 화소영역(M+1, N)의 화소전극(320)은 화소영역(M+2, N)의 상대전극(326)은 콘택홀(325)을 통해 연결된다.

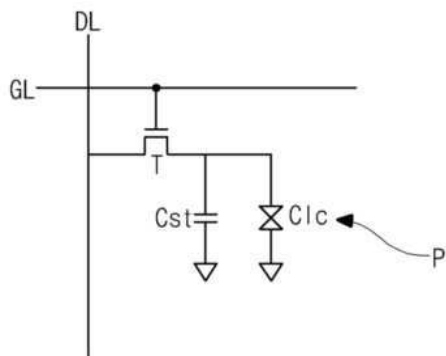
- [0093] 이러한 액정표시장치의 화소영역(미도시)의 동작을 살펴보면, 예를 들어, 화소영역(M, N)의 동작은 게이트 배선(312) 및 데이터 배선(322)에 각각 게이트 신호 및 데이터 신호가 인가되고, 게이트 신호에 따라 박막트랜지스터(T)가 턴-온(Turn-On) 되면, 데이터 신호가 박막트랜지스터(T)를 통하여 스토리지 커패시터(Cst)의 일 전극에 화소전압(Vdata)으로 인가될 수 있다.
- [0094] 그리고, 화소영역(M+2, N)의 상대전극(326))에는 화소영역(M+1, N)의 화소전극(320)에 충전된 화소전압(Vdata)이 상대전압으로서 인가될 수 있다.
- [0095] 화소전압(Vdata) 및 상대전압에 의하여 생성된 전기장에 의해 액정층(미도시)을 재배열하여 영상을 표시할 수 있다.
- [0096] 도10은 본 발명의 바람직한 실시예에 따른 액정표시장치의 화소전압 및 상대전압의 파형도를 도시한 도면이다.
- [0097] 데이터 드라이버(Data Driver)는 화소영역(M, N)의 화소전극에 인가되는 화소전압(Vdata)과 감마전압을 이용하여 화소영역(M+1, N)의 화소전극 또는 상기 화소영역(M, N+1)의 화소전극에 인가되는 전압을 연산하여 공급할 수 있다.
- [0098] 영상을 표시하는데 필요한 감마 전압이 각각 2V, 4V, 6V, 8V, 4V라고 하면, 화소영역(M, N)의 화소전극에는 화소전압(Vdata)으로 2V가 인가된다. 이때, 극성 제어신호는 하이(High)이고, 상대전극은 0V으로 한다.
- [0099] 즉, 화소영역(M, N)의 화소전압(Vdata)은 상대전압(0V)에서 감마전압(2V)을 더한 값(2V)이다.
- [0100] 다음으로, 화소영역(M, N+1)의 상대전압은 2V이기 때문에, 화소영역(M, N+1)의 화소전압(Vdata)은 -2V가 된다. 이때, 극성 제어신호는 로우(Low)이다.
- [0101] 다시 말해서, 화소영역(M, N+1)의 화소전압(Vdata)은 화소영역(M, N+1)의 상대전압(2V)에서 감마전압(4V)을 뺀 값(-2V)이다.
- [0102] 그리고, 화소영역(M, N+2)의 화소전압(Vdata)은 화소영역(M, N+2)의 상대전압(-2V)에서 감마전압(6V)을 더한 값(4V)이다. 이때, 극성 제어신호는 하이(High)이다.
- [0103] 또한, 화소영역(M, N+3)의 화소전압(Vdata)은 화소영역(M, N+3)의 상대전압(4V)에서 감마전압(8V)을 뺀 값(-4V)이다. 이때, 극성 제어신호는 로우(Low)이다.
- [0104] 마찬가지로, 화소영역(M, N+4)의 화소전압(Vdata)은 화소영역(M, N+4)의 상대전압(-4V)에서 감마전압(4V)을 더한 값(0V)이다. 이때, 극성 제어신호는 하이(High)이다.
- [0105] 즉, 극성 제어신호가 하이(High)인 경우에는 해당 화소영역의 상대전압에서 감마전압을 더하고, 극성 제어신호가 로우(Low)인 경우에는 해당 화소영역의 상대전압에서 감마전압을 빼서 다음 화소영역에 인가되는 화소전압(Vdata)을 연산할 수 있다.
- [0106] 이상과 같은 본 발명의 실시예는 예시적인 것에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지를 벗어나지 않는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명의 보호범위는 첨부된 특허청구범위 및 이와 균등한 범위 내에서의 본 발명의 변형을 포함한다.

**부호의 설명**

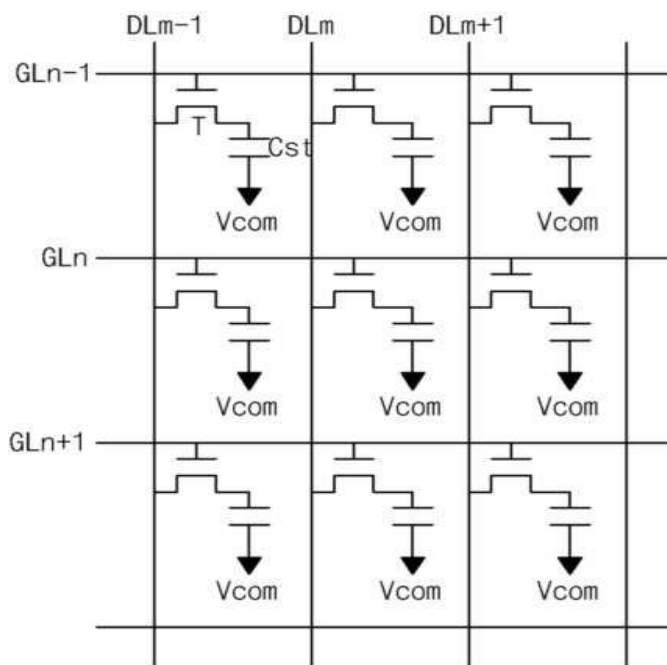
- [0107] 200: 어레이기판                      212: 게이트 배선
- 213: 게이트 절연막                215: 반도체층
- 217: 소스 전극                      219: 드레인 전극
- 220: 화소전극                      T: 박막트랜지스터

도면

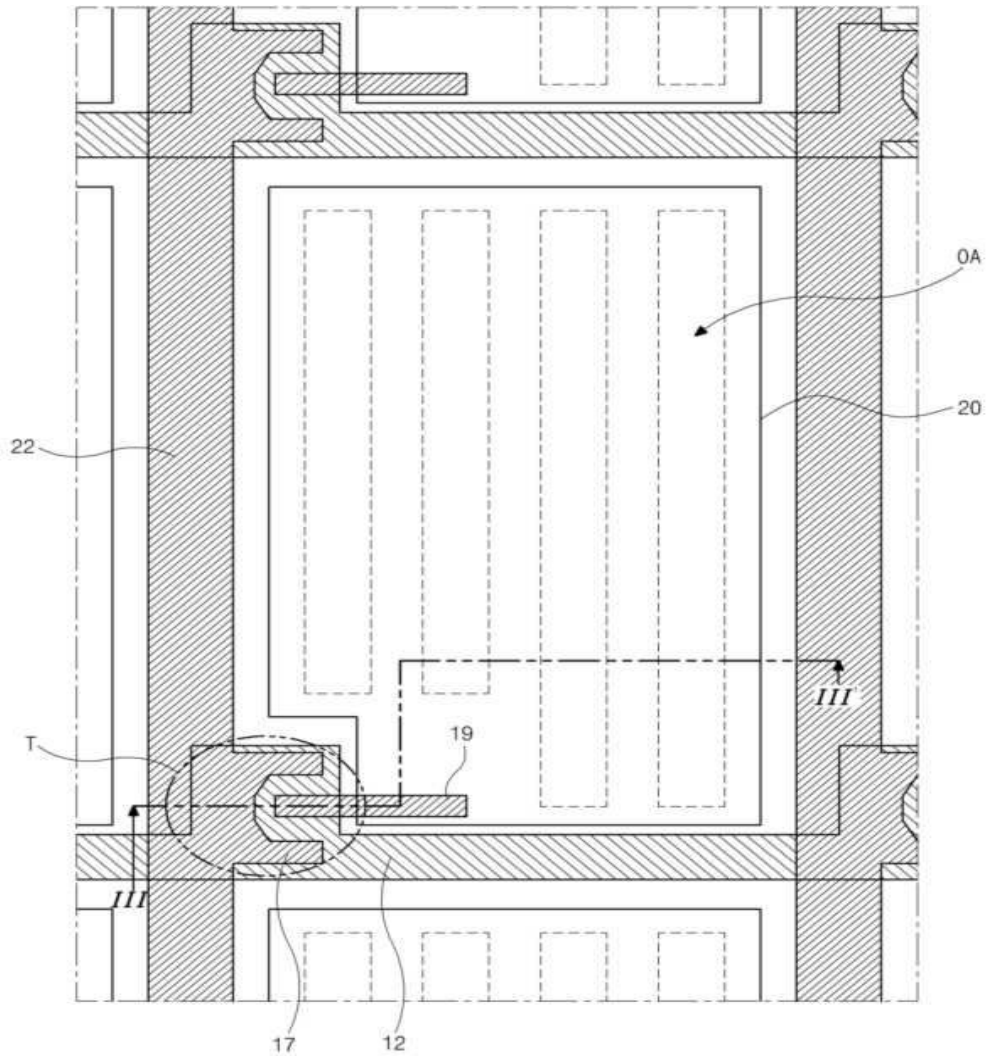
도면1



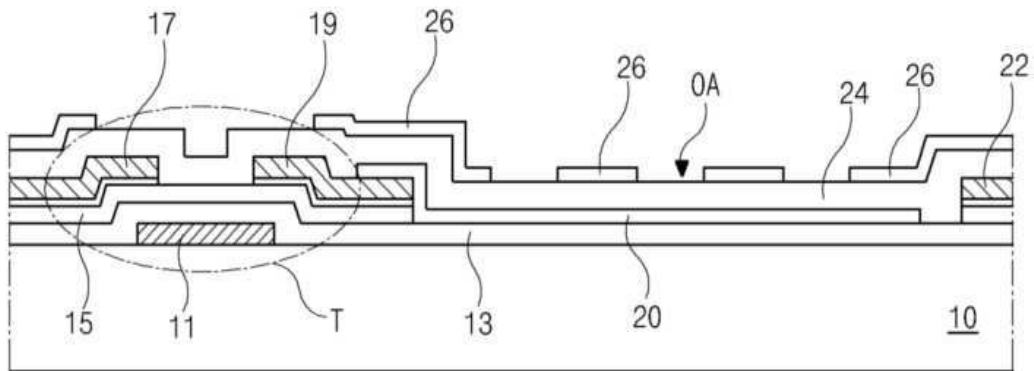
도면2



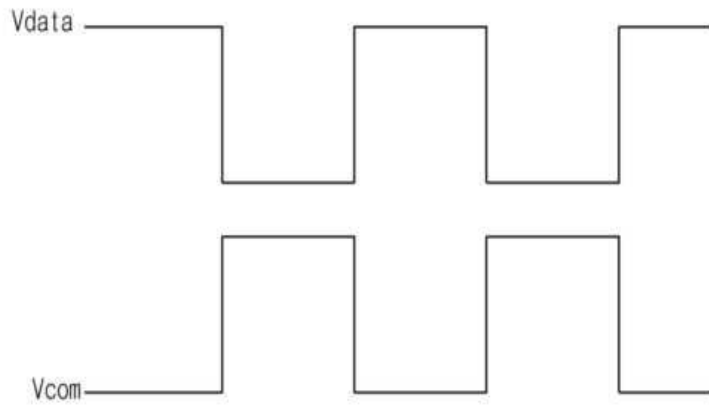
도면3a



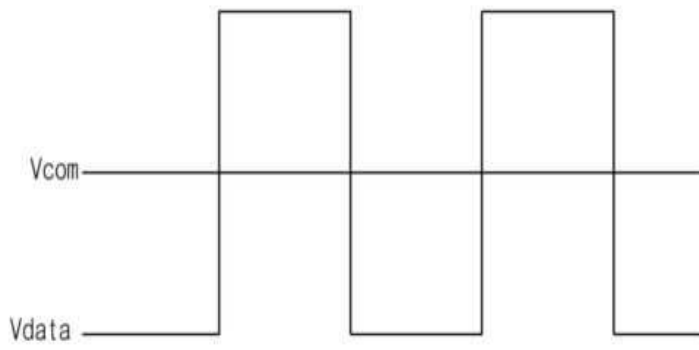
도면3b



도면4a

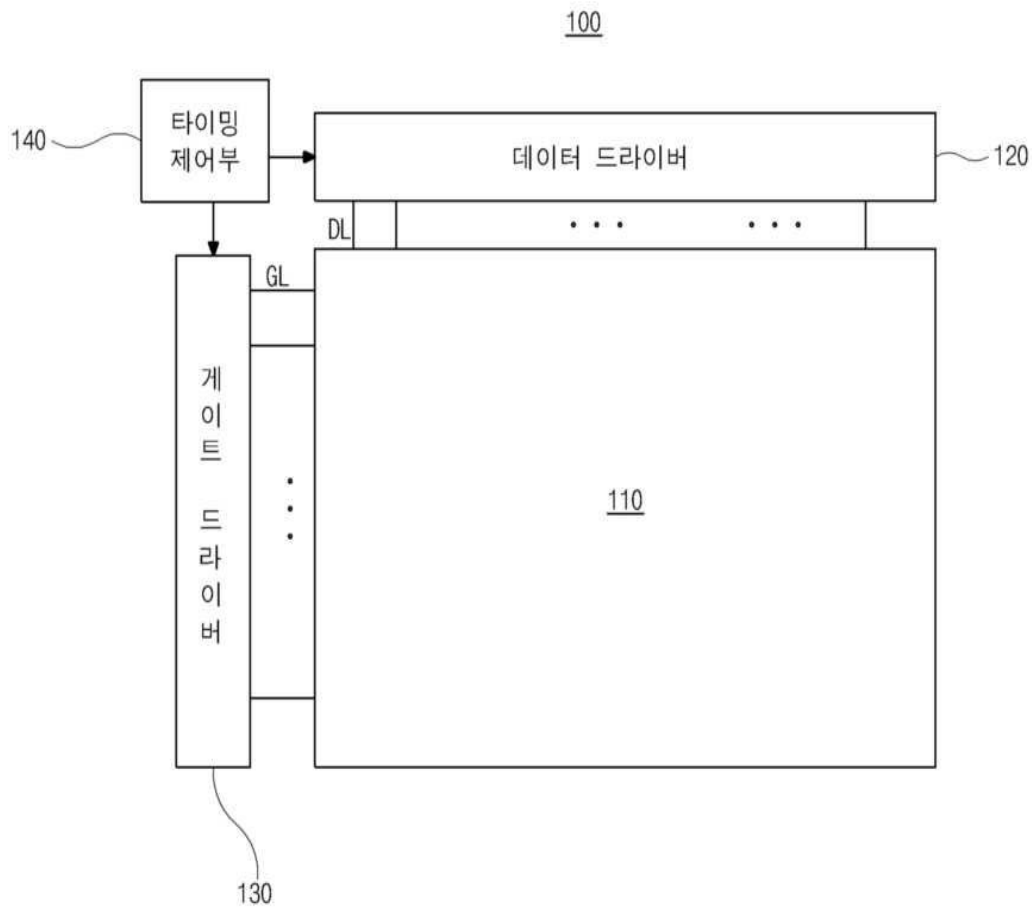


도면4b

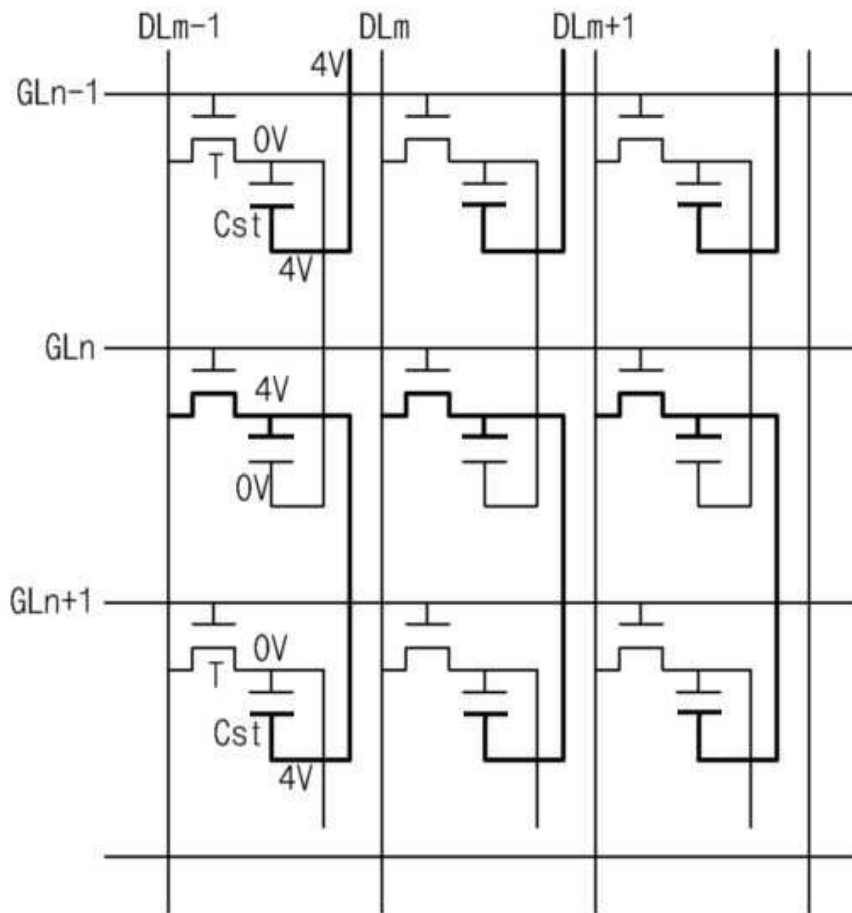




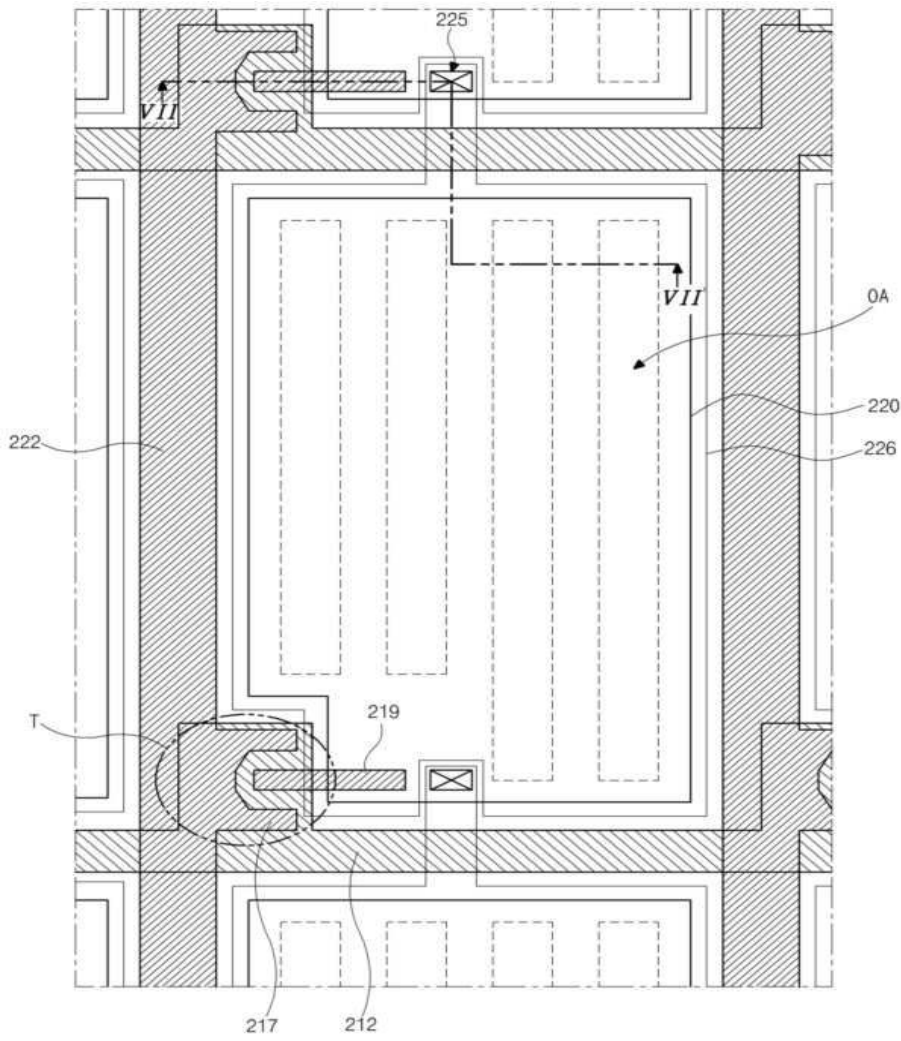
도면5



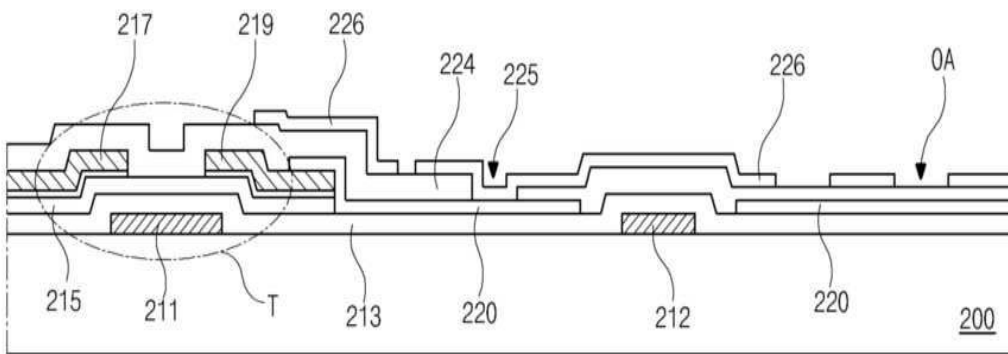
도면6



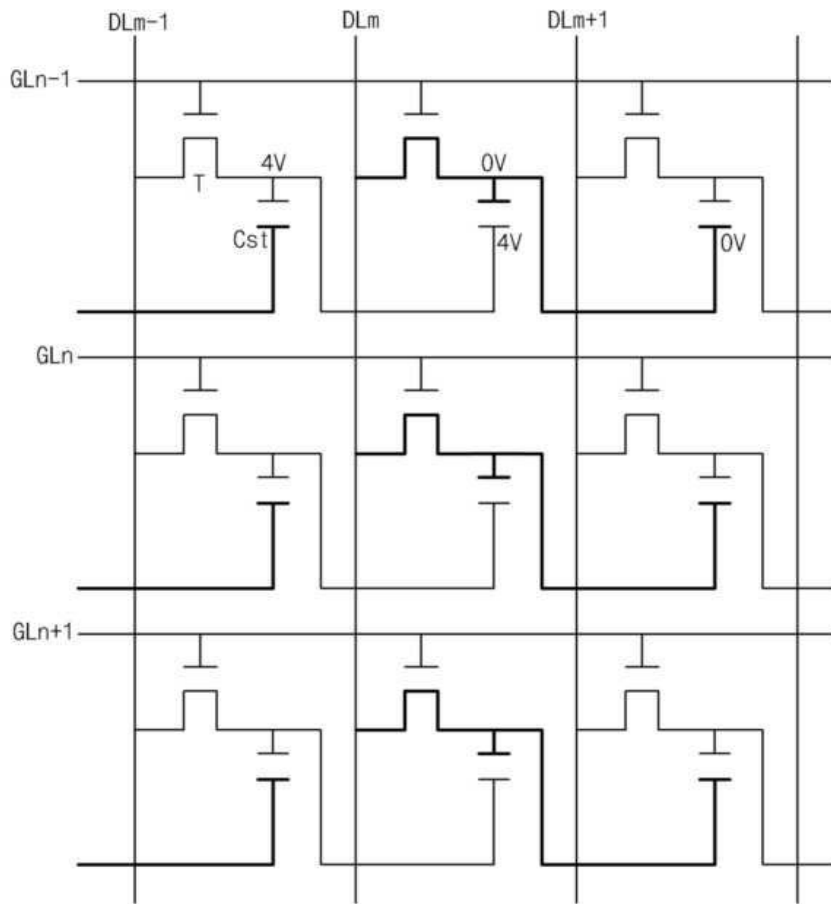
도면7a



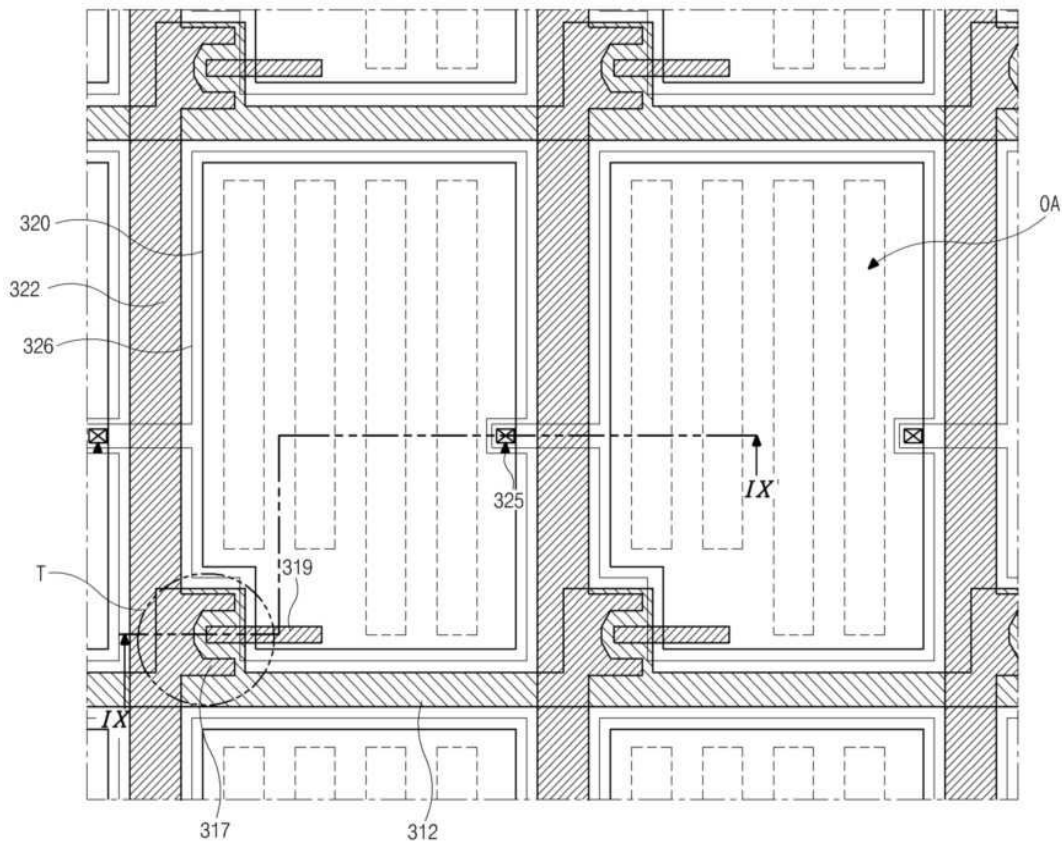
도면7b



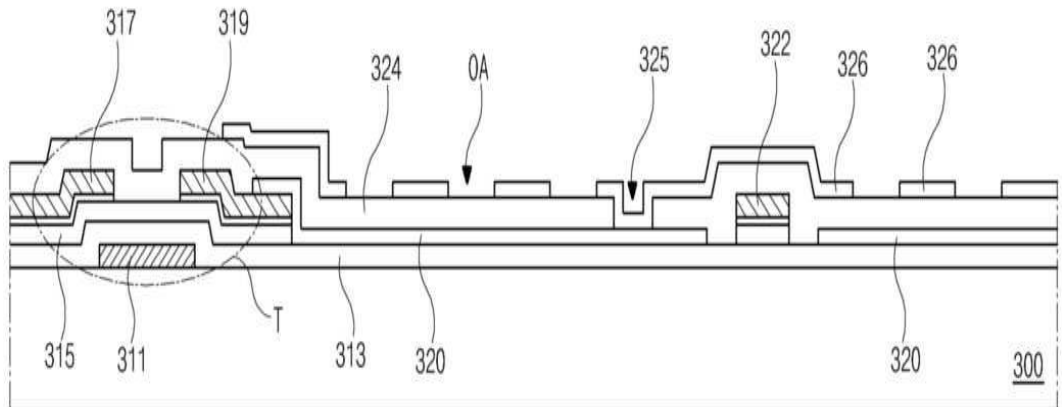
도면8



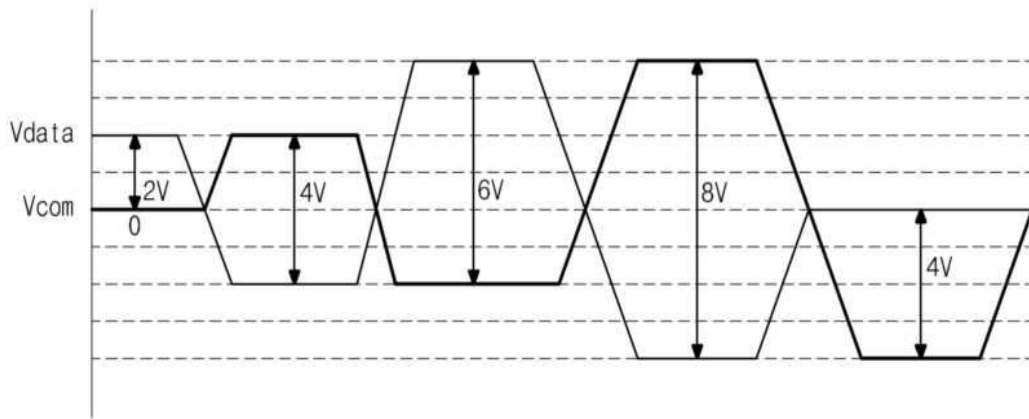
도면9a



도면9b



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 10] 17째줄

【변경전】

"상기 화소영역(M, N+1)의"

【변경후】

"상기 화소영역(M+1, N)의"