

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 25/00

H01L 23/12 H01L 23/48

H01L 21/50



[12] 发明专利申请公开说明书

[21] 申请号 02148231.4

[43] 公开日 2003 年 3 月 26 日

[11] 公开号 CN 1405885A

[22] 申请日 2002.6.25 [21] 申请号 02148231.4

[30] 优先权

[32] 2001.6.25 [33] JP [31] 191979/2001

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 山崎尚 远藤光芳 田洼知章

尾山勝彦 井本孝志 松井幹雄

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

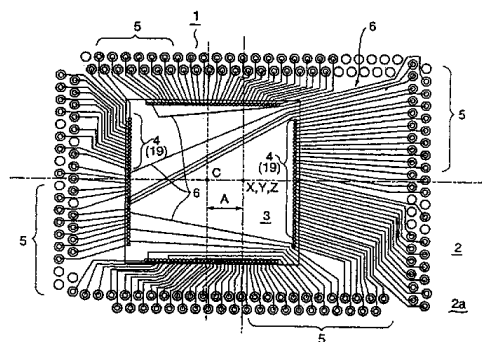
代理人 王永刚

权利要求书 4 页 说明书 18 页 附图 8 页

[54] 发明名称 半导体器件

[57] 摘要

将搭载具有多个端子 4 的多个半导体芯片 3 的至少一个的多个芯片搭载基板 2 层叠到 2 层以上。各基板上设置多个与芯片 3 的各端子 4 电连接的中继端子 5，使其从外侧接近包围搭载芯片 3 的部分。对于各层基板 2 中的至少一层基板 2，将其中的至少一个芯片 3 从各中继端子 5 的全体配置中心部 Y 偏心地搭载其中心部 C。



ISSN 1008-4274

1、一种芯片叠层式半导体器件，其特征是具备：

第1芯片搭载基板，搭载至少一个具有多个端子的半导体芯片，同时设置多个电连接该半导体芯片各端子的中继端子，以从外侧接近并包围搭载该半导体芯片的部分；和

第2芯片搭载基板，相对于该第1芯片搭载基板层叠设置并搭载至少一个上述半导体芯片，同时设置多个电连接该半导体芯片各端子的中继端子，以从外侧接近并包围搭载该半导体芯片的部分，上述半导体芯片之中的至少一个半导体芯片，从上述各中继端子的全体配置中心部偏心地搭载于该半导体芯片的中心部。

2、一种芯片叠层式半导体器件，其特征是具备：

具有多个端子的多个半导体芯片；和

多个芯片搭载基板，每一个至少搭载这些半导体芯片中的一个，同时设置多个电连接该半导体芯片各端子的中继端子，以从外侧接近并包围搭载该半导体芯片的部分，而且，在二层以上层叠之中的至少一层中，至少一个上述半导体芯片从上述各中继端子的全体配置中心部偏心地搭载于该半导体芯片的中心部。

3、根据权利要求2所述的芯片叠层式半导体器件，其特征是上述各芯片搭载基板之中，在至少规定的2层中配置的芯片搭载基板，与分别设置的上述各中继端子的全体配置的中心部互相大致重合。

4、根据权利要求2所述的芯片叠层式半导体器件，其特征是上述各中继端子设置为使其全体配置中心部与上述各芯片搭载基板的中心部大致重合。

5、根据权利要求2所述的芯片叠层式半导体器件，其特征是上述偏心的半导体芯片之中的至少一个半导体芯片的侧缘部，相对于上述各中继端子全体配置中的与该侧缘部对置的排列，从互相平行的状态旋转规定的角度。

6、根据权利要求2所述的芯片叠层式半导体器件，其特征是在上述各半导体芯片中至少偏心的半导体芯片周围，设置有至少一对由规定材料形成的封装构件，使得在配置该半导体芯片的层内相对该半导体芯片成为互相对称。

7、一种芯片叠层式半导体器件，其特征是具备：

具有多个端子的多个半导体芯片；和

多个芯片搭载基板，每一个至少搭载这些半导体芯片中的一个，同时设置有

多个电连接该半导体芯片各端子的中继端子,以从外侧接近并包围搭载该半导体芯片的部分,而且,在二层以上层叠中的至少规定的二层中,各自的至少一个上述半导体芯片互相偏心地搭载于其中心部。

8、根据权利要求7所述的芯片叠层式半导体器件,其特征是上述各芯片搭载基板之中,在至少上述规定的2层中配置的芯片搭载基板,与分别设置的上述各中继端子全体的配置中心部互相大致重合。

9、根据权利要求7所述的芯片叠层式半导体器件,其特征是上述各中继端子设置为使其全体配置中心部与上述各芯片搭载基板的中心部大致重合。

10、根据权利要求7所述的芯片叠层式半导体器件,其特征是上述偏心的半导体芯片之中的至少一个半导体芯片的侧缘部,相对于上述各中继端子全体配置中的与该侧缘部对置的排列,从互相平行的状态旋转规定的角度。

11、根据权利要求7所述的芯片叠层式半导体器件,其特征是在上述各半导体芯片中至少偏心的半导体芯片周围,设置有至少一对由规定材料形成的封装构件,使得在配置该半导体芯片的层内相对该半导体芯片成为互相对称。

12、一种芯片叠层式半导体器件,其特征是具备:

第1芯片搭载基板,搭载至少一个具有多个端子的半导体芯片,同时设置多个电连接该半导体芯片各端子的中继端子,以从外侧接近并包围搭载该半导体芯片的部分;和

第2芯片搭载基板,相对于该第1芯片搭载基板层叠设置,搭载至少一个上述半导体芯片,同时设置多个电连接该半导体芯片各端子的中继端子,以从外侧接近并包围搭载该半导体芯片的部分,上述半导体芯片之中的至少一个半导体芯片的侧缘部,搭载成相对于上述各中继端子全体配置之中与该侧缘部对置的排列,从互相平行的状态旋转规定的角度。

13、一种芯片叠层式半导体器件,其特征是具备:

具有多个端子的多个半导体芯片;和

多个芯片搭载基板,每一个至少搭载这些半导体芯片中的一个,同时设置多个电连接该半导体芯片各端子的中继端子,以从外侧接近并包围搭载该半导体芯片的部分,而且,在二层以上层叠之中的至少一层中,至少一个上述半导体芯片的侧缘部,搭载成相对于上述各中继端子全体配置之中与该侧缘部对置的排列,从互相平行的状态旋转规定的角度。

14、根据权利要求13所述的芯片叠层式半导体器件，其特征是上述各芯片搭载基板之中，在至少规定的2层中配置的芯片搭载基板，与分别设置的上述各中继端子全体的配置中心部互相大致重合。

15、根据权利要求13所述的芯片叠层式半导体器件，其特征是上述各中继端子设置为使其全体配置中心部与上述各芯片搭载基板的中心部大致重合。

16、根据权利要求13所述的芯片叠层式半导体器件，其特征是上述旋转的半导体芯片之中的至少一个半导体芯片的中心部，从上述各中继端子全体的配置中心部偏心。

17、根据权利要求13所述的芯片叠层式半导体器件，其特征是在上述各半导体芯片中，至少旋转的半导体芯片周围，设置有至少一对由规定材料形成的封装构件，使得在配置该半导体芯片的层内相对该半导体芯片成为互相对称。

18、一种芯片叠层式半导体器件，其特征是具备：

具有多个端子的多个半导体芯片；和

多个芯片搭载基板，每一个至少搭载这些半导体芯片中的一个，同时设置有多个电连接该半导体芯片各端子的中继端子，以从外侧接近并包围搭载该半导体芯片的部分，而且，在二层以上层叠之中的至少规定的二层中，各自的至少一个上述半导体芯片的侧缘部，搭载成从互相平行的状态旋转规定的角度。

19、根据权利要求18所述的芯片叠层式半导体器件，其特征是上述各芯片搭载基板之中，在至少上述规定的2层中配置的芯片搭载基板，对于分别设置的上述各中继端子的全体配置，在层间是对应的互相平行的排列。

20、根据权利要求18所述的芯片叠层式半导体器件，其特征是上述各中继端子设置为使其全体配置中心部与上述各芯片搭载基板的中心部大致重合。

21、根据权利要求18所述的芯片叠层式半导体器件，其特征是上述旋转的半导体芯片之中的至少一个半导体芯片的中心部，从上述各中继端子全体的配置中心部偏心。

22、根据权利要求18所述的芯片叠层式半导体器件，其特征是在上述各半导体芯片中至少旋转的半导体芯片周围，设置有至少一对由规定材料形成的封装构件，使得在配置该半导体芯片的层内相对该半导体芯片成为互相对称。

23、一种半导体器件，其特征是具备：

半导体芯片；

一个到多个芯片搭载基板，每一个至少搭载一个该半导体芯片，同时沿厚度方向层叠为一层到三层；以及

5 由规定材料形成的至少一对封装构件，各层的上述芯片搭载基板中搭载的上述半导体芯片中，在至少一层的芯片搭载基板中搭载的半导体芯片周围设置，同时使其在配置该半导体芯片的层内相对半导体芯片成为互相对称。

24、根据权利要求 23 所述的半导体器件，其特征是上述成对的封装构件由互相相同种类的材料形成。

25、根据权利要求 23 所述的半导体器件，其特征是上述封装构件具有各对由互相不同种类的材料形成的多对。

10 26、根据权利要求 23 所述的半导体器件，其特征是上述封装构件是在各自不同的位置设置多对使其相对上述半导体芯片成为互相对称，同时该多对的上述封装构件之中规定的一对上述封装构件彼此互相由相同种类的材料形成。

27、根据权利要求 23 所述的半导体器件，其特征是上述封装构件是由有机材料形成的。

15 28、一种半导体器件，其特征是具备：

半导体芯片；

一个到多个芯片搭载基板，每一个至少搭载一个该半导体芯片，同时沿厚度方向层叠为一层到多层；以及

20 由规定材料形成的至少三对封装构件，各层的上述芯片搭载基板中搭载的上述半导体芯片中，在至少一层的芯片搭载基板中搭载的半导体芯片周围设置，同时使其在配置该半导体芯片的层内相对半导体芯片成为互相对称。

29、根据权利要求 28 所述的半导体器件，其特征是上述成对的封装构件由互相相同种类的材料形成。

25 30、根据权利要求 28 所述的半导体器件，其特征是上述各封装构件是由有机材料形成的。

半导体器件

5 技术领域

本发明涉及一种半导体芯片的安装技术，特别是关于半导体芯片多层层叠的叠层式组件中的半导体芯片和安装基板及其周边构造。

背景技术

10 半导体器件中，有层叠多个半导体芯片构成的叠层式半导体组件，或叫做叠层式半导体器件。叠层多个作为半导体芯片的例如存储器芯片的构成就叫做存储器叠层制品。一般地说来，像存储器叠层制品一样，层叠相同半导体芯片时，用于把各半导体芯片与其它半导体芯片连接起来的外部连接端子，在各层中配置在大致相同的位置。所以，有关各半导体芯片的各层间的电连接，在各层间由于能形成大致相同的布线构成，因而布线绕行的问题发生得很少。

15 近年来，使半导体器件尺寸紧凑的要求日渐高涨起来。因而，如图7所示，制造叠层式半导体器件101时，需要在基板102上搭载(安装)芯片103使半导体芯片103的中心C与芯片搭载基板(安装基板)102的中心X重合。因此，需要配置并层叠搭载芯片103的多个基板102，使其芯片103的中心C和基板102的中心X实质上与器件101整个封装的中心Z重合。

20 并且，要将最近的半导体芯片设计成尽可能多地设置电极等的端子数。例如，使芯片103形成其平面视图大体成为四角形状，其一个主面上的各边缘部分，每边密集排列地设置多个端子104。而且在基板102的搭载芯片103的部分配设成四角框架形状，使直接电连接各端子104的焊盘107与各端子104一一对应。并且在基板102上将通过各焊盘107分别电连接各端子104的多个通路端子105相互密集地配置设立成大致四角框架形状，以便从外侧接近并包围各焊盘107的阵列。各焊盘107和各通路端子105，通过布线106预先一对一地电连接起来。各布线106根据预定的规定布线规则(设计规则)进行布线。

25 芯片103，例如用倒装法把各端子104电连接到各焊盘107并搭载在基板102上。因此，各端子104，通过各焊盘107和各布线106，电连接到与芯片103各边缘部分对置方式排列的各通路端子105。在该状态下，芯片103的各边缘部分，

30

相对与由各通路端子 105 的阵列构成的 4 个边框部对应的部分大致成平行。

叠层式半导体器件中,有每个层不同种类的芯片 103 混合构成的复合型叠层式半导体组件(模块)。一般说来,芯片 103,其外形、端子 104 的个数和配置位置等也每种不同。随之,基板 102,其外形、焊盘 107 个数和配置位置等也按照
5 搭载的芯片 103 种类等而不同。这样的复合型叠层式半导体组件 101 中,各层间电连接各芯片 103 时,发生需要在组件 101 内设置除布线 106 外的图未示出的层间连接用布线。

然而,要互相密集设置各通路端子 105,使其从外侧接近并包围搭载设有各焊盘 107 的芯片 103 的部分。并且,几乎各通路端子 105 都布线成与各通路端
10 子 105 的阵列大体对置位置的各焊盘 107,以便尽可能缩短各布线 106 的长度。所以,简单地以最短距离对不同层芯片 103 彼此进行布线,实质上是极其困难的。并且,如果想要对不同层芯片 103 彼此间强行进行布线的话,在各基板 102 上的布线图形中,就会如图 7 中以二点划线包围表示部分 L 那样的布线 106 互相间隔稀疏的场所和如图 7 中以虚线包围表示部分 H 那样的布线 106 互相间隔稠
15 密的场所混杂在一起。这样的布线状态(布线图形),有抵触布线规则的危险。

所以,组件 101 中,如果想要不与布线规则抵触,在各层间绕行布线,通常需要增大基板 102 的尺寸并扩大各通路端子 105 的配置间隔。这样一来,发生本来应该小型化的组件 101 整个封装尺寸增大的这种不适合。

发明内容

20 本发明一个方面的芯片叠层式半导体器件,具备第 1 芯片搭载基板和第 2 芯片搭载基板,第 1 芯片基片搭载至少一个具有多个端子的半导体芯片,同时设置多个电连接该半导体芯片各端子的中继端子,使其从其外侧接近并包围搭载该半导体芯片的部分;第 2 芯片搭载基板和对该第 1 芯片搭载基板层叠设置,搭载至少一个上述半导体芯片,同时设置多个电连接该半导体芯片各端子的中继端子,
25 使其从其外侧接近并包围搭载该半导体芯片的部分,上述半导体芯片之中的至少一个半导体芯片,从上述各中继端子的全体配置中心部,偏心搭载其中心部。

并且,本发明一个方面的芯片叠层式半导体器件,具备有具有多个端子的多个半导体芯片和多个芯片搭载基板,该芯片搭载基板至少每一个搭载这些的半导体芯片,同时设置多个电连接该半导体芯片各端子的中继端子,使其从其外侧接
30 近并包围搭载该半导体芯片的部分,而且,在二层以上层叠之中的至少一层中,

至少一个上述半导体芯片从上述各中继端子的全体配置中心部, 偏心搭载其中心部。

并且, 本发明一个方面的芯片叠层式半导体器件, 具备有具有多个端子的多个半导体芯片和多个芯片搭载基板, 该芯片搭载基板和至少每一个搭载这些的半
5 导体芯片, 同时设置多个电连接该半导体芯片各端子的中继端子, 使其从其外侧接近并包围搭载该半导体芯片的部分, 而且, 在二层以上层叠之中的至少规定的二层中, 各自至少一个上述半导体芯片互相偏心地搭载这些中心部。

并且, 本发明一个方面的芯片叠层式半导体器件, 具备第1芯片搭载基板和第2芯片搭载基板, 第1芯片搭载基板搭载至少一个具有多个端子的半导体芯片,
10 同时设置多个电连接该半导体芯片各端子的中继端子, 使其从其外侧接近并包围搭载该半导体芯片的部分; 第2芯片搭载基板对该第1芯片搭载基板层叠设置, 搭载至少一个上述半导体芯片, 同时设置多个电连接该半导体芯片各端子的中继端子, 使其从其外侧接近并包围搭载该半导体芯片的部分, 上述半导体芯片之中的至少一个半导体芯片, 相对上述各中继端子全体配置之中与该侧边缘部分对置
15 的排列, 从互相平行的状态旋转规定角度搭载其侧边缘部分。

并且, 本发明一个方面的芯片叠层式半导体器件, 具备有具有多个端子的多个半导体芯片和多个芯片搭载基板, 该芯片搭载基板至少每一个搭载这些的半
20 导体芯片, 同时设置多个电连接该半导体芯片各端子的中继端子, 使其从其外侧接近并包围搭载该半导体芯片的部分, 而且, 在二层以上层叠之中的至少一层中, 至少一个上述半导体芯片, 相对上述各中继端子全体配置之中与该侧边缘部分对置的排列, 从互相平行的状态旋转规定角度搭载其侧边缘部分。

并且, 本发明一个方面的芯片叠层式半导体器件, 具备有具有多个端子的多个半导体芯片和多个芯片搭载基板, 该芯片搭载基板至少每一个搭载这些的半
25 导体芯片, 同时设置多个电连接该半导体芯片各端子的中继端子, 使其从其外侧接近并包围搭载该半导体芯片的部分, 而且, 在二层以上叠层之中的至少二层中, 各自至少一个上述半导体芯片, 相对上述各中继端子全体配置之中与该侧边缘部分对置的排列, 从互相平行的状态旋转规定角度搭载其侧边缘部分。

并且, 本发明一个方面的芯片叠层式半导体器件, 具备有半导体芯片、芯片
30 搭载基板和封装构件, 该芯片搭载基板至少每一个搭载该半导体芯片, 同时沿厚度方向在一层到三层层叠一个到多个, 封装构件在各层的上述芯片搭载基板上搭

载的上述半导体芯片中,在至少一层的芯片搭载基板上搭载的半导体芯片周围设置一对,其由规定材料形成,同时使其在配置该半导体芯片的层内对半导体芯片成为互相对称。

并且,本发明一个方面的芯片叠层式半导体器件,具备有半导体芯片、芯片
5 搭载基板和封装构件,该芯片搭载基板至少每一个搭载该半导体芯片,同时沿厚度方向在一层到三层层叠一个到多个,封装构件在各层的上述芯片搭载基板上搭载的上述半导体芯片中,在至少一层的芯片搭载基板上搭载的半导体芯片周围设置至少三对,其由规定材料形成,同时使其在配置该半导体芯片的层内对半导体
10 芯片成为互相对称。

10 附图说明

图1表示本发明第1实施例芯片叠层式半导体器件的半导体芯片向基板上的安装状态的平面图。

图2表示本发明第1实施例芯片叠层式半导体器件的层叠构造的局部剖面图。

图3表示本发明第2实施例芯片叠层式半导体器件的半导体芯片向基板上的
15 安装状态的平面图。

图4简化表示本发明第3实施例半导体器件层叠构造的局部剖面图。

图5简化表示本发明第4实施例芯片叠层式半导体器件层叠构造的局部剖面
20 图。

图6简化表示本发明第4实施例的另一例芯片叠层式半导体器件层叠构造的
20 局部剖面图。

图7表示现有技术芯片叠层式半导体器件的半导体芯片附近的平面图。

图8表示现有技术的半导体器件的剖面图。

图9表示现有技术的其他例半导体器件的剖面图。

图10表示现有技术的另外其他例半导体器件的剖面图。

25 具体实施方式

(第1实施例)

以下,基于图1和图2,说明本发明第1实施例的芯片叠层式半导体器件。

图1是用于说明本发明第1实施例的芯片叠层式半导体器件1,表示半导体
30 芯片3安装到芯片搭载基板2上的状态的平面图。图2是表示半导体器件1的层叠构造的局部剖面图。

首先，边参照图2边简单说明组合多个半导体芯片3和芯片搭载基板(芯片安装基板)2构成的作为本实施例半导体器件的多芯片封装1的概况。该多芯片封装1也叫做多芯片组件或多功能组件。以下的说明中，把该多芯片封装1简单地称为封装1。

- 5 封装1是将具备3个半导体芯片3和3个芯片搭载基板2沿其厚度方向由三层层叠起来的。各芯片3在各基板2上分别搭载(安装)1个。各芯片3，例如用倒装法，从沿层叠方向的同一朝向安装到各基板2上。具体点说明的话，设置后述的布线6或焊盘19的第1主面2a，在图2中以分别向下的姿势层叠各基板2。设置图2中未示出的多个端子的器件面3a，以与各基板2的第1主面2a对置的
- 10 姿势，在各基板2上安装各芯片3。在该状态下，把各端子与各焊盘19电连接起来。

- 在各基板2上，分别设置通过焊盘19和布线6电连接到各芯片3的各端子的多个中继端子5。具体点说，对于中继端子5而言，有沿着其厚度方向贯通基板2并形成作为所谓通路端子(通路·插塞)的和在基板2的第1主面2a上简单
- 15 形成作为通路·接合的二种中继端子。各中继端子5形成上述两种之一的形状，以便沿层叠方向的规定通电路径，电连接各焊盘19和各布线6，同时电连接各芯片3的各端子和设于后述的板层基板12上的外部端子15。

- 在3个基板2的第1主面2a侧，每一个都与各基板2交替配置层叠同样的3个中间基板7。封装1成为每一个搭载芯片3的3个基板2和3个中间基板7每
- 20 隔1个交替配置的3层叠层构造。各中间基板(粘合材料(prepreg))7是采用例如玻璃布里浸渍树脂的玻璃环氧树脂基板等，作为一种绝缘基板形成的。在各中间基板7与芯片3对置的位置，形成空穴即所谓芯片空腔9，用于避免各中间基板7和各芯片3在层叠状态下相互影响叠合。与此同时，形成各中间基板7的厚度为各芯片3在层叠状态下大约不会与邻接的基板2接触的大小。

- 25 各中间基板7上，沿厚度方向贯通基板地设置多个层间连接端子8，用于电连接各芯片3的各端子和板层基板12的外部端子15。与中继端子5之中的一部分同样，形成各层间连接端子8作为通路插塞。沿层叠方向大致在一直线上并排的这种规定位置，设置多个各层间连接端子8，使其与各中继端子5电连接并形成通电路路。但是，本实施例中，仅在有利通电路路形成的场所，沿它们的厚度
- 30 方向贯通各中间基板7，设置各层间连接端子8，而不设置在不利于通电路路形

成的场所。并且，在中间基板7，在规定的位罝形成层间连接端子8，同时形成通电路的中间布线18。

在封装1内，在作为其层叠方向一侧的上侧(表面侧)设置1个表面基板10。该表面基板10由绝缘材料形成3层构造，防止封装1的短路等。并且，表面基板10兼具保护封装1内部构造，特别是3个芯片免受外部冲击的作用。

并且，封装1内，在作为其层叠方向的另一侧的下侧(背面侧)，各设置1个电源接地基板11和板层基板12。

电源接地基板11上，分别以规定布线图形，形成多条表面面积比各芯片搭载基板2的布线6和中间基板7的中间布线18宽得多的电源接地用布线13。各电源接地用布线13由于形成表面面积比布线6和中间布线18宽得多的电源接地用布线13，所以能够有效地抑制或除去封装1内部发生的噪音。并且，电源接地基板11上，设置多个沿厚度方向贯通基板并构成通电路一部分的接地·通路端子14。各通路端子14与各中继端子5和各层间连接端子8一起，沿层叠方向设置在大致一直线上并排那样的规定位罝。

板层基板12上，分别以规定布线图形，在规定的通电路形成将各芯片3的各端子电连接到外部端子15上的多条外部端子连接用布线17。各连接用布线17电连接多个设于板层基板12背面侧的外部端子(突点)15。但是，图2中仅图示出多个外部端子15之中的1个。并且，在板层基板12上，设置多个贯通其厚度方向并构成通电路一部分的外部端子连接用通路端子16。各连接用通路端子16，分别在规定的布线状态，与各连接用布线17电连接起来。将各连接用通路端子16与各中继端子5、各层间连接端子8、和各接地·通路端子14一起沿层叠方向形成在大致一直线上并排那样的规定位罝。因此，各芯片3的各端子就电连接到各外部端子15。

接着，说明有关各半导体芯片3往各芯片搭载基板2的搭载。

本实施例中，3个芯片3无论全部是相同种类，或是分别不同种类都不妨。作为各芯片3，可以使用各式各样大小、形状和构造的芯片。例如也可以组合MPU、音频用DSP和各种器件控制用LSI来构成。并且，在以下的说明中，说明有关3组芯片3和基板2的组合中的1组。而且，以该说明，代表对其它2组的芯片3和基板2的组合的说明，并省略其详细说明。

如图1所示，要这样配置基板2，使其中心部X大体与封装1全体中心部Z

重合。将芯片3搭载在基板2的中心部X附近。大致按方框形状并排设置各中继端子5,使其从外侧包围基板2的中心部X,而且,其全体配置(排列)的中心部Y大致与基板2的中心部X重合。这样,封装1中,如图1中用互相垂直的2条二点划线的交点所示的那样,构成其全体的中心部Z、3个芯片搭载基板2的各自中心部X、和多个中继端子5全体的中心部Y,它们的平面视图上大致重合。另外,各中心部X、Y、Z的位置,根据各自外形尺寸和排列等,分别用规定的计算方法预先决定。但是,不需要沿大体方框形状的芯片搭载部分的整个外周设置各中继端子5。例如,也可以只排列在沿芯片搭载部分对置的两边的外周缘部。

芯片3搭载在各芯片搭载基板2上,使图1中互相垂直的2条虚线的交点表示的其中心部C离开各中继端子5的全体配置中心部Y向规定方向偏心,即,芯片3搭载在基板2上,使其中心部C从各中继端子5全体配置中心部Y向规定方向通过平行移动挪开规定距离。在该状态下,芯片3的中心部C离开各中心部X、Y、Z的位置关系,也离开基板2的中心部X和封装1全体的中心部而偏心。芯片3的中心部C,也与各中心部X、Y、Z的定位情况同样,根据芯片3的外形等按规定的计算方法预先决定。

在这里,更详细说明芯片3搭载到基板2上的位置和搭载方法等。另外,作为比较例,适当参考图7所示有关现有技术芯片103搭载到基板102上的位置和搭载方法。

按照现有技术,基板102上的布线图形中,如图7中以二点划线包围所表示的部分L那样布线106彼此的间隔为稀疏的场所,和如图7中以虚线包围所表示的部分H那样布线106彼此的间隔为稠密的场所混杂在一起。这样的布线图形有与布线规则(设计规则)相抵触的危险。为了回避这个问题,本实施例中,把芯片3搭载到基板2的位置,向布线图形变成稀疏的一侧移动一定距离。

具体点说,如图1所示,使芯片3从基板2的中心部X、各中继端子5全体配置的中心部Y、和封装1全体的中心部Z,通过平行移动将其中心部C偏心规定距离,搭载到基板2上。即,在该封装1中,芯片3以偏置的状态搭载到基板2上。以下的说明中,往往把这种芯片3搭载到基板2的状态,简单地称为偏置状态。芯片3的偏心距离A,在不与设计规则抵触的范围内,不妨设定为规定的大小。特别是,本实施例的封装1中,芯片3的偏置位置,例如对各层的每个芯片3,不妨设定各自不同的位置。

搭载到封装 101 中央部 Z 的现有技术中, 每个层的布线 106 以外的布线用空间毫无用处。因此, 要想在封装 101 内绕行新的层间布线等的话, 结果是, 不能不增加例如多个基板 102 中的一个基板 102 的尺寸。

对此, 本实施例中, 在不与设计规则相抵触的范围内, 对于现有技术来说向
5 布线密度稀疏的一侧偏移各芯片 3 并搭载到各基板 2 上。各芯片 3 的偏移量要这样设定, 使其随重新绕行层间布线的封装尺寸的大型化降到需要的最小限度。因此, 不是或使封装尺寸大型化、或增加基板数、或重新设置布线层、或者用特殊的布线工艺, 就能够提高层间布线的绕行自由度。所以, 把多个芯片 3 层叠成多层一体化时, 即使因构造的要求制约大小和形状等的封装 1 的内部, 也可以用要
10 求的布线图形, 把各层的芯片 3 之间连接起来。

如以上说过的那样, 按照本实施例, 不限定搭载到基板 2 上的芯片 3 的种类, 而且可以抑制封装尺寸的扩大并使之紧凑。并且, 能够提高封装 1 内部的各种布线绕行的自由度, 因而例如也能适应等长布线之类。

另外, 图 1 和图 2 中, 以互相不同的状态表示例如焊盘 19 的位置和大小等。
15 这是为了容易理解各图分别表示的本实施例的构成, 表示为意义不同的形状的缘故, 对本发明的宗旨不会有什么不适合的影响。同样, 实施本发明之际, 各基板 2 上搭载各芯片 3 的位置或姿态、以及对各基板 2 和各芯片 3 的各中间基板 7 的方向或姿态等, 也不限于如图 1 和图 2 的各图所示的状态。只要不给本发明的宗旨不适合影响, 能够采取各式各样的方向或姿态。

20 接着, 举出一例, 具体而且简明地说明本实施例封装 1 的制造工序概略。

首先, 在 3 个芯片搭载基板 2 的第 1 主面 2a 侧, 每个侧面以与器件面 3a 对置的姿态配置 3 个半导体芯片 3。而后, 如图 1 和图 2 所示, 在每个层预先设定的各基板 2 的第 1 主面 2a 上的芯片搭载位置, 例如用倒装法搭载各芯片 3, 使
25 作为整个多芯片封装 1 成为适当偏置状态。

其次, 沿其厚度方向交替 3 层, 层叠搭载了芯片 3 的各基板 2 和 3 个中间基板 7。这时, 应这样配置各中间基板 7, 使各芯片 3 纳入各中间基板 7 上设置的芯片·空腔 9 内。并且, 这时, 也不妨在各基板 2 与各中间基板 7 之间, 或由一对基板 2 和中间基板 7 构成的各层间设置适宜的粘合剂(粘合树脂)。

接着, 从其层叠方向的两外侧, 用表面基板 10, 和电源接地基板 11 与板层
30 基板 12 夹住这些层叠完成的各基板 2 和各中间基板 7。这时, 各基板 2 和各中

例如, 在使图 2 中以虚线表示的各芯片 3 中心, 从图 2 中以点划线表示的各基板 2 的中心部、各中继端子 5 全体偏置的中心部、和封装 1 全体的中心部对每个层有各自不同距离偏心的位置, 设定各芯片 3 的偏置位置也无妨。鉴于封装 1 全体的布线状态和尺寸等方面, 根据其层叠数对每个层分别在适当位置, 设定各芯片 3 搭载到各基板 2 的位置。并且, 在本实施例的这种搭载状态下, 第 1 芯片搭载基板与第 2 芯片搭载基板的区别没有特别不同。另外, 可以解释为第 2 芯片搭载基板是将第 1 芯片搭载基板设定为特别芯片搭载状态的基板也无妨。这样, 对每个层在适当的位置和方向以偏置的状态将各芯片 3 搭载到各基板 2 上, 以至能够实现提高封装 1 内布线的自由度和使封装 1 整个外形尺寸紧凑。

10 但是, 对于与设计规则抵触危险不大的规定层, 使芯片 3 的中心部 C 大体与基板 2 的中心部 X 和封装 1 全体的中心部 Z 重合, 无须使芯片 3 偏移搭载到基板 2 上边也无妨。并且, 各芯片 3 偏心的方向, 在不与设计规则抵触的范围内, 不妨设定在规定的方向。只要是提高封装 1 内部各种布线绕行自由度的方向, 就不一定需要只向布线图形稀疏一侧使芯片 3 偏心。

15 在基板 2 的第 1 主面 2a 上搭载芯片 3 的区域, 如图 1 所示, 芯片 3 搭载到基板 2 上时, 芯片 3 上设置的多个端子 4 形成多个电连接的焊盘 19。各端子 4 个别地, 而且, 可以直接连接方式与芯片 3 的大小、形状以及各端子 4 的个数和配置位置等调合, 在与各端子 4 对向的位置, 形成与各端子 4 同样个数的焊盘 19。并且, 各焊盘 19 通过多条芯片连接布线 6, 与各中继端子 5 一对一电连接起来。各中继端子 5 设置比焊盘 19 的个数, 即比各端子 4 的个数还多。各中继端子 5 中的以图 1 中 O 号表示的不与各端子 4 和各表面基板 10 连接的中继端子 5, 在进行 3 个芯片 3 的层间电连接时, 用于图未出的层间布线绕行等。

25 另外, 在作为从其第 1 主面 2a 一侧对基板 2 示出平面图的图 1 中, 用实线示出本来芯片 3 隐含不见的各端子 4 和各焊盘 19。这是因为容易知道通过各芯片连接布线 6 的各端子 4 和各焊盘 19 与各中继端子 5 的电连接状态的缘故。

按照本实施例, 如图 1 所示, 芯片连接布线 6 的布线图形中, 能够降低或者其布线密度极端稀疏, 或者极端稠密的场所。因此, 既不增大基板 2 的外形尺寸, 而又不与设计规则抵触, 可以提高开始进行芯片连接布线 6 的封装 1 内各种布线绕行的自由度。

30 如图 7 所示, 为了使组件(封装) 101 整个大小变成最小尺寸, 在全部芯片 3

间基板7、表面基板10以及电源接地基板11和板层基板12的各自中心部对合它们的位置,使其与封装1全体的中心部Z大体重合。并且,这时,与上述的各基板2和各中间基板7的层叠作业情况同样,不妨在表面基板10、各基板2和各中间基板7、电源接地基板11、和板层基板12之间设置适宜粘合剂。

- 5 芯片搭载作业和层叠作业结束以后,沿层叠方向压合表面基板10、各基板2和各中间基板7、电源接地基板11、以及板层基板12,获得所要求的封装1。由此,结束封装1的制造工序。

(第2实施例)

- 10 其次,按照图3,说明本发明第2实施例的芯片叠层式半导体器件。图3是表示本实施例的半导体器件21的半导体芯片3安装到芯片搭载基板2上的状态的平面图。另外,对与第1实施例同一的构成部分,附加同一符号并省略其说明。

以下,具体地说明有关作为本实施例半导体器件的多芯片封装21具备的多个半导体芯片3和芯片搭载基板2的组合之中,1组的芯片3和基板2的组合。而且,以此说明对其它的芯片3和基板2的说明为代表,并省略其详细说明。

- 15 如图3所示,本实施例的芯片3,其平面视图形成大致四方形状。要把各中继端子5排列配置成,从外侧没有遗漏地包围搭载芯片3部分那样,使其平面视图的整个配置成为大体方框形状。芯片3从基板2的中心部X、各中继端子5全体配置的中心部Y、以及封装21全体的中心部Z,通过平行移动在规定方向使其中心部C偏心规定距离,搭载到基板2上。与此同时,使芯片3旋转搭载到基
20 板2上,使其一侧边缘部对于与其对置的各中继端子5的侧框部分的排列,从互相平行的状态变成规定角度 θ 倾斜的状态。即,芯片3的4个侧边缘部相对于与其对置设置的各中继端子5的4个侧框部的排列,从分别互相平行的状态以各自规定的角度 θ 旋转的状态,将其搭载到各基板2上。所以,在该封装21中,芯片3以偏心和转动后的偏置状态搭载到基板2上。

- 25 另外,不需要沿着大体四方形状的芯片搭载部分的整个外周设置各中继端子5。例如,仅配置在沿芯片搭载部分对向的两边外周缘部也无妨。

- 在封装21中,芯片3的偏心距离B和旋转角度 θ ,不妨在不与设计规则相抵触的范围内,给每个层设置互相独立的值。例如,在多个基板2之中,至少规定的2层基板2,设定对每个层以不同的距离和方向使2个芯片3的中心部C偏
30 心,同时对每个层仅以不同角度旋转2个芯片3也无妨。芯片3的偏心距离B

和旋转角度 θ ，即芯片 3 搭载到基板 2 上的位置和姿态，鉴于封装 21 整个布线状态和大小方面，按照其层叠数，决定每个层上各自的适当位置。这样，为了能够达到提高封装 21 内布线的自由度和封装 21 整个外形尺寸的小型化，对每个层以适当的位置、方向、及姿态偏移的状态，将芯片 3 搭载到基板 2 上。

- 5 所以，要是与设计规则抵触危险性很低等，封装 21 内布线上难以发生障碍的话，不用使芯片 3 偏心，只旋转就搭载到基板 2 上也无妨。进而，至于规定层的芯片 3，都不作平行移动和旋转而搭载到基板 2 上也无妨。

在基板 2 的第 1 主面 2a 上以偏置状态搭载芯片 3 的区域，形成与端子 4 个数相同的多个电连接芯片 3 的各端子 4 的焊盘 19。各焊盘 19 与所搭载的芯片 3
10 大小、形状、和姿态，或各端子 4 的个数和配置位置等组合，设置在与各端子 4 对面的位置。即，设置各焊盘 19，使其与芯片 3 偏心的距离 B 和旋转角度 θ 组合，形成分别与各端子 4 直接电连接的排列。

另外，在作为从其第 1 主面 2a 面临基板 2 示出的平面图的图 3 中，用实线画出本来芯片 3 隐含不见的各端子 4 和各焊盘 19。这是因为容易知道通过各芯
15 片连接布线 6 的各端子 4 和各焊盘 19 与各中继端子 5 的电连接状态的缘故。并且，电连接各焊盘 19 和各中继端子 5 的多条芯片连接布线 6 虽然限于图解表示其一部分，但是不会给本发明的宗旨什么不适合的影响。并且，实施本发明之际，搭载于各基板 2 的各芯片 3 的位置、姿态等，不限于如图 3 所示的状态。只要不给本发明的宗旨不适合影响，能够采取各式各样的位置或姿态。

20 如以上说过的那样，按照本实施例，与第 1 实施例同样，芯片连接布线 6 的布线图形中，能够差不多形成其布线密度极端稀疏，或极端稠密的场所。因此，既不增大基板 2 的外形尺寸，或又不与设计规则抵触，可以极大提高封装 21 内部各种布线绕行的自由度。所以，按照本实施例的封装 21，不限于基板 2 上搭载的芯片 3 的种类，可使封装的外形尺寸更加紧凑。并且，不用说也可以与封装
25 21 内的等长布线相对应。

进而，按照本实施例，如图 3 所示，可以用每个层的布线距离变得更短的这种布线图形，电连接各焊盘 19 和各中继端子 5。甚至于，能够缩短封装 21 整个上的布线距离。所以，能够实现封装 21 的低成本，同时能够降低短路、断线等的危险，提高安全性、可靠性等。

30 (第 3 实施例)

接着,按照图4,说明本发明第3实施例的半导体器件。图4是简化表示本实施例的半导体器件31层叠构造一部分的剖面图。另外,对与第1实施例同一的构成部分,附加同一符号并省略其说明。

首先,为说明半导体器件31而先行参照图8~图10,说明现有技术的半导体器件中,有关该半导体器件具备的半导体芯片103的周边构造的问题。

现有技术的半导体器件中,就有从外侧密封半导体芯片的封装构造。这样的半导体器件,一般是例如使用引线框架作为布线基底,或使用树脂基板上施加了铜制布线的基底作为布线基底。

作为这种半导体器件之中的一个例子,例如如图8所示,有使用引线框架113作为布线基底的所谓树脂模制封装111。该封装111中,半导体芯片103介以称为安装材料的粘合材料114,固定(安装)到芯片搭载用引线框架112上。并且,固定于引线框架112的芯片103,用例如金(Au)制的焊线115,与引线框架113电连接。芯片103与引线框架112等一起,用模制树脂116,从外侧将其包围的方式覆盖密封。这时,至于粘合材料114,一般采用导电膏,它是树脂中分散银填料粒子的焊剂。

并且,作为半导体器件的另一个例子,如图9所示,例如有使用聚酰亚胺制造、或玻璃环氧树脂制造的基板等的树脂基板122的所谓顶模(over mold)封装121。该封装121中,芯片103用粘合材料114固定在外部连接用树脂基板122上。芯片103通过焊线115,与设于树脂基板122另一端面侧的多个外部连接端子(焊盘)123电连接。并且,至于该封装121,只有树脂基板122固定芯片103侧的一侧,用模塑树脂116进行覆盖密封。

进而,作为半导体器件的另一个例子,如图10所示,例如有中央部分形成了芯片搭载用器件孔的所谓增强BGA型的封装131。该封装131中,在玻璃环氧树脂基板等的树脂基板134一端面侧的中央部分,粘合设置由铜等形成的金属制造芯片搭载用框架132。该搭载用框架132的两侧部,每一个粘合设置相同金属制造的外部端子连接用框架133。在与这两个连接用框架133的树脂基板134侧相反侧的端面上,各自粘合设置1个外部连接用树脂基板122。并且,在与这两树脂基板122的连接用框架133侧相反侧的端面上,各自设置多个外部连接端子123。在器件孔内,芯片103介以图未示出的固定剂,固定在与搭载用框架132的树脂基板134侧相反侧端面上。芯片103用焊线115与外部连接端子123电连接。

对该封装 131 而言, 只有芯片 103 附近, 用模塑树脂 116 覆盖密封。

以上, 在由举出 3 个例子说明的这种构造构成的各封装 111、121、131 方面, 如图 8~图 10 的各个图所示, 配置于各芯片 103 上下的构件种类不同。因此, 主要原因是各构件的热膨胀系数不同, 使整个封装发生翘曲。具体点说, 对于各封装 111、121、131, 抓住各芯片 103 作为封装构造体的中心时, 对芯片 103 发生非对称的变形。以下, 具体且简明地说明这种变形发生的理由。

例如, 上述 3 个例子的哪一种构造中, 共同用于芯片固定的粘合材料 114, 为了使其硬化, 也都在高温状态下放置。使该粘合材料 114 硬化时的温度, 一般大致是 $120^{\circ}\text{C} \sim 180^{\circ}\text{C}$ 。并且, 一般说来, 这样的高温硬化温度被认为是粘合材料 114 引起的无应力状态的温度。粘合材料 114 要是从高温的硬化温度冷却到常温的话, 例如封装 111 中, 芯片 103 和搭载用引线框架 112 的各自热膨胀系数差成了原因, 在芯片 103 与搭载用引线框架 112 的接合部分及其周边就会发生非对称翘曲。这种现象对于封装 121 或封装 131 等也是共同的。

并且, 由于也与粘合材料 114 本身的热膨胀系数、热硬化收缩率有关联, 因此发生更复杂的翘曲, 进而, 各封装 111、121、131 中, 配置模塑树脂 116 使其覆盖各芯片 103, 如用大约 $120^{\circ}\text{C} \sim 180^{\circ}\text{C}$ 的规定温度进行硬化, 就与模塑树脂 116 自身的热膨胀系数和热硬化收缩率关联起来。因此, 发生更复杂的应力, 芯片搭载部分及其周边就发生及其复杂的翘曲。如果发生这种复杂的应力, 各封装 111、121、131 内, 各构件彼此界面的特定场所容易集中应力。这样一来, 就以该应力集中点为起点使部件互相剥离, 或容易发生负荷加到芯片 103 上等问题。并且, 因为封装自身翘曲增大, 实质上也有发生不耐用问题的担心。

本实施例就是有关鉴于以上说明的这个课题而研制的半导体器件封装构造, 提供一种封装内难以发生局部的应力集中, 特别是对半导体芯片具有难以发生非对称翘曲的封装构造的半导体器件。

以下, 边参照图 4 边说明作为本实施例半导体器件的单片封装 31。另外, 图 4 中, 因为容易看见图解显示, 容易理解封装 31 的构成, 所以省略上述的表面基板、空腔层状基板等的图解显示。并且, 其说明也省略。

封装 31 每个具备 1 个半导体芯片 3 和图未示出的芯片搭载基板, 其剖视图为图 4 所示的构造。芯片 3 与第 1 和第 2 实施例的半导体器件 1、21 同样, 用图 4 中虚线表示的其中心部, 从图 4 中点划线表示的封装 31 全体的中心部, 通

过平行移动或旋转以偏移的状态，设于封装 31 内。

图 4 中，芯片 3 的周围设置第 1 封装构件 33，从其层叠方向的上下方向两外侧包住芯片 3。该第 1 封装构件 33 由上侧第 1 封装构件 33a 和下侧第 1 封装构件 33b 构成。这上下第 1 封装构件 33a、33b 要配置为，使其对芯片 3 其上下方向互为对称。上下第 1 封装构件 33a、33b 一起由相同物理性质组成的有机材料形成。并且，为了抑制因上下第 1 封装构件 33a、33b 与芯片 3 的粘合强度、和图未示出的外部构件与芯片 3 的热膨胀系数差等而发生的应力，选定其弹性系数、玻璃转变温度、泊松比、热膨胀系数等为设定适当值的材料。尤其，粘合强度是重要的项目(参数)。

10 在上下第 1 封装构件 33a、33b 的再上下方向两外侧，介以这些上下第 1 封装构件 33a、33b 夹住芯片 3 那样，例如设置玻璃布中浸渍树脂的粘合材料的所谓玻璃环氧树脂基板等的树脂基板 32。该树脂基板 32 由上侧树脂基板 32a 和下侧树脂基板 32b 构成，并构成封装 31 的封装构件的一部分。这些上下树脂基板 32a、32b 配置为，使其对芯片 3 在其上下方向互为对称。并且，上下树脂基板 15 32a、32b 一起由相同物理特性组成的有机材料形成。上下树脂基板 32a、32b 相当于第 1 和第 2 实施例的封装 1、21 中的芯片搭载基板 2。即，在封装 31 方面，就是设定在第 1 和第 2 实施例说过的基板 2 构成封装构件的一部分。

并且，在图 4 中，芯片 3 的周围，在与芯片 3 层叠方向垂直的方向的芯片 3 横向外侧，即位于芯片 3 前后左右方向外侧设置中间基板 7，使芯片 3 位于对称 20 位置。并且，中间基板 7 要配置在芯片 3 的四周，以便芯片 3 装入其中设置的芯片空腔中心部分。中间基板 7 也构成了封装 31 中的封装构件一部分，可以说起第 3 封装构件功能。并且，中间基板 7 是以形成图未示出的布线，确保相当于芯片 3 的厚度为目的选定其材料。本实施例中，规定中间基板 7 是由与树脂基板 32 同样的有机材料，例如玻璃布里浸渍树脂的粘合材料，所谓玻璃环氧树脂基板形成的。另外，所谓芯片 3 的前后方向，就是图 4 中以芯片 3 为基准，把纸面 25 跟前一侧看作前侧，与此相反，以芯片 3 为基准，把纸面背侧看作后侧。

而且，在芯片 3 的周围，与中间基板 7 同样设置由有机材料构成的第 2 封装构件 34，使其在图 4 中对称地位于芯片 3 前后左右外侧。如果具体点说，以从上下第 1 封装构件 33a、33b 更前后左右方向外侧包围芯片 3 的方式，设置第 2 30 封装构件 34。该第 2 封装构件 34 在图 4 中表示，由左侧第 2 封装构件 34a 和右

例第2封装构件34b构成。但是，实际上与中间基板7同样，要整体设置为，使其从其前后左右方向外侧，沿着其周围包围芯片3和上下第1封装构件33a、33b。即，左右第2封装构件34a、34b在实际的封装31中，由一种材料整体构件。

在图4中，为了容易理解各封装构件33、34、7的配置状态，把本来一体的第2封装构件34分开为左右2个第2封装构件34a、34b来表示。并且，本实施例的说明中，也沿用图4说明。

左右第2封装构件34a、34b要配置成，使其对芯片3和上下第1封装构件33a、33b，在其前后左右方向为互相对称。这时，要这样设置左右第2封装构件34a、34b，使其无间隙地埋入上下第1封装构件33a、33b，上下树脂基板32a、32b和中间基板7的各自之间。左右第2封装构件34a、34b一起由相同物理性质组成的有机材料形成，特别是，本实施例中，由与上下第1封装构件33a、33b相同的有机材料形成。并且，把左右第2封装构件34a、34b埋入上下第1封装构件33a、33b与中间基板7的间隙、确保它们间粘合强度、而且抑制因其间热膨胀系数差而发生的应力作为主要目的来选定材料。

这样，使封装31配置成为，各封装构件32a、32b、33a、33b、34a、34b、7对于芯片3，在其上下和前后左右的各个方向对构造方面和材料方面的两个方面都成为对称。即，封装31中，芯片3的周围要构成，对芯片3在构造方面和材料方面的两个方面都成为三维对称。

封装31是由一组芯片3和基板构成的一层构造，形成厚度极薄形状。并且，芯片3的中心部偏离整个封装31的中心部，因而封装31以芯片3作为中心时，形成了非对称的构造。尽管这样的构造，但封装31由于芯片3周围的对称构造，能够很好抑制芯片3周围的翘曲或畸变等的变形。并且，封装31内发生翘曲或畸变等变形时，变形产生的应力，由于芯片3周围的对称构造，就不会集中到例如芯片上而是完全彻底分散。进而，也提高封装31的整个强度。

本发明人实际设计和制造本实施例的半导体器件，作为其层叠数从1层到3层薄厚度的叠层式半导体器件进行了实验。其结果，没有在半导体器件内部或者设置特别的加强构造或加强零件，或者把各芯片搭载基板形成厚片，可见能够良好地抑制各层的芯片搭载基板等的翘曲或畸变等引起的变形，甚至于良好抑制整个半导体器件的变形。并且，可以知道，发生变形时，由它引起的负荷难以集中到半导体器件内特定的场所。具体点说，可知虽然以每个层上各芯片3作为变形

对称中心发生变形，但是变形引起的负荷分别均等地作用于各层的各个芯片 3。

如以上说过的那样，按照本实施例，就能够达到提高半导体器件 31 内部布线绕行的自由度和使半导体器件 31 的外形尺寸小型化，同时很难对芯片 3 施加负荷，而且能够提高整个半导体器件 31 的强度。所以，能够进一步提高半导体器件 31 的稳定性和可靠性。并且这样的半导体器件 31 是长寿命的。

并且，封装 31 中，是以偏离封装 31 整个中心部的状态下配置芯片 3，作为形成非对称构造进行说明的。封装 31 即使在这种非对称构造的场合，也能获得良好的变形抑制效果。所以，在芯片 3 中心部与封装 31 整个的中心部大体重合的状态下配置芯片 3 的场合，即作为对称的构造形成封装 31 的场合，该封装 31 具有的变形抑制效果更加增大。并且，对封装 31 而言，是以芯片 3 为中心，作为对其上下和前后左右的各方向具有对称的内部构造进行说明的，然而不限于这样的构造。例如，图 4 中，在芯片 3 的上下、左右、和前后的各方向分别设置不同的封装构件，使其在物理性质方面和构造方面的两个方面对芯片 3 为互相对称也无妨。

进而，各封装构件 32a、32b、33a、33b、34a、34b、7，对各个对分别用不同种类的材料形成也无妨。并且，各封装构件 32a、32b、33a、33b、34a、34b、7，对芯片 3 为互相对称方式分别在不同位置设置多对也不妨。这时，也可以在各封装构件 32a、32b、33a、33b、34a、34b、7 的对中，用相同种类的材料形成规定对的彼此封装构件。可在适宜、适当的状态进行设定，提高封装 31 整个的强度，抑制翘曲或畸变等引起的变形，而且，能够均匀分散变形带来的负荷并使其很难集中在封装 31 内的特定场所，特别是集中于芯片 3。

(第 4 实施例)

接着，按照图 5 和图 6，说明本发明第 4 实施例的芯片叠层式半导体器件。

图 5 是简化表示本实施例的半导体器件 41 层叠构造一部分的剖面图，图 6 是简化表示本实施例的另一个半导体器件 51 层叠构造一部分的剖面图。以下，与第 3 实施例同样进行说明，同时对与第 1 实施例同一的构成部分附加同一符号，并省略其说明。

作为本实施例半导体器件的多芯片封装 41、51，实质上是多层，具体地说 3 层重叠第 3 实施例半导体器件 31 构成。

首先，说明图 5 中所示的封装 41。该封装 41 由重叠 3 层第 3 实施例的封装

31 而构成,使其整个的中心部成为图5中点划线示出的位置。各层的半导体芯片3,在各自的中心部互相错开的状态下进行配置。具体点说,图5中最上层设置的芯片3,如图5中虚线所示,是离封装41整个的中心部向左侧偏心的状态下配置其中心部。并且,图5中,中层设置的芯片3,如图5中虚线所示,是离封装41整个的中心部向右侧偏心的状态下配置其中心部。进而,图5中最下层设置的芯片3,是在与封装41整个的中心部大体重合的状态下配置其中心部的。这样,封装41中,以偏置的状态配置3个芯片3之中,设置最上层和中层的2个芯片3。所以,该封装41中,配置在最上层和中层的两层这基板2成了第2芯片搭载基板。

10 其次,说明图6中所示的多芯片封装51。该多芯片封装51是对封装41省略与各层间邻接设置的上侧树脂基板32a和下侧树脂基板32b之中任一方而构成的。即,在封装51中,在其各层间各配置1个树脂基板32。并且,该封装51中,配置于最上层和中层这两层的基板2也成为第2芯片搭载基板。

所以,多芯片封装41、51中,各封装构件32a、32b、33a、33b、34a、34b、7成为在3层的各层内要配置对各芯片3为3维对称的内部构造。利用这样的内部构造,虽然封装41、51只是由3层构造构成的薄片形状,而且,互相错开各自的中心部的状态下配置各层芯片3的非对称构造,但是能够很好抑制翘曲或畸变等的变形。特别是,封装41、51与第3实施例的封装31比较的话,具有约3倍的厚度,因而其构造的强度更高,因此也能很好地抑制翘曲或畸变等的变形。

20 另外,根据本发明人进行的实验,若层叠数为4层以上,整个封装的构造强度的变形抑制效果,变为已经超过各封装构件32a、32b、33a、33b、34a、34b、7的变形抑制效果。因此,封装41、51中,假定其叠层数到3层为止。然而,在实施本发明时,当然,半导体器件的层叠数不受3层制约。整个封装构造上的强度产生的变形抑制效果,即使超过各封装构件32a、32b、33a、33b、34a、34b、7的变形抑制效果的层叠数,通过制成与封装41、51同样的内部构造,不用说也能获得变形抑制效果。

30 如以上说明的那样,按照本实施例,尽管只是3层的薄片构造,但能够达到提高半导体器件41、51内部布线的绕行自由度和半导体器件41、51外形的小型化。与其一起,能够进一步提高封装41、51整个强度,因而更加提高稳定性和可靠性。并且,这样的半导体器件41、51是长寿命的。

另外，本发明的半导体器件，不受上述第1~第4实施例制约。在不脱离本发明宗旨的范围内，可以把本发明半导体器件的构成一部分组合设定成各种各样的状态。

例如，芯片搭载基板上搭载的半导体芯片的性能、种类、功能、形状和构成、基板的层叠数、基板上搭载的芯片个数、位置、以及姿态等，可以按照要求的半导体器件性能、功能等设定为适宜、适当的状态。特别是，要将基板上搭载芯片时的偏心状态和旋转状态设定在适宜、适当的状态，以便能够达到提高半导体器件内各种布线的绕行自由度和半导体器件整个封装尺寸的小型化。同样，芯片连接布线的布线图形、层间布线的布线图形、甚至半导体器件内整个电路的图未示出的布线图形、或者整个半导体器件的内部构成等，也能按照要求的半导体器件性能、功能等设定为适宜、适当的状态。

并且，芯片搭载基板上搭载的半导体芯片个数是多个时，也不妨对每个芯片设置多个中继端子，使其包围芯片。这时，例如，基板上搭载各芯片，使各芯片的中心部变成从各芯片设置的多个中继端子整个中心部偏离的状态就行。

或者，就是设置多个中继端子集中包围多个半导体芯片也没有关系。这时，例如，假如设定全部芯片的配置中心部相当于上述各实施例的1个半导体芯片的中心部就行。而且，要是基板上搭载各芯片的话，就可以使其全部芯片的配置中心部变成偏离各中继端子全体配置中心部的状态。即使同一层排列多个基板の場合也同样。不妨设定在适宜、适当的状态，就能够提高半导体器件内各种布线的绕行自由度，而且，使半导体器件整个封装尺寸小型化。

另外的优点和改进，对本领域普通技术人员将是显而易见。因此，本发明概括起来说并不限于这里表示和描述的具体细节和表现的各实施例。所以，应该能够作各种各样的修改而不脱离由附属权利要求书及其等同物所限定的本发明总构思的精神或范围内。

25

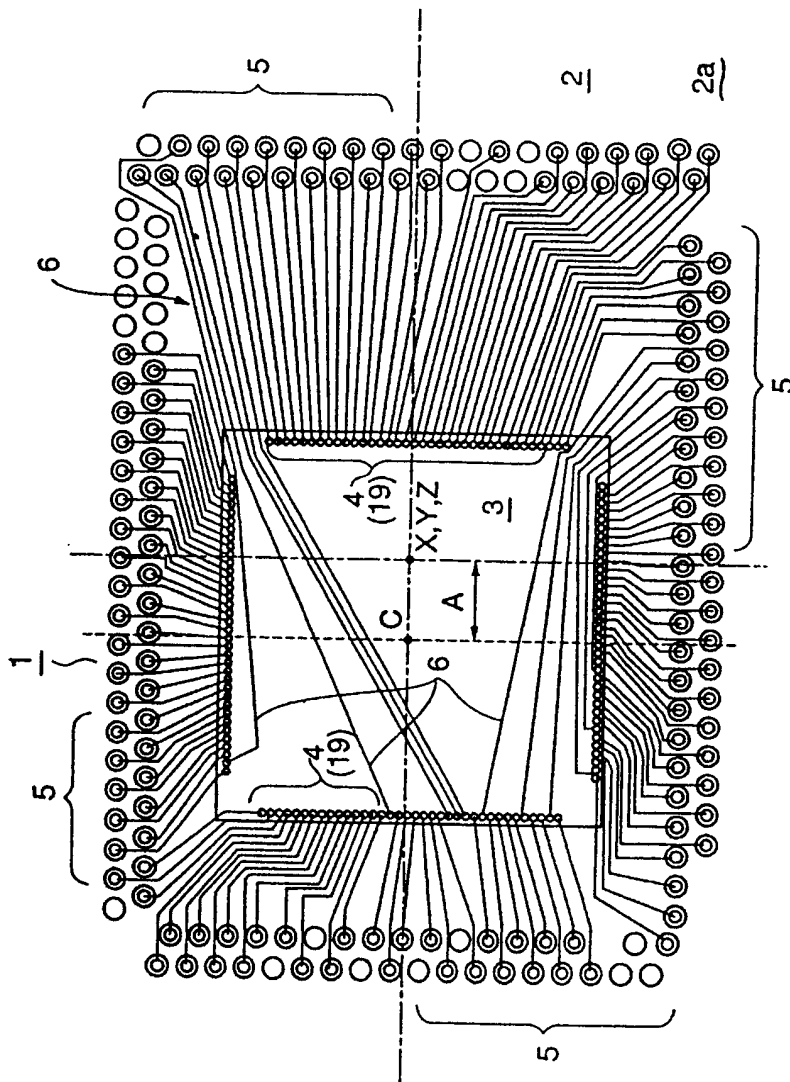


图 1

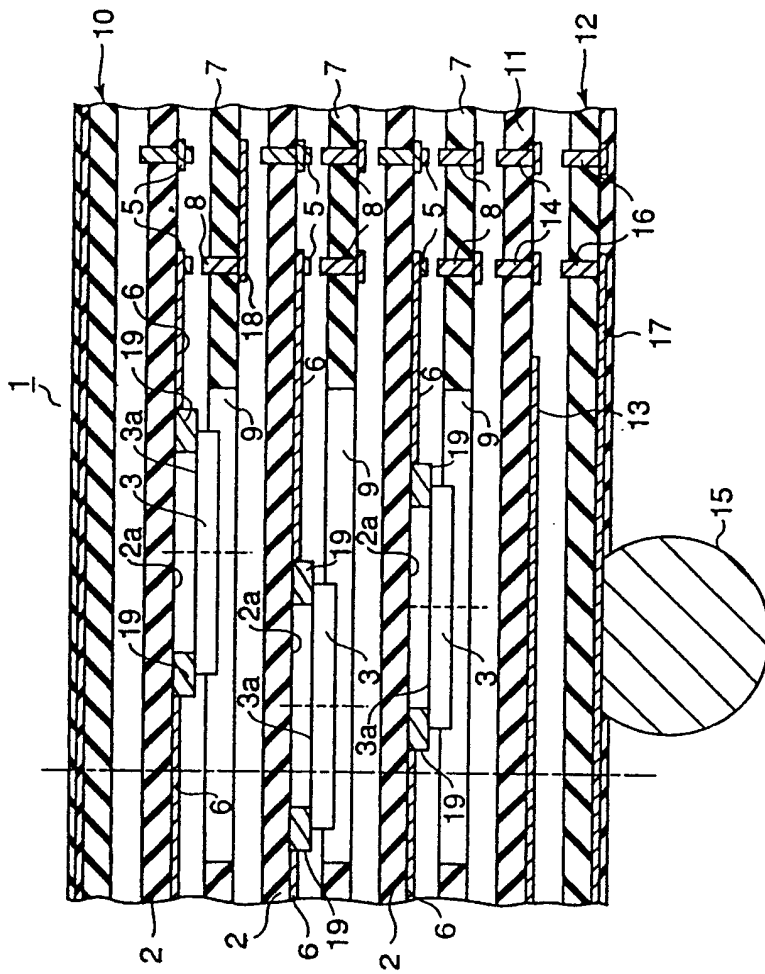


图 2

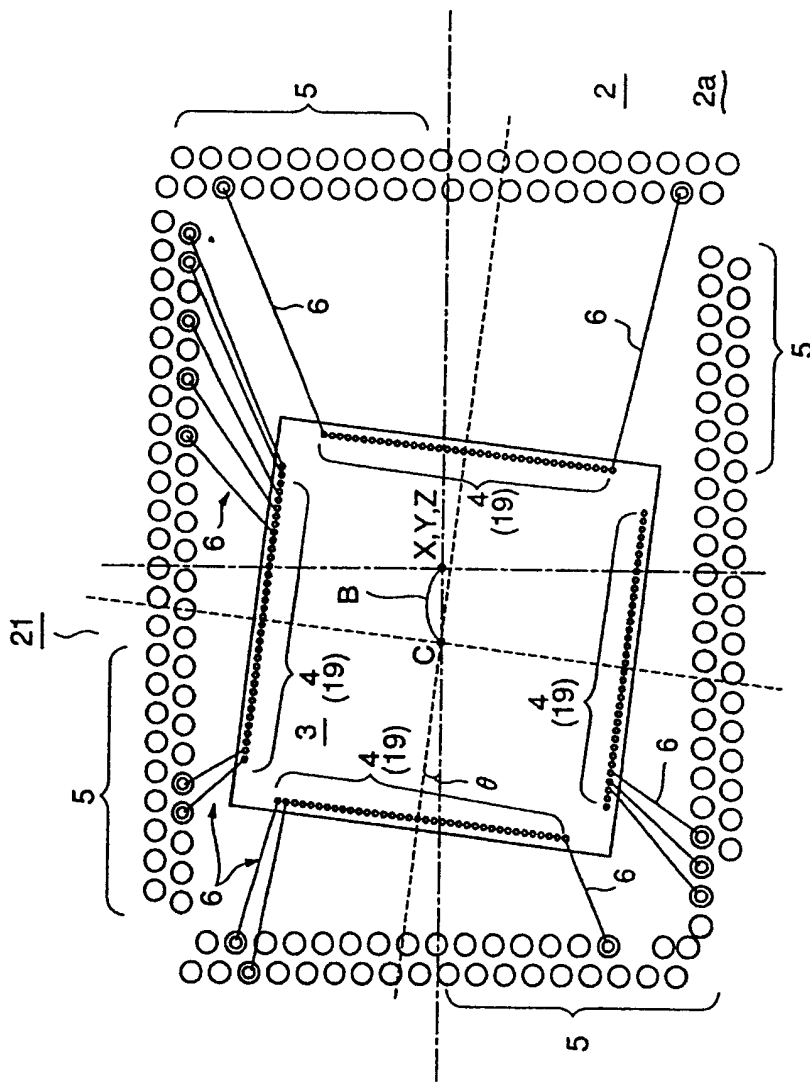


图 3

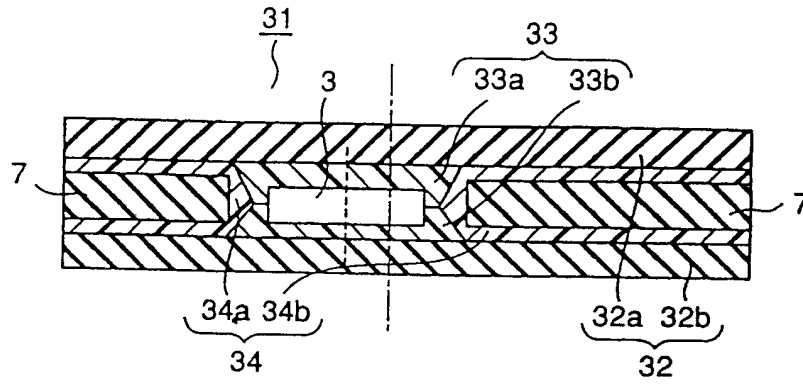


图 4

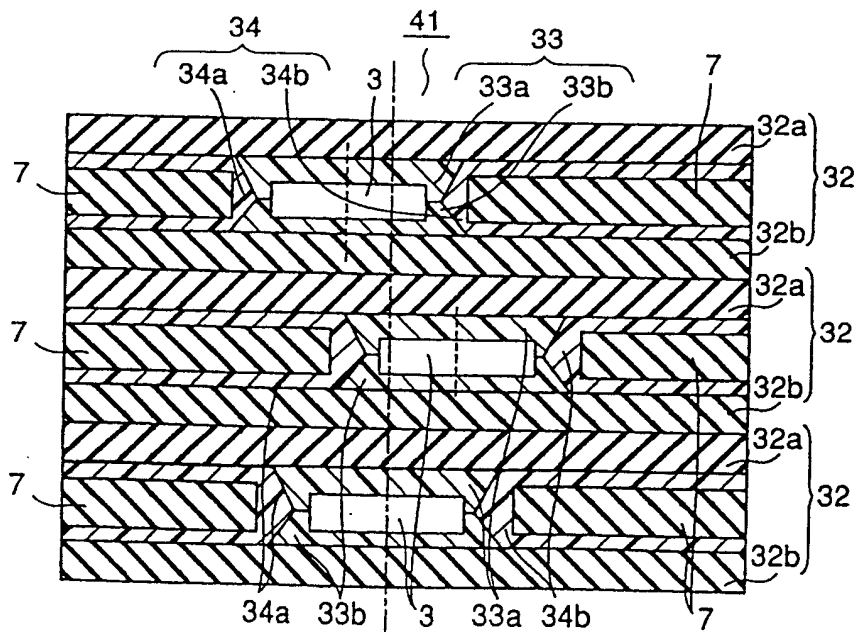


图 5

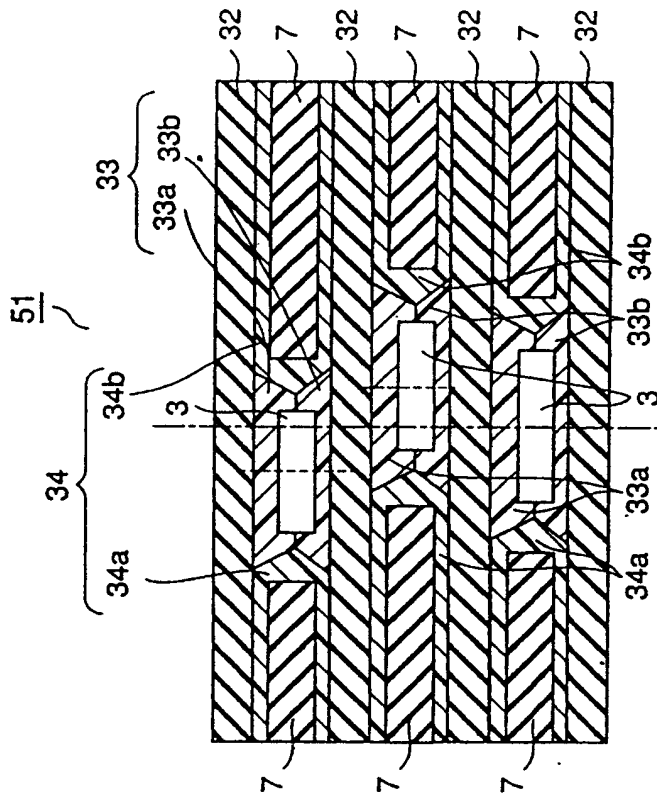


图 6

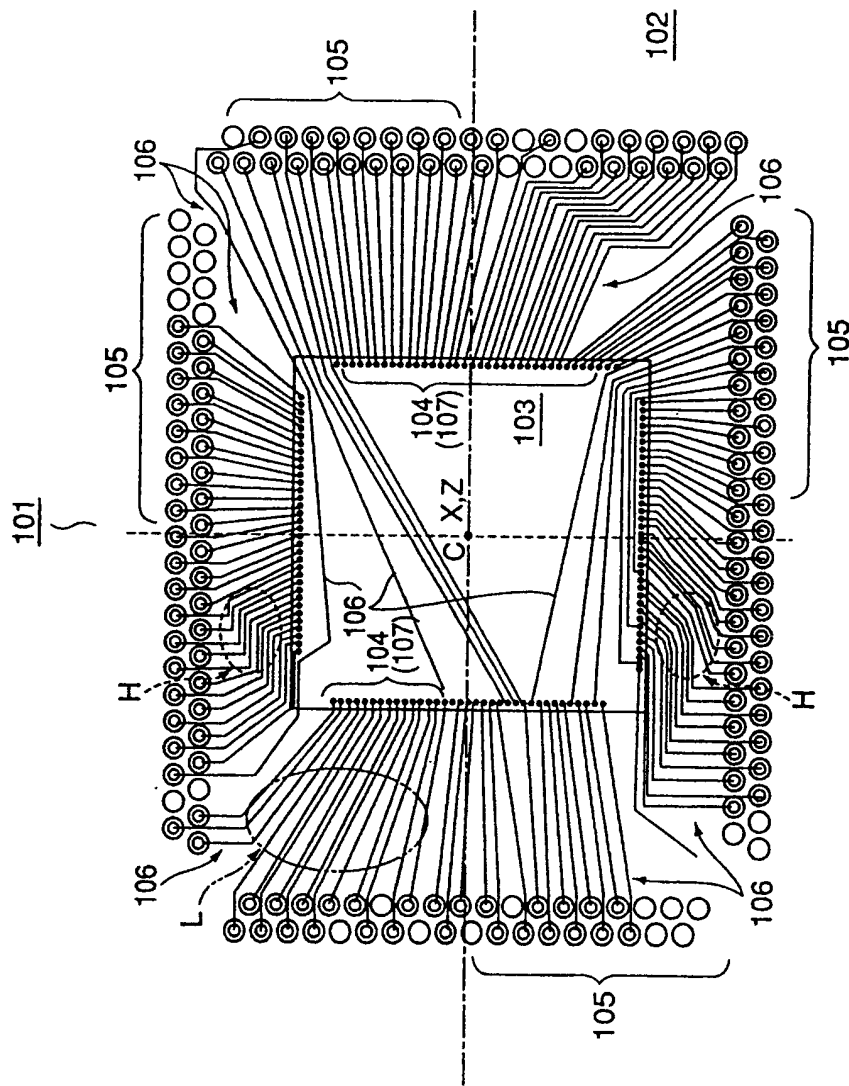


图 7 (现有技术)

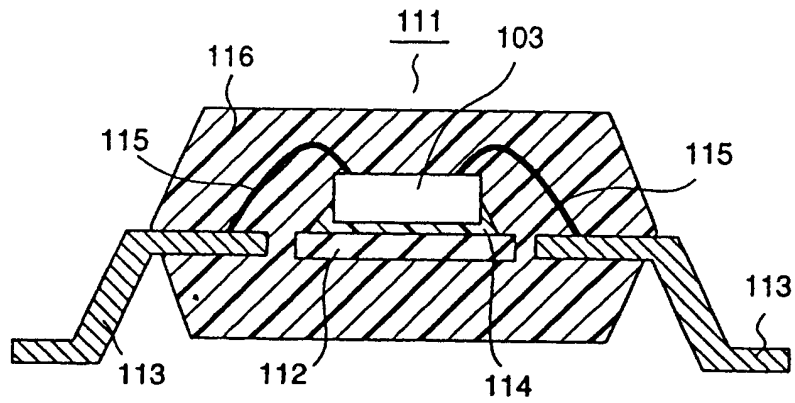


图 8 (现有技术)

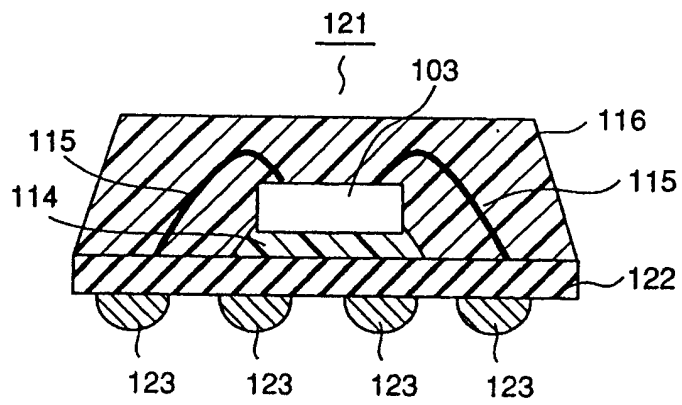


图 9 (现有技术)

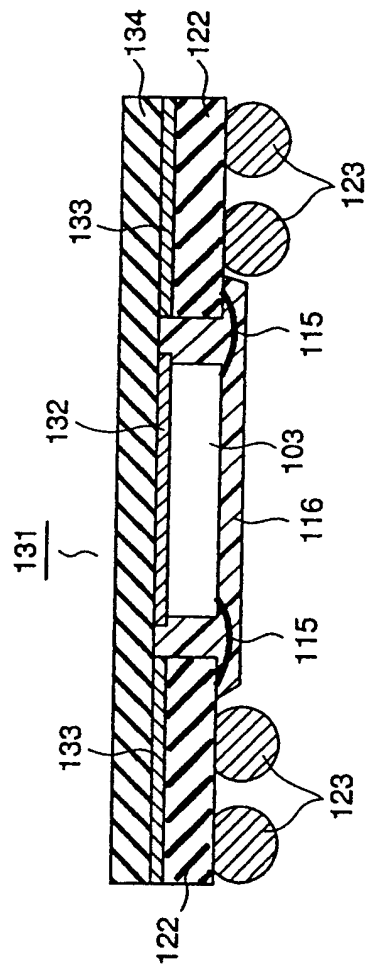


图 10 (现有技术)