

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5288734号
(P5288734)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.		F I		
HO 1 L 23/532	(2006.01)	HO 1 L 21/90		K
HO 1 L 21/768	(2006.01)	HO 1 L 21/90		A
HO 1 L 21/316	(2006.01)	HO 1 L 21/316		X

請求項の数 2 (全 10 頁)

(21) 出願番号 特願2007-165540 (P2007-165540)
 (22) 出願日 平成19年6月22日(2007.6.22)
 (65) 公開番号 特開2009-4654 (P2009-4654A)
 (43) 公開日 平成21年1月8日(2009.1.8)
 審査請求日 平成22年6月10日(2010.6.10)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100087701
 弁理士 稲岡 耕作
 (74) 代理人 100101328
 弁理士 川崎 実夫
 (72) 発明者 中尾 雄一
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 審査官 瀧内 健夫

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

S i および O を含む材料からなる第 1 絶縁層に、その表面から掘り下がった形状の第 1 溝を形成する工程と、

前記第 1 溝の内面に、C u および M n を含む合金材料からなる第 1 合金膜を被着させる工程と、

前記第 1 合金膜上に、C u を主成分とする金属材料を堆積させて、前記第 1 溝に埋設される第 1 配線を形成する工程と、

前記第 1 絶縁層および前記第 1 配線上に、S i および O を含む材料からなる第 2 絶縁層を積層する工程と、

前記第 2 絶縁層に、その表面から掘り下がった形状の第 2 溝およびこの第 2 溝と前記第 1 配線との間を貫通するビアホールを形成する工程と、

前記第 2 溝および前記ビアホールの内面に、C u および M n を含む合金材料からなる第 2 合金膜を被着させる工程と、

前記第 2 合金膜上に、C u を主成分とする金属材料を堆積させて、前記第 2 溝に埋設される第 2 配線および前記ビアホールに埋設されるビアを形成する工程と、

熱処理を行うことにより、前記第 1 配線と前記第 1 絶縁層との間、ならびに前記第 1 配線、前記第 2 配線および前記ビアと前記第 2 絶縁層との間にバリア膜を形成する工程と、
 を含み、

前記第 2 絶縁層を積層する工程は、前記第 1 絶縁層の直上に、O₂ ガスを用いない C V

D法によって、 SiO_2 からなる層間膜を形成する層間膜形成工程を含む、半導体装置の製造方法。

【請求項2】

前記CVD法は、 SiH_4 および N_2O を原料ガスとして用いたCVD法であることを特徴とする、請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体装置の高集積化に伴い、配線のさらなる微細化が要求されてきている。配線の微細化による配線抵抗の増大を抑えるため、配線材料として、従来から用いられてきたAl（アルミニウム）に代えて、より導電性の高いCu（銅）を適用することが検討されている。

Cu配線は、Cuがドライエッチングなどによる微細なパターニングが困難であることから、いわゆるダマシン法によって形成される。このダマシン法では、まず、 SiO_2 （酸化シリコン）からなる絶縁膜に、所定の配線パターンに対応した微細な配線溝が形成される。次に、絶縁膜上に、めっき法により、Cuを堆積させることによりCu膜が形成される。Cu膜は、配線溝を埋め尽くし、絶縁膜の表面全域を覆うような厚さに形成される。その後、CMP（Chemical Mechanical Polishing：化学的物理的研磨）法により、Cu膜が研磨される。このCu膜の研磨は、Cu膜の配線溝外の部分がすべて除去され、配線溝外の絶縁膜の表面が露出するまで続けられる。これにより、配線溝内にのみCu膜が残存し、配線溝内に埋設されたCu配線が得られる。

【0003】

Cuは、Alに比べて、 SiO_2 （酸化シリコン）への拡散性が高い。このため、 SiO_2 からなる絶縁膜上に直にCu配線（Cu膜）が形成されると、絶縁膜中にCuが拡散し、配線間の短絡などを生じるおそれがある。

そのため、絶縁膜とCu配線との間には、Cuの絶縁膜への拡散を防止するためのバリア膜が必要となる。このバリア膜を形成する手法として、たとえば、Cu膜の形成に先立ち、配線溝が形成された絶縁膜上にCuとMn（マンガン）との合金からなる合金膜を形成し、Cu膜の形成後に熱処理を行うことにより、合金膜中のMnを絶縁膜との界面に拡散させて、その界面に $\text{Mn}_x\text{Si}_y\text{O}_z$ （ x, y, z ：零よりも大きい数。以下、単に「MnSiO」と記載する。）からなるバリア膜を形成する手法が提案されている（たとえば、特許文献1参照）。

【0004】

図3は、MnSiOからなるバリア膜を採用した多層配線構造の模式的な断面図である。

Cu配線材料を用いた多層配線構造51では、Si（シリコン）からなる半導体基板（図示せず）上に、第1絶縁層52が積層されている。第1絶縁層52は、 SiO_2 からなる層間絶縁膜54と、SiC（炭化シリコン）からなるエッチストップ膜55と、 SiO_2 からなる層間絶縁膜56とを、半導体基板側からこの順に積層して形成されている。第1絶縁層52の表層部には、所定の配線パターンに対応した微細な第1溝57が形成されている。第1溝57には、MnSiOからなるバリア膜67を介して、Cuからなる第1配線64が埋設されている。

【0005】

第1絶縁層52および第1配線64の上には、第2絶縁層53が積層されている。第2絶縁層53は、SiCN（炭窒化シリコン）またはSiN（窒化シリコン）からなる拡散防止膜58と、SiCからなるエッチストップ膜59と、 SiO_2 からなる層間絶縁膜60と、SiCからなるエッチストップ膜61と、 SiO_2 からなる層間絶縁膜62とを、

10

20

30

40

50

第1絶縁層52側からこの順に積層して形成されている。第2絶縁層53の表層部には、所定の配線パターンに対応した微細な第2溝63が形成されている。さらに、第2絶縁層53には、第2溝63と第1配線64とが対向する部分において、ビアホール69が貫通形成されている。第2溝63およびビアホール69の内面には、MnSiOからなるバリア膜68が被着されている。そして、ビアホール69には、Cuからなるビア65が埋設され、第2溝63には、Cuからなる第2配線66が埋設されている。

【特許文献1】特開2005-277390号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

MnSiOからなるバリア膜67, 68は、前記の提案に係る手法により形成される。具体的には、バリア膜67は、第1絶縁層52に形成された第1溝57の内面にCuMn合金膜が形成され、このCuMn合金膜上に第1配線64の材料であるCuが堆積された後、熱処理が行われることによって形成される。熱処理が行われると、合金膜中のMnが第1絶縁層52に含まれるSiおよびO(酸素)と結合し、MnSiOが生成される。また同様に、バリア膜68は、第2絶縁層に形成された第2溝63およびビアホール69の内面にCuMn合金膜が形成され、このCuMn合金膜上に第2配線66の材料であるCuが堆積された後、熱処理が行われることによって形成される。

【0007】

ところが、第2絶縁層53の最下層に形成されている拡散防止膜58は、SiCNまたはSiNからなり、この拡散防止膜58には、Oが含まれていない。そのため、拡散防止膜58と第1配線64およびビア65との間には、MnSiOからなるバリア膜が形成されない。したがって、バリア膜67とバリア膜68とは、ビアの下端部および第1配線64の上面と拡散防止膜58との間において不連続となっている。そのため、半導体装置に外力が加わったときに、バリア膜により被覆されていないビア69の下端部(破線Aで囲まれる部分)に応力が集中し、いわゆるストレスマイグレーションを生じるおそれがある。

【0008】

そこで、本発明の目的は、配線信頼性の向上を図ることができる、半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

【0009】

前記の目的を達成するための請求項1記載の発明は、SiおよびOを含む材料からなる第1絶縁層に、その表面から掘り下がった形状の第1溝を形成する工程と、前記第1溝の内面に、CuおよびMnを含む合金材料からなる第1合金膜を被着させる工程と、前記第1合金膜上に、Cuを主成分とする金属材料を堆積させて、前記第1溝に埋設される第1配線を形成する工程と、前記第1絶縁層および前記第1配線上に、SiおよびOを含む材料からなる第2絶縁層を積層する工程と、前記第2絶縁層に、その表面から掘り下がった形状の第2溝およびこの第2溝と前記第1配線との間を貫通するビアホールを形成する工程と、前記第2溝および前記ビアホールの内面に、CuおよびMnを含む合金材料からなる第2合金膜を被着させる工程と、前記第2合金膜上に、Cuを主成分とする金属材料を堆積させて、前記第2溝に埋設される第2配線および前記ビアホールに埋設されるビアを形成する工程と、熱処理を行うことにより、前記第1配線と前記第1絶縁層との間、ならびに前記第1配線、前記第2配線および前記ビアと前記第2絶縁層との間にバリア膜を形成する工程と、を含み、前記第2絶縁層を積層する工程は、前記第1絶縁層の直上に、O₂ガスを用いないCVD法によって、SiO₂からなる層間膜を形成する層間膜形成工程を含む、半導体装置の製造方法である。

これにより、SiおよびOを含む材料からなる第1絶縁層と、前記第1絶縁層を掘り下げた形状の第1溝と、前記第1溝に埋設され、Cuを主成分とする金属材料からなる第1配線と、前記第1絶縁層および前記第1配線上に積層された、SiおよびOを含む材料か

10

20

30

40

50

らなる第2絶縁層と、前記第2絶縁層を掘り下げた形状の第2溝と、前記第2溝に埋設され、Cuを主成分とする金属材料からなる第2配線と、前記第1配線と前記第2配線とが互いに対向する部分において、前記第2絶縁層を貫通して設けられ、Cuを主成分とする金属材料からなり、前記第1配線と前記第2配線とを電氣的に接続するビアと、前記第1配線と前記第1絶縁層との間、ならびに前記第1配線、前記第2配線および前記ビアと前記第2絶縁層との間に連続して形成され、 $Mn_xSi_yO_z$ (x, y, z : 零よりも大きい数) からなるバリア膜とを含み、前記第2絶縁層は、前記第1絶縁層に隣接する最下層に、 SiO_2 からなる層間膜を有する、半導体装置を製造できる。

【0010】

この構成によれば、第1絶縁層に第1溝が形成され、この第1溝には、Cuを主成分とする金属材料からなる第1配線が埋設されている。また、第1絶縁層上には、第2絶縁層が積層され、この第2絶縁層に形成された第2溝には、Cuを主成分とする第2配線が埋設されている。第1配線と第2配線とは、それらに対向する部分において第2絶縁層を貫通して設けられたビアにより、電氣的に接続されている。そして、第1配線と第1絶縁層との間、ならびに第1配線、第2配線およびビアと第2絶縁層との間には、 $MnSiO$ からなるバリア膜が連続して形成されている。これにより、第1配線、第2配線およびビアに含まれるCuが第1絶縁層および第2絶縁層中に拡散することを防止することができる。よって、Cuの拡散による配線間リークの発生を防止することができる。また、ビアの底部(下端部)もバリア膜に覆われて保護されるので、半導体装置に外力が加わったときに、その部分でのストレスマイグレーションの発生を防止することができる。その結果、配線信頼性の向上を図ることができる。

【0011】

なお、 SiO_2 は、 $MnSiO$ の生成に用いられるOを多く含むので、前記第2絶縁層は、前記第1絶縁層に隣接する最下層に、 SiO_2 からなる層間膜を有している。これにより、ビアの底部および第1配線と第2絶縁層との間に $MnSiO$ からなるバリア膜を良好に形成することができる。

【0014】

O_2 ガスを用いるCVD法によって SiO_2 からなる層間膜を形成すると、第1配線に含まれるCuが酸化し、第1配線の表面にCuO(酸化銅)膜が形成されてしまう。第1配線の表面にCuO膜が形成されると、第1配線とビアとの接触抵抗が増大する。

これに対し、 O_2 ガスを用いないCVD法、具体的には、請求項2に記載のように、 SiH_4 (シラン) および N_2O (亜酸化窒素) を原料ガスとして用いたCVD法では、第1配線の表面にCuO膜を生じさせることなく、 SiO_2 からなる層間膜を形成することができる。

【発明を実施するための最良の形態】

【0015】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置の構造を模式的に示す断面図である。

半導体装置1は、半導体基板(図示せず)上に、Cu配線材料を用いた多層配線構造を有している。

半導体基板は、たとえば、Si(シリコン)基板からなる。半導体基板の表層部には、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの機能素子が作り込まれている。

【0016】

半導体基板上には、第1絶縁層2が積層されている。第1絶縁層2は、層間絶縁膜4、エッチストップ膜5および層間絶縁膜6を、半導体基板側からこの順に積層して形成されている。層間絶縁膜4, 6の材料としては、たとえば、 SiO_2 (酸化シリコン) が用いられる。また、エッチストップ膜5の材料としては、たとえば、SiC(炭化シリコン) が用いられる。第1絶縁層2の表層部には、所定の配線パターンに対応した第1溝7が形成されている。第1溝7には、Cu(銅)からなる第1配線14が埋設されている。

【 0 0 1 7 】

第 1 絶縁層 2 および第 1 配線 1 4 の上には、第 2 絶縁層 3 が積層されている。第 2 絶縁層 3 は、層間膜 8、エッチストップ膜 9、層間絶縁膜 1 0、エッチストップ膜 1 1 および層間絶縁膜 1 2 を、第 1 絶縁層 2 側からこの順に積層して形成されている。

層間膜 8 の材料としては、たとえば、 SiO_2 が用いられる。エッチストップ膜 9、1 1 の材料としては、エッチストップ膜 5 と同じ材料を用いることができる。また、層間絶縁膜 1 0、1 2 の材料としては、層間絶縁膜 4、6 と同じ材料を用いることができる。

【 0 0 1 8 】

第 2 絶縁層 3 の表層部には、所定の配線パターンに対応した第 2 溝 1 3 が形成されている。さらに、第 2 絶縁層 3 には、第 2 溝 1 3 と第 1 配線 1 4 とが対向する部分において、ビアホール 2 2 が貫通形成されている。ビアホール 2 2 には、 Cu からなるビア 1 5 が埋設され、第 2 溝 1 3 には、 Cu からなる第 2 配線 1 6 が埋設されている。また、第 1 絶縁層 2 と第 1 配線 1 4 との間、ならびに、第 2 絶縁層 3 と第 1 配線 1 4、ビア 1 5 および第 2 配線 1 6 との間には、 MnSiO からなるバリア膜 1 7 が形成されている。

10

【 0 0 1 9 】

図 2 A ~ 2 L は、半導体装置 1 の製造方法を工程順に示す模式的な断面図である。

まず、最表面に第 1 絶縁層 2 を有する半導体基板が用意される。そして、図 2 A に示すように、フォトリソグラフィ工程およびエッチング工程により、第 1 絶縁層 2 の表層部に、第 1 溝 7 が形成される。

次に、図 2 B に示すように、スパッタ法により、第 1 溝 7 の内面を含む第 1 絶縁層 2 の表面全域に、 Cu と Mn との合金からなる合金膜 1 8 が被着される。

20

【 0 0 2 0 】

つづいて、図 2 C に示すように、めっき法により、合金膜 1 8 上に、 Cu を主成分とする金属材料層 1 9 が形成される。この金属材料層 1 9 は、第 1 溝 7 を埋め尽くす厚さに形成される。

その後、熱処理が行われることによって、図 2 D に示すように、合金膜 1 8 中の Mn (マンガン) が、第 1 絶縁層 2 に含まれる Si および O (酸素) と結合し、 MnSiO 膜 2 0 が形成される。また、このとき、合金膜 1 8 中の Mn の一部は、金属材料層 1 9 中を移動し、金属材料層 1 9 の表面に析出する。なお、 MnSiO 膜 2 0 の形成に伴って、合金膜 1 8 は、金属材料層 1 9 と実質的に一体となる。

30

【 0 0 2 1 】

次いで、CMP (Chemical Mechanical Polishing: 化学的機械的研磨) 法により、金属材料層 1 9 および MnSiO 膜 2 0 が研磨される。この研磨処理は、図 2 E に示すように、金属材料層 1 9 および MnSiO 膜 2 0 の第 1 溝 7 外に形成されている不要部分がすべて除去されて、第 1 溝 7 外の第 1 絶縁層 2 の表面が露出し、その第 1 絶縁層 2 の表面と第 1 溝 7 内の金属材料層 1 9 の表面とが面一になるまで続けられる。これにより、第 1 溝 7 内に埋設された第 1 配線 1 4 が得られる。

【 0 0 2 2 】

次に、図 2 F に示すように、第 1 絶縁層 2 および第 1 配線 1 4 の上に、CVD 法により、層間膜 8、エッチストップ膜 9、層間絶縁膜 1 0、エッチストップ膜 1 1 および層間絶縁膜 1 2 がこの順に積層される。これにより、第 1 絶縁層 2 および第 1 配線 1 4 の上に、第 2 絶縁層 3 が形成される。

40

ここで、CVD 法による SiO_2 膜の形成には、 $\text{TEOS} - \text{O}_2$ ガスが原料として一般的に用いられるが、 $\text{TEOS} - \text{O}_2$ ガスを用いた CVD 法では、第 1 配線 1 4 の表面に CuO (酸化銅) 膜を生じる。第 1 配線 1 4 の表面に酸化膜が存在すると、第 1 配線 1 4 とビア 1 5 との接触抵抗が大きくなってしまふ。そのため、層間膜 8 は、 SiH_4 および N_2O を原料ガスとして用いた CVD 法により形成される。これにより、第 1 配線 1 4 の表面を酸化させることなく、第 1 絶縁層 2 および第 1 配線 1 4 上に、 SiO_2 からなる層間膜 8 が形成される。

【 0 0 2 3 】

50

その後、第2絶縁層3上に、ビアホール22を形成すべき部分のみを露出させる開口を有するレジストパターン（図示せず）が形成される。このレジストパターンをマスクとして、層間絶縁膜12、エッチストップ膜11および層間絶縁膜10がドライエッチングされることにより、図2Gに示すように、ビアホール22が形成される。このとき、層間絶縁膜12、エッチストップ膜11および層間絶縁膜10は、適当なタイミングで反応ガス（エッチャント）を切り換えることによって連続的にエッチングされる。層間絶縁膜10のエッチングは、エッチストップ膜9が露出した時点で停止する。

【0024】

ビアホール22は、図2Hに示すように、半導体装置1表面の凹凸を少なくするために埋め込み材23によって埋め尽くされる。これは、半導体装置1表面の凹凸が多ければ、次に述べるレジストパターン24を形成するためのフォトリソグラフィ工程における焦点深さが定まらず、高解像度の露光が出来ないためである。

そして、図2Iに示すように、第2溝を形成すべき部分のみを露出させる開口を有するレジストパターン24が形成され、そのレジストパターン20をマスクとして、エッチストップ膜11が露出するまで第2絶縁層がエッチングされることにより、第2溝13が形成される。第2溝13の形成後、埋め込み材23およびレジストパターン24は除去される。

【0025】

次いで、図2Jに示すように、層間膜8およびエッチストップ膜9におけるビアホール22に対向する部分がエッチングされることにより、第1配線14と第2溝13とがビアホール22を介して連通する。

そして、図2Kに示すように、第2溝13の内面およびビアホールの22内面を含む第2絶縁層3の表面全域、および第1配線14におけるビアホール22に臨む部分に、CuとMnとの合金からなる合金膜25が被着される。つづいて、めっき法により、合金膜25上に、Cuを主成分とする金属材料層26が形成される。この金属材料層26は、第2溝13を埋め尽くす厚さに形成される。その後、熱処理が行われることにより、図2Lに示すように、合金膜25中のMnが、第2絶縁層3に含まれるSiおよびOと結合し、MnSiO膜27を生成する。また、第1配線14中に残留していたMnが、層間膜8に含まれるSiおよびOと結合し、MnSiO膜28を形成する。これにより、第1絶縁層2と第1配線14との間、ならびに、第2絶縁層3と第1配線14、ビア15および第2配線16との間に、MnSiO膜20, 27, 28からなるバリア膜17が形成される。なお、バリア膜17の形成に伴って、合金膜25は、金属材料層26と実質的に一体となる。

【0026】

次いで、CMP法により、金属材料層26およびバリア膜17が研磨される。この研磨処理は、金属材料層26およびバリア膜17の第2溝13外に形成されている不要部分がすべて除去されて、第2溝13外の第2絶縁層3の表面が露出し、その第2絶縁層3の表面と第2溝13内の金属材料層26の表面とが面一になるまで続けられる。これにより、第2溝に埋設された第2配線16およびビアホール22に埋設されたビア15が形成され、図1に示す半導体装置1が得られる。

【0027】

この構成によれば、第1絶縁層2に第1溝7が形成され、この第1溝7には、Cuを主成分とする金属材料からなる第1配線14が埋設されている。また、第1絶縁層2上には、第2絶縁層3が積層され、この第2絶縁層3に形成された第2溝13には、Cuを主成分とする第2配線16が埋設されている。第1配線14と第2配線16とは、それらが対向する部分において第2絶縁層3を貫通して設けられたビア15により、電氣的に接続されている。そして、第1配線14と第1絶縁層2との間、ならびに第1配線14、第2配線16およびビア15と第2絶縁層3との間には、MnSiOからなるバリア膜17が連続して形成されている。これにより、第1配線14、第2配線16およびビア15に含まれるCuが第1絶縁層2および第2絶縁層3中に拡散することを防止することができる。

10

20

30

40

50

よって、Cuの拡散による配線間リークの発生を防止することができる。また、ビア15の底部(下端部)もバリア膜17に覆われて保護されるので、半導体装置1に外力が加わったときに、その部分でのストレスマイグレーションの発生を防止することができる。その結果、配線信頼性の向上を図ることができる。

【0028】

以上、本発明の一実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、上記の実施形態では、第1絶縁層2と第1配線14との間にMnSiO膜20を形成する熱処理と、第2絶縁層3と第1配線14、ビア15および第2配線16との間にMnSiO膜27, 28を形成する熱処理とを2回の工程に分けて行っているが、それらのMnSiO膜20, 27, 28は、1回の熱処理工程によって形成されてもよい。

10

【0029】

すなわち、金属材料層19を堆積させた後、熱処理を行わずに第2絶縁層を積層し、その後、工程を進めて、金属材料層26を堆積させた後に熱処理を行うことにより、第1絶縁層2と第1配線14との間、ならびに、第2絶縁層3と第1配線14、ビア15および第2配線16との間にMnSiOからなるバリア膜17(MnSiO膜20, 27, 28)が形成されてもよい。

【0030】

また、上記の実施形態では、層間膜8の材料としてSiO₂を例示したが、層間膜8の材料としては、SiおよびOを含む絶縁材料であればよく、たとえば、SiOC(炭素を添加した酸化シリコン)が用いられてもよい。

20

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【0031】

【図1】本発明の一実施形態に係る半導体装置の構造を模式的に示す断面図である。

【図2A】半導体装置の製造工程を示す模式的な断面図である。

【図2B】図2Aの次の工程を示す模式的な断面図である。

【図2C】図2Bの次の工程を示す模式的な断面図である。

【図2D】図2Cの次の工程を示す模式的な断面図である。

30

【図2E】図2Dの次の工程を示す模式的な断面図である。

【図2F】図2Eの次の工程を示す模式的な断面図である。

【図2G】図2Fの次の工程を示す模式的な断面図である。

【図2H】図2Gの次の工程を示す模式的な断面図である。

【図2I】図2Hの次の工程を示す模式的な断面図である。

【図2J】図2Iの次の工程を示す模式的な断面図である。

【図2K】図2Jの次の工程を示す模式的な断面図である。

【図2L】図2Kの次の工程を示す模式的な断面図である。

【図3】従来の半導体装置の構造を示す模式的な断面図である。

【符号の説明】

40

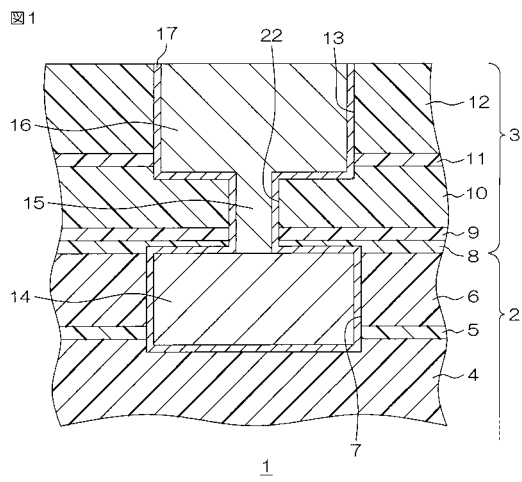
【0032】

- 2 第1絶縁層
- 3 第2絶縁層
- 7 第1溝
- 8 層間膜
- 13 第2溝
- 14 第1配線
- 15 ビア
- 16 第2配線
- 17 バリア膜

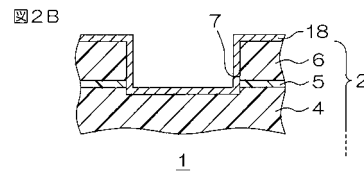
50

2 2 ピアホール

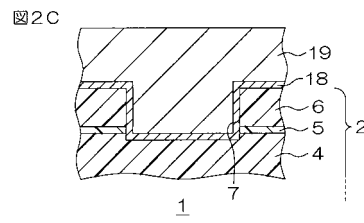
【図 1】



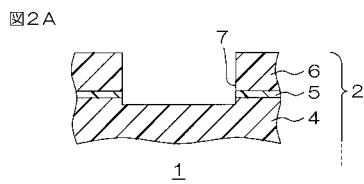
【図 2 B】



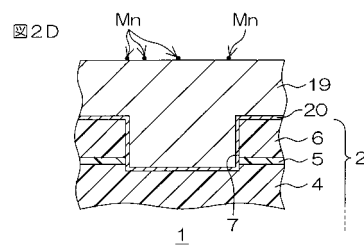
【図 2 C】



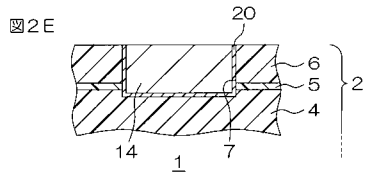
【図 2 A】



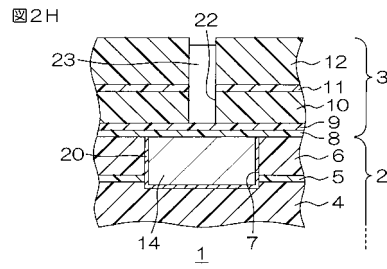
【図 2 D】



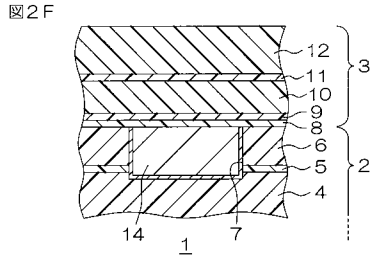
【図 2 E】



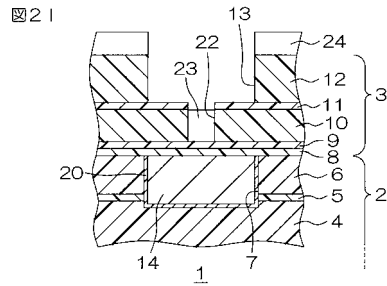
【図 2 H】



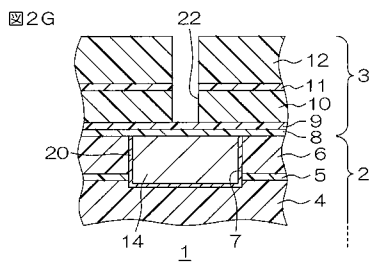
【図 2 F】



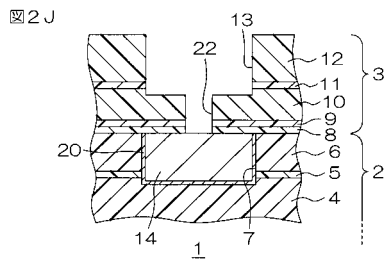
【図 2 I】



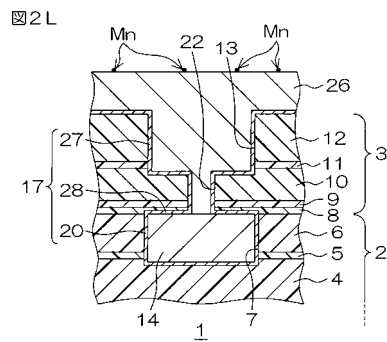
【図 2 G】



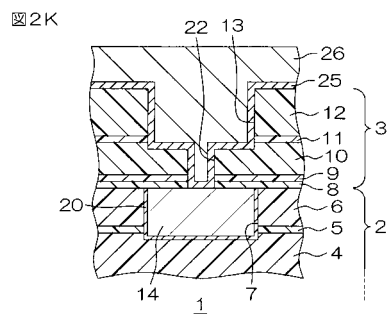
【図 2 J】



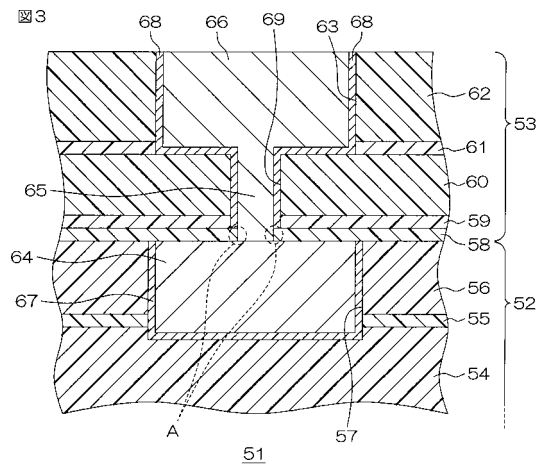
【図 2 L】



【図 2 K】



【図 3】



フロントページの続き

- (56)参考文献 特開2005-277390(JP,A)
特開2003-324185(JP,A)
特開2004-095866(JP,A)
特開2004-134498(JP,A)
特開2007-012923(JP,A)
特開2007-142236(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/768
H01L 21/316