

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-182114

(P2009-182114A)

(43) 公開日 平成21年8月13日(2009.8.13)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------|----------------------|-------------|
| HO 1 L 21/8242 (2006.01) | HO 1 L 27/10 6 7 1 B | 4 M 1 0 4 |
| HO 1 L 27/108 (2006.01) | HO 1 L 21/88 J | 5 F 0 3 2 |
| HO 1 L 21/3205 (2006.01) | HO 1 L 27/10 6 2 1 C | 5 F 0 3 3 |
| HO 1 L 23/52 (2006.01) | HO 1 L 21/90 C | 5 F 0 8 3 |
| HO 1 L 21/768 (2006.01) | HO 1 L 29/58 G | |

審査請求 未請求 請求項の数 7 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-19162 (P2008-19162)
 (22) 出願日 平成20年1月30日 (2008.1.30)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (72) 発明者 内山 博之
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内

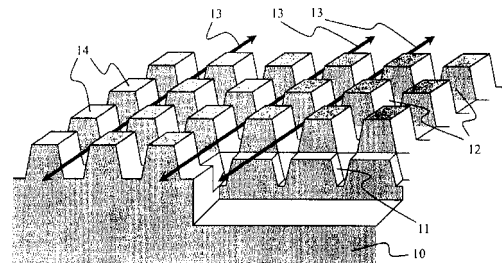
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 微細化を進める際に製造容易な構造を提供する。

【解決手段】 基板の平面方向において連続して配置されるMOSトランジスタを有する半導体装置において、ゲート電極および該ゲート電極間を接続する配線部(矢印13で図示する箇所)が、拡散層14が形成される基板10の表面より下層に埋め込まれている。基板10の表面には、ソース・ドレイン領域として機能する拡散層14どうしを分離するSTI構造の第一の素子分離領域12が形成されている。そして該第一の素子分離領域12が存在する層より下の層に、隣接するMOSトランジスタのチャネル領域どうしを分離するSTI構造の第二の素子分離領域11が形成されている。



【選択図】 図2

【特許請求の範囲】**【請求項 1】**

基板の平面方向において連続して配置されるMOSトランジスタを有する半導体装置において、

ゲート電極および該ゲート電極間を接続する配線部が、拡散層が形成される基板表面よりも下の層に埋め込まれていることを特徴とする半導体装置。

【請求項 2】

前記基板表面に、隣接するMOSトランジスタの、ソース・ドレイン領域として機能する拡散層どうしを分離する第一の素子分離領域を有し、該第一の素子分離領域が存在する層より下の層に、隣接するMOSトランジスタのチャンネル領域どうしを分離する第二の素子分離領域を有することを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記基板表面に複数のMOSトランジスタを配置してなるメモリセルに用いられる請求項 1 または 2 に記載の半導体装置。

【請求項 4】

基板の平面方向において連続して配置されるMOSトランジスタを有する半導体装置の製造方法であって、

基板表面に、隣接するMOSトランジスタの、ソース・ドレイン領域として機能する拡散層どうしを分離する第一の素子分離領域を形成し、該第一の素子分離領域が存在する層より下の層に、隣接するMOSトランジスタのチャンネル領域どうしを分離する第二の素子分離領域を形成する、半導体装置の製造方法。

20

【請求項 5】

前記第一及び第二の素子分離領域を形成するために、まず前記基板表面をエッチングして複数の平行な第一のトレンチパターンを形成し、さらに、該第一のトレンチパターンが形成された基板表面をエッチングして該第一のトレンチパターンと垂直に、複数の平行な第二のトレンチパターンを形成する、請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

前記第一及び第二のトレンチパターンを直線形状に形成する、請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

任意の前記トレンチパターンのトレンチ内に、ゲート電極および該ゲート電極間を接続する配線を埋め込む、請求項 5 に記載の半導体装置の製造方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体基板上にMOSトランジスタを形成して所望のデバイスを形成する半導体装置の製造方法およびその構造に関する。

【背景技術】**【0002】**

現在、半導体基板上にMOSトランジスタを形成して所望のデバイスを形成する場合に、微細化に関して以下の(1)~(3)のような課題および要求があった。

40

【0003】

(1)高性能のMOSトランジスタを形成する場合には、ソース・ドレイン領域をLDD(Lightly Doped Drain)構造とするためや、後の製造工程において、ゲート電極に対してセルフアラインでコンタクトプラグを形成するために、ゲート電極の側面部に設けられたサイドウォール絶縁膜と、ゲート電極の上面を保護するためのキャップ絶縁膜とが必要であった。このため、ゲート電極を形成する際の半導体基板表面からゲート電極上面までの総合膜厚は、ゲート電極の導体部分のみの膜厚の2倍以上となっていた。

【0004】

このような構成では、微細化の進展に伴って、ゲート電極自体の幅や隣接するゲート電

50

極との間隔が小さくなるに従い、膜厚の大きなゲート電極の加工に起因した加工上の課題が発生している。具体的には、ゲート電極のエッチング時における形状の悪化、セルフアラインコンタクトの開口部形成の際のエッチング余裕度の減少、層間絶縁膜のゲート電極間スペース部分への埋め込み時におけるボイド（空洞）の発生等であり、これらが、より一層の微細化を進める際の阻害要因となっていた。

【 0 0 0 5 】

(2) 一方、MOSトランジスタの微細化に伴い、短チャンネル効果の抑制を目的とした、トレンチゲート型のトランジスタが知られている（特許文献 1 参照）。このMOSトランジスタの製造方法においては、半導体基板上に素子分離領域を形成後に、半導体基板（例えばSi基板）のエッチングを行って、ゲート電極用のトレンチを形成していた。このため、上記（ 1 ）の課題に対しては効果がある。しかし、上記トレンチは素子分離領域には形成されないため、ゲート電極が素子分離領域を横切る場合には、素子分離領域上においてゲート電極の導通を確保するための導体膜の形成が別途必要であった。別途形成する導体膜が、トレンチ部分に充填されたゲート電極の上面に接触することで、ゲート電極パターンが形成される。このため、素子分離領域の内外の境界部分において、別途設ける導体膜のエッチングに際して導電体の残りが発生しやすく、電気的なショートが懸念されるという課題があった。従って、微細化に際してトレンチゲート型のトランジスタを用いる際には、より製造方法の容易な手法が求められていた。

10

【 0 0 0 6 】

(3) MOSトランジスタを形成する活性領域には、チャンネル領域と、ソース・ドレイン領域として機能する拡散層領域とを同一パターンにて形成するのが一般的であった。このため、例えばDRAMのメモリセルのような場合には、活性領域として、縦横比の大きな矩形パターンを複数配置する必要があった。パターン形成時のリソグラフィ工程の特性上、活性領域の角隅の部分は丸まりを持つため、コンタクトプラグとの接触面積の減少や、コンタクトプラグ形成時のアライメントずれに対する余裕が十分に確保できないという課題があった。これは、より一層の微細化を進める際の阻害要因となっていた。

20

【 0 0 0 7 】

また、上記の（ 2 ）に関連した先行技術として、例えば特許文献 2 が挙げられる。特許文献 2 では、不純物拡散層と接触するポリシリコン層を形成した後に、素子分離領域を形成し、さらに層間絶縁膜まで形成してからトレンチ型のゲート電極を形成している。しかしながら、この方法では上記（ 2 ）の課題に対しては効果があるものの、上記（ 1 ）（ 3 ）の課題を解決することができない。

30

【特許文献 1】特開2007-123551号公報

【特許文献 2】特開2006-261625号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明の目的は、上記（ 1 ）（ 2 ）（ 3 ）の課題を解決することができる半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

40

【 0 0 0 9 】

本発明は、基板の平面方向において連続して配置されるMOSトランジスタを有する半導体装置およびその製造方法に係るものである。上記課題を解決できる、本発明の一態様による半導体装置は、ゲート電極および該ゲート電極間を接続する配線部が、拡散層が形成される基板表面より下の層に埋め込まれていることを特徴とする。

【 0 0 1 0 】

また本発明の他の態様は、前記基板表面に、隣接するMOSトランジスタの、ソース・ドレイン領域として機能する拡散層どうしを分離する第一の素子分離領域を形成し、該第一の素子分離領域が存在する層より下の層に、隣接するMOSトランジスタのチャンネル領域どうしを分離する第二の素子分離領域を形成することを特徴とする。

50

【発明の効果】

【0011】

本発明によれば、MOSトランジスタを有する半導体装置において、背景技術の欄にて述べた(1)(2)(3)の課題を解決することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を参照して説明する。

【0013】

[第一の実施例]

本発明を適用してDRAMのメモリセルを形成した場合の例について説明する。

10

【0014】

本実施例によるDRAMメモリセルの平面図を図1に示す。本実施例のDRAMメモリセルは、オープンビット線方式を採用しており、使用するプロセスの最小加工寸法Fに対して、 $6F^2$ のサイズのメモリセル面積を有する。

【0015】

本実施例のDRAMメモリセルは、活性領域パターンが、第一の方向に延在する第一のアクティブフィールドパターン(Si表面をそのまま残すパターン)1とそれに垂直な第二の方向に延在する第二のアクティブフィールドパターン2との2種類の線状パターンの重ね合せで構成されている。そして、アクティブフィールドパターン1および2の交点をソース・ドレイン領域として用い、前記第二の方向に存在する前記交点間にトレンチ形のゲート電極を配置することによって、複数のMOSトランジスタを二次元配置してなるDRAMメモリセルを構成している。

20

【0016】

そこで、アクティブフィールドパターン1間のスペース部にはワード線3が構成されている。ワード線3はMOSトランジスタのゲート電極と該ゲート電極間を接続する配線部とで一直線に構成される。また本実施例では、ワード線3はアクティブフィールドパターン1間のスペース部3本について2本ずつの割合で配置されている。これらのワード線3は、トレンチ形成パターンのみで構成されている。すなわち本発明の場合、トレンチゲート型MOSトランジスタを形成するために先行技術では必要であった、素子分離領域上での導通を確保するための導体膜別形成は必要ない。

30

【0017】

さらに、アクティブフィールドパターン1および2の交点にはソース・ドレイン領域として機能する拡散層が形成され、その拡散層上には、電荷を蓄積する蓄積電極に接続するためのコンタクトパターン4、あるいはビット線に接続するためのコンタクトパターン5が配置される。

【0018】

コンタクトパターン5に接続されるビット線6は、コンタクトパターン4を避けるように折れ曲がった形状で配置されている。

【0019】

コンタクトパターン4上には、蓄積電極を含むキャパシタを形成するためのキャパシタパターン7が配置される。

40

【0020】

なお、図示しないが、必要に応じてイオン注入領域を規定するパターン、キャパシタの対向プレート電極を形成するパターン、上層の金属配線と配線間を接続するスルーホールパターンなどが配置されてDRAMのメモリセルアレイが構成される。

【0021】

図2は、アクティブフィールドパターン1,2によりSi基板10の表面を加工した状態を鳥瞰的に示した模式図である。残存するSi基板表面は、MOSトランジスタの拡散層14の領域のみとなる。ワード線3が延在する位置と方向は、矢印13で示される。ワード線3は、平面視正方形のパターンからなる拡散層14の側面に挟まれた領域ではトレンチゲ

50

ート型MOSトランジスタのゲート電極となり、それ以外では、図示されていないが、1本のSiトレンチ内におけるゲート電極間を接続する配線部となる。ワード線3が存在しないSiトレンチは、隣接する拡散層14間を電氣的に分離する素子分離領域12となる。また、アクティブフィールドパターン1, 2のスペース部の交点は、2回のSiエッチが施されるため、ワード線3が形成されるトレンチよりもさらに深いトレンチとなっており、隣接するMOSトランジスタのチャンネル領域どうしを分離する下層の素子分離領域11となる。

【0022】

図1の平面図で説明すると、第一のアクティブフィールドパターン1の延在方向(図面上下方向)に配列された隣接するMOSトランジスタでは、ソース・ドレイン領域(拡散層14)が素子分離領域12で分離され、ソース・ドレイン領域間のゲート電極の下のチャンネル領域は、素子分離領域12よりも下の層の素子分離領域11で分離されている。また、第二のアクティブフィールドパターン2の延在方向(図面左右方向)に配列された隣接するMOSトランジスタは、ワード線3が存在しない素子分離領域12で分離されている。

10

【0023】

さらに具体的に、図3に図1のA-A'断面、図4に図1のC-C'断面、図5に図1のB-B'断面、図6に図1のD-D'断面を示す。これらの図を参照すると、Si基板10の表面を含む層には、ワード線3を構成するゲート電極20が形成されるトレンチと、隣接するMOSトランジスタの、ソース・ドレイン領域として機能する拡散層14どうしを分離するためのSTI(Shallow Trench Isolation)構造を有する素子分離領域12とが存在する。さらに、ゲート電極20よりも下部の層に、隣接するMOSトランジスタのチャンネル領域どうしを分離するSTI構造を有する素子分離領域11が存在する。つまり、素子分離構造が、隣接するMOSトランジスタの拡散層どうしを分離する層と、隣接するMOSトランジスタのチャンネル領域どうしを分離する層との2層構造となっている。

20

【0024】

ゲート電極20は素子分離領域12のSTI構造と同様のSiトレンチパターンに埋め込まれており、Si基板10の表面よりも上側に突出する量は必要最小限となる。また、拡散層14の形成マージンが許せば、ゲート電極20が形成されるトレンチを掘り下げてゲート電極20をSi基板表面よりも完全埋め込む形にすることも可能である。拡散層14上のコンタクトプラグ21と、蓄積電極接続用コンタクトプラグ22とがSi基板10の表面に垂直な方向に直列接続され、蓄積電極を含むキャパシタ(キャパシタパターン7)と電氣的な情報の送受信が行われる。また、キャパシタが接続される拡散層14以外の、ゲート電極20間に位置する拡散層14には、コンタクトプラグ21および23によってビット線6が接続される。この拡散層接続用コンタクトプラグ21より上層の構造は、従来公知のDRAMとほぼ同様である。ビット線6とキャパシタ(キャパシタパターン7)の上下関係、あるいはキャパシタパターン7の構造は、図示した構造に限定されるものではなく、従来公知のDRAMで考えられているようなCUB(Capacitor Under Bit line)構造、CROWNキャパシタ構造等でもよい。

30

【0025】

「製法の説明」

次に、本発明の製法を図7~21に示す主要工程の断面構造図を用いて説明する。図7~21の各図中の(A), (B), (C), (D)は、図1におけるA-A', B-B', C-C', D-D'それぞれの断面に対応している。

40

【0026】

図7に示すように、Si基板10の表面に酸化シリコン膜(SiO₂)30とチッ化シリコン膜(Si₃N₄)31とフォトレジスト膜50aをこの順番に積層した後、フォトレジスト膜50aをリソグラフィ技術により第一のアクティブフィールドパターン1上のみに残す。そして、酸化シリコン膜30とチッ化シリコン膜31の積層膜と共にSi基板10をエッチングして、複数の平行な第一のSiトレンチ12aを形成する。このSiトレンチ12aは、拡散層間の素子分離部とMOSトランジスタのチャンネル部となるため、その深さは、素子分離特性確保と必要チャンネル長から決まり、例えば200nmと設定される。第一のSiトレ

50

ンチ 1 2 a を形成した後はフォトレジスト膜 5 0 a は除去される。

【 0 0 2 7 】

次にフォトレジスト膜 5 0 b を堆積させた後、図 8 に示すようにフォトレジスト膜 5 0 b をリソグラフィ技術によりアクティブフィールドパターン 2 上のみに残す。そして、チッ化シリコン膜 3 1 と酸化シリコン膜 3 0 の積層膜と共に Si 基板 1 0 をエッチングして、複数の平行な第二の Si トレンチを形成する。

【 0 0 2 8 】

この第二の Si トレンチに関しては、部分的に深さの異なるトレンチが Si 基板 1 0 の表面に形成される。つまり、第一の Si トレンチ 1 2 a が形成されていなかった部位には、主に拡散層間の素子分離部となる Si トレンチ 1 2 b が形成され、第一の Si トレンチ 1 2 a が形成されていた部位には、更なるエッチングによって、深いトレンチ 1 1 a が形成される。Si トレンチ 1 2 b の深さは、素子分離特性確保の目的から第一の Si トレンチ 1 2 a と同じ、あるいは深く設定される。本実施例では、同じ深さ 2 0 0 n m としている。

10

【 0 0 2 9 】

さらに図 9 に示すように、フォトレジスト膜 5 0 b を除去した後、Si トレンチ 1 2 a , 1 2 b , 1 1 a の内壁を形成する Si 表面を、希フッ酸等の薬液で洗浄し、さらに熱酸化法により酸化する。これにより形成された酸化シリコン膜 3 2 の膜厚は、応力緩和や界面の不良防止の観点から例えば 8 n m に設定される。

【 0 0 3 0 】

図 1 0 に示すように、Si トレンチ 1 2 a , 1 2 b , 1 1 a の内側を含む基板上側面にチッ化シリコン膜 3 3 を、例えば CVD 法により形成する。チッ化シリコン膜 3 3 の膜厚は、Si 界面の再酸化防止や不純物の拡散防止の観点から例えば 1 0 n m に設定される。

20

【 0 0 3 1 】

次に図 1 1 に示すように、形成された Si トレンチ 1 2 a , 1 2 b , 1 1 a (図 1 0 参照) を埋め込むように酸化シリコン膜 3 4 (絶縁膜) を、例えば HDP - CVD (高密度プラズマ CVD) 法により成膜する。この酸化シリコン膜 3 4 の厚さは、Si トレンチ 1 2 a , 1 2 b , 1 1 a を埋め込むためにトレンチ幅の 1 . 0 から 2 . 0 倍程度に設定される。

【 0 0 3 2 】

その後図 1 2 に示すように、例えば CMP (Chemical Mechanical Polishing) 法にて酸化シリコン膜 3 4 を研磨し、チッ化シリコン膜 3 1 を露出させる。

30

【 0 0 3 3 】

そして、露出されたチッ化シリコン膜 3 1 を、例えば熱燐酸を用いたウェットエッチングにより、図 1 3 のように除去する。

【 0 0 3 4 】

次に酸化シリコン膜 3 0 および 3 4 の上部表面をフッ酸系のウェットエッチングにより除去した後、露出された Si 表面に図 1 4 に示すように、熱酸化法により酸化シリコン膜 3 5 を形成する。さらにフォトレジスト膜 5 0 c を塗布した後、リソグラフィ技術により、MOS トランジスタのゲート電極 2 0 (図 3 参照) を埋め込むトレンチ部のみ開口し、ウェットエッチングあるいはドライエッチングを用いて、開口したトレンチ内のみ酸化シリコン膜 3 4 とチッ化シリコン膜 3 3 および酸化シリコン膜 3 2 を除去する。

40

【 0 0 3 5 】

次に図 1 5 に示すように、フォトレジスト膜 5 0 c を除去した後、露出している Si 表面を洗浄し、例えば熱酸化法で、該 Si 表面にゲート酸化シリコン膜 3 6 を形成する。

【 0 0 3 6 】

図 1 6 に示すように、リンまたはボロン等の不純物が導入されたポリ Si 膜 3 7 、およびタンゲステン (W) 膜 3 8 を、開口されたトレンチを埋め込むように成膜する。この場合、ポリ Si 膜 3 7 とタンゲステン膜 3 8 の界面での反応防止や抵抗低減のために、この間にチッ化タンゲステン (WN) 膜やタンゲステンシリサイド (W S i) 膜を挟んでも良い。

【 0 0 3 7 】

その後、例えば CMP 法により、Si 基板 1 0 の表面より上のタンゲステン膜 3 8 とポリ

50

Si膜37を研磨により除去して、図17に示すようにトレンチ内のみに導体膜のタングステン膜38およびポリSi膜37を残す。このことより、ワード線を構成するゲート電極20が形成される。

【0038】

さらに図18に示すように例えばCVD法で層間絶縁膜(酸化膜)40を成膜し、図19に示すようにリソグラフィ技術と異方性のドライエッチング技術を用いて層間絶縁膜40にコンタクトパターン4を開口する。

【0039】

そして、コンタクトプラグ21(図3参照)とゲート電極20との絶縁を確実に図るために、CVD法による成膜とドライエッチング技術によるエッチバックとを行うことにより、図20に示すように層間絶縁膜40の側壁にチッ化シリコン膜のサイドウォール50を形成する。

10

【0040】

さらに、CVD法による、不純物が導入されたポリSi膜の成膜と、ドライエッチング技術によるエッチバックとを行うことにより、図21に示すように、コンタクトパターン4のホール内に、拡散層14と層間絶縁膜40上層の素子とを接続するためのコンタクトプラグ21を形成する。

【0041】

なお、図示しないが、MOSトランジスタを形成するために必要な不純物の導入や熱処理は適宜行われることはいうまでもない。形成するMOSトランジスタはNチャンネル(Nch)型、Pチャンネル(Pch)型のどちらにも適用可能である。

20

【0042】

また、上記工程の後には図示しないが、従来のDRAMと同様に、蓄積電極との接続のためのコンタクトプラグ22、蓄積電極を含むキャパシタ(キャパシタパターン7)、ビット線6との接続のためのコンタクトプラグ23、およびビット線6等が形成され、DRAMのメモリセルが完成する(図3~6参照)。さらに、このようなメモリセル上層に配線層を形成してDRAMが完成する。

【0043】

「他の実施例」

次に、本発明の他の実施例による製法を、図22~36に示す主要工程の断面構造図を用いて説明する。図22~36の各図中の(A),(B),(C),(D)は、図1におけるA-A'、B-B'、C-C'、D-D'それぞれの断面に対応している。

30

【0044】

他の製法としては、まず、図22に示すようにSi基板10の表面に酸化シリコン膜(SiO₂)30とチッ化シリコン膜31とフォトレジスト膜50aをこの順番に積層した後、フォトレジスト膜50aをリソグラフィ技術により第一のアクティブフィールドパターン1上のみに残す。そして、酸化シリコン膜30とチッ化シリコン膜31の積層膜と共にSi基板10をエッチングして、複数の平行な第一のSiトレンチ12aを形成する。このSiトレンチ12aは、拡散層間の素子分離部とMOSトランジスタのチャネル部となるため、その深さは、素子分離特性確保と必要チャネル長から決まり、例えば200nmと設定される。第一のSiトレンチ12aを形成した後はフォトレジスト膜50aは除去される。

40

【0045】

次にフォトレジスト膜50bを堆積させた後、図23に示すようにフォトレジスト膜50bをリソグラフィ技術によりアクティブフィールドパターン2上のみに残す。さらに、チッ化シリコン膜31と酸化シリコン膜30の積層膜と共にSi基板10をエッチングして、複数の平行な第二のSiトレンチを形成する。

【0046】

この第二のSiトレンチに関しては、部分的に深さの異なるトレンチがSi基板10の表面に形成される。つまり、第一のSiトレンチ12aが形成されていなかった部位には、主に拡散層間の素子分離部となるSiトレンチ12bが形成され、第一のSiトレンチ12aが形

50

成されていた部位には、更なるエッチングによって、深いトレンチ11aが形成される。Siトレンチ12bの深さは、素子分離特性確保の目的から第一のSiトレンチ12aと同じ、あるいは深く設定される。本実施例では、同じ深さ200nmとしている。

【0047】

さらに図24に示すように、フォトレジスト膜50bを除去した後、Siトレンチ12a, 12b, 11aの内壁を形成するSi表面を、希フッ酸等の薬液で洗浄し、さらに熱酸化法により酸化する。これにより形成された酸化シリコン膜32の膜厚は、応力緩和や界面の不良防止の観点から例えば8nmに設定される。次に、Siトレンチ12a, 12b, 11aの内側を含む基板上側面にチッ化シリコン膜33を、例えばCVD法により形成する。チッ化シリコン膜33の膜厚は、Si界面の再酸化防止や不純物の拡散防止の観点から例えば10nmに設定される。

10

【0048】

次に図25に示すように、形成されたSiトレンチ12a, 12b, 11a(図24参照)を埋め込むように酸化シリコン膜34(絶縁膜)を、例えばHDP-CVD法により成膜する。この酸化シリコン膜34の厚さは、Siトレンチ12a, 12b, 11aを埋め込むためにトレンチ幅の1.0から2.0倍程度に設定される。

【0049】

その後図26に示すように、例えばCMP法にて酸化シリコン膜34を研磨し、チッ化シリコン膜31を露出させる。

【0050】

本実施例においては、CMP後に残留しているチッ化シリコン膜31をそのまま残した状態で、図27に示すように、フォトレジスト膜50cを塗布した。その後、リソグラフィ技術により、MOSトランジスタのゲート電極20(図27では不図示)を埋め込むトレンチ部のみ開口し、ウェットエッチングあるいはドライエッチングを用いて、開口したトレンチ内のみ酸化シリコン膜34とチッ化シリコン膜33および酸化シリコン膜32を除去する。

20

【0051】

そして図28に示すように、フォトレジスト膜50cを除去した後、露出しているSi表面を洗浄し、例えば熱酸化法で、該Si表面にゲート酸化シリコン膜36を形成する。

【0052】

次に図29に示すように、ポリSi膜37およびタングステン膜38を、開口されたトレンチを埋め込むように成膜する。この場合、ポリSi膜37とタングステン膜38の界面での反応防止や抵抗低減のために、この間にチッ化タングステン膜やタングステンシリサイド膜を挟んでも良い。

30

【0053】

さらに図30に示すように、例えばCMP法あるいはエッチバック法により、Si基板10の表面より上のタングステン膜38とポリSi膜37を除去して、トレンチ内のみ導体膜のタングステン膜38およびポリSi膜37を残す。このことより、ワード線を構成するためのゲート電極20が形成される。なお、ゲート電極20の上面の位置は、チッ化シリコン膜31の上面位置よりも低くなるように、ドライエッチング等の条件を調整して行う。

40

【0054】

そして図31に示すように、例えばCVD法で層間絶縁膜40を成膜し、図32に示すように、例えばCMP法にて層間絶縁膜40を研磨してチッ化シリコン膜31を露出させる。

【0055】

次に図33に示すように、露出されたチッ化シリコン膜31を、例えば熱リン酸を用いたウェットエッチングにより除去する。

【0056】

その後、図34に示すように、例えばCVD法によりチッ化シリコン膜41を、層間絶

50

縁膜 40 により凹状に形成されている段部を完全には埋め込まない程度の膜厚で成膜する。

【0057】

次にフォトリソ膜 50d を堆積させた後、図 35 に示すようにフォトリソ膜 50d にリソグラフィ技術により、コンタクトプラグ 21 (図 36 参照) を形成するためのホールを開口する。そして、異方性ドライエッチング技術により該ホール内の側壁以外のチッ化シリコン膜 41 と酸化シリコン膜 30 をエッチングする。これにより、該ホール内にて Si 基板 10 の表面が露出する。また隣接するゲート電極上部との間は酸化シリコン膜 30 およびチッ化シリコン膜 41 により確実に絶縁される。

【0058】

次に CVD 法によるポリ Si 膜の成膜と、ドライエッチング技術によるエッチバックとを行うことにより、図 36 に示すように、コンタクトパターン 4 のホール内に、拡散層 14 と上層側の素子とを接続するためのコンタクトプラグ 21 を形成する。

【0059】

なお、図示しないが、MOS トランジスタを形成するために必要な不純物の導入や熱処理は適宜行われることはいうまでもない。また、上記工程の後には図示しないが、従来の DRAM と同様に、蓄積電極との接続のためのコンタクトプラグ 22、蓄積電極を含むキャパシタ (キャパシタパターン 7)、ビット線 6 との接続のためのコンタクトプラグ 23、およびビット線 6 等が形成され、DRAM のメモリセルが完成する。さらに、このようなメモリセル上層に配線層を形成して DRAM が完成する。

【0060】

上述した各実施例のように本発明では、ゲート電極 20 および該ゲート電極間を接続する配線部が Si 基板 10 の表面より下の層、あるいは、拡散層 14 上のコンタクトプラグ 21 よりも下の層に埋め込まれている。この構成により、ゲート電極の基板表面からの高さが抑制されると共に、ゲート電極上面に従来必要であったキャップ絶縁膜が不要となる。また、隣接するゲート電極上への層間絶縁膜の埋め込みも問題とならなくなる。さらに、拡散層上のコンタクトプラグを形成するためのコンタクトホールの加工性が良くなり、コンタクトプラグとゲート電極との絶縁マージンの確保が容易になる。

【0061】

また本発明では、Si 基板の表面に、ソース・ドレイン領域として機能する拡散層どうしを分離する第一のトレンチ (素子分離領域 12) を形成し、この第一のトレンチの存在する層より下の層に、隣接する MOS トランジスタのチャネル領域どうしを分離する第二のトレンチ (素子分離領域 11) を形成した。この構成により、ゲート電極とともに該ゲート電極間を接続する配線部分も前記第一のトレンチ内に形成できるため、ゲート電極を Si 基板内に完全に埋め込むことが可能である。したがって、先行技術においてはゲート電極用のトレンチの上部に別途必要であったゲート電極接続用の導電膜の形成が不要となり、素子分離部でのショート不良の発生がない。

【0062】

また本発明では、拡散層間の分離領域とチャネル部間の分離領域を 2 層構造で実現するために、まず基板表面をエッチングして複数の平行な第一のトレンチパターンを形成し、さらに、該第一のトレンチパターンが形成された基板表面を再びエッチングして該第一のトレンチパターンと垂直な、複数の平行な第二のトレンチパターンを形成する。このとき、第一および第二のトレンチパターンを直線形状に形成するため、基板表面に残ったパターンは、平面視正方形の拡散層パターンのみとなり、当該パターンの角隅の丸まりも抑えられる。よって、コンタクトプラグとの接触面積や、コンタクトプラグ形成時のアライメントずれの余裕を十分に確保できる。

【0063】

以上説明した各実施例において、使用する材料や膜厚等は、本発明の趣旨を逸脱しない範囲で変更可能である。

【0064】

10

20

30

40

50

また、本発明は、比較的微細なピッチで連続して複数のMOSトランジスタが二次元に配置している半導体装置に適用可能である。したがって、DRAMのメモリセル以外にも、半導体基板上にトレンチゲート型のMOSトランジスタを複数配置する半導体デバイスにおいて、適用可能である。

【0065】

また、メモリセル部のみに本発明を適用し、それ以外の部分には従来公知のプレーナ型のMOSトランジスタとすることも可能である。

【図面の簡単な説明】

【0066】

【図1】本発明の一実施例のDRAMメモリセルのレイアウトを示す平面図である。

10

【図2】本発明の一実施例によるSi基板の上面加工状態を鳥瞰的に示した模式図である。

【図3】図1のA-A'断面におけるメモリセル構造例を示した断面図である。

【図4】図1のB-B'断面におけるメモリセル構造例を示した断面図である。

【図5】図1のC-C'断面におけるメモリセル構造例を示した断面図である。

【図6】図1のD-D'断面におけるメモリセル構造例を示した断面図である。

【図7】図3～6に示されるメモリセルを製造するときの第一トレンチ加工後のメモリセル構造を示す断面図である。

【図8】図3～6に示されるメモリセルを製造するときの第二トレンチ加工後の構造を示す断面図である。

20

【図9】図3～6に示されるメモリセルを製造するときのトレンチ内酸化後の構造を示す断面図である。

【図10】図3～6に示されるメモリセルを製造するときの、トレンチ内へのチッ化シリコン膜形成後の構造を示す断面図である。

【図11】図3～6に示されるメモリセルを製造するときの、トレンチ内への酸化シリコン膜埋め込み後の構造を示す断面図である。

【図12】図3～6に示されるメモリセルを製造するときの、トレンチより上の層の平坦化後の構造を示す断面図である。

【図13】図3～6に示されるメモリセルを製造するときの、拡散層上のチッ化シリコン膜除去後の構造を示す断面図である。

30

【図14】図3～6に示されるメモリセルを製造するときの、ワード線用トレンチ形成後の構造を示す断面図である。

【図15】図3～6に示されるメモリセルを製造するときの、ゲート酸化シリコン膜形成後の構造を示す断面図である。

【図16】図3～6に示されるメモリセルを製造するときの、ワード線用導体膜成膜後の構造を示す断面図である。

【図17】図3～6に示されるメモリセルを製造するときの、ワード線形成後の構造を示す断面図である。

【図18】図3～6に示されるメモリセルを製造するときの、ワード線上の層間絶縁膜成膜後の構造を示す断面図である。

40

【図19】図3～6に示されるメモリセルを製造するときの、拡散層上のコンタクトプラグ用ホール形成後の構造を示す断面図である。

【図20】図3～6に示されるメモリセルを製造するときの、コンタクトプラグ形成用ホール内へのサイドウォール形成後の構造を示す断面図である。

【図21】図3～6に示されるメモリセルを製造するときの、コンタクトプラグ形成後の構造を示す断面図である。

【図22】本発明の他の実施例によるDRAMメモリセルを製造するときの第一トレンチ加工後の構造を示す断面図である。

【図23】本発明の他の実施例によるDRAMメモリセルを製造するときの第二トレンチ加工後の構造を示す断面図である。

50

【図24】本発明の他の実施例によるDRAMメモリセルを製造するときの、トレンチ内へのチッ化シリコン膜形成後の構造を示す断面図である。

【図25】本発明の他の実施例によるDRAMメモリセルを製造するときの、トレンチ内への酸化シリコン膜埋め込み後の構造を示す断面図である。

【図26】本発明の他の実施例によるDRAMメモリセルを製造するときの、トレンチより上の層の平坦化後の構造を示す断面図である。

【図27】本発明の他の実施例によるDRAMメモリセルを製造するときの、ワード線用トレンチ形成後の構造を示す断面図である。

【図28】本発明の他の実施例によるDRAMメモリセルを製造するときの、ゲート酸化シリコン膜形成後の構造を示す断面図である。

【図29】本発明の他の実施例によるDRAMメモリセルを製造するときの、ワード線用導体膜成膜後の構造を示す断面図である。

【図30】本発明の他の実施例によるDRAMメモリセルを製造するときのワード線形成後の構造を示す断面図である。

【図31】本発明の他の実施例によるDRAMメモリセルを製造するときの、ワード線上の層間絶縁膜成膜後の構造を示す断面図である。

【図32】本発明の他の実施例によるDRAMメモリセルを製造するときの、ワード線より上の層の平坦化後の構造を示す断面図である。

【図33】本発明の他の実施例によるDRAMメモリセルを製造するときの、拡散層上のチッ化シリコン膜除去後の構造を示す断面図である。

【図34】本発明の他の実施例によるDRAMメモリセルを製造するときのチッ化シリコン膜成膜後の構造を示す断面図である。

【図35】本発明の他の実施例によるDRAMメモリセルを製造するときの、コンタクトプラグ用ホール形成後の構造を示す断面図である。

【図36】本発明の他の実施例によるDRAMメモリセルを製造するときのコンタクトプラグ形成後の構造を示す断面図である。

【符号の説明】

【0067】

1 第一のアクティブフィールドパターン

2 第二のアクティブフィールドパターン

3 ワード線用トレンチ形成パターン

4 キャパシタ接続用コンタクトパターン

5 ビット線接続用コンタクトパターン

6 ビット線

7 キャパシタパターン

10 P型Si基板

11 チャンネル分離用STIを有する素子分離領域

11a チャンネル分離用Siトレンチ

12 拡散層およびワード線分離用のSTIを有する素子分離領域

12a 拡散層およびワード線分離用の第一のSiトレンチ

12b 拡散層およびワード線分離用の第二のSiトレンチ

13 ワード線形成位置および延在方向

14 N型拡散層

20 ワード線を構成するゲート電極

21 拡散層上のコンタクトプラグ

22 蓄積電極接続用コンタクトプラグ

23 ビット線接続用コンタクトプラグ

30 酸化シリコン膜

31 アクティブパターン形成用チッ化シリコン膜

32 トレンチ内の酸化シリコン膜

10

20

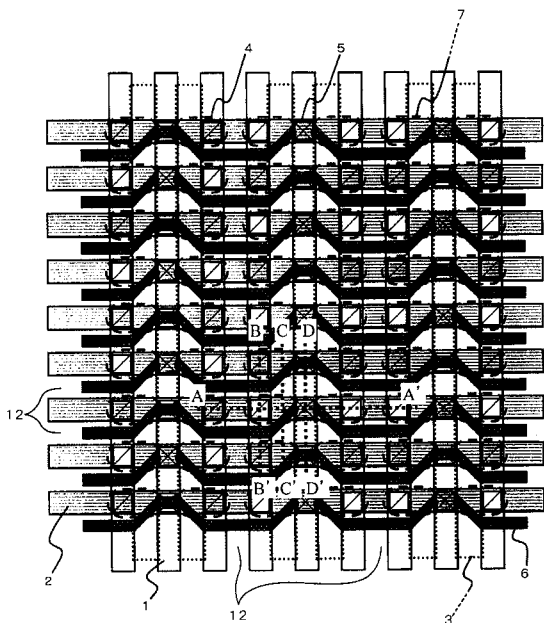
30

40

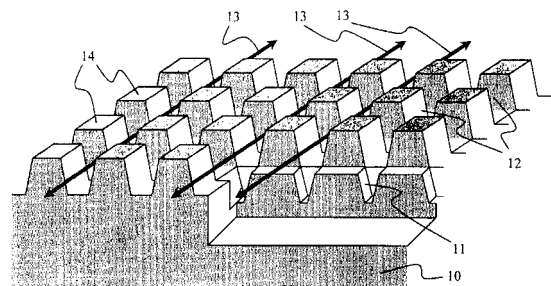
50

- 3 3 トレンチ内のチッ化シリコン膜
- 3 4 STI埋め込み用酸化シリコン膜
- 3 5 拡散層形成用酸化シリコン膜
- 3 6 ゲート酸化シリコン膜
- 3 7 ゲート電極用ポリシリコン膜
- 3 8 ゲート電極用タングステン膜
- 4 0 ゲート電極上の層間絶縁膜
- 4 1 拡散層上のコンタクトホールの内壁のチッ化シリコン膜
- 5 0 a 第一のアクティブフィールドパターンを形成するフォトリソグ膜
- 5 0 b 第二のアクティブフィールドパターンを形成するフォトリソグ膜
- 5 0 c ワード線用トレンチパターンを形成するフォトリソグ膜
- 5 0 d 拡散層上にコンタクトパターンを形成するフォトリソグ膜

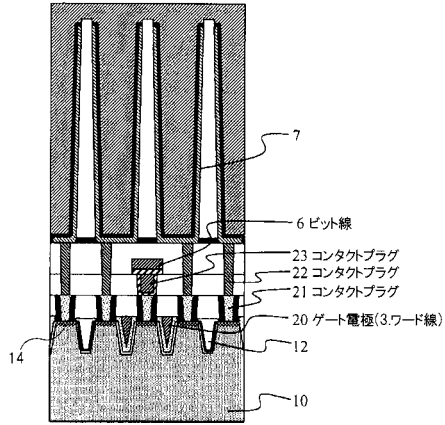
【 図 1 】



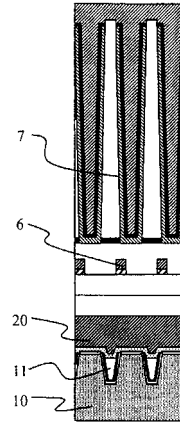
【 図 2 】



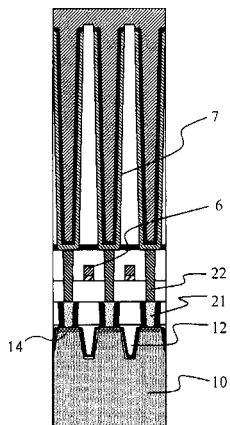
【 図 3 】



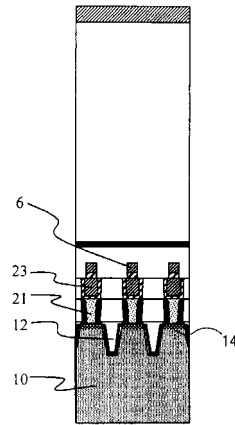
【 図 4 】



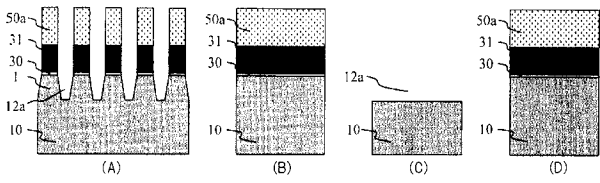
【 図 5 】



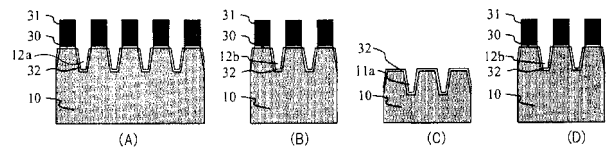
【 図 6 】



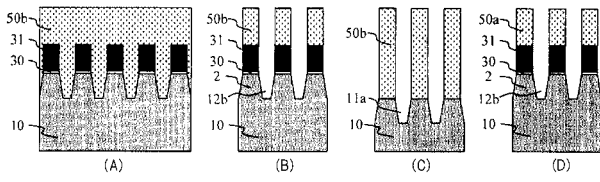
【 図 7 】



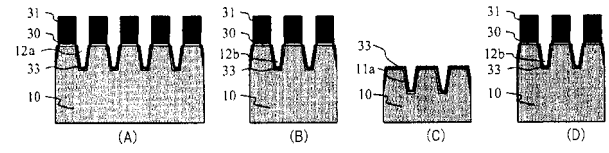
【 図 9 】



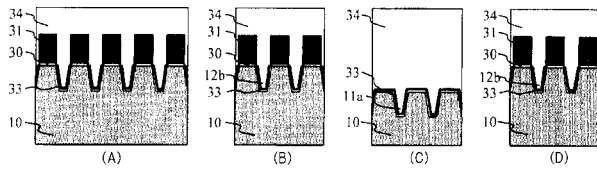
【 図 8 】



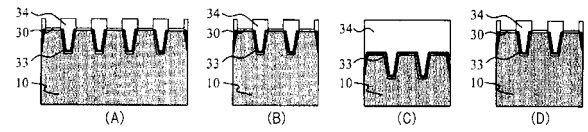
【 図 10 】



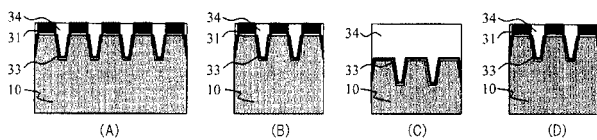
【 図 11 】



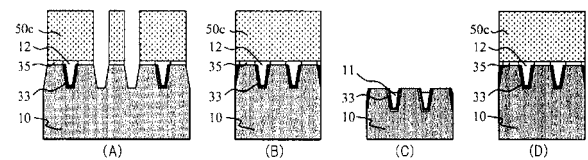
【 図 13 】



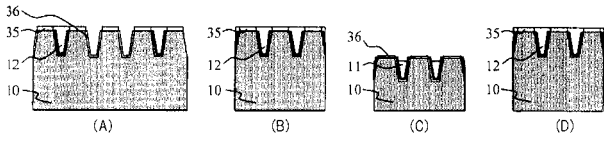
【 図 12 】



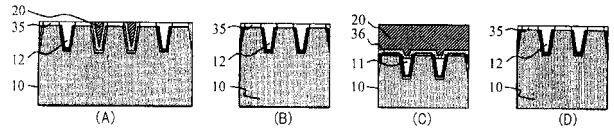
【 図 14 】



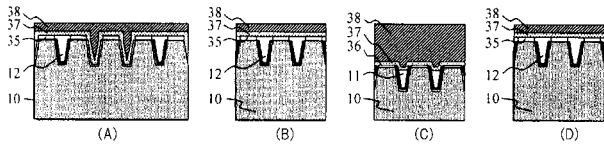
【 図 1 5 】



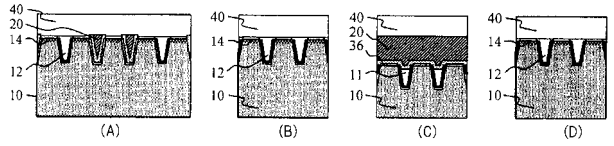
【 図 1 7 】



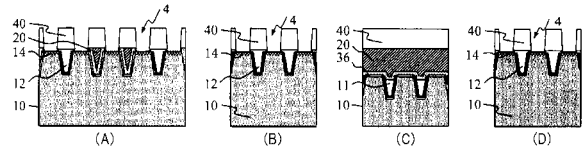
【 図 1 6 】



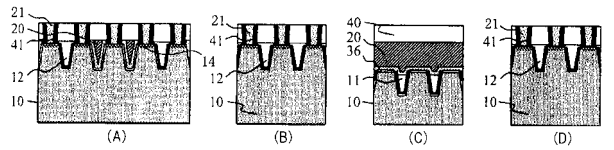
【 図 1 8 】



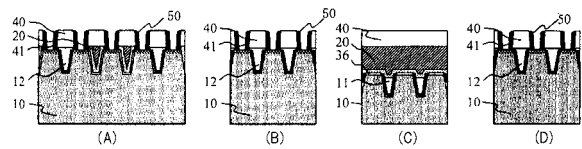
【 図 1 9 】



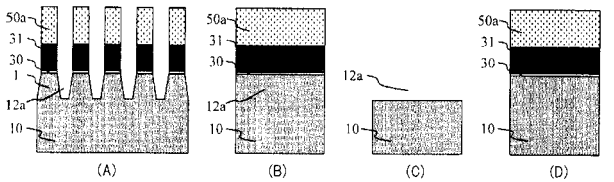
【 図 2 1 】



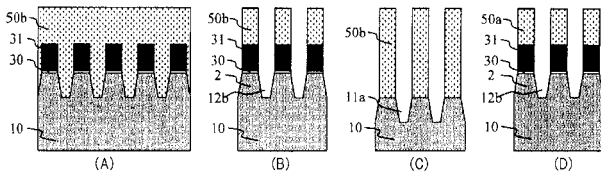
【 図 2 0 】



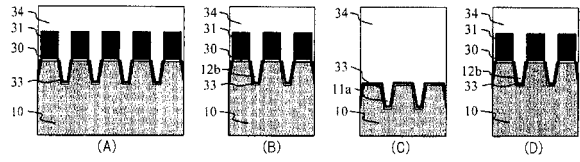
【 図 2 2 】



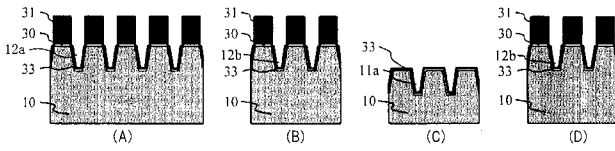
【 図 2 3 】



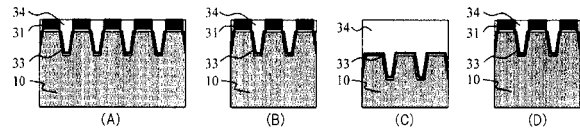
【 図 2 5 】



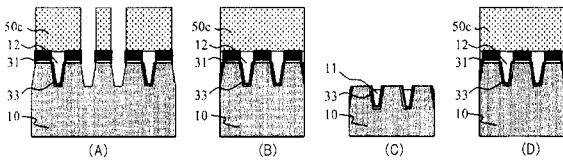
【 図 2 4 】



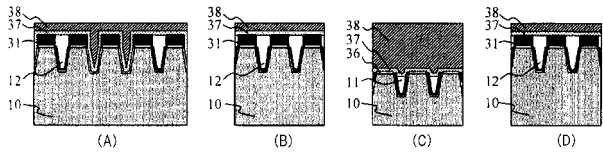
【 図 2 6 】



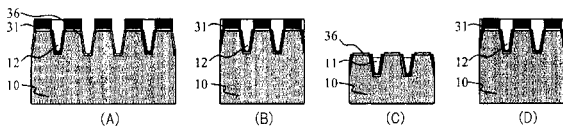
【 図 2 7 】



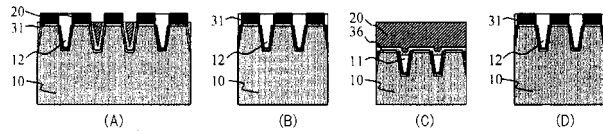
【 図 2 9 】



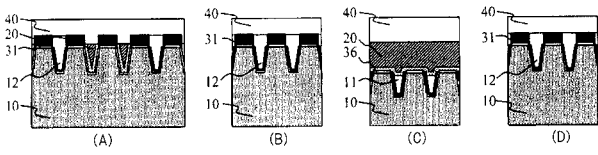
【 図 2 8 】



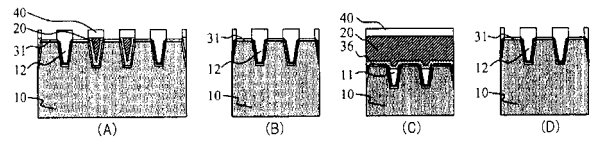
【 図 3 0 】



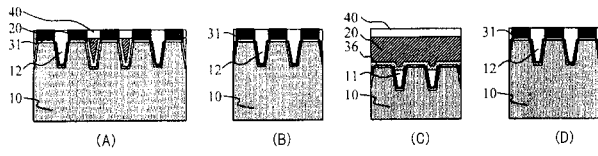
【 図 3 1 】



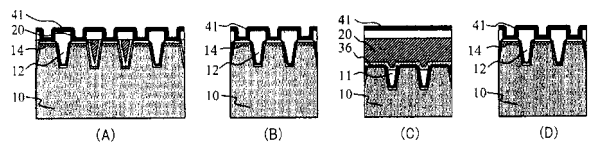
【 図 3 3 】



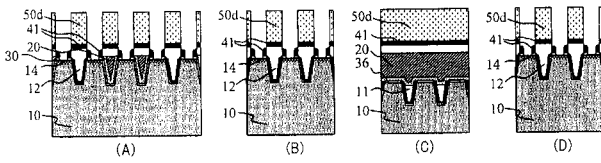
【 図 3 2 】



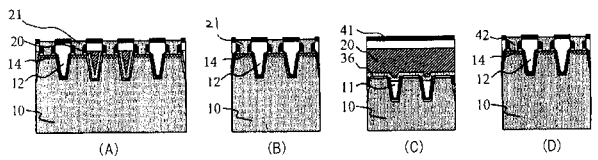
【 図 3 4 】



【 図 3 5 】



【 図 3 6 】



フロントページの続き

| (51) Int.Cl. | F I | | テーマコード(参考) |
|---------------------------------|---------|-------|------------|
| H 0 1 L 29/423 (2006.01) | H 0 1 L | 21/76 | L |
| H 0 1 L 29/49 (2006.01) | H 0 1 L | 27/10 | 6 8 1 D |
| H 0 1 L 21/76 (2006.01) | | | |

Fターム(参考) 4M104 AA01 BB01 BB40 CC01 CC05 DD08 DD16 DD43 DD55 DD75
 FF01 FF06 FF13 FF18 FF23 GG16
 5F032 AA35 AA44 AA45 AA46 AA84 BB06 CA17 CA20 DA02 DA04
 DA22 DA24 DA33
 5F033 HH04 HH19 HH28 HH34 JJ04 KK01 LL04 MM05 MM08 MM13
 MM17 MM30 PP06 QQ07 QQ09 QQ16 QQ31 QQ37 QQ48 RR04
 RR06 SS11 SS15 TT07 VV06 VV16
 5F083 AD03 AD10 AD24 AD48 AD49 GA10 GA27 JA35 JA39 JA40
 LA01 LA13 LA16 LA21 MA06 MA17 MA19 MA20 NA01 PR05
 PR10 PR28 PR29 PR39 PR40