



(12) 发明专利

(10) 授权公告号 CN 108269762 B

(45) 授权公告日 2021.06.08

(21) 申请号 201611252222.8

(22) 申请日 2016.12.30

(65) 同一申请的已公布的文献号
申请公布号 CN 108269762 A

(43) 申请公布日 2018.07.10

(73) 专利权人 联华电子股份有限公司
地址 中国台湾新竹市
专利权人 福建省晋华集成电路有限公司

(72) 发明人 张峰溢 何建廷 邹世芳 李甫哲

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 陈小雯

(51) Int.Cl.

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

(56) 对比文件

US 2014054659 A1, 2014.02.27

US 2010210099 A1, 2010.08.19

CN 104377169 A, 2015.02.25

US 2014273386 A1, 2014.09.18

审查员 薛梦妮

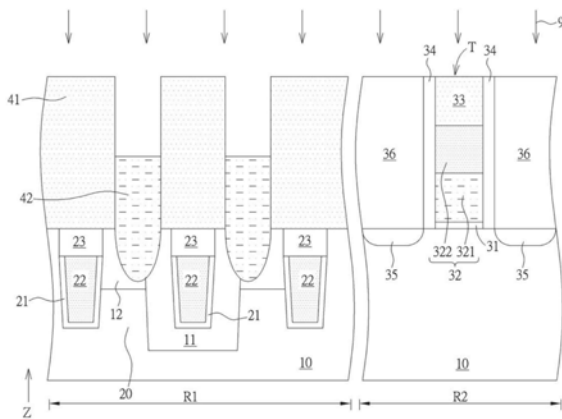
权利要求书1页 说明书5页 附图8页

(54) 发明名称

半导体存储装置的制作方法

(57) 摘要

本发明公开一种半导体存储装置的制作方法,对半导体基底上的存储节点接触进行清洗处理,并于清洗处理之后于存储节点接触上形成金属硅化物层,且于金属硅化物层形成之后再形成栅极接触开口贯穿半导体基底上的晶体管的盖层而暴露出晶体管的栅极结构。通过本发明的半导体存储装置的制作方法,可避免晶体管的栅极结构被存储节点接触的清洗处理产生影响或/及破坏,故可确保晶体管的电性表现正常。



1. 一种半导体存储装置的制作方法,包括:
提供一半导体基底,该半导体基底上定义有存储单元区以及周围区;
在该周围区形成一晶体管,该晶体管包括:
栅极结构,设置于该半导体基底上;
盖层,设置于该栅极结构上;以及
源极/漏极区,至少部分设置于该半导体基底中;
在该存储单元区中形成一存储节点接触,其中该存储节点接触在该晶体管之后形成;
对该存储节点接触进行一清洗处理;
在该清洗处理之后,在该存储节点接触上形成一第一金属硅化物层,其中形成该第一金属硅化物包括:形成一金属层覆盖该存储节点接触的表面以及对该金属层进行一热处理以形成该第一金属硅化物层,其中该金属层在形成该第一金属硅化物层之后被移除,且该金属层在该热处理中直接接触该盖层;以及
在该第一金属硅化物层形成之后,形成一栅极接触开口贯穿该盖层并暴露出该栅极结构。
2. 如权利要求1所述的半导体存储装置的制作方法,其中该清洗处理对该栅极结构的材料具有蚀刻性,且在该清洗处理进行时,该栅极结构被该盖层覆盖。
3. 如权利要求2所述的半导体存储装置的制作方法,其中该清洗处理包括利用三氟化氮与氨气的混合气体的干式清洗处理。
4. 如权利要求1所述的半导体存储装置的制作方法,其中该存储节点接触包括硅。
5. 如权利要求1所述的半导体存储装置的制作方法,其中该栅极结构包括金属栅极,且该栅极接触开口暴露出该金属栅极。
6. 如权利要求1所述的半导体存储装置的制作方法,还包括:
在该半导体基底上形成一介电层,其中该介电层覆盖该源极/漏极区;
在该介电层中形成一接触开口,其中该接触开口暴露出至少部分的该源极/漏极区,且该接触开口于形成该存储节点接触的步骤之后形成;以及
在该接触开口所暴露的该源极/漏极区上形成一第二金属硅化物层。
7. 如权利要求6所述的半导体存储装置的制作方法,其中该接触开口与该栅极接触开口一并形成。
8. 如权利要求6所述的半导体存储装置的制作方法,其中该接触开口于该第一金属硅化物层形成之前形成。
9. 如权利要求8所述的半导体存储装置的制作方法,其中该第二金属硅化物层与该第一金属硅化物层一并形成。
10. 如权利要求8所述的半导体存储装置的制作方法,其中该接触开口于该清洗处理之前形成,且该源极/漏极区被暴露于该清洗处理中。

半导体存储装置的制作方法

技术领域

[0001] 本发明涉及一种半导体存储装置的制作方法,尤其是涉及一种具有存储节点接触的半导体存储装置的制作方法。

背景技术

[0002] 动态随机存取存储器(dynamic random access memory,以下简称为DRAM)为一种挥发性(volatile)存储器,是许多电子产品中不可或缺的关键元件。DRAM由数目庞大的存储单元(memory cell)聚集形成一阵列区,用来存储数据,而每一存储单元可由一金属氧化半导体(metal oxide semiconductor,以下简称为MOS)晶体管与一电容(capacitor)串联组成。

[0003] 存储单元的MOS晶体管结构因产品需求或/及存储单元密度等考虑而有许多不同的结构设计,故有时存储单元的MOS晶体管结构会与同一芯片上其他区域的晶体管结构不同,进而造成制作工艺上的复杂度提升。因此,如何有效地整合存储单元的MOS晶体管与其他区域中不同晶体管的制作工艺对于相关业界来说是非常重要的课题。

发明内容

[0004] 本发明提供了一种半导体存储装置的制作方法,利用于存储单元区的存储节点接触上形成金属硅化物层之前先对存储节点接触进行一清洗处理用以移除存储节点接触表面的杂质,由此确保金属硅化物层的形成状况。此外,在存储节点接触上形成金属硅化物层之后再形成位于周围区的晶体管中栅极结构的一栅极接触开口,由此可确保被栅极接触开口所暴露出的栅极结构不会被存储节点接触的清洗处理影响,进而达到制作工艺整合与提升产品生产良率的效果。

[0005] 本发明的一实施例提供一种半导体存储装置的制作方法,包括下列步骤。首先,提供一半导体基底,半导体基底上定义有一存储单元区以及一周围区。在周围区形成一晶体管。晶体管包括一栅极结构、一盖层以及一源极/漏极区。栅极结构设置于半导体基底上,盖层设置于栅极结构上,而源极/漏极区至少部分设置于半导体基底中。在存储单元区中形成一存储节点接触,并对存储节点接触进行一清洗处理。在清洗处理之后,在存储节点接触上形成一第一金属硅化物层。在第一金属硅化物层形成之后,形成一栅极接触开口贯穿盖层并暴露出栅极结构。

附图说明

[0006] 图1至图5为本发明第一实施例的半导体存储装置的制作方法示意图,其中

[0007] 图2为图1之后的状况示意图;

[0008] 图3为图2之后的状况示意图;

[0009] 图4为图3之后的状况示意图;

[0010] 图5为图4之后的状况示意图。

- [0011] 图6至图8为本发明第二实施例的半导体存储装置的制作方法示意图,其中
- [0012] 图7为图6之后的状况示意图;
- [0013] 图8为图7之后的状况示意图。
- [0014] 主要元件符号说明
- [0015] 10 半导体基底
- [0016] 11 浅沟槽隔离
- [0017] 12 第一源极/漏极区
- [0018] 20 主动区
- [0019] 21 第一栅极介电层
- [0020] 22 字符线
- [0021] 23 字符线盖层
- [0022] 31 第二栅极介电层
- [0023] 32 栅极结构
- [0024] 33 盖层
- [0025] 34 间隙壁
- [0026] 35 第二源极/漏极区
- [0027] 35S 第二金属硅化物
- [0028] 36 介电层
- [0029] 41 隔离结构
- [0030] 42 存储节点接触
- [0031] 42S 第一金属硅化物层
- [0032] 50 金属层
- [0033] 90 清洗处理
- [0034] 321 硅层
- [0035] 322 金属栅极
- [0036] H1 栅极接触开口
- [0037] H2 接触开口
- [0038] R1 存储单元区
- [0039] R2 周围区
- [0040] T 晶体管
- [0041] Z 垂直方向

具体实施方式

[0042] 请参阅图1至图5。图1至图5为本发明第一实施例的半导体存储装置的制作方法示意图。本实施例提供一种半导体存储装置的制作方法,包括下列步骤。首先,如图1所示,提供一半导体基底10,半导体基底10上定义有一存储单元区R1以及一周围区R2。存储单元区R1中可用以形成多个存储单元(memory cell),而周围区R2中可用以形成存储单元以外的其他元件,例如控制字符线或/及位线信号传递的晶体管,但并不以此为限。半导体基底10可包括硅基底、外延硅基底、硅锗基底、碳化硅基底或硅覆绝缘(silicon-on-insulator,

SOI) 基底,但并不以此为限。在本实施例中,半导体基底10的存储单元区R1中可形成有一浅沟槽隔离11,用以于半导体基底10的存储单元区R1中定义出多个主动区20。浅沟槽隔离11可利用蚀刻方式于半导体基底10的存储单元区R1中形成多个沟槽,再于沟槽中填入绝缘材料例如氧化硅而形成,但并不以此为限。在一些实施例中,也可视需要使用其他适合的方式形成浅沟槽隔离11。此外,半导体基底10的存储单元区R1中可形成多条字符线(word line) 22,而本实施例的字符线22可为埋入式字符线(buried word line),但并不以此为限。字符线22可利用以埋入方式形成于半导体基底10与浅沟槽隔离11中,字符线22与半导体基底10之间可形成一第一栅极介电层21,而字符线22上可形成有一字符线盖层23覆盖字符线22。上述的第一栅极介电层21、字符线22以及字符线盖层23可通过先于半导体基底10以及浅沟槽隔离11中形成多个沟槽,再于沟槽中依序形成第一栅极介电层21、字符线22以及字符线盖层23,但并不以此为限。在一些实施例中,第一栅极介电层21可包括氧化硅或其他适合的介电材料,字符线22可包括铝(Al)、钨(W)、铜(Cu)、钛铝合金(TiAl)或其他适合的导电材料,而字符线盖层23可包括氮化硅、氮氧化硅、氮碳化硅或其他适合的绝缘材料。此外,主动区20中可形成有一第一源极/漏极区12,由此与字符线22以及第一栅极介电层21搭配形成存储单元的晶体管部分。在一些实施例中,第一源极/漏极区12可通过对主动区20的部分区域进行掺杂处理而形成,但并不以此为限。

[0043] 在本实施例中,一晶体管T形成于周围区R2。位于在周围区R2的晶体管T可包括用以控制字符线或/及位线信号传递的晶体管,但并不以此为限。晶体管T包括一栅极结构32、一盖层33以及一源极/漏极区(例如图1中所示的第二源极/漏极区35)。栅极结构32设置于半导体基底10上,盖层33设置于栅极结构32上,而第二源极/漏极区35至少部分设置于半导体基底10中。此外,晶体管T可还包括一栅极介电层(例如图1中所示的第二栅极介电层31)设置于栅极结构32与半导体基底10之间,一间隙壁34可形成于栅极结构32与盖层33的侧壁上,而一介电层36可形成于半导体基底10上且覆盖第二源极/漏极区35。在一些实施例中,第二源极/漏极区35也可通过对半导体基底10进行掺杂处理而形成,但并不以此为限。在一些实施例中,栅极结构32可包括堆叠的一硅层321与一金属栅极322,而硅层321与金属栅极322之间也可视需要设置障碍层(未绘示)。硅层321可包括多晶硅、非晶硅或其他含硅的导电材料,金属栅极322可包括铝、钨、铜、钛铝合金或其他适合的低电阻导电材料,而盖层33可包括氮化硅、氮氧化硅、氮碳化硅或其他适合的绝缘材料。此外,在一些实施例中,栅极结构32与盖层33可与存储单元区R1中的位线结构(未绘示)以相同的制作工艺一并形成,由此达到制作工艺简化与整合的效果,但并不以此为限。

[0044] 接着,在存储单元区R1中形成一存储节点接触(storage node contact) 42,而存储节点接触42与第一源极/漏极区12形成电连接。存储节点接触42可通过于半导体基底10上形成具有多个开口的隔离结构41,再于隔离结构41的开口中填入导电材料后对此导电材料进行回蚀刻(etching back)制作工艺而形成,故存储节点接触42的顶面于一垂直方向Z上低于隔离结构41的顶面,且存储节点接触42的顶面高于半导体基底10的顶面与第二源极/漏极区35的顶面,但并不以此为限。在一些实施例中,也可视需要以其他制作工艺方式形成存储节点接触42。然后,对存储节点接触42进行一清洗处理90,用以移除存储节点接触42表面上的杂质、氧化物或/及上述回蚀刻制作工艺时所产生的蚀刻残余物与衍生物。此外,在一些实施例中,清洗处理90也可用以改善存储节点接触42因上述回蚀刻制作工艺所

造成的表面粗糙状况,由此确保后续于存储节点接触42上形成的金属硅化物层的状况。举例来说,存储节点接触42可包括硅,例如非晶硅、多晶硅或其他含硅的导电材料,而清洗处理90可包括利用三氟化氮(NF₃)与氨气(NH₃)的混合气体的干式清洗处理(例如SiCoNi清洗处理),但并不以此为限。在一些实施例中,也可视需要使用其他干式或湿式清洗处理来清洗存储节点接触42,例如SC1清洗或缓冲式氧化物蚀刻(buffer oxide etch,BOE)清洗。值得说明的是,在清洗处理90进行时,位于周围区R2的栅极结构32被盖层33覆盖,故当清洗处理90对栅极结构32的材料具有蚀刻性时,栅极结构32可因被盖层33覆盖而避免受到清洗处理90的影响。

[0045] 接着,如图1至图3所示,在清洗处理90之后,在存储节点接触42上形成一第一金属硅化物层42S。第一金属硅化物层42S的形成方式可包括但并不限于下列步骤。首先,形成一金属层50覆盖存储节点接触42的表面,再进行一热处理以于存储节点接触42上形成第一金属硅化物层42S,并于第一金属硅化物层42S形成之后将金属层50移除。在一些实施例中,金属层50可包括钴(Co)、镍(Ni)或其他适合的金属材料,而第一金属硅化物层42S可包括钴-金属硅化物(cobalt-silicide)、镍-金属硅化物(nickel-silicide)或其他适合的金属硅化物。此外,金属层50可利用一沉积装置例如物理气相沉积(physical vapor deposition,PVD)装置形成,而上述的对存储节点接触42进行的清洗处理可于同一沉积装置中进行,由此可减少外在环境于清洗处理后至形成金属层50之间的等待时间中对于存储节点接触42的表面所造成的不良影响,但并不以此为限。

[0046] 然后,如图3与图4所示,在第一金属硅化物层42S形成之后,形成一栅极接触开口H1贯穿盖层33并暴露出栅极结构32。也就是说,栅极接触开口H1可暴露出栅极结构32的金属栅极322。此外,可于覆盖第二源极/漏极区35的介电层36中形成一接触开口H2,且接触开口H2暴露出至少部分的第二源极/漏极区35。本实施例的栅极接触开口H1与接触开口H2于形成存储节点接触42的步骤之后形成,且栅极接触开口H1与接触开口H2于形成第一金属硅化物层42S的步骤之后形成。此外,在一些实施例中,接触开口H2可与栅极接触开口H1一并形成,由此达到制作工艺简化的效果,但并不以此为限。

[0047] 接着,如图4与图5所示,在接触开口H2所暴露的第二源极/漏极区35上形成一第二金属硅化物层35S。第二金属硅化物层35S的形成方式可与上述第一金属硅化物层42S相似,而第二金属硅化物层35S也可与第一金属硅化物层42S的材料相同,但并不以此为限。在一些实施例中,第二金属硅化物层35S的形成方式或/及材料也可视需要与第一金属硅化物层42S不同。此外,在形成第二金属硅化物层35S的步骤之前,并未对接触开口H2所暴露的第二源极/漏极区35进行如上述对存储节点接触42所进行的清洗处理,由此避免对栅极接触开口H1暴露出的栅极结构32产生破坏。在一些实施例中,也可于形成第二金属硅化物层35S的步骤之前,对接触开口H2所暴露的第二源极/漏极区35进行其他清洗处理,而此对于第二源极/漏极区35进行的清洗处理不同于上述的对存储节点接触42所进行的清洗处理,且此对于第二源极/漏极区35进行的清洗处理未对栅极结构32产生蚀刻或/及其他不良影响。之后,可于栅极接触开口H1以及接触开口H2中分别形成栅极接触插塞(未绘示)与源极/漏极接触插塞(未绘示),栅极接触插塞可与栅极结构32电连接,而源极/漏极接触插塞可通过第二金属硅化物层35S与第二源极/漏极区35电连接。

[0048] 请参阅图6至图7。图6至图8所绘示为本发明第二实施例的半导体存储装置的制作

方法示意图。与上述第一实施例的制作方法不同的地方在于,如图6所示,本实施例的接触开口H2可于清洗处理90之前形成,故接触开口H2所暴露出的第二源极/漏极区35也被暴露于清洗处理90中。然后,如图6与图7所示,在清洗处理90之后,再于存储节点接触42上形成第一金属硅化物层42S,且于第二源极/漏极区35上形成第二金属硅化物层35S。换句话说,接触开口H2于第一金属硅化物层42S形成之前形成,而第二金属硅化物层35S与第一金属硅化物层42S可通过相同的制作工艺而一并形成。接着,如图8所示,在第一金属硅化物层42S与第二金属硅化物层35S形成之后,再形成栅极接触开口H1贯穿盖层33并暴露出栅极结构32。通过本实施例的制作方法,可使第二源极/漏极区35的表面于形成第二金属硅化物层35S之前先经过清洗处理,由此可确保第二金属硅化物层35S的形成状况与品质。

[0049] 综上所述,在本发明的半导体存储装置的制作方法中,在存储单元区的存储节点接触上形成第一金属硅化物层之前先对存储节点接触进行清洗处理,用以改善存储节点接触的表面状况,由此确保第一金属硅化物层的形成状况与品质。在存储节点接触上的第一金属硅化物层形成之后,再形成位于周围区的晶体管中的栅极结构的栅极接触开口,由此确保被栅极接触开口所暴露出的栅极结构不会被存储节点接触的清洗处理影响,进而达到制作工艺整合与提升产品生产良率的效果。

[0050] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

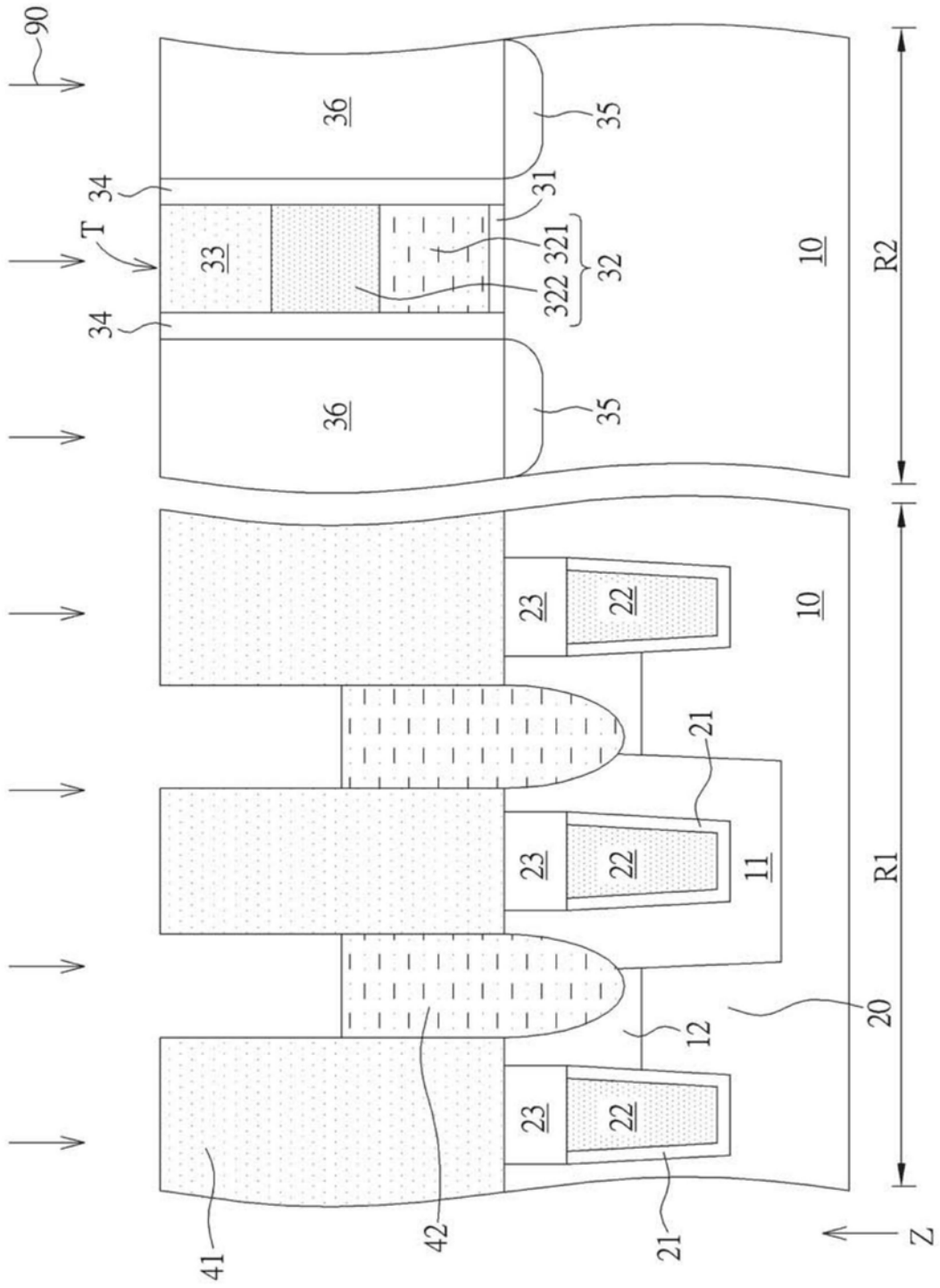


图1

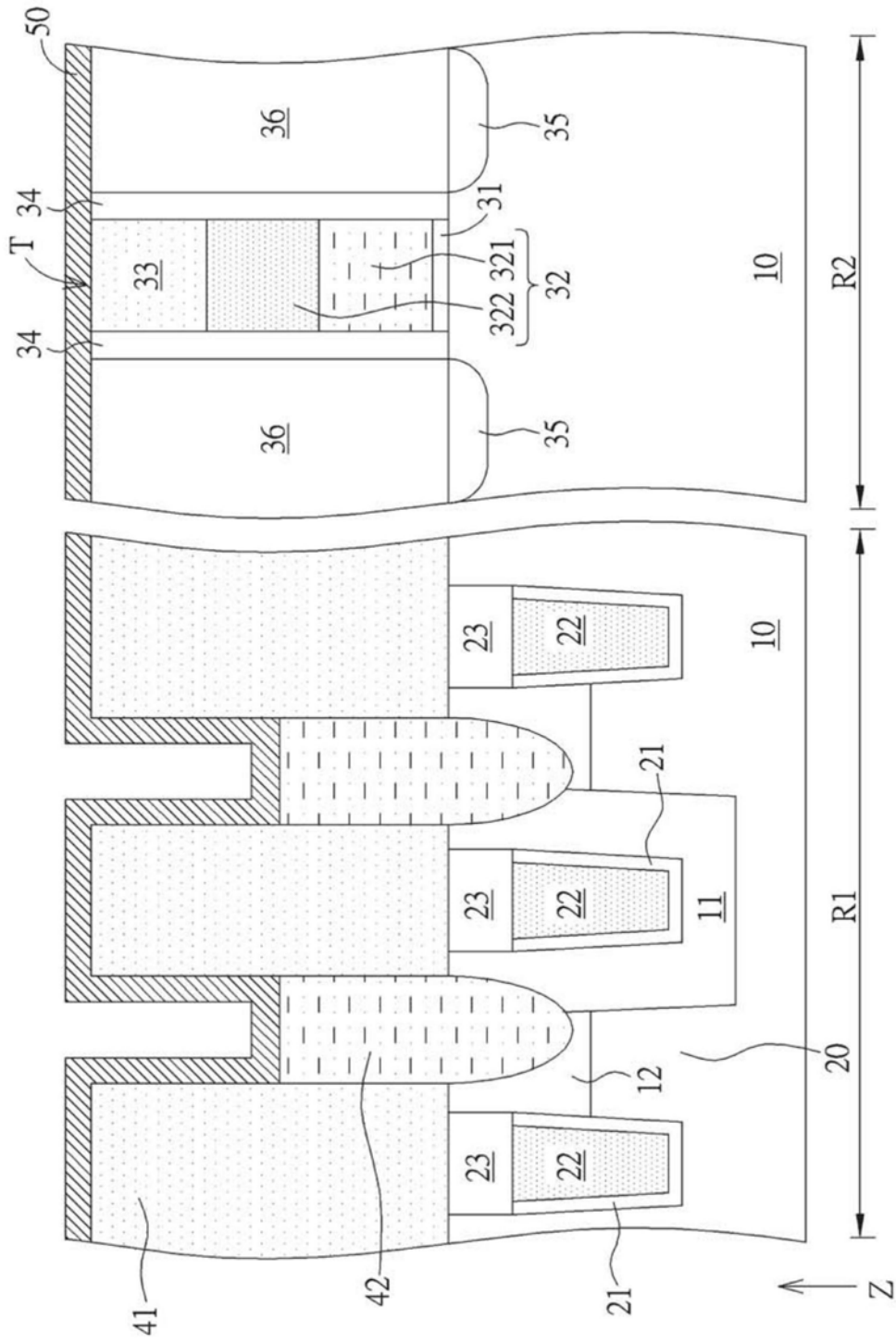


图2

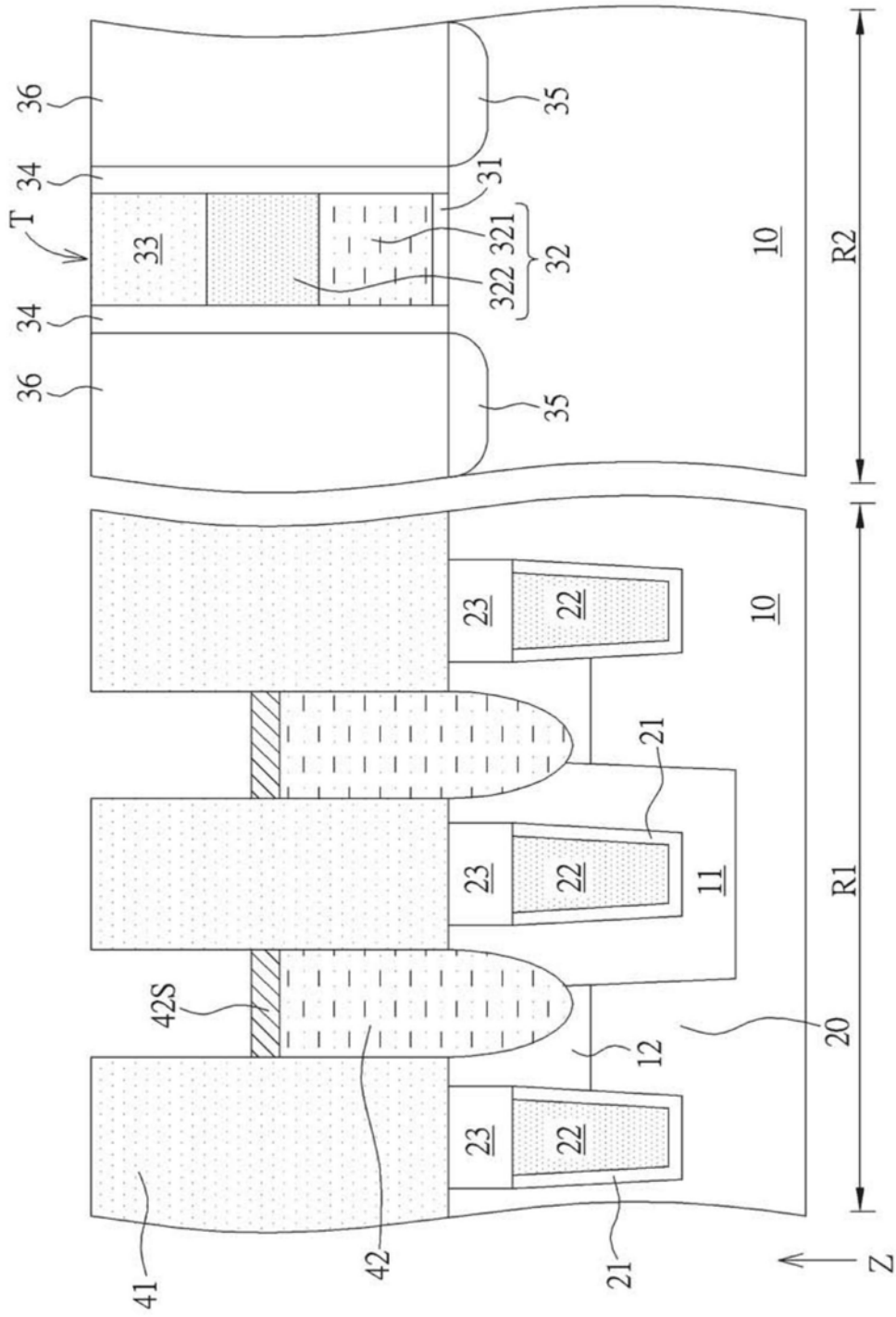


图3

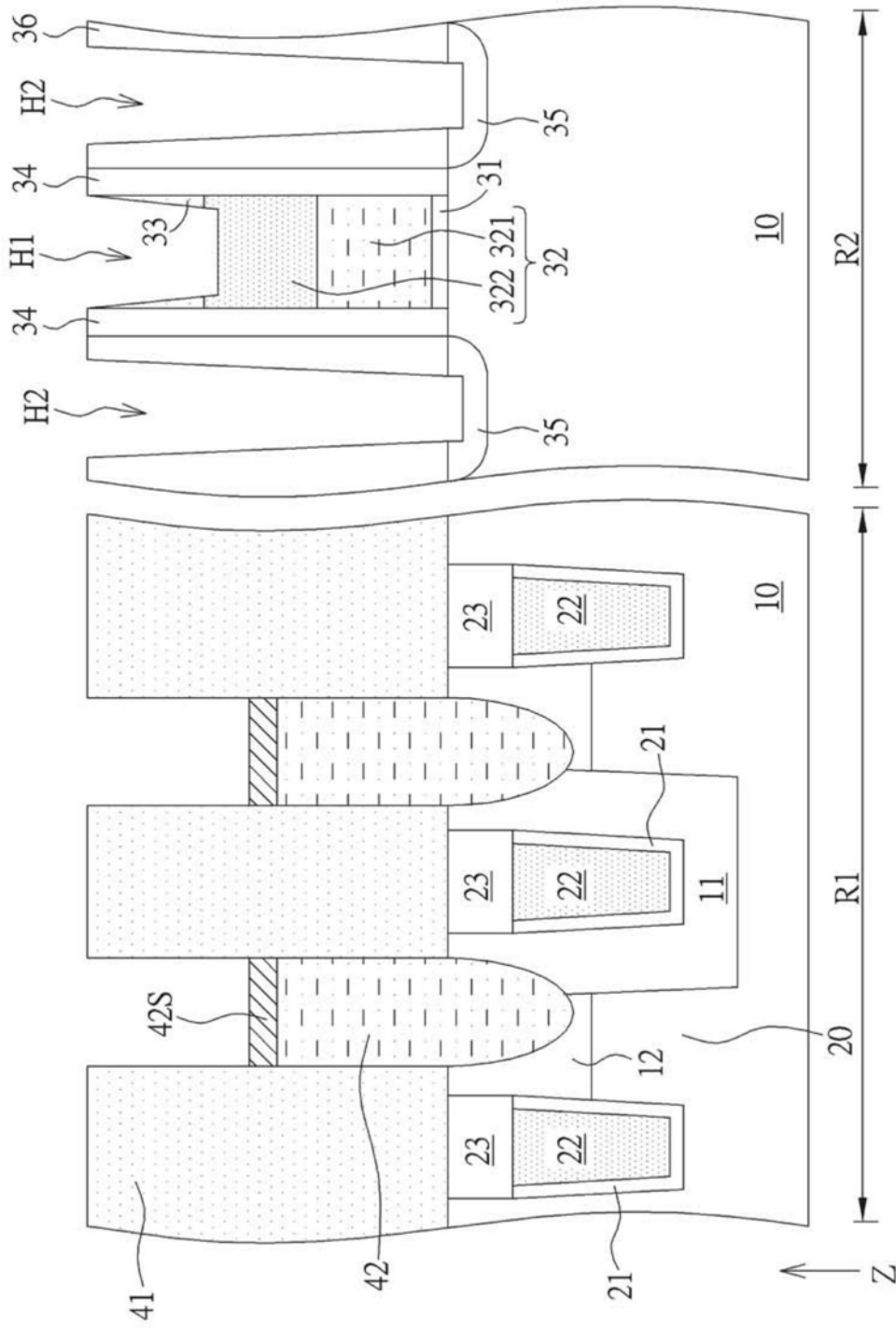


图4

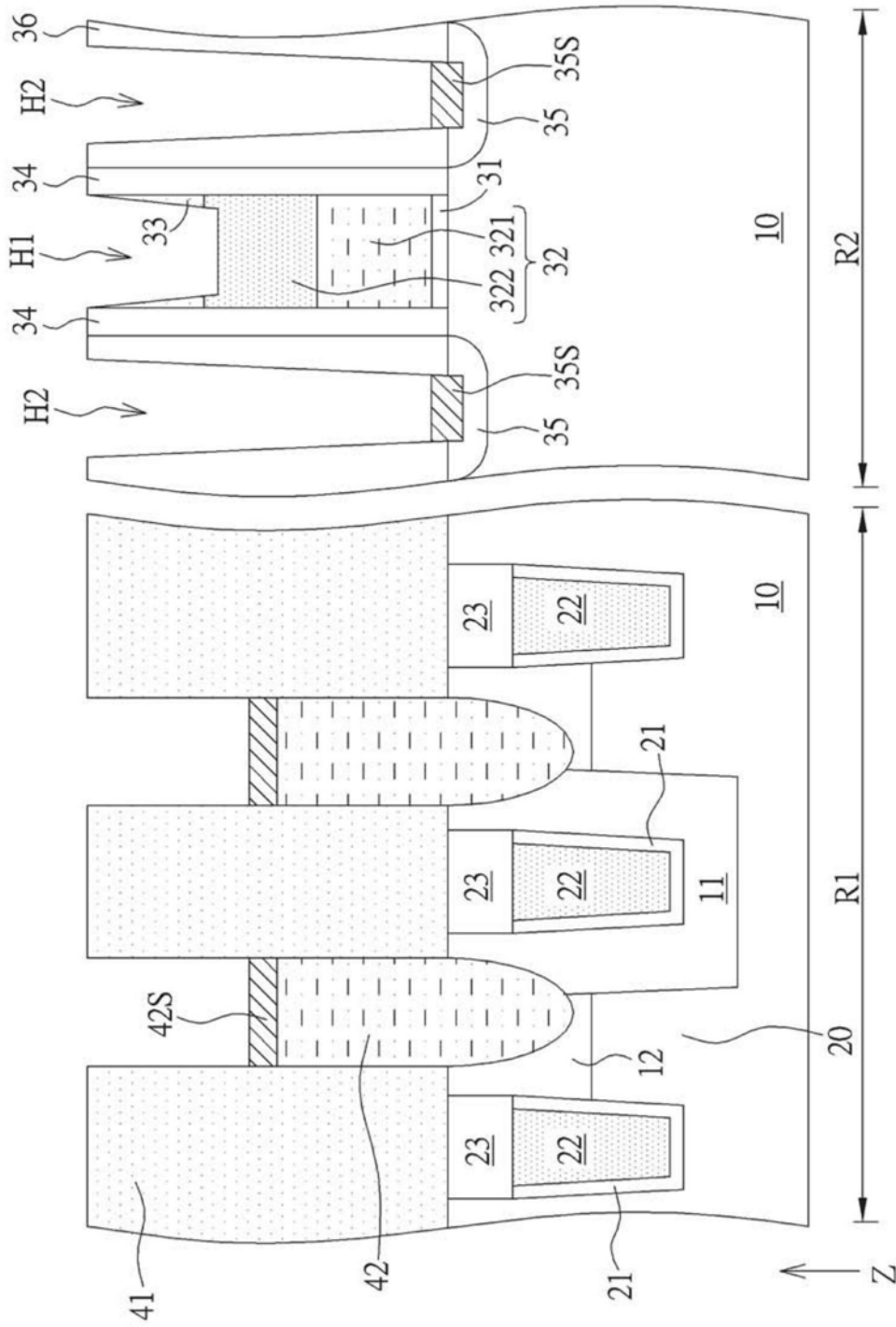


图5

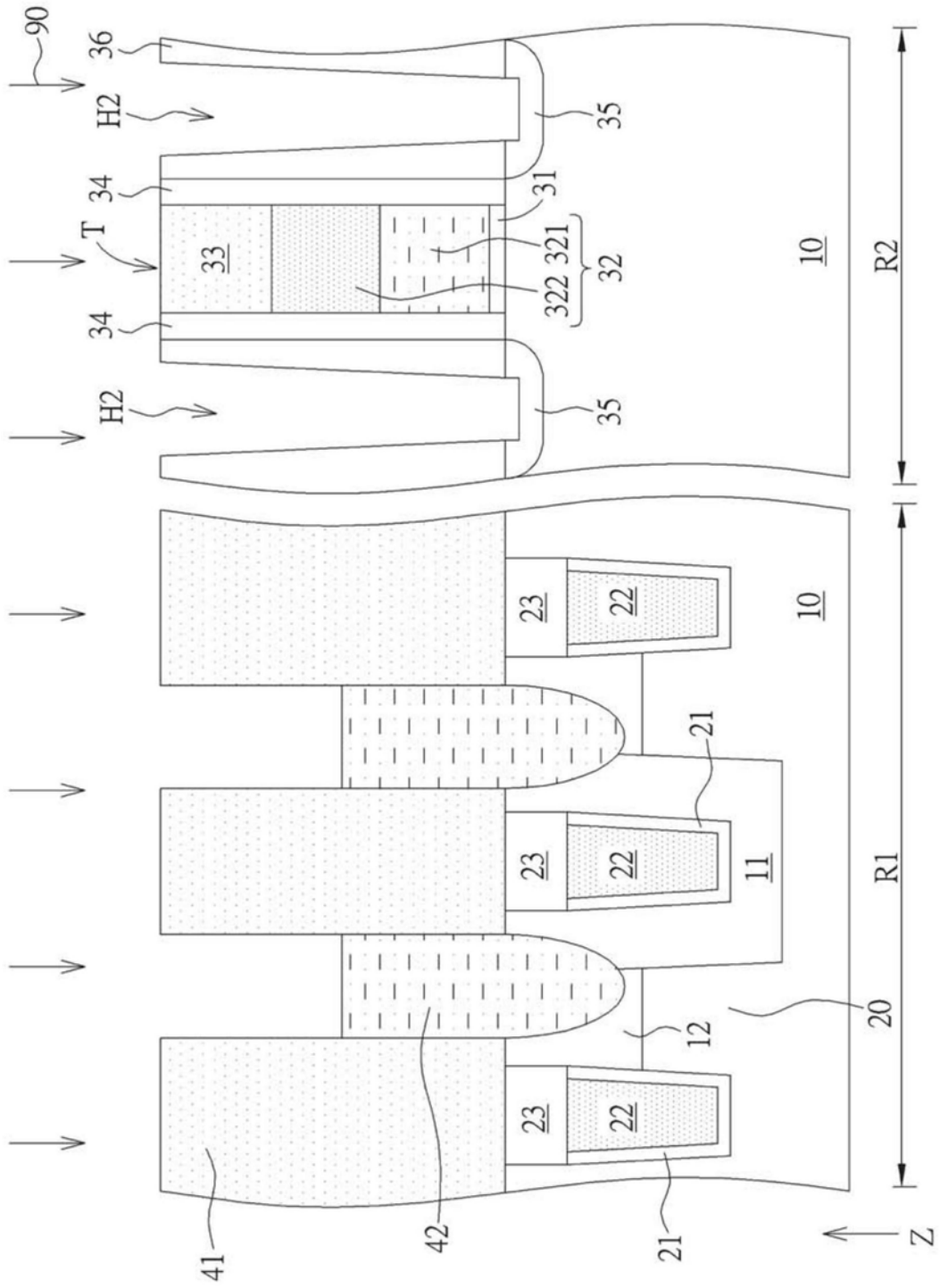


图6

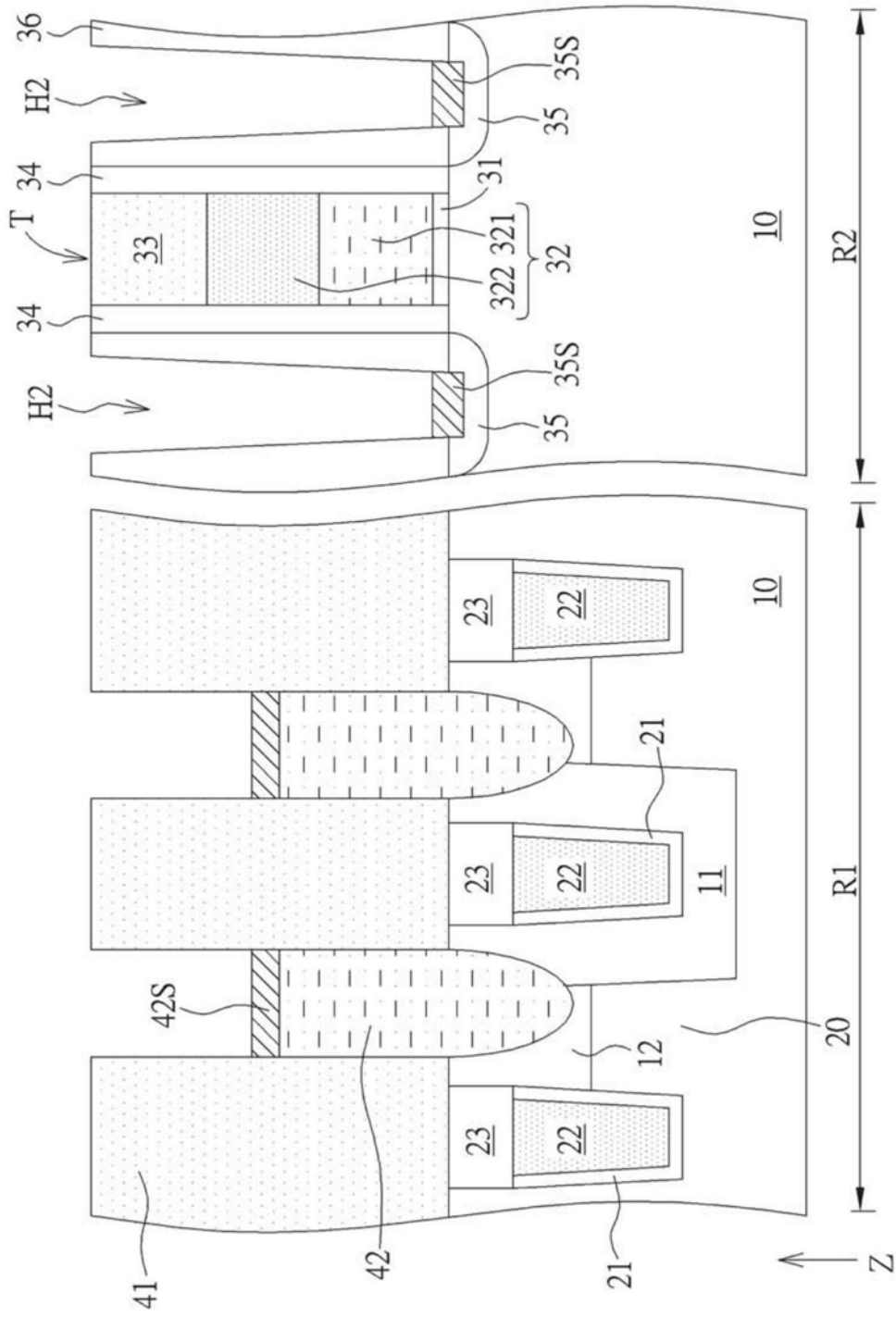


图7

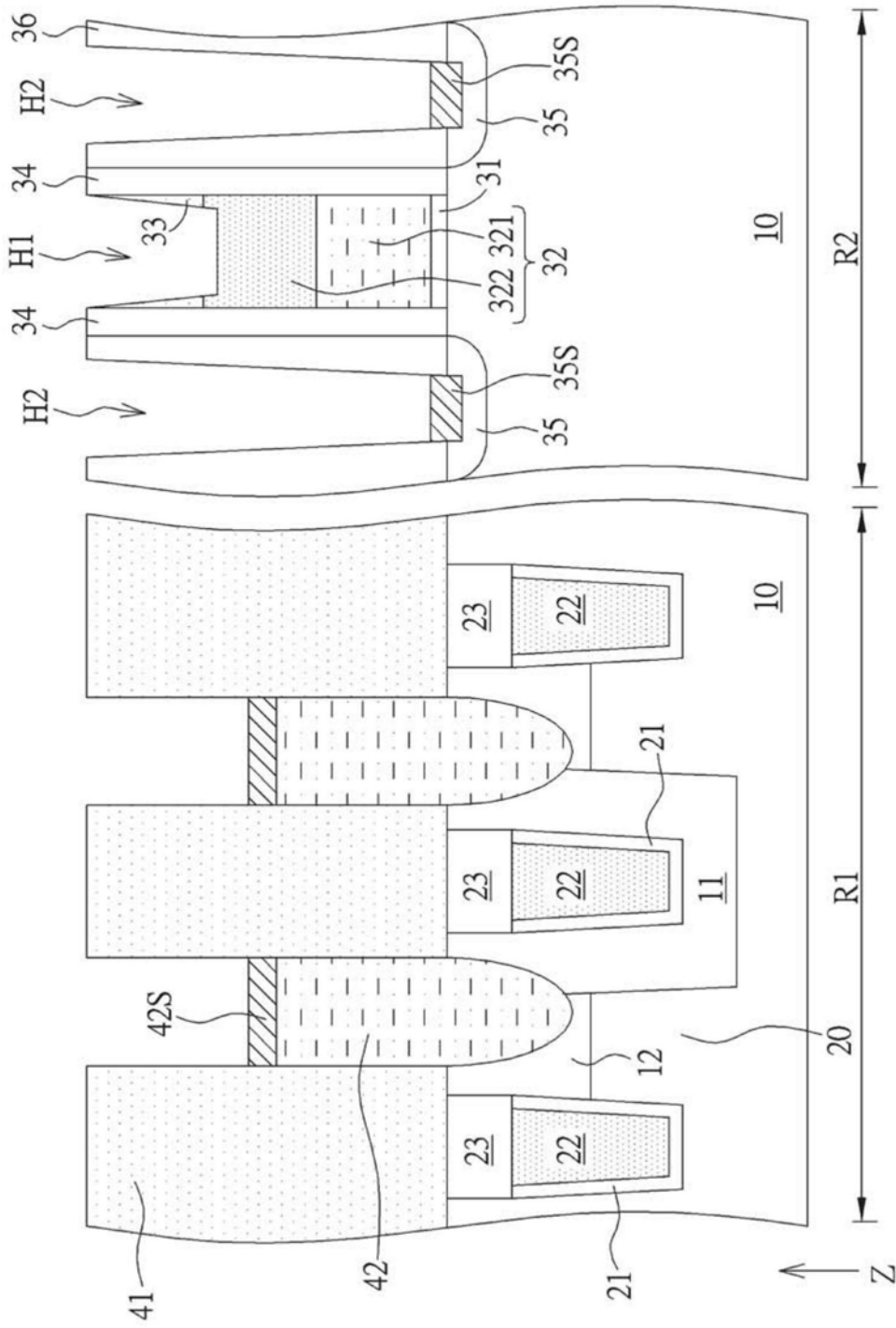


图8