



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월25일
 (11) 등록번호 10-0890041
 (24) 등록일자 2009년03월16일

(51) Int. Cl.
G11C 11/4076 (2006.01) *G11C 7/22* (2006.01)
 (21) 출원번호 10-2006-0138768
 (22) 출원일자 2006년12월29일
 심사청구일자 2006년12월29일
 (65) 공개번호 10-2008-0062690
 (43) 공개일자 2008년07월03일
 (56) 선행기술조사문헌
 KR1020020048258 A*
 US6411151 B1*
 KR1020050083423 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 조광준
 서울 성북구 석관1동 10번지 두산아파트 102-604
 (74) 대리인
 특허법인아주

전체 청구항 수 : 총 15 항

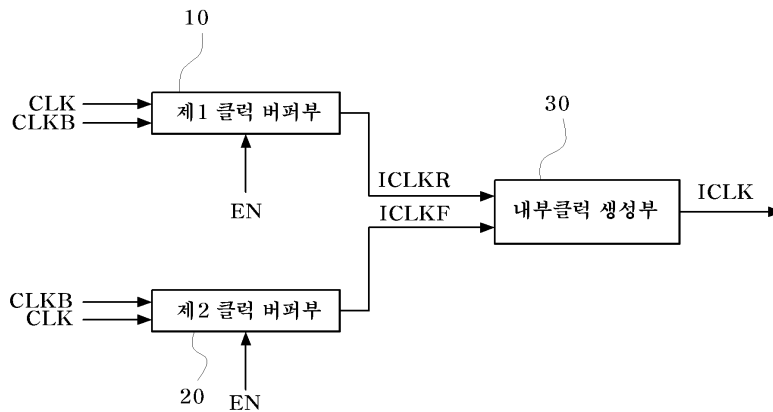
심사관 : 손윤식

(54) 반도체 소자의 클럭 버퍼 회로

(57) 요약

본 발명은 외부 클럭과 듀티 왜곡 없는 내부 클럭을 생성하기 위한 클럭 버퍼 회로를 제공하기 위한 것으로, 이를 위해 클럭(CLK) 신호를 수신하여 버퍼링한 신호를 출력하는 제1클럭 버퍼부와, 상보 클럭(CLKB) 신호를 수신하여 버퍼링한 신호를 출력하는 제2클럭 버퍼부와, 상기 제1,2클럭 버퍼부의 출력신호에 응답하여 내부클럭을 생성하는 내부클럭 생성부를 포함하는 반도체 소자의 클럭 버퍼 회로를 제공한다.

대표도 - 도5



특허청구의 범위

청구항 1

정위상 클럭을 버퍼링한 제1클럭 신호를 출력하는 제1클럭 버퍼부와;

역위상 클럭을 버퍼링한 제2클럭 신호를 출력하는 제2클럭 버퍼부와;

상기 제1클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 라이징 에지를 생성하고, 상기 제2클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 폴링 에지를 생성하는 내부클럭 생성부;

를 포함하는 반도체 소자의 클럭 버퍼 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 내부클럭 생성부는

상기 제1클럭 버퍼부의 출력신호에 응답하여 버퍼링하는 제1인버터와;

상기 제1인버터의 출력신호를 지연시켜 출력하는 제1지연소자와;

상기 제2클럭 버퍼부의 출력신호를 지연시켜 출력하는 제2지연소자와;

상기 제1인버터와 제1지연소자 및 상기 제2클럭 버퍼부와 제2지연소자의 출력신호에 응답하여 풀-업 또는 풀-다운 구동하는 구동부와;

상기 구동부의 출력신호에 응답하여 출력하는 래치부와;

상기 래치부의 출력신호를 버퍼링하는 제2인버터;

를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 5

제 4 항에 있어서,

상기 구동부는

상기 제1지연소자의 출력신호에 응답하여 풀-업 구동하는 제1풀-업 소자와;

상기 제1풀-업 소자와 직렬 연결되고, 상기 제1인버터의 출력신호에 응답하여 풀-업 구동하는 제2풀-업 소자와;

상기 제2클럭 버퍼부의 출력신호에 응답하여 풀-다운 구동하는 제1풀-다운 소자와;

상기 제1풀다운 소자와 직렬 연결되고, 상기 제2지연소자의 출력신호에 응답하여 풀-다운 구동하는 제2풀-다운 소자;

를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 6

제 4 항에 있어서,

상기 제1지연소자와 제2지연소자는 각각 홀수개의 인버터로 구성함을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 7

제 1 항에 있어서,
 상기 내부클럭 생성부는
 상기 제1클럭 버퍼부의 출력신호에 응답하여 논리 연산하는 제1논리회로와;
 상기 제2클럭 버퍼부의 출력신호에 응답하여 논리 연산하는 제2논리회로와;
 상기 제1논리회로의 출력신호와 상기 제2논리회로의 반전신호에 응답하여 구동하는 제1구동부와;
 상기 제1논리회로의 반전신호와 상기 제2논리회로의 출력신호에 응답하여 구동하는 제2구동부와;
 상기 제1구동부의 출력신호에 응답하여 출력하는 제1출력부와;
 상기 제2구동부의 출력신호에 응답하여 출력하는 제2출력부;
 를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 8

제 7 항에 있어서,
 상기 제1논리회로는
 상기 제1클럭 버퍼부의 출력신호를 지연시켜 출력하는 제1지연소자와;
 상기 제1클럭 버퍼부의 출력신호와 상기 제1지연소자의 출력신호를 부정 논리곱 연산하는 제1논리소자;
 를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 9

제 7 항에 있어서,
 상기 제2논리회로는
 상기 제2클럭 버퍼부의 출력신호를 지연시켜 출력하는 제2지연소자와;
 상기 제2클럭 버퍼부의 출력신호와 상기 제2지연소자의 출력신호를 부정 논리곱 연산하는 제2논리소자;
 를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 10

제 7 항에 있어서,
 상기 제1구동부는
 상기 제1논리회로의 출력신호에 응답하여 풀-업 구동하는 제1풀-업 소자와;
 상기 제1논리회로의 출력신호에 응답하여 풀-다운 구동하는 제1풀-다운 소자와;
 상기 제1풀-다운 소자와 직렬 연결되고, 상기 제2논리회로의 반전신호에 응답하여 풀-다운 구동하는 제2풀-다운 소자;
 를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 11

제 7 항에 있어서,
 상기 제2구동부는
 상기 제2논리회로의 출력신호에 응답하여 풀-업 구동하는 제2풀-업 소자와;
 상기 제2논리회로의 출력신호에 응답하여 풀-다운 구동하는 제3풀-다운 소자와;

상기 제3풀-다운 소자와 직렬 연결되고, 상기 제1논리회로의 반전신호에 응답하여 풀-다운 구동하는 제4풀-다운 소자;

를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 12

제 7 항에 있어서,

상기 제1출력부는

상기 제1구동부의 출력신호에 응답하여 출력하는 제1래치부와;

상기 제1래치부의 출력신호를 버퍼링하는 제1인버터;

를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 13

제 7 항에 있어서,

상기 제2출력부는

상기 제2구동부의 출력신호에 응답하여 출력하는 제2래치부와;

상기 제2래치부의 출력신호를 버퍼링하는 제2인버터;

를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 14

제 1 항에 있어서,

상기 제1클럭 버퍼부는

정위상 클럭신호를 입력받고, 리퍼런스 신호로 역위상 클럭신호를 입력받아 이를 차동 증폭하여 버퍼링하는 차동증폭부;

를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 15

제 1 항에 있어서,

상기 제2클럭 버퍼부는

역위상 클럭신호를 입력받고, 리퍼런스 신호로 정위상 클럭신호를 입력받아 이를 차동 증폭하여 버퍼링하는 차동증폭부;

를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

청구항 16

정위상 클럭을 버퍼링한 제1클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 라이징 에지를 생성하고, 역위상 클럭을 버퍼링한 제2클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 폴링 에지 신호를 생성하는 내부클럭 생성부;를 포함하는 반도체 소자의 클럭 버퍼 회로.

청구항 17

삭제

청구항 18

제 16 항에 있어서,

상기 내부클럭 생성부는

상기 제1클럭 버퍼부의 출력신호에 응답하여 버퍼링하는 제1인버터와;
 상기 제1인버터의 출력신호를 지연시켜 출력하는 제1지연소자와;
 상기 제2클럭 버퍼부의 출력신호를 지연시켜 출력하는 제2지연소자와;
 상기 제1인버터와 제1지연소자 및 상기 제2클럭 버퍼부와 제2지연소자의 출력신호에 응답하여 풀-업 또는 풀-다운 구동하는 구동부와;
 상기 구동부의 출력신호에 응답하여 출력하는 래치부와;
 상기 래치부의 출력신호를 버퍼링하는 제2인버터;
 를 포함하는 것을 특징으로 하는 반도체 소자의 클럭 버퍼 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 반도체 소자에 관한 것으로, 특히 클럭 신호를 버퍼링하여 출력하는 클럭 버퍼 회로에 관한 것이다.
- <18> 일반적으로 DRAM(Dynamic Random Access Memory)과 같은 반도체 메모리 장치는 데이터를 저장하기 위한 다수의 메모리 셀을 포함하는 메모리 어레이로 구성된다.
- <19> 특히, 디램 중에서도 동기식 디램(Synchronous DRAM, 이하 SDRAM)은 외부에서 인가되는 외부 클럭 신호에 동기되어 데이터의 리드(read)/라이트(write) 동작을 수행한다. 이에 따라, SDRAM은 외부 클럭 신호에 동기되는 내부 클럭 신호를 생성하기 위한 클럭 버퍼 회로를 필요로 한다.
- <20> SDRAM용 클럭 버퍼 회로는 클럭의 듀티비(duty ratio)가 외부 잡음에 둔감하도록 클럭 신호 및 그의 반대 위상을 갖는 클럭 신호가 한 쌍으로 입력되는 차동 증폭기를 사용한다.
- <21> 특히, DDR/DDR2/DDR3 SDRAM 등과 같은 반도체 메모리 장치는 클럭의 에지(rising&falling edge)에 데이터를 동기시켜 리드/라이트함으로써 기존의 SDRAM에 비해 고속의 데이터 전송이 이루어진다.
- <22> 이와 같이 클럭의 에지에 데이터를 정확하게 동기시키기 위해서는 메모리 내부에서 외부 클럭의 위상대비 듀티비가 50:50을 갖는 클럭 제어가 필요한데, 이러한 클럭의 정확한 위상 출력을 위해서는 외부 클럭 또는 내부 클럭의 듀티 에러를 보정하는 듀티 보정 회로(Duty Correction Circuit, 이하 DCC)가 필요하다.
- <23> 이러한 DCC는 고속, QDR(Quad Data Rate, 1주기에 4개의 데이터가 균등하게 나오는 동작모드) 등으로 가면서 더욱 중요한 회로가 되고 있다.
- <24> 그러나, 도 1,2와 같은 종래의 QCR(Quadri Coupled Receiver) 버퍼(100) 등으로 생성된 내부 클럭(ICLK)은 도 3에 도시한 바와 같이 tR (time delay from external clock rising to internal clock rising)/ tF (time delay from external clock falling to internal clock falling) 특성이 모든 조건에서 항상 동일하게 설계하고자 하나 실제 칩에서는 다양한 외부 환경에 의해 tR 과 tF 이 동일하지 않은 특성을 보인다.
- <25> 도 4는 도 2에 도시한 클럭 버퍼의 tR/tF 특성 변화를 도시한 도면으로, 동일 입력에 대한 조건에서 전압강하(VDD 가변)에 따라 tR/tF 의 차가 0.2ns 이상 발생하고 있는 것을 나타내고 있다. 이는 버퍼에 의한 듀티 왜곡을 의미하며 버퍼에 의한 듀티 왜곡은 DCC가 보정해야 하는 외부 변수의 증가로 이어져 DCC의 정확성을 감소시키는 원인으로 작용하게 되므로 메모리 소자의 고속 동작을 저해한다.

발명이 이루고자 하는 기술적 과제

- <26> 따라서, 본 발명은 외부 클럭과 듀티 왜곡 없는 내부 클럭을 생성하기 위한 클럭 버퍼 회로를 제공하는 것이다.
- <27> 또한, 본 발명은 외부 클럭과 듀티 왜곡 없는 클럭을 생성함으로써 반도체 장치의 고속 동작과 신뢰성을 향상시킬 수 있는 클럭 버퍼 회로를 제공하는 것이다.

발명의 구성 및 작용

- <28> 상기와 같은 기술적 과제를 달성하기 위한 본 발명은 정위상 클럭을 버퍼링한 제1클럭 신호를 출력하는 제1클럭 버퍼부와; 역위상 클럭을 버퍼링한 제2클럭 신호를 출력하는 제2클럭 버퍼부와; 상기 제1클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 라이징 에지를 생성하고, 상기 제2클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 폴링 에지를 생성한다.
- <29> 삭제
- <30> 본 발명에서, 상기 내부클럭 생성부는 상기 제1클럭 버퍼부의 출력신호에 응답하여 버퍼링하는 제1인버터와; 상기 제1인버터의 출력신호를 지연시켜 출력하는 제1지연소자와; 상기 제2클럭 버퍼부의 출력신호를 지연시켜 출력하는 제2지연소자와; 상기 제1인버터와 제1지연소자 및 상기 제2클럭 버퍼부와 제2지연소자의 출력신호에 응답하여 풀-업 또는 풀-다운 구동하는 구동부와; 상기 구동부의 출력신호에 응답하여 출력하는 래치부와; 상기 래치부의 출력신호를 버퍼링하는 제2인버터;를 포함한다.
- <31> 본 발명에서, 상기 제1클럭 버퍼부는 클럭신호(CLK)를 입력받고, 리퍼런스 신호로 클럭신호(CLKB)를 입력받아 이를 차동 증폭하여 버퍼링하는 차동증폭부를 포함한다.
- <32> 본 발명에서, 상기 제2클럭 버퍼부는 클럭신호(CLKB)를 입력받고, 리퍼런스 신호로 클럭신호(CLK)를 입력받아 이를 차동 증폭하여 버퍼링하는 차동증폭부를 포함한다.
- <33> 그리고, 본 발명은 정위상 클럭을 버퍼링한 제1클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 라이징 에지를 생성하고, 역위상 클럭을 버퍼링한 제2클럭 신호의 라이징 에지를 이용하여 내부클럭 신호의 폴링 에지 신호를 생성하는 내부클럭 생성부;를 포함한다.
- <34> 이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참고하여 상세히 설명한다.
- <35> 도 5 는 본 발명의 일 실시예에 따른 클럭 버퍼를 나타낸 블록 구성도이고, 도 6 은 도 5 의 클럭 버퍼의 내부를 나타낸 회로도이다.
- <36> 도 5 에 도시한 바와 같이, 본 발명은 정위상 클럭 신호를 수신하여 버퍼링한 신호를 출력하는 제1클럭 버퍼부(10)와, 역위상 클럭(CLKB) 신호를 수신하여 버퍼링한 신호를 출력하는 제2클럭 버퍼부(20)와, 상기 제1,2클럭 버퍼부(10)(20)의 출력신호에 응답하여 내부클럭(ICLK)을 생성하는 내부클럭 생성부(30)를 포함한다.
- <37> 도 6 에 도시한 바와 같이, 상기 내부클럭 생성부(30)는 제1클럭 버퍼부(10)로부터 출력되는 버퍼링한 신호(ICLKR)의 라이징 에지 신호에 응답하여 내부클럭 신호(ICLK)의 라이징 에지 신호를 생성하고, 제2클럭 버퍼부(20)로부터 출력되는 버퍼링한 신호(ICLKF)의 라이징 에지 신호에 응답하여 내부클럭 신호(ICLK)의 폴링 에지 신호를 생성한다.
- <38> 여기서, 상기 내부클럭 생성부(30)는 에지 트리거 회로를 포함한다.
- <39> 상기 제1클럭 버퍼부(10)는 클럭신호(CLK)를 입력받고, 리퍼런스 신호로 클럭신호(CLKB)를 입력받아 이를 차동 증폭하여 버퍼링하는 차동증폭부를 포함한다.
- <40> 상기 제2클럭 버퍼부(20)는 클럭신호(CLKB)를 입력받고, 리퍼런스 신호로 클럭신호(CLK)를 입력받아 이를 차동 증폭하여 버퍼링하는 차동증폭부를 포함한다.
- <41> 도 7 은 도 5 의 클럭 버퍼의 동작 파형도를 도시한 것으로, 본 발명은 클럭 신호(CLK)(CLKB)의 라이징 에지 신호를 이용하여 내부클럭(ICLK)의 라이징 에지 신호와 폴링 에지 신호를 생성하므로 외부클럭의 듀티가 왜곡되지 않는 내부클럭을 생성한다.
- <42> 다시 설명하면, 클럭 신호(CLK)를 버퍼링한 출력신호(ICLKR)의 라이징 에지 신호를 내부 클럭의 라이징 에지 신호로 전환하고, 클럭 신호(CLKB)를 버퍼링한 출력신호(ICLKF)의 라이징 에지 신호를 내부 클럭의 폴링 에지 신호로 전환하여 내부 클럭을 생성한다. 이때, 클럭 신호(CLK)를 버퍼링한 출력신호(ICLKR)의 라이징 지연 시간(time delay from external clock rising to internal clock rising, 이하 tR)과 클럭 신호(CLKB)를 버퍼링한 출력신호(ICLKF)의 tR은 동일하므로 외부클럭의 듀티가 왜곡되지 않는 내부클럭을 생성하는 것이다.
- <43> 도 8 은 본 발명의 일 실시예에 따른 도 5 의 내부 클럭 생성부의 내부를 나타낸 회로도이고, 도 9 는 도 8 의

내부 클럭 생성부의 동작 파형도이다.

- <44> 도 8 에 도시한 바와 같이, 상기 예지 트리거 회로는 상기 제1클럭 버퍼부(10)의 출력신호(ICLKR)에 응답하여 버퍼링하는 제1인버터(31)와, 상기 제1인버터(31)의 출력신호를 지연시켜 출력하는 제1지연소자(32)와, 상기 제2클럭 버퍼부(20)의 출력신호(ICLKF)를 지연시켜 출력하는 제2지연소자(33)와, 상기 제1인버터(31)와 제1지연소자(32) 및 상기 제2클럭 버퍼부(20)와 제2지연소자(33)의 출력신호에 응답하여 풀-업 또는 풀-다운 구동하는 구동부(34)와, 상기 구동부(34)의 출력신호에 응답하여 출력하는 래치부(35)와, 상기 래치부(35)의 출력신호를 버퍼링하는 제2인버터(36)를 포함한다.
- <45> 상기 구동부(34)는 상기 제1지연소자(32)의 출력신호에 응답하여 풀-업 구동하는 제1풀-업 소자(P1)와, 상기 제1풀-업 소자(P1)와 직렬 연결되고, 상기 제1인버터(31)의 출력신호에 응답하여 풀-업 구동하는 제2풀-업 소자(P2)와, 상기 제2클럭 버퍼부(20)의 출력신호에 응답하여 풀-다운 구동하는 제1풀-다운 소자(N1)와, 상기 제1풀-다운 소자(N1)와 직렬 연결되고, 상기 제2지연소자(33)의 출력신호에 응답하여 풀-다운 구동하는 제2풀-다운 소자(N2)를 포함한다.
- <46> 여기서, 상기 제1지연소자(32)와 제2지연소자(33)는 각각 홀수개의 인버터로 구성한다.
- <47> 도 10 은 본 발명의 다른 실시예에 따른 도 5 의 내부 클럭 생성부의 내부를 나타낸 회로도이고, 도 11 은 도 10 의 내부 클럭 생성부의 동작 파형도이다.
- <48> 도 10 에 도시한 바와 같이, 상기 예지 트리거 회로는 상기 제1클럭 버퍼부(10)의 출력신호에 응답하여 논리 연산하는 제1논리회로(41)와, 상기 제2클럭 버퍼부(20)의 출력신호에 응답하여 논리 연산하는 제2논리회로(42)와, 상기 제1논리회로(41)의 출력신호와 상기 제2논리회로(42)의 반전신호에 응답하여 구동하는 제1구동부(43)와, 상기 제1논리회로(41)의 반전신호와 상기 제2논리회로(42)의 출력신호에 응답하여 구동하는 제2구동부(44)와, 상기 제1구동부(43)의 출력신호에 응답하여 출력하는 제1출력부(45)와, 상기 제2구동부(44)의 출력신호에 응답하여 출력하는 제2출력부(46)를 포함한다.
- <49> 상기 제1논리회로(41)는 상기 제1클럭 버퍼부(10)의 출력신호를 지연시켜 출력하는 제1지연소자(411)와, 상기 제1클럭 버퍼부(10)의 출력신호와 상기 제1지연소자(411)의 출력신호를 부정 논리곱 연산하는 제1논리소자(412)를 포함한다.
- <50> 상기 제2논리회로(42)는 상기 제2클럭 버퍼부(20)의 출력신호를 지연시켜 출력하는 제2지연소자(421)와, 상기 제2클럭 버퍼부(20)의 출력신호와 상기 제2지연소자(421)의 출력신호를 부정 논리곱 연산하는 제2논리소자(422)를 포함한다.
- <51> 상기 제1구동부(43)는 상기 제1논리회로(41)의 출력신호에 응답하여 풀-업 구동하는 제1풀-업 소자(P1)와, 상기 제1논리회로(41)의 출력신호에 응답하여 풀-다운 구동하는 제1풀-다운 소자(N1)와, 상기 제1풀-다운 소자(N1)와 직렬 연결되고, 상기 제2논리회로(42)의 반전신호에 응답하여 풀-다운 구동하는 제2풀-다운 소자(N2)를 포함한다.
- <52> 상기 제2구동부(44)는 상기 제2논리회로(42)의 출력신호에 응답하여 풀-업 구동하는 제2풀-업 소자(P2)와, 상기 제2논리회로(42)의 출력신호에 응답하여 풀-다운 구동하는 제3풀-다운 소자(N3)와, 상기 제3풀-다운 소자(N3)와 직렬 연결되고, 상기 제1논리회로(41)의 반전신호에 응답하여 풀-다운 구동하는 제4풀-다운 소자(N4)를 포함한다.
- <53> 상기 제1출력부(45)는 상기 제1구동부(43)의 출력신호에 응답하여 출력하는 제1래치부(451)와, 상기 제1래치부(451)의 출력신호를 버퍼링하는 제1인버터(452)를 포함한다.
- <54> 상기 제2출력부(46)는 상기 제2구동부(44)의 출력신호에 응답하여 출력하는 제2래치부(461)와, 상기 제2래치부(461)의 출력신호를 버퍼링하는 제2인버터(462)를 포함한다.
- <55> 위와 같이 구성된 본 발명의 실시예에 따른 클럭 버퍼 회로의 동작을 도 5 내지 도 12를 참조하여 설명하면 다음과 같다.
- <56> 먼저, 도 5와 도 6 에 도시한 바와 같이 상기 제1클럭 버퍼부(10)는 클럭신호(CLK)를 입력받고, 리퍼런스 신호로 클럭신호(CLKB)를 입력받아 이를 차동 증폭하여 버퍼링하여 출력하고, 상기 제2클럭 버퍼부(20)는 클럭신호(CLKB)를 입력받고, 리퍼런스 신호로 클럭신호(CLK)를 입력받아 이를 차동 증폭하여 버퍼링하여 출력한다.
- <57> 이어서, 상기 내부클럭 생성부(30)는 제1클럭 버퍼부(10)로부터 출력되는 버퍼링한 신호(ICLKR)의 라이징 에지

신호에 응답하여 내부클럭 신호(ICLK)의 라이징 에지 신호를 생성하고, 제2클럭 버퍼부(20)로부터 출력되는 버퍼링한 신호(ICLK_F)의 라이징 에지 신호에 응답하여 내부클럭 신호(ICLK)의 폴링 에지 신호를 생성한다. 즉, 클럭 신호(CLK)(CLK_B)의 라이징 에지 신호를 이용하여 내부클럭(ICLK)의 라이징 에지 신호와 폴링 에지 신호를 생성하여 내부클럭 신호(ICLK)를 생성한다.

- <58> 도 8 은 본 발명의 일 실시예에 따른 도 5 의 내부 클럭 생성부의 내부를 나타낸 회로도이고, 도 9 는 도 8 의 내부 클럭 생성부의 동작 파형도이다.
- <59> 도 8 에 도시한 바와 같이, 내부 클럭 생성부(30)는 제1클럭 버퍼부(10)의 출력신호(ICLKR)와 제2클럭 버퍼부(20)의 출력신호(ICLK_F)를 입력받는다.
- <60> 이어서, 상기 제1인버터(31)는 출력신호(ICLKR)를 버퍼링하여 출력하고, 상기 제1지연소자(32)는 상기 제1인버터(31)의 출력신호를 지연시켜 출력한다. 상기 제2지연소자(33)는 상기 제2클럭 버퍼부(20)의 출력신호(ICLK_F)를 지연시켜 출력한다.
- <61> 상기 구동부(34)는 상기 제1인버터(31)와 제1지연소자(32) 및 상기 제2클럭 버퍼부(20)와 제2지연소자(33)의 출력신호에 응답하여 풀-업 또는 풀-다운 구동한다.
- <62> 이때, 도 8,9에 도시한 바와 같이 상기 구동부(34)의 제1풀-업 소자(P1)는 상기 제1지연소자(32)의 출력신호에 응답하여 풀-업 구동한다. 상기 제1풀-업 소자(P1)와 직렬 연결된 제2풀-업 소자(P2)는 상기 제1인버터(31)의 출력신호에 응답하여 풀-업 구동한다.
- <63> 상기 구동부(34)의 제1풀-다운 소자(N1)는 입력신호(ICLK_F)에 응답하여 풀-다운 구동하고, 상기 제1풀다운 소자(N1)와 직렬 연결된 제2풀-다운 소자(N2)는 상기 제2지연소자(33)의 출력신호에 응답하여 풀-다운 구동한다.
- <64> 즉, 도 9 에 도시한 바와 같이 제1클럭 버퍼부(10)의 출력신호(ICLKR)가 라이징될 때, 상기 제1지연소자(32)의 지연구간에서 노드 UP1, UP2는 로우 레벨로 되어 제1,2풀-업 소자(P1)(P2)는 턴-온 되어 동작한다.
- <65> 또한, 제2클럭 버퍼부(20)의 출력신호(ICLK_F)가 라이징될 때, 상기 제2지연소자(33)의 지연구간에서 노드 DN1, DN2는 하이 레벨로 되어 제1,2풀-다운 소자(N1)(N2)는 턴-온 되어 동작한다.
- <66> 그러면, 상기 래치부(35)는 상기 구동부(34)의 출력신호에 응답하여 출력하고, 제2인버터(36)는 상기 래치부(35)의 출력신호를 버퍼링하여 출력한다.
- <67> 이처럼, 클럭 신호(CLK)를 버퍼링한 출력신호(ICLKR)의 라이징 에지 신호를 내부 클럭의 라이징 에지 신호로 전환하고, 클럭 신호(CLK_B)를 버퍼링한 출력신호(ICLK_F)의 라이징 에지 신호를 내부 클럭의 폴링 에지 신호로 전환하여 내부 클럭을 생성하는 것이다.
- <68> 도 10 은 본 발명의 다른 실시예에 따른 도 5 의 내부 클럭 생성부의 내부를 나타낸 회로도이고, 도 11 은 도 10 의 내부 클럭 생성부의 동작 파형도이다.
- <69> 도 10 에 도시한 바와 같이, 내부 클럭 생성부(30)는 제1클럭 버퍼부(10)의 출력신호(ICLKR)와 제2클럭 버퍼부(20)의 출력신호(ICLK_F)를 입력받는다.
- <70> 이어서, 상기 제1논리회로(41)는 상기 제1클럭 버퍼부(10)의 출력신호와 상기 제1지연소자(411)의 출력신호를 부정 논리곱 연산하여 출력하고, 상기 제2논리회로(42)는 상기 제2클럭 버퍼부(20)의 출력신호와 상기 제2지연소자(421)의 출력신호를 부정 논리곱 연산하여 출력한다.
- <71> 상기 제1구동부(43)는 상기 제1논리회로(41)의 출력신호와 제2논리회로(42)의 반전신호에 응답하여 풀-업 또는 풀-다운 구동하고, 상기 제2구동부(44)는 상기 제2논리회로(42)의 출력신호와 상기 제1논리회로(41)의 반전신호에 응답하여 풀-업 또는 풀-다운 구동한다.
- <72> 즉, 도 11 에 도시한 바와 같이 제1클럭 버퍼부(10)의 출력신호(ICLKR)가 라이징될 때, 상기 제1지연소자(411)의 지연구간에서 노드 A는 순간 로우 레벨로 되고, 노드 AB는 하이 레벨로 되어 제1풀-업 소자(P1)와 제3,4풀-다운 소자(N3)(N4)는 턴-온 되어 동작한다.
- <73> 또한, 제2클럭 버퍼부(20)의 출력신호(ICLK_F)가 라이징될 때, 상기 제2지연소자(421)의 지연구간에서 노드 B는 순간 로우 레벨로 되고, 노드 BB는 하이 레벨로 되어 제1,2 풀-다운 소자(N1)(N2)와 제2풀-업 소자(P1)는 턴-온 되어 동작한다.
- <74> 이처럼, 클럭 신호(CLK)를 버퍼링한 출력신호(ICLKR)의 라이징 에지 신호를 내부 클럭의 라이징 에지 신호로 전

환하고, 클럭 신호(CLKB)를 버퍼링한 출력신호(ICLK)의 라이징 에지 신호를 내부 클럭의 폴링 에지 신호로 전환하여 내부 클럭을 생성하는 것이다.

- <75> 도 12 는 도 5 의 클럭 버퍼의 특성 변화를 보인 도면으로, 도 4 에 나타난 조건과 동일하게 동일 입력에 대한 조건에서 전압강하(VDD 가변)에 따라 tR/tF의 특성의 변화를 나타내고 있다. 도 4 에 비해 tR/tF차가 75%(0.2ns -> 0.05ns)으로 감소하는 것을 보이고 있다.
- <76> 결국, 본 발명은 클럭 신호(CLK)(CLKB)의 라이징 에지 신호를 이용하여 내부클럭(ICLK)의 라이징 에지 신호와 폴링 에지 신호를 생성하므로 외부클럭의 듀티가 왜곡되지 않는 내부클럭을 생성하는 것이다. 즉, 클럭 신호(CLK)를 버퍼링한 출력신호(ICLK)의 라이징 에지 신호를 내부 클럭의 라이징 에지 신호로 전환하고, 클럭 신호(CLKB)를 버퍼링한 출력신호(ICLK)의 라이징 에지 신호를 내부 클럭의 폴링 에지 신호로 전환하여 내부 클럭을 생성하는 것이다.
- <77> 이때, 클럭 신호(CLK)를 버퍼링한 출력신호(ICLK)의 tR과 클럭 신호(CLKB)를 버퍼링한 출력신호(ICLK)의 tR은 동일하므로 외부클럭의 듀티가 왜곡되지 않는 것이다.
- <78> 이렇게 생성된 내부클럭은 DCC(Duty Correction Circuit)가 보정해야 하는 외부 변수의 감소로 이어져 DCC의 정확성을 증가시키는 원인으로 작용하게 됨으로 메모리 소자의 고속 동작을 개선한다.

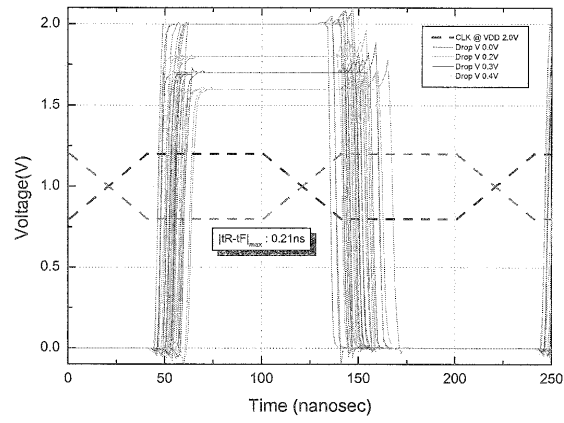
발명의 효과

- <79> 상술한 바와 같이, 본 발명은 외부 클럭과 듀티 왜곡 없는 내부 클럭을 생성함으로써 DCC(Duty Correction Circuit)가 보정해야 하는 외부 변수의 감소로 이어져 DCC의 정확성을 증가시키는 원인으로 작용하게 됨으로 메모리 소자의 고속 동작과 신뢰성을 향상시킨다.

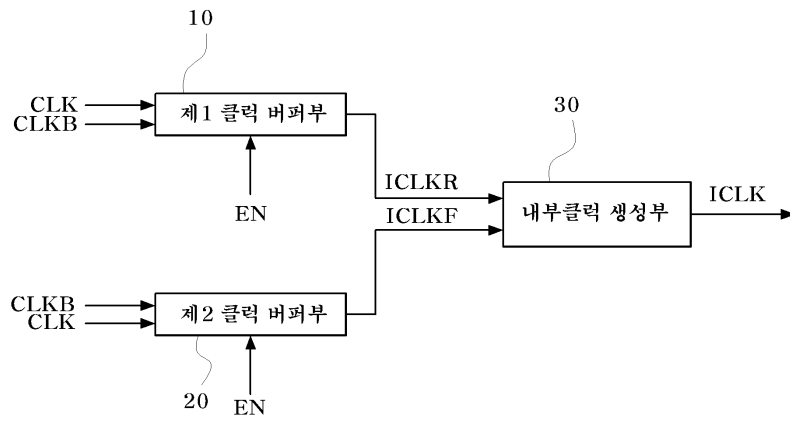
도면의 간단한 설명

- <1> 도 1 은 종래 기술에 의한 클럭 버퍼를 나타낸 블록 구성도.
- <2> 도 2 는 도 1 의 클럭 버퍼의 내부를 나타낸 회로도.
- <3> 도 3 은 도 2 의 클럭 버퍼의 동작 파형도.
- <4> 도 4 는 도 2 의 클럭 버퍼의 특성 변화를 보인 도면.
- <5> 도 5 는 본 발명의 일 실시예에 따른 클럭 버퍼를 나타낸 블록 구성도.
- <6> 도 6 은 도 5 의 클럭 버퍼의 내부를 나타낸 회로도.
- <7> 도 7 은 도 5 의 클럭 버퍼의 동작 파형도.
- <8> 도 8 은 본 발명의 일 실시예에 따른 도 5 의 내부 클럭 생성부의 내부를 나타낸 회로도.
- <9> 도 9 는 도 8 의 내부 클럭 생성부의 동작 파형도.
- <10> 도 10 은 본 발명의 다른 실시예에 따른 도 5 의 내부 클럭 생성부의 내부를 나타낸 회로도.
- <11> 도 11 은 도 10 의 내부 클럭 생성부의 동작 파형도.
- <12> 도 12 는 도 5 의 클럭 버퍼의 특성 변화를 보인 도면.
- <13> <도면의 주요부분에 대한 부호의 설명>
- <14> 10 : 제1클럭 버퍼부
- <15> 20 : 제2클럭 버퍼부
- <16> 30 : 내부클럭 생성부

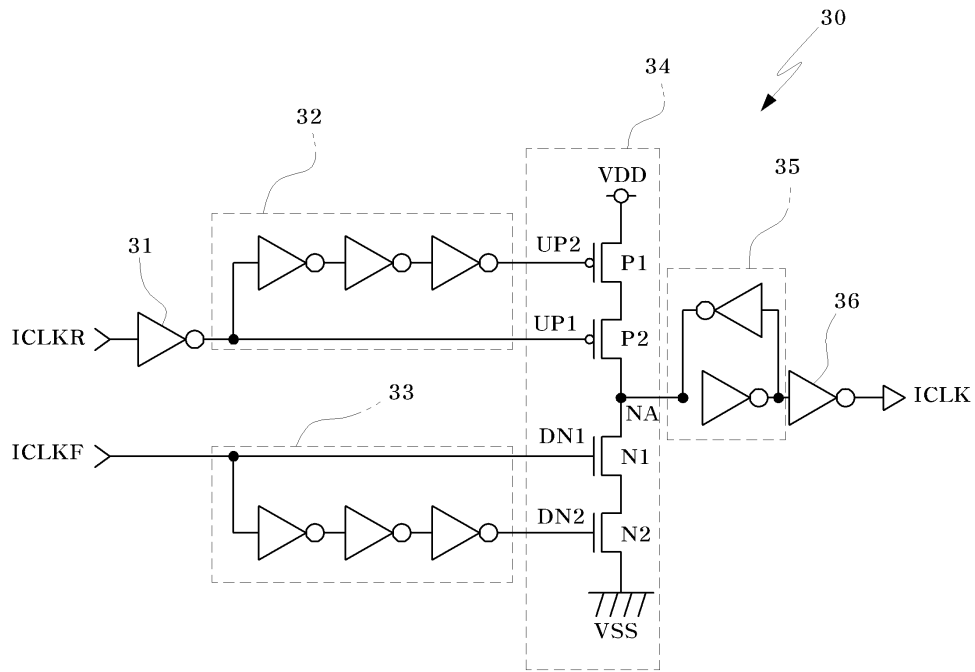
도면4



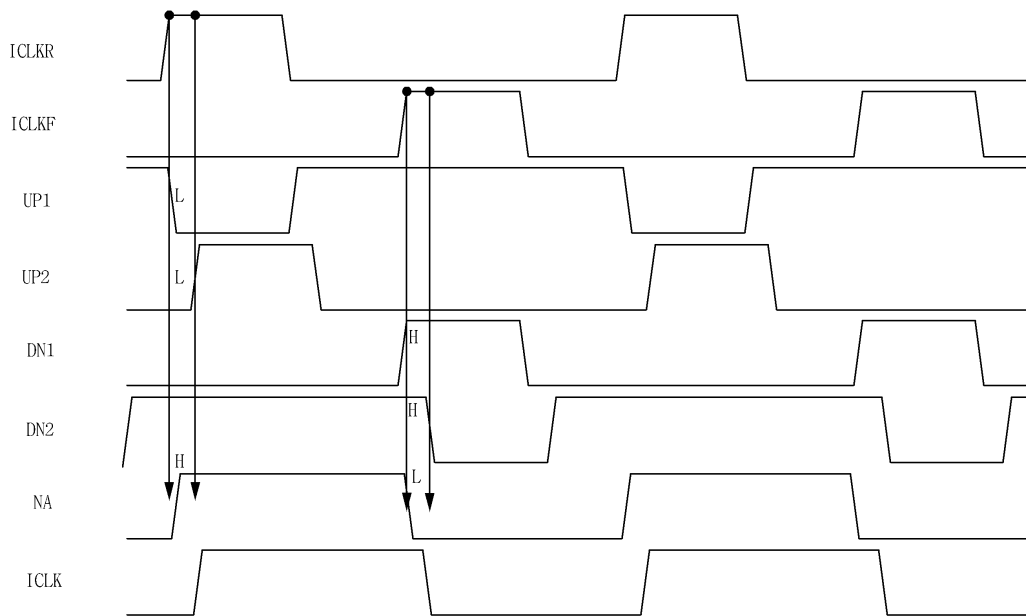
도면5



도면8



도면9



도면12

