

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6025595号
(P6025595)

(45) 発行日 平成28年11月16日(2016.11.16)

(24) 登録日 平成28年10月21日(2016.10.21)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 U
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 29/417 (2006.01)	HO 1 L 29/78	6 2 7 C
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 6 V
GO 2 F 1/1368 (2006.01)	HO 1 L 29/50	M
請求項の数 3 (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2013-27303 (P2013-27303)
 (22) 出願日 平成25年2月15日(2013.2.15)
 (65) 公開番号 特開2014-157893 (P2014-157893A)
 (43) 公開日 平成26年8月28日(2014.8.28)
 審査請求日 平成26年10月2日(2014.10.2)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 中川 直紀
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 山縣 有輔
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) 基板上に、第1の導電膜からなるゲート電極を形成する工程と、
 (b) 前記ゲート電極上に、ゲート絶縁膜を形成する工程と、
 (c) 前記ゲート絶縁膜上に、第1の半導体層およびその上の第2の半導体層を含む半導体膜を形成する工程と、

(d) 前記半導体膜を覆うように第2の導電膜を成膜し、所定のエッチングプロセスにより、前記第2の導電膜を加工して前記半導体膜上にソース電極およびドレイン電極を形成すると共に、前記ソース電極と前記ドレイン電極の間の領域に前記半導体膜を露出させる工程と、を備え、

前記第1の半導体層と前記第2の半導体層とは、互いに異なる材料で形成されており、
 前記第1の半導体層は、少なくともSnを含む酸化物半導体であり、
 前記第2の半導体層は、InおよびZnと、Al、Hf、Zr、Mg、Yのうち少なくとも1種以上の元素とを含む酸化物半導体であり、

前記工程(d)では、前記ソース電極と前記ドレイン電極の間の領域において、前記第2の導電膜が除去され、前記第1の半導体層が露出し、

前記エッチングプロセスに対する前記第2の半導体層のエッチング速さは、当該エッチングプロセスに対する前記第2の導電膜のエッチング速さよりも速い

ことを特徴とする薄膜トランジスタの製造方法。

【請求項2】

前記第1の半導体層は、前記ソース電極および前記ドレイン電極のエッチングプロセスに対して耐性を有する材料で形成されており、

前記第2の半導体層は、前記エッチングプロセスに対してエッチング性を有する材料で形成されている

請求項1記載の薄膜トランジスタの製造方法。

【請求項3】

前記第2の導電膜は、Al、Mo、Cu、Agのいずれかを含む金属膜、またはこれらの2以上の金属層からなる積層膜で形成されており、

前記エッチングプロセスは、リン酸、硝酸、酢酸を含むPAN薬液を用いたウエットエッチング法である

10

請求項1または請求項2記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば表示装置を構成する薄膜トランジスタ基板などに用いられる薄膜トランジスタおよびその製造方法に関する。

【背景技術】

【0002】

薄膜トランジスタ(Thin Film Transistor:以下「TFT」と呼称)をスイッチング素子として用いたTFTアクティブマトリクス基板(以下「TFT基板」と呼称)は、例えば液晶を利用した表示装置(液晶表示装置:Liquid Crystal Display(以下「LCD」))等の電気光学装置に利用される。TFT等の半導体装置は、低消費電力および薄型であるという特徴がある。このような半導体装置の特長を活かした平面型表示装置(フラットパネルディスプレイ)は、CRT(Cathode Ray Tube)に代わって普及している。

20

【0003】

一般的なフラットパネルディスプレイ用のLCDは、アレイ状(マトリクス状)に配設されたTFTを有するTFT基板とカラーフィルタを有する対向基板との間に液晶層が挟持された構成の表示パネルを有している。表示パネルの前面側(視認側)と背面側のそれぞれに偏光板が設けられ、当該背面側にはさらにバックライトが設けられる。このような構造によって良好なカラー表示が得られる。

30

【0004】

例えば特許文献1の図1に、LCD用TFT基板の代表的な構造が開示されている。当該TFT基板は、各画素のスイッチング素子としてボトムゲートのバックチャネル型TFTを有し、TFTと電氣的に接続される画素電極が最上層に形成された構造を有している。この構造のTFT基板は、5回のフォトリソグラフィープロセス(写真製版工程)を用いて製造することができる。

【0005】

従来、液晶表示装置用のTFT基板のスイッチング素子としては、チャネル層となる半導体膜としてアモルファスシリコン(Si)を用いるのが一般的であったが、近年では、チャネル層に酸化物半導体を用いたTFTの開発が盛んになっている。酸化物半導体は、従来のアモルファスシリコンよりも高い移動度を有するため、それをTFTのチャネル層に用いることで、小型で高性能なTFTを実現できる。酸化物半導体としては、酸化亜鉛(ZnO)系材料や、酸化亜鉛に酸化ガリウム(Ga₂O₃)、酸化インジウム(In₂O₃)、酸化スズ(SnO₂)などを添加した材料が主に用いられている。この技術は、例えば特許文献2、3および非特許文献1等が開示されている。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平10-268353号公報

【特許文献2】特開2005-77822号公報

50

【特許文献3】特開2007-281409号公報

【非特許文献】

【0007】

【非特許文献1】Kenji Nomura等著、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、Nature 2004年、第432巻、第488頁～第492頁

【発明の概要】

【発明が解決しようとする課題】

【0008】

バックチャネル型TFTにおいて、チャネル層をZn-O系やInGa-Zn-O系のような酸化物半導体膜で構成する場合、スパッタリング法や真空蒸着法によりソース電極およびドレイン電極となる金属膜(Cr、Ti、Cu、Mo、Ta、Alおよびこれらの合金)を酸化物半導体膜の上に直接形成すると、その表面に構造や組成比が乱れたダメージ層が形成される。また、界面反応によって酸化物半導体膜と金属との還元反応が起こり、酸化物半導体膜の表面に酸素が欠乏した層ができる。酸素が欠乏した酸化物半導体は、電子によるキャリア密度が増加してN型化し、低抵抗化する。

10

【0009】

このように酸化物半導体膜の表面が低抵抗化すると、ソース電極およびドレイン電極との界面コンタクト特性が改善(界面抵抗が低減)され、TFTのオン特性が向上するという効果を生む。しかし、上記の金属膜を除去して形成される、ソース電極とドレイン電極

20

の間のチャネル領域(バックチャネル)では、その表面が低抵抗化していると、TFTのオフ電流が増大して、表示ムラや、クロストークのような表示不良を生じさせる。また、チャネル領域の表面にダメージ層が残っていると、TFTの閾値が大きくシフトするなど、TFT特性の劣化が生じ、これも表示不良の原因となる。

【0010】

このような問題を解決する手法としては、酸素が欠乏して低抵抗化したチャネル領域の表面に、イオン注入、酸素プラズマ照射または酸素雰囲気中の熱処理などの表面処理によって酸素を注入することが考えられる。それにより、チャネル領域の表面が高抵抗化されると共に、その部分の構造や組成比や構造の乱れを緩和することができる。しかし、それらの手法では、改善の効果が十分に得られない場合があることや、新たな工程が追加されることにより製造コストが上昇するなどの問題がある。

30

【0011】

さらに、ソース電極およびドレイン電極と酸化物半導体膜との界面近傍(ソース電極およびドレイン電極の端部近傍)において、酸素の欠乏によって酸化物半導体膜内に発生した電子キャリアの影響で、電子キャリア濃度が高くなっていると、その部分に電界集中が生じて良好なTFT特性が得られなくなる問題も生じる。例えば、ゲート電極に深い負のバイアスが印加された場合、ドレイン電極の端部近傍に電界が集中する。

【0012】

本発明は以上のような課題を解決するためになされたものであり、薄膜トランジスタ(TFT)の製造工程数の増大を抑えつつ、製造過程でチャネル領域に形成されるダメージ層や酸素欠乏層などを除去することが可能な薄膜トランジスタの構造およびその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0014】

本発明に係る薄膜トランジスタの製造方法は、(a)基板の上に、第1の導電膜からなるゲート電極を形成する工程と、(b)前記ゲート電極上に、ゲート絶縁膜を形成する工程と、(c)前記ゲート絶縁膜上に、第1の半導体層およびその上の第2の半導体層を含む半導体膜を形成する工程と、(d)前記半導体膜を覆うように第2の導電膜を成膜し、所定のエッチングプロセスにより、前記第2の導電膜を加工して前記半導体膜上にソース電極およびドレイン電極を形成すると共に、前記ソース電極と前記ドレイン電極の間の領域

50

に前記半導体膜を露出させる工程と、を備え、前記第1の半導体層と前記第2の半導体層とは、互いに異なる材料で形成されており、前記第1の半導体層は、少なくともSnを含む酸化物半導体であり、前記第2の半導体層は、InおよびZnと、Al、Hf、Zr、Mg、Yのうち少なくとも1種以上の元素とを含む酸化物半導体であり、前記工程(d)では、前記ソース電極と前記ドレイン電極の間の領域において、前記第2の導電膜が除去され、前記第1の半導体層が露出し、前記エッチングプロセスに対する前記第2の半導体層のエッチング速さは、当該エッチングプロセスに対する前記第2の導電膜のエッチング速さよりも速いものである。

【発明の効果】

【0015】

10

本発明に係る薄膜トランジスタによれば、半導体膜のチャネル領域において、上層の第2の半導体層が除去されて下層の第1の半導体層が露出しているため、第2の半導体層に形成されたダメージ層がチャネル領域から除去された構成となる。特に、半導体膜として酸化物半導体を用いる場合には、ソース電極およびドレイン電極を構成する金属膜を成膜したときに形成される酸素欠乏層がチャネル層から除去され、チャネル領域の低抵抗化によるTFTのオフ電流値の増大が防止される。

【0016】

また、本発明に係る薄膜トランジスタ基板の製造方法によれば、ソース電極およびドレイン電極の加工と、半導体膜のチャネル領域における第2の半導体材料の除去とが、同じエッチングプロセスを用いて同時に行われる。よって、従来の手法に対する工程数の増加を抑えつつ、本発明に係る薄膜トランジスタおよびそれを備える薄膜トランジスタ基板を形成することができる。

20

【図面の簡単な説明】

【0017】

【図1】TFT基板の全体構成を模式的に説明する平面図である。

【図2】本発明の実施の形態に係るTFT基板の画素の平面構成を示す図である。

【図3】本発明の実施の形態に係るTFT基板の主要部の断面構成を示す図である。

【図4】本発明の実施の形態に係るTFT基板の製造工程を示す断面図である。

【図5】本発明の実施の形態に係るTFT基板の製造工程を示す断面図である。

【図6】本発明の実施の形態に係るTFT基板の製造工程を示す断面図である。

30

【図7】本発明の実施の形態に係るTFT基板の製造工程を示す断面図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について説明する。ここでは、各画素に設けられるスイッチング素子として薄膜トランジスタ(TFT)が用いられたTFTアクティブマトリクス基板(TFT基板)に、本発明を適用した例を示す。TFT基板は、液晶表示装置(LCD)等のフラットパネルディスプレイなどに用いられる。

【0019】

< TFT基板の全体構成 >

まず、TFT基板の全体構成について説明する。図1は、TFT基板の全体構成を模式的に説明する平面図であり、LCD用のTFT基板を例にとって示している。

40

【0020】

TFT基板200は、TFT201を有する画素204がマトリクス状に配列される表示領域202と、表示領域202の外側を囲む額縁領域203とに大きく分けられる。

【0021】

表示領域202には、複数のゲート配線(走査信号線)3および複数のソース配線(表示信号線)9が配設される。複数のゲート配線3は互いに平行に配設され、複数のソース配線9も互いに平行に配設される。複数のゲート配線3と複数のソース配線9は直交する。図1では、ゲート配線3が横方向(X方向)に延在し、ソース配線9が縦方向(Y方向)に延在している。隣接するゲート配線3と隣接するソース配線9で囲まれた領域が画素

50

204となるので、表示領域202には、画素204がマトリックス状に配列されることになる。

【0022】

図1では、代表的に1つの画素204を拡大して示している。画素204内には、少なくとも1つのTFT201が配設されている。TFT201は、ソース配線9とゲート配線3の交差点近傍に配置され、ゲート配線3に接続されるゲート電極と、ソース配線9に接続されるソース電極と、画素電極11に接続されるドレイン電極とを有している。また、画素電極11は補助容量電極5との間に補助容量209を形成しており、補助容量電極5は所定の共通電位が供給される補助容量配線210に接続されている。補助容量配線210は、ゲート配線3に平行に(ソース配線9に直交するように)延在し、ゲート配線3と補助容量配線210とは交互に配設される。

10

【0023】

一方、TFT基板200の額縁領域203には、走査信号駆動回路205および表示信号駆動回路206が設けられている。図示は省略するが、ゲート配線3は、表示領域202から走査信号駆動回路205が設けられた側の額縁領域203へと引き出され、走査信号駆動回路205に接続されている。同様に、ソース配線9は、表示領域202から表示信号駆動回路206が設けられた側の額縁領域203へと引き出され、表示信号駆動回路206に接続されている。

【0024】

走査信号駆動回路205の近傍には、走査信号駆動回路205を外部と接続させるための接続基板207が配設され、表示信号駆動回路206の近傍には、表示信号駆動回路206を外部と接続させるための接続基板208が配設されている。これら接続基板207および208は、例えば、FPC(Flexible Printed Circuit)などの配線基板である。

20

【0025】

走査信号駆動回路205には、接続基板207を介して外部から各種の制御信号が供給され、表示信号駆動回路206には、接続基板208を介して外部から各種の制御信号および画像データが供給される。走査信号駆動回路205は、外部からの制御信号に基づいて、ゲート配線3にゲート信号(走査信号)を供給する。このゲート信号によって、ゲート配線3が一定周期で順番に選択される。表示信号駆動回路206は、外部からの制御信号に基づいて、画像データに応じた表示信号をソース配線9に供給する。この走査信号駆動回路205と表示信号駆動回路206の動作によって、表示信号に応じた表示電圧が各画素204に供給される。

30

【0026】

本発明に係る薄膜トランジスタは、画素204に設けられるTFT201に適用可能なことはもちろん、走査信号駆動回路205および表示信号駆動回路206を構成するスイッチング素子としても好適に用いることができる。なお、走査信号駆動回路205および表示信号駆動回路206は、TFT基板200上に形成されとは限らず、例えば、TCP(Tape Carrier Package)を用いて構成され、TFT基板200に接続される場合もある。

【0027】

また、補助容量電極5は、後述するように、画素電極11と平面視で重複(重畳)するように配設され、画素電極11を一方の電極、補助容量電極5をもう一方の電極とする補助容量209を形成する。各画素204の補助容量電極5は、補助容量配線210に接続されて結束し、例えば走査信号駆動回路205や表示信号駆動回路206などから所定の共通電位が供給される。

40

【0028】

TFT201は、画素電極11に表示電圧を供給するためのスイッチング素子として機能し、ゲート配線3からゲート電極に与えられるゲート信号により、オン/オフが制御される。TFT201がオンになると、ソース配線9からドレイン電極に供給された表示電圧が画素電極11に印加され、画素電極11と対向基板(不図示)の対向電極との間に、

50

表示電圧に応じた電界が生じる。画素電極 1 1 と対向電極との間には液晶を介して補助容量 2 0 9 と並列な容量（液晶容量）が形成される。画素電極 1 1 に印加された表示電圧は、液晶容量と補助容量 2 0 9 によって一定期間保持される。

【 0 0 2 9 】

対向基板は、例えばカラーフィルタ基板であり、T F T 基板 2 0 0 の前面側（視認側）に配置される。対向基板には、カラーフィルタ、ブラックマトリックス（B M）、対向電極および配向膜等が形成される。配向膜は、T F T 基板 2 0 0 の表面にも形成されていてもよい。また、I P S（In Plane Switching）方式や F F S（Fringe Field Switching）方式の液晶表示装置の場合、対向電極は、対向基板ではなく T F T 基板 2 0 0 上に配設される。

10

【 0 0 3 0 】

T F T 基板 2 0 0 と対向基板とが一定の間隙（セルギャップ）を介して貼り合わされ、その間隙に液晶が注入されて封止されることで、液晶表示パネルが形成される。すなわち、液晶表示パネルは、T F T 基板 2 0 0 と対向基板との間に液晶層が挟持された構造となる。さらに、液晶表示パネルの外側には、偏光板、位相差板等が設けられる。また、液晶表示パネルの背面側（T F T 基板 2 0 0 の裏側）には、バックライトユニット等が配設される。

【 0 0 3 1 】

< 液晶表示装置の動作 >

続いて、液晶表示装置の動作について説明する。T F T 基板 2 0 0 と対向基板との間に
 20 教示されている液晶は、画素電極 1 1 と対向電極との間に生じる電界によって駆動される（配向方向が制御される）。液晶の配向方向が変化すると、それを通過する光の偏光状態が変化する。よって、偏光板を通過して直線偏光となったバックライトユニットからの光は、液晶表示パネルの液晶層を通過するときに偏光状態が変化する。具体的には、バックライトユニットからの光は、T F T 基板 2 0 0 側の偏光板によって直線偏光になる。そして、この直線偏光が液晶層を通過することによって、その偏光状態が変化する。

20

【 0 0 3 2 】

液晶層を通過した光は、その偏光状態により、対向基板側の偏光板を通過する光量が変化する。すなわち、バックライトユニットから液晶表示パネルを透過する透過光のうち、
 30 視認側の偏光板を通過する光の光量が変化する。液晶の配向方向は、画素電極 1 1 に印加されている表示電圧によって変化する。したがって、表示電圧を制御することによって、視認側の偏光板を通過する光量を制御できる。液晶表示装置では、画素ごとに印加する表示電圧を表示データに基づいて制御することで、所望の画像を表示させている。

30

【 0 0 3 3 】

< T F T 基板の画素の構成 >

次に、図 2 および図 3 を参照して、本実施の形態に係る T F T 基板 2 0 0 のより詳細な構成について説明する。以下では、T F T 基板 2 0 0 は透過型の液晶表示装置に用いられるものとして説明する。

【 0 0 3 4 】

図 2 は、画素 2 0 4 を含む T F T 基板 2 0 0 の主要部の平面構成を示す図であり、図 3
 40 は、その断面構成を示す図である。図 3 では、図 2 に示す X - X 線、Y - Y 線および Z - Z 線に対応する断面に対応している。X - X 線に沿った断面は、画素 2 0 4 の形成領域（以下「画素部」）に対応する。Y - Y 線に沿った断面は、ゲート配線 3 にゲート信号を供給するためのゲート端子 4 およびゲート端子パッド 1 8 の形成領域（以下「ゲート端子部」）に対応する。Z - Z 線に沿った断面は、ソース配線 9 に表示信号を印加するためのソース端子 1 0 およびソース端子パッド 1 9 の形成領域（以下「ソース端子部」）に対応する。

40

【 0 0 3 5 】

さらに、X - X 線に沿った画素部の断面は、図 3 に示すように、ゲート配線 3 とソース配線 9 とが交差する領域である「ゲート・ソース配線交差部」と、T F T 2 0 1 の形成領
 50

50

域である「TFT部」と、画素電極11をTFT201のドレインに接続させるコンタクトの形成領域である「ドレインコンタクト部」と、画素電極11の形成領域である「画素電極部」と、補助容量209の形成領域である「補助容量部」とを含んでいる。

【0036】

図3に示すように、TFT基板200は、例えばガラス等の透明性絶縁基板である基板1を用いて形成される。基板1上には、同じ導電膜(第1の導電膜)が選択的に配設されて、各種の配線や電極を構成している。すなわち、ゲート端子部にはゲート端子4が配設され、ゲート・ソース配線交差部にはゲート配線3が配設され、TFT部にはゲート電極2が配設され、補助容量部には補助容量電極5が配設されている。そして、これらを覆うように、絶縁膜6が配設されている。絶縁膜6は、TFT部ではゲート絶縁膜として機能するため、以下では「ゲート絶縁膜」と称する。

10

【0037】

TFT部のゲート絶縁膜6上には、下層の第1の半導体層12aおよび上層の第2の半導体層12bとが積層して成る2層構造の半導体膜12(チャネル層)が形成されている。

【0038】

また、ゲート絶縁膜6および半導体膜12上には、同じ導電膜(第2の導電膜)が選択的に配設されて、各種の配線や電極を構成している。

【0039】

例えばTFT部には、第2の半導体層12b上に接合されたソース電極7およびドレイン電極8が互いに離間して配設されている。ソース電極7とドレイン電極8との間の半導体膜12では、第2の半導体層12bが除去されて、第1の半導体層12aの表面が露出している。その露出した第1の半導体層12aの部分が、TFT201のチャネルが形成されるチャネル領域13(バックチャネル)となる。

20

【0040】

チャネル領域13では、ソース電極7およびドレイン電極8と半導体膜12との接合端部において、第2の半導体層12bの端部が、ソース電極7およびドレイン電極8の端部よりも後退している。つまり、断面視で、ソース電極7およびドレイン電極の端部は、第2の半導体層12bよりも突出した庇形状となっている。

【0041】

本実施の形態では、半導体膜12を構成する第1および第2の半導体層12a, 12bは、酸化物半導体で構成される。ここでいう酸化物半導体とは、導電率が $10^{-7} \sim 10$ S/cmであるもの、あるいはキャリア濃度が $10^{11} \sim 10^{18}$ 個/cm³の範囲にあるものとする。導電率が10 S/cmよりも大きい場合や、キャリア濃度が 10^{18} 個/cm³よりも大きい場合は、電気が常時流れやすくなり、半導体膜としてのスイッチングの機能を示さない場合があるからである。導電率が $10^{-5} \sim 10^{-1}$ S/cmの範囲内、あるいは、キャリア濃度が $10^{12} \sim 10^{17}$ 個/cm³の範囲内であれば、より好ましい。

30

【0042】

酸化物半導体を半導体膜12(チャネル層)に用いることで、アモルファスシリコンを用いる場合よりも高い移動度有するTFT201を実現することができる。

40

【0043】

具体的には、第1の半導体層12aとして、例えば酸化亜鉛(ZnO)に酸化インジウム(In_2O_3)、および酸化スズ(SnO_2)を添加したIn-Zn-Sn-O系の酸化物半導体を用いることができる。また、第2の半導体層12bとしては、酸化亜鉛(ZnO)に酸化ガリウム(Ga_2O_3)、酸化インジウム(In_2O_3)を添加したIn-Ga-Zn-O系の酸化物半導体を用いることができる。第1および第2の半導体層12a, 12bの両方を酸化物半導体とすることで、それらを積層させてもその界面で還元反応は生じず、当該界面にダメージ層が形成されることはない。

【0044】

50

第1および第2の半導体層12a, 12bの材料として例示した、In-Zn-Sn-O系の酸化物半導体およびIn-Ga-Zn-O系の酸化物半導体は、いずれもシュウ酸などのカルボン酸を含むエッチング薬液に可溶であり、それを用いてエッチング加工が可能である。

【0045】

一方、Al、Mo、AgおよびCu系の電極材料として一般的に用いられる金属膜のエッチング薬液として知られている、リン酸を含む薬液、例えばリン酸と硝酸と酢酸の混酸(Phosphoric acid、Acetic acid、Nitric acid:以下「PAN」)薬液に対しては、前者のIn-Zn-Sn-O系の酸化物半導体は、広い組成範囲で不溶もしくは難溶性を有し、それを用いてエッチング加工をすることができない。それに対して、後者のIn-Ga-Zn-O系の酸化物半導体は、リン酸を含む薬液に対し、広い組成範囲で可溶性を有し、それを用いてエッチング加工(除去)することができる。

10

【0046】

さらに、両者は、Cr系金属膜のエッチング薬液として知られる硝酸第二セリウムアンモニウムを含む薬液(Cerium Ammonium Nitrate:以下「CAN」)に対しても、PAN薬液と同様の特性を示す。

【0047】

図3に戻り、ソース端子部には、ゲート絶縁膜6の上に、ソース電極7およびソース配線9と同じ導電膜(第2導電膜)で形成されたソース端子10が配設されている。ソース端子10は、ソース電極7に接続するソース配線9の端部に形成される。

20

【0048】

基板1の全体を覆うように、保護絶縁膜14が形成されている。保護絶縁膜14には、複数のコンタクトホールが形成されている。

【0049】

例えば、ドレインコンタクト部には、ドレイン電極8に達するコンタクトホール15(以下「ドレインコンタクトホール」)が形成される。画素電極部の保護絶縁膜14上には、画素電極11が配設されるが、この画素電極11は、ドレインコンタクトホール15を介してドレイン電極8と接触して電氣的に接続されている。さらに、画素電極11は、補助容量部に形成されている補助容量電極5の上方にまで延在し、画素電極11と補助容量電極5とによって補助容量209(図1)が形成される。なお、本実施の形態のTF T基板200は、透過型の液晶表示装置に用いられるので、画素電極11は透光性導電膜を用いて形成される。

30

【0050】

一方、ゲート端子部には、保護絶縁膜14およびゲート絶縁膜6を貫通してゲート端子4に達するコンタクトホール16が形成されている(以下「ゲート端子コンタクトホール」)。ゲート端子部の保護絶縁膜14上には、ゲート端子コンタクトホール16を介してゲート端子4の表面と接触し電氣的に接続されるゲート端子パッド18が、画素電極11と同じ透光性導電膜を用いて形成される。

【0051】

また、ソース端子部には、保護絶縁膜14を貫通してソース端子10に達するコンタクトホール17(以下「ソース端子コンタクトホール」)が形成されている。ソース端子部の保護絶縁膜14上には、ソース端子コンタクトホール17を介してソース端子10の表面と接触し電氣的に接続されるソース端子パッド19が、画素電極11と同じ透光性導電膜を用いて配設される。

40

【0052】

次に、画素204の平面構成について説明する。図2に示すように、複数のゲート配線3は、複数のソース配線9と直交するように横方向(X方向)に延在し、互いに平行して配設されている。また、ゲート配線3は、TF T201のゲート電極2と一体的に形成されている。すなわち、ゲート配線3におけるTF T201形成領域(TF T部)の部分が、ゲート電極2となっている。ゲート配線3において、ゲート電極2となる部分は他の部

50

分よりも幅広に形成されている。

【0053】

ゲート電極2の上には、ゲート絶縁膜4(図3)を介して、半導体膜12が形成されており、さらにその上にソース電極7およびドレイン電極8が設けられる。ソース電極7とドレイン電極8は、ゲート電極2の上方で互いに離間して対向配置され、その間に露出した半導体膜12の部分がTFT201のチャンネル領域13となる。なお、半導体膜12のパターンは、平面視で、ゲート電極2のパターンの内側に入るように(ゲート電極2の外側にはみ出さないように)構成されている。

【0054】

ゲート配線3の一方の端部はゲート端子4に接続される。上記したように、ゲート端子4の上には、ゲート端子コンタクトホール16を介してゲート端子4に接続するゲート端子パッド18が形成されている。なお、ゲート端子パッド18は、走査信号駆動回路205(図1)に接続され、ゲート配線3に供給するゲート信号(走査信号)が印加される。

10

【0055】

縦方向(Y方向)に延在するソース配線9は、ゲート配線3との交点近傍で分岐しており、その分岐した部分がTFT201の形成領域まで延びてソース電極7を構成する。ソース電極7は、ゲート電極2の上方に重畳するように配置される。

【0056】

ソース配線9の一方の端部はソース端子10に接続されている。上記したように、ソース端子10の上には、ソース端子コンタクトホール17を介してソース端子10に接続するソース端子パッド19が形成されている。なお、ソース端子パッド25は、表示信号駆動回路206(図1)に接続され、ソース配線9に供給する表示信号が印加される。

20

【0057】

画素電極11は、ドレインコンタクトホール15を介してドレイン電極8と電気的に接続される。さらに、画素電極11の一部はゲート絶縁膜6および保護絶縁膜14(図3)を介して補助容量電極5と一部が重畳しており、その重畳部分で補助容量209(図1)が形成される。

【0058】

補助容量電極5は、画素電極11の端縁部と重複するように、平面視で(パイ)字状に形成されている。補助容量電極5の形状は字状に限らず、画素電極11との間で所望の容量値が得られれば、任意の形状(例えば直線状やL字状)でよい。

30

【0059】

<製造方法>

本実施の形態に係るTFT基板200の製造方法について、図4~図7を参照しつつ説明する。なお、図4~図7においては、図3に示した要素に対応する要素には、それと同一符号を付してある。

【0060】

まず、基板1を洗浄液または純水を用いて洗浄する。本実施の形態では、厚さ0.5mmの無アルカリガラス基板を基板1として用いる。そして、洗浄された基板1の一方の全面全面に、ゲート電極2、ゲート配線3などを構成する第1の導電膜を成膜する。

40

【0061】

第1の導電膜としては、例えばアルミニウム(Al)、クロム(Cr)、銅(Cu)、モリブデン(Mo)やこれらに他の元素を微量に添加した合金等を用いることができる。また、これらの金属または合金を2層以上含む積層構造としてもよい。これらの金属、合金を用いることによって、比抵抗値が $50\mu\text{cm}$ 以下(導電率が $2 \times 10^4\text{S/cm}$ 以上)の低抵抗な導電膜を得ることができる。

【0062】

本実施の形態では、第1の導電膜としてMo膜を用い、Arガスを用いたスパッタリング法でMo膜を200nmの厚さに成膜した。その後、Mo膜上にレジスト材を塗布し、写真製版工程(第1回目)でフォトリソパターンを形成し、当該フォトリソパタ

50

ーンをエッチングマスクとして、Mo膜をエッチングによりパターンニングする。その後、フォトレジストパターンを除去する。その結果、図4に示すように、基板1上に、ゲート電極2、ゲート配線3、ゲート端子4および補助容量電極5が形成される。

【0063】

第1の導電膜のエッチングプロセスでは、リン酸、酢酸および硝酸を含む溶液(PAN薬液)によるウェットエッチングを用いることができる。PAN薬液としては、リン酸が40~93wt%(重量%)、酢酸が1~40wt%、硝酸が0.5~15wt%の範囲のものが好ましい。本実施の形態においては、リン酸70wt%+酢酸7wt%+硝酸5wt%+水のPAN薬液を用い、液温を25に設定して、Mo膜をエッチングした。

【0064】

次に、図5に示す工程において、基板1の一方の主面全面に、ゲート端子4、ゲート配線3、ゲート電極2および補助容量電極5を覆うようにゲート絶縁膜6を成膜する。ゲート絶縁膜6は、化学的気相成長(CVD)法を用いて、酸化シリコン(SiO)膜を形成することで得られる。本実施の形態では、厚さ300nmの酸化シリコン膜を、約300の基板加熱条件下で成膜した。なお、酸化シリコン膜は、水分(H₂O)や水素(H₂)あるいはナトリウム(Na)やカリウム(K)のようなTFT特性に影響を及ぼす不純物元素に対するバリア性(遮断性)が弱いことから、ゲート絶縁膜6は、酸化シリコン膜の下層に例えばバリア性に優れた窒化シリコン(SiN)膜などを設けた積層構造としてもよい。

【0065】

さらに、ゲート絶縁膜6の上に、半導体膜12を構成する酸化膜半導体である第1の半導体層12aおよび第2の半導体層12bをこの順に成膜し、下層が第1の半導体層12a、上層が第2の半導体層12bとなる積層膜を形成する。

【0066】

第1の半導体層12aとしては、この後のソース電極およびドレイン電極を形成するための第2の導電膜のエッチングプロセスに対して耐性を有する酸化物材料を用いる。例えば酸化亜鉛(ZnO)に酸化インジウム(In₂O₃)、および酸化すず(SnO₂)を添加したIn-Zn-Sn-O系の酸化物を用いることができる。

【0067】

なお、本明細書において、「ソース電極およびドレイン電極のエッチングプロセスに対して耐性を有する」とは、導電膜を加工してソース電極およびドレイン電極を形成する一連のエッチングプロセス中に暴露されても、少なくとも消失せずに残存可能であることと定義される(ただし、半導体膜を半導体として十分に機能させるためには、最初の膜厚の半分以上が残っていることが好ましい)。

【0068】

本実施の形態では、In:Zn:Sn:Oの原子組成比が2:6:2:13であるIn-Zn-Sn-Oターゲット[In₂O₃·(ZnO)₆·(SnO₂)₂]を用いたスパッタリング法により、第1の半導体層12aを成膜した。このとき、ArガスやKrガスを用いてスパッタリングすると、通常は、酸素の原子組成比が化学量論組成よりも少ない酸素イオン欠乏状態(上記の例ではOの組成比が13未満)の酸化膜が形成されるため、好ましくない。したがって、Arガスに酸素(O₂)ガスを混合させてスパッタリングすることが望ましい。ここでは、Arガスに対して分圧比で10%のO₂ガスを添加した混合ガスを用いてスパッタリングを行い、In-Zn-Sn-O膜を40nmの厚さで成膜する。

【0069】

成膜直後のIn-Zn-Sn-O膜は非晶質構造であり、シュウ酸を含む薬液に可溶性を示すため、それを用いたエッチング加工が可能である。一方で、上記のPAN系薬液およびCAN系薬液では、液温20から40の範囲で5分間浸漬した後でも膜減りはほとんど認められず、難溶性を示すことから、エッチング加工は不可能である。

【0070】

一方、第2の半導体層12bとしては、この後のソース電極およびドレイン電極を形成するための第2の導電膜のエッチングプロセスに対してエッチング性を有する酸化物材料を用いる。例えば酸化亜鉛(ZnO)に酸化ガリウム(Ga_2O_3)、酸化インジウム(In_2O_3)を添加したIn-Ga-Zn-O系の酸化物を用いることができる。

【0071】

なお、本明細書において、「ソース電極およびドレイン電極のエッチングプロセスに対してエッチング性を有する」とは、導電膜を加工してソース電極およびドレイン電極を形成する一連のエッチングプロセス中に暴露させると、完全に除去可能であることと定義される。

【0072】

本実施の形態では、In:Ga:Zn:Oの原子組成比が1:1:1:4であるIn-Ga-Zn-Oターゲット[$In_2O_3 \cdot Ga_2O_3 \cdot (ZnO)_2$]を用いたスパッタリング法により、第2の半導体層12bを成膜した。このときも、ArガスやKrガスを用いてスパッタリングすると、通常は、酸素イオン欠乏状態(上記の例ではOの組成比が4未満)の酸化膜が形成されるため、好ましくない。したがって、Arガスに対して分圧比で10%の O_2 ガスを添加した混合ガスを用いてスパッタリングを行い、In-Ga-Zn-O膜を20nmの厚さで成膜する。

【0073】

成膜直後のIn-Ga-Zn-O膜は非晶質構造であり、シュウ酸を含む薬液に可溶性を示すため、それを用いたエッチング加工が可能である。またPAN系薬液およびCAN系薬液でも、シュウ酸を含む薬液の場合と同様に可溶性を示し、エッチング加工をすることが可能である。

【0074】

なお、本明細書における酸化物半導体の「非晶質構造」とは、具体的には、X線回折法による回折パターンにおいて、ハロー状のパターンが観測されるとともに、特定の結晶面による回折ピークが明確には観測されない結果が得られるものと定義する。すなわち非晶質中に結晶領域が存在したとしても、微結晶のためにX線回折では明確な回折ピークを示さないものも非晶質状態に含むものとする。

【0075】

第1および第2の半導体層12a, 12bを成膜した後、その上にレジスト材を塗布し、写真製版工程(第2回目)でフォトレジストパターンを形成し、当該フォトレジストパターンをエッチングマスクとして、第1および第2の半導体層12a, 12bをエッチングによりパターンニングする。その後、フォトレジストパターンを除去する。その結果、図5のように、TFT部のゲート絶縁膜6上に、チャンネル層としての半導体膜12が形成される。

【0076】

このエッチングプロセスでは、カルボン酸を含む薬液によるウエットエッチングを用いることができる。カルボン酸を含む薬液としては、シュウ酸を1~10wt%の範囲で含むものが好ましい。本実施の形態では、シュウ酸5wt%+水のシュウ酸系薬液を用い、液温を25℃に設定して、第1および第2の半導体層12a, 12bを同時に一括エッチングして半導体膜12を形成した。

【0077】

なお、半導体膜12のパターンは、図2にも示したように、平面視でゲート電極2のパターンよりも外側にはみ出さず、全体がゲート電極2の内側に入るように構成されている。この構成では、TFT基板1の裏面からバックライト光を照射して表示を行う透過型LCDにおいて、ゲート電極12パターンが遮光マスクとなって半導体膜12に光が直接入射することを防ぐことができ、光照射によるTFT特性の劣化を防止できる。

【0078】

次に、図6に示す工程では、第2の導電膜を用いてソース電極7、ドレイン電極8、ソース配線9、ソース端子10を形成すると共に、ソース電極7とドレイン電極8の間の領

10

20

30

40

50

域にTFT201のチャンネル領域13を露出させる。

【0079】

第2の導電膜としては、例えばアルミニウム(A1)、クロム(Cr)、銅(Cu)、モリブデン(Mo)やこれらに他の元素を微量に添加した合金等を用いることができる。また、これらの金属または合金を2層以上含む積層構造としてもよい。これらの金属、合金を用いることによって、比抵抗値が $50\ \mu\text{cm}$ 以下(導電率が $2 \times 10^4\ \text{S/cm}$ 以上)の低抵抗な導電膜を得ることができる。

【0080】

本実施の形態では、第2の導電膜としてMo膜を用い、Arガスを用いたスパッタリング法でMo膜を200nmの厚さに成膜した。その後、Mo膜上にレジスト材を塗布し、写真製版工程(第3回目)でフォトレジストパターンを形成し、当該フォトレジストパターンをエッチングマスクとして、Mo膜をエッチングによりパターンニングする。その後、フォトレジストパターンを除去する。その結果、図6に示すように、ソース電極8、ドレイン電極9、ソース配線9、ソース端子10およびTFTのチャンネル領域13が形成される。

10

【0081】

上記の第2の導電膜のエッチングでは、ソース電極7とドレイン電極8が分離され、その間に半導体膜12が露出する。半導体膜12の上層部である第2の半導体層12bは、ソース電極7およびドレイン電極8のエッチングプロセスに対してエッチング性を有するので、露出した第2の半導体層12bの部分は除去される。一方、半導体膜12の下層部である第1の半導体層12aは、ソース電極7およびドレイン電極8のエッチングプロセスに対して耐性を有するので、除去されずに残り、その部分がチャンネル領域13となる。つまり、チャンネル領域13は、第1の半導体層12aにより構成されることになる。

20

【0082】

第1および第2の半導体層12a, 12bは、共に酸化物系なので両者の界面で還元反応は生じない。したがって、露出した第1の半導体層12aの表面(チャンネル領域13の表面)には還元反応による酸素欠乏領域やダメージ層はほとんど存在しない。

【0083】

第2の導電膜のエッチングプロセスでは、リン酸、酢酸および硝酸を含む溶液(PAN薬液)によるウェットエッチングを用いることができる。ここでは、リン酸70wt% + 酢酸7wt% + 硝酸5wt% + 水のPAN薬液を用いて液温を25℃に設定してMo膜をエッチングした。

30

【0084】

このエッチングプロセスでは、まず第2の導電膜が除去され、それにより露出した第2の半導体層12bがさらに除去される。しかし、第2の半導体層12bが除去されて露出した第1の半導体層12aは、PAN薬液にほとんど溶けないため除去されずに残り、上でも述べたようにその部分がチャンネル領域13となる。

【0085】

本実施の形態では、PAN薬液に対する第2の半導体層12bのエッチング速さが、同じくPAN薬液に対する第2の導電膜のエッチング速さよりも、速くなるように構成されている。そうすることにより、ソース電極7およびドレイン電極8のチャンネル領域13側の端部において、平面視で、第2の半導体層12bの端部がソース電極7およびドレイン電極8の端部よりも後退する。また、断面視では、図6のようにソース電極7およびドレイン電極8の端部が第2の半導体層12bの端部よりも水平方向に突出して庇形状になる。

40

【0086】

次に、図7に示す工程において、ソース電極7、ドレイン電極8、ソース配線9、ソース端子10、およびTFT201のチャンネル領域13を覆うように、保護絶縁膜14を成膜し、保護絶縁膜14およびゲート絶縁膜6を貫通するドレインコンタクトホール15、ゲート端子コンタクトホール16およびソース端子コンタクトホール17を形成する。

50

【 0 0 8 7 】

本実施の形態では、CVD法を用いて約250の基板加熱条件下で厚さ300nmの酸化シリコン(SiO)膜を成膜することで、保護絶縁膜14を形成した。そして、保護絶縁膜14上にレジスト材を塗布し、写真製版工程(第4回目)でフォトレジストパターンを形成し、当該フォトレジストパターンをエッチングマスクとして、保護絶縁膜14をエッチングすることで、ドレインコンタクトホール15、ゲート端子コンタクトホール16およびソース端子コンタクトホール17を形成した。

【 0 0 8 8 】

このエッチング工程では、フッ素系ガスを用いたドライエッチング法を用いることができる。この手法を用いることで、保護絶縁膜14を貫通するドレインコンタクトホール15およびソース端子コンタクトホール17と、保護絶縁膜14およびゲート絶縁膜6を貫通するゲート端子コンタクトホール16とを同時に形成できる。図7に示すように、ドレインコンタクトホール15はドレイン電極8に、ゲート端子コンタクトホール16はゲート端子4に、ソース端子コンタクトホール17はソース端子10に、それぞれ達するように形成される。

10

【 0 0 8 9 】

なお、酸化シリコン膜は、水分(H₂O)や水素(H₂)あるいはナトリウム(Na)やカリウム(K)のようなTF特性に影響を及ぼす不純物元素に対するバリア性(遮断性)が弱いことから、保護絶縁膜14は、酸化シリコン膜の上層に例えばバリア性に優れた窒化シリコン(SiN)膜などを設けた積層構造としてもよい。このような積層構造の場合でも、フッ素ガスを用いたドライエッチング法を用いてコンタクトホールを形成することができる。

20

【 0 0 9 0 】

次に、第3の導電膜(透光性導電膜)を用いて、画素電極11、ゲート端子パッド18およびソース端子パッド19を形成することで、図3に示した構成を完成させる。

【 0 0 9 1 】

画素電極11は、ドレインコンタクトホール15を介してドレイン電極8と電氣的に接続されるように形成する。また、画素電極11は、補助容量電極5との間で補助容量209が形成されるように、その一部がゲート絶縁膜6および保護絶縁膜14を介して補助容量電極5と重畳するように形成される。

30

【 0 0 9 2 】

ゲート端子パッド18およびソース端子パッド19は、ゲート端子コンタクトホール16およびソース端子コンタクトホール17を介して、それぞれゲート端子4およびソース端子10の表面と接触して電氣的に接続されるように形成される。

【 0 0 9 3 】

本実施の形態では、第3の導電膜である透光性導電膜は、導電性酸化物であるIn-Zn-O膜(酸化インジウムIn₂O₃と酸化亜鉛ZnOとの混合比は、例えば90:10重量%)を用いた。ここでは、スパッタリング法を用いて、厚さ100nmのIn-Zn-O膜を成膜した。

【 0 0 9 4 】

そして、In-Zn-O膜上にレジスト材を塗布し、写真製版工程(第5回目)でフォトレジストパターンを形成し、当該フォトレジストパターンをエッチングマスクとして、In-Zn-O膜をエッチングによりパターンニングする。その後、フォトレジストパターンを除去することで、図3に示したように、画素電極11、ゲート端子パッド18およびソース端子パッド19が形成される。このエッチングプロセスでは、シュウ酸薬液によるウエットエッチング法を用いることができる。

40

【 0 0 9 5 】

第3の導電膜を透光性導電膜としたのは、バックライト光を透過して表示を行う透過型LCDでは透光性の画素電極が必要だからである。一方、本発明を、外光を反射して表示を行う反射型LCDに適用する場合は、光を反射するAlやAgのような金属膜を画素電

50

極として形成すればよい。また、本発明を、反射と透過の両方を兼ね備えた半透過型LCDに適用する場合は、光反射性と透光性の両方を有する画素電極を形成すればよい。

【0096】

以上の5回の写真製版工程を経て、図3に示した、本実施の形態に係るTFT基板200が完成する。

【0097】

その後、完成したTFT基板200の表面に配向膜やスペーサを形成する。配向膜は、液晶を配列させるための膜であり、ポリイミド等で構成される。また、別途作成した、カラーフィルタや配向膜を備えた対向基板を、TFT基板200と貼り合わせる。このときスペーサによってTFT基板200と対向基板との間に隙間が形成される。その隙間に液晶を注入して封止することによって、液晶表示パネルが形成される。最後に、液晶表示パネルの外側に偏光板、位相差板およびバックライトユニット等を配設することによってTFT-LCDが完成する。

【0098】

<効果>

以上説明したように、本実施の形態に係るTFT基板の製造方法においては、5回の写真製版工程で、半導体のチャンネル層に酸化物半導体を用いた高移動度を有するTFT201を備えた、高性能なLCD用のTFT基板200を製造することができる。

【0099】

また、ソース電極7およびドレイン電極8のエッチング加工と、半導体膜12のチャンネル領域13を形成するための第2の半導体層12bの除去とを、同じエッチングプロセスを用いて同時に行うようにしている。よって、工程数の増加を抑えつつ、生産性良く酸化物半導体膜を用いたTFT201を有するTFT基板200を製造することができる。なお、このエッチングプロセスは、薬液を用いたウエットエッチング法に限らず、エッチングガスを用いたドライエッチング法、あるいは、ウエットエッチング法とドライエッチング法とを組み合わせたものを用いてもよい。

【0100】

本実施の形態に係るTFT基板200では、半導体膜12が、ソース電極7およびドレイン電極8のエッチングプロセス（薬液）に対して耐性を有する下層の第1の半導体層12aと、エッチング性を有する上層の第2の半導体層12bとを含む少なくとも2層構造から成っている。そのため、ソース電極7およびドレイン電極8が除去された半導体膜12のチャンネル領域13は、第2の半導体層12bが除去され、第1の半導体層12aで形成された構成となる。

【0101】

ソース電極7およびドレイン電極8を構成する導電膜（第2の導電膜）との界面反応による還元層（酸素欠乏層）やダメージ層は第2の半導体層12bに形成されるが、チャンネル領域13ではその第2の半導体層12bが除去されているため、TFT201のオフ電流値を低減させ、TFT201の特性（TFT特性）を向上させることができる。その結果、表示ムラやクロストークなどの表示不良を防止でき、高品質なLCD用のTFT基板200を得ることができる。

【0102】

また、ソース電極7およびドレイン電極8におけるチャンネル領域13側の端部において、平面視で、第2の半導体層12bの端部がソース電極7およびドレイン電極8の端部よりも後退し、断面視で、ソース電極7およびドレイン電極8の端部が第2の半導体層12bの端部よりも突出して庇状となっている。したがって、ソース電極7およびドレイン電極8の端部における電界集中を抑制して良好なTFT特性を得ることができる。特に深いゲート電極の負バイアスが印加されたときのドレイン電極8端部における電界集中を抑制できるので、オフ電流の増大（跳ね上がり）を抑制することができる。

【0103】

さらに、半導体膜12のパターンは、図2に示すように、平面視で、ゲート電極2のバ

10

20

30

40

50

ターンよりも外側にはみ出さず、全体がゲート電極 2 の内側に入るように構成されている。この場合、TFT基板 2001 の裏面からバックライト光を照射して表示を行う透過型もしくは半透過型のLCDにおいて、ゲート電極 12 のパターンが遮光マスクとなって半導体膜 12 に直接バックライト光が入射することを防ぐことができる。しかも、第 2 の半導体層 12 b がソース電極 7 およびドレイン電極 8 端部より後退し、ソース電極 7 およびドレイン電極 8 が底構造となっているため、電界強度が大きくなるソース電極 7 およびドレイン電極 8 と第 2 の半導体層 12 b との接合端部への、直接的な光照射がなくなる。これにより、酸化物半導体を用いた TFT で課題となる、光照射による TFT 特性の劣化や閾値の変動をさらに抑制することができる。

【0104】

<プロセスの変形例>

図 5 の工程において、酸化物半導体の半導体膜 12 を形成した後に、基板 1 を熱処理してもよい。本実施の形態では、第 1 の半導体層 12 a として非晶質構造の In - Zn - Sn - O 膜を用い、第 2 の半導体層 12 b として非晶質構造の In - Ga - Zn - O 膜を用いた。前者の In - Zn - Sn - O 膜は、その組成比にもよるが、250 から 300 の熱処理で結晶化する（結晶化温度が 250 から 300 近傍にある）。一方、後者の In - Ga - Zn - O 膜は、結晶化温度が 500 以上で前者よりも高い。

【0105】

本実施の形態のように、第 1 の半導体層 12 a の結晶化温度 T_1 と、第 2 の半導体層 12 b の結晶化温度 T_2 とが、 $T_1 < T_2$ の条件を満たす場合には、半導体膜 12 を形成した後に、 T_1 以上、 T_2 未満の温度で基板 1 を熱処理してもよい。そうすることにより、第 1 の半導体層 12 a である In - Zn - Sn - O 膜は多結晶化し、第 2 の半導体層 12 b である In - Ga - Zn - O 膜は依然として非晶質構造を保つ。多結晶化した In - Zn - Sn - O 膜は、PAN 薬液に対する耐性が非晶質状態に比べて向上する。よって、図 6 の工程で、第 2 の導電膜と第 2 の半導体層 12 b を同時にエッチングしてチャンネル領域 13 を形成する工程における、プロセスマージンが向上する。また、チャンネル領域 13 の表面が、化学的に安定な多結晶化された酸化物半導体膜で形成されるので、閾値変動を抑制することができ、TFT 特性の信頼性が向上するという効果も得られる。

【0106】

また、本実施の形態では、半導体膜 12 において、第 1 の半導体層 12 a の膜厚を 40 nm、第 2 の半導体層 12 b の膜厚を 20 nm としたが、それらの厚さはこれに限られず、TFT 特性や生産性などの点から任意に設定すればよい。ただし、第 1 の半導体層 12 a の膜厚は、第 2 の半導体層 12 b の膜厚よりも厚く設定することが好ましい。そうすることで、図 6 の工程において、チャンネル領域 13 を形成するときのプロセスマージンが向上する。

【0107】

また、図 6 の工程の後、保護絶縁膜 14 を成膜する前に、基板 1 を酸素 (O_2) または水蒸気 (H_2O) を含む雰囲気下で熱処理を行ってもよい。熱処理は 200 以上 400 以下が好ましい。あるいは、UV (紫外線) 光を照射したり、 O_2 ガスや N_2O ガスを用いてプラズマ処理を行ってもよい。それにより、チャンネル領域 13 の表面の酸素欠乏状態や、原子配列の乱れなどを緩和することができるため、さらに TFT 特性を向上させることができる。

【0108】

<半導体膜の変形例>

本実施の形態では、下層の第 1 の半導体層 12 a として In - Zn - Sn - O 系の酸化物半導体を用い、上層の第 2 の半導体層 12 b として In - Ga - Zn - O 系の酸化物半導体を用いたが、それぞれ当該材料に限られるものではない。

【0109】

ボトムゲートのバックチャンネル型 TFT の場合において、第 1 の半導体層 12 a に求められる特性は、ソース電極 7 およびドレイン電極 8 のエッチングプロセスにおいて耐性を

10

20

30

40

50

有すること、すなわちエッチングされないことである。本実施の形態のようにソース電極 7 およびドレイン電極 8 のエッチングプロセスを P A N 系薬液または C A N 系薬液を用いたウエットエッチング法で実施する場合には、第 1 の半導体層 1 2 a として、例えば他にも Z n - S n - O 系、I n - A l - S n - O 系、I n - S i - S n - O 系、I n - A l - Z n - S n - O 系のようなすず (S n) を含む酸化物半導体膜を好適に用いることができる。

【 0 1 1 0 】

このとき、S n の組成は半導体膜の特性に応じて任意に決めることができるが、酸化物半導体膜を構成する全金属元素に対する S n の原子比が 0 . 0 5 以上 0 . 5 以下であることが好ましい。例えば、Z n - S n - O 系の場合は、 $0 . 0 5 \leq S n / (Z n + S n) \leq 0 . 5$ 、本実施の形態で用いた I n - Z n - S n - O 系の場合は、 $0 . 0 5 \leq S n / (I n + Z n + S n) \leq 0 . 5$ とするとよい。S n を原子比で 0 . 0 5 以上含ませることによって、P A N 系薬液および C A N 系薬液に対するエッチング耐性を持たせることができる。S n の原子比が 0 . 5 を超えると、一般的な酸化物半導体膜のエッチング薬液として知られている、カルボン酸を含む薬液に対するエッチング速度が低下するため、パターン加工が困難になってしまう。

10

【 0 1 1 1 】

もちろん、S n を含まなくても、第 1 の半導体層 1 2 a に求められる特性を満たす材料であればよい。また酸化物半導体に限らず、他の化合物半導体、例えば、A l - N や G a - N などの窒化物半導体膜、または窒化物と酸化物とを組み合わせた化合物半導体膜を用いることも可能である。窒化物半導体膜を含むことによって、P A N 系薬液および C A N 系薬液に対するエッチング耐性を持たせることができる。

20

【 0 1 1 2 】

一方、第 2 の半導体層 1 2 b に求められる特性は、ソース電極 7 およびドレイン電極 8 のエッチングプロセスにおいて同時にエッチング加工 (除去) できることである。本実施の形態のようにソース電極 7 およびドレイン電極 8 のエッチングプロセスを、P A N 系薬液または C A N 系薬液を用いたウエットエッチング法で実施する場合には、第 2 の半導体層 1 2 b として、例えば他にも I n - Z n - O 系、I n - A l - Z n - O 系、I n - H f - Z n - O 系、I n - Z r - Z n - O 系、I n - M g - Z n - O 系、I n - Y - Z n - O 系のような酸化物半導体膜を用いることができる。

30

【 0 1 1 3 】

特に、酸化物半導体膜にガリウム (G a)、アルミニウム (A l)、ハフニウム (H f)、ジルコニウム (Z r) あるいはイットリウム (Y) を添加した場合は、エネルギーバンドギャップ E g を広げる効果がある。

【 0 1 1 4 】

本実施の形態では、第 2 の半導体層 1 2 b の E g 値が第 1 の半導体層 1 2 a の E g 値よりも大きくなるように構成することが、ゲート電極に負バイアスを印加したときのオフ状態において、ドレイン側からのリーク電流を低減し、オフ電流値を低減する効果が得られるため好ましい。したがって、第 2 の半導体層 1 2 b は、G a、A l、H f、Z r または Y のいずれかを含むか、またはこれらの元素の添加量が第 1 の半導体層 1 2 a よりも多い酸化物半導体を材料とすることが好ましい。

40

【 0 1 1 5 】

< 発明の他の適用例 >

本発明に係る T F T 基板は、液晶表示装置以外の表示装置に適用してもよい。例えば、有機 E L (electroluminescence) ディスプレイ等の電気光学表示装置に適用することができる。さらに、本発明に係る T F T は、表示装置以外の半導体部品等に用いられる薄膜トランジスタや、アクティブマトリックス基板にも適用可能である。

【 0 1 1 6 】

なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

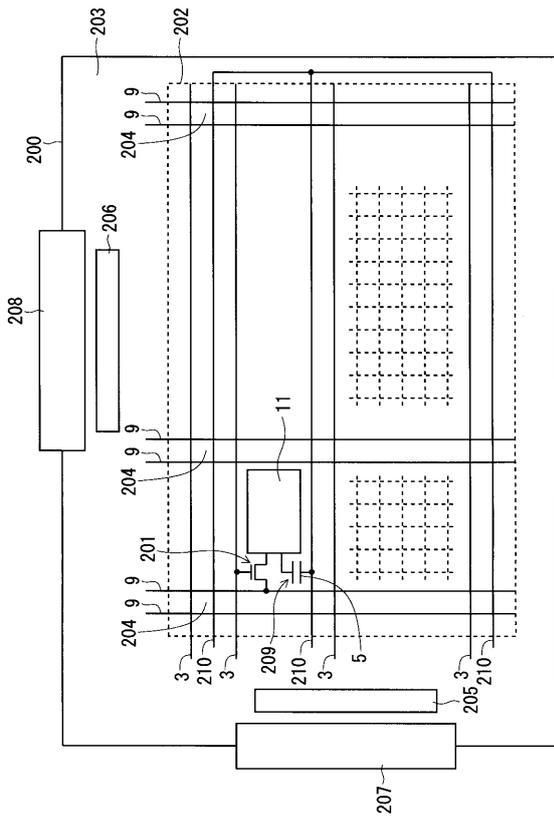
50

【符号の説明】

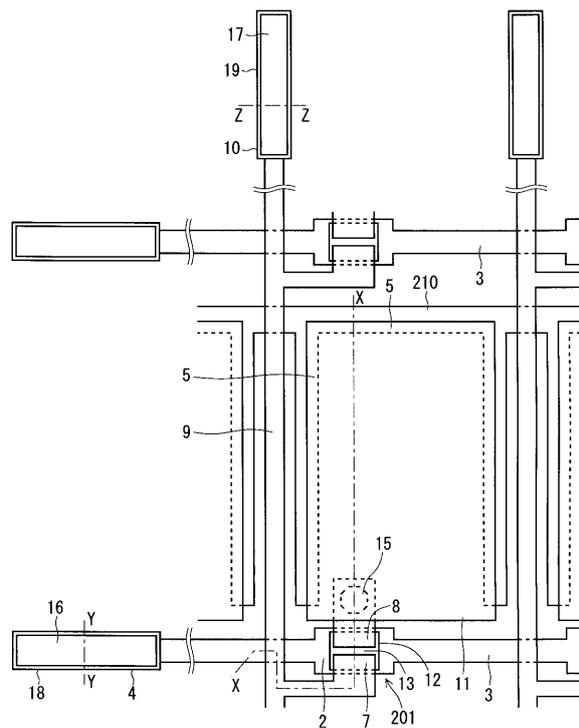
【0117】

1 基板、2 ゲート電極、3 ゲート配線、4 ゲート端子、5 補助容量電極、6
 ゲート絶縁膜、7 ソース電極、8 ドレイン電極、9 ソース配線、10 ソース端
 子、11 画素電極、12 半導体膜、12a 第1の半導体層、12b 第2の半導体
 層、13 チャンネル領域、14 保護絶縁膜、15 ドレインコンタクトホール、16
 ゲート端子コンタクトホール、17 ソース端子コンタクトホール、18 ゲート端子パ
 ッド、19 ソース端子パッド、200 TFT基板、201 TFT、202 表示領
 域、203 額縁領域、204 画素、205 走査信号駆動回路、206 表示信号駆
 動回路、207, 208 接続基板、209 補助容量、210 補助容量配線。

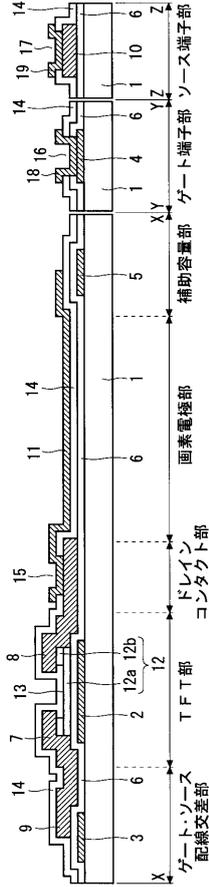
【図1】



【図2】



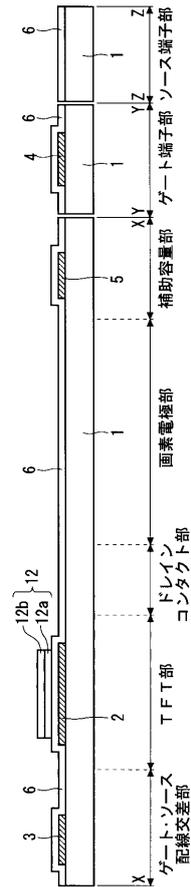
【図3】



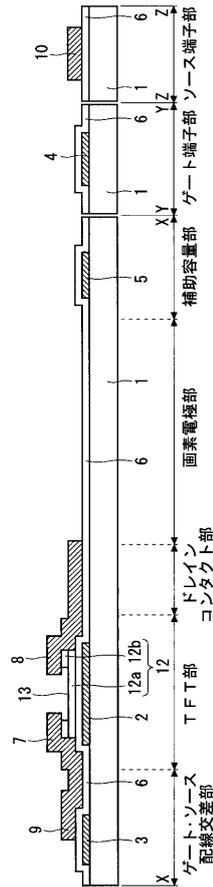
【図4】



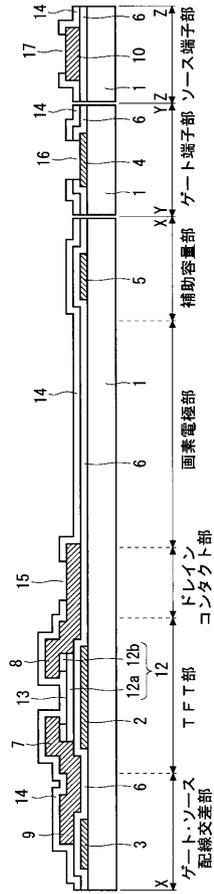
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.		F I		
H 0 5 B	33/08	(2006.01)	H 0 1 L	21/28 3 0 1 R
H 0 1 L	51/50	(2006.01)	H 0 1 L	21/28 3 0 1 B
H 0 1 L	21/363	(2006.01)	G 0 2 F	1/1368
			H 0 5 B	33/08
			H 0 5 B	33/14 A
			H 0 1 L	21/363

- (72)発明者 井上 和式
 熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内
- (72)発明者 小田 耕治
 熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 小塚 行彦

- (56)参考文献 国際公開第 2 0 0 9 / 0 9 3 6 2 5 (W O , A 1)
 特開 2 0 1 1 - 1 0 8 8 7 3 (J P , A)
 特開 2 0 1 2 - 1 5 1 4 6 9 (J P , A)
 特開平 1 1 - 1 5 4 7 5 2 (J P , A)
 特開 2 0 1 2 - 1 8 2 3 8 8 (J P , A)
 特開 2 0 1 0 - 0 2 8 0 2 1 (J P , A)
 特開 2 0 1 2 - 1 2 9 5 1 1 (J P , A)
 米国特許出願公開第 2 0 0 8 / 0 2 5 8 1 4 3 (U S , A 1)
 米国特許出願公開第 2 0 0 1 / 0 0 1 5 4 3 4 (U S , A 1)
 特開 2 0 1 2 - 1 4 6 9 5 6 (J P , A)
 特開 2 0 1 2 - 0 2 8 4 8 1 (J P , A)
 特開 2 0 1 2 - 1 7 8 4 9 3 (J P , A)
 特開 2 0 1 0 - 1 2 3 9 3 7 (J P , A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6
 G 0 2 F 1 / 1 3 6 8
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 3 6 3
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 0 8