

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3751402号

(P3751402)

(45) 発行日 平成18年3月1日(2006.3.1)

(24) 登録日 平成17年12月16日(2005.12.16)

(51) Int. Cl. F I
G06F 9/38 (2006.01) G06F 9/38 310H

請求項の数 18 (全 11 頁)

(21) 出願番号	特願平9-67479	(73) 特許権者	595034134
(22) 出願日	平成9年3月6日(1997.3.6)		サン・マイクロシステムズ・インコーポレ イテッド
(65) 公開番号	特開平10-83300		Sun Microsystems, I n c.
(43) 公開日	平成10年3月31日(1998.3.31)		アメリカ合衆国 カリフォルニア 950 54, サンタ クララ, ネットワーク サークル 4150
審査請求日	平成16年3月8日(2004.3.8)	(74) 代理人	100064621
(31) 優先権主張番号	08/612623		弁理士 山川 政樹
(32) 優先日	平成8年3月6日(1996.3.6)	(72) 発明者	マーク・トレンブレイ
(33) 優先権主張国	米国 (US)		アメリカ合衆国・94301・カリフォル ニア州・パロ アルト・ウェイバーリー ストリート・ナンバー 3・801
			最終頁に続く

(54) 【発明の名称】 データ精度モード表示器を備えたマルチパイプライン・マイクロプロセッサ

(57) 【特許請求の範囲】

【請求項1】

命令を処理するように構成されたパイプライン化された複数の機能ユニットと、
前記機能ユニットに命令をディスパッチするように構成されたディスパッチ・ユニット
と、

前記機能ユニットのうちの少なくとも1つの機能ユニットを有する第1のグループに関
連づけられた精度モード表示器メモリと

ディスパッチする新しい命令の精度を前記精度モード表示器メモリによって表示された
精度と比較するように構成された比較器と、

前記新しい命令が前記精度モード表示器メモリによって表示された精度と一致しない精
度を有する場合に前記新しい命令をストールするように構成されたストール論理回路とを
備えたマイクロプロセッサ。

【請求項2】

機能ユニットの前記第1のグループに単精度命令がディスパッチされる場合に前記精度
モード表示器メモリを単精度表示に設定し、機能ユニットの前記第1のグループに多倍精
度命令がディスパッチされる場合に前記精度モード表示器メモリを多倍精度表示に設定す
るように構成された設定論理回路をさらに備える請求項1に記載のマイクロプロセッサ。

【請求項3】

前記多倍精度命令が倍精度命令である請求項2に記載のマイクロプロセッサ。

【請求項4】

10

20

前記多倍精度命令が4倍精度命令である請求項2に記載のマイクロプロセッサ。

【請求項5】

前記ディスパッチ・ユニットが、

レジスタ指示が単精度データのためのものであるか、多倍精度データのためのものであるかを考慮せずに、ディスパッチする新しい命令のレジスタ指示を機能ユニットの前記第1のグループ内の命令のレジスタ指示と比較することによってデータ依存関係を検査するように構成された検査論理回路をさらに備える請求項1に記載のマイクロプロセッサ。

【請求項6】

各エントリが多倍精度オペランドまたは複数の単精度オペランドを保持する複数のエントリを有するレジスタ・ファイルをさらに備える請求項1に記載のマイクロプロセッサ。

10

【請求項7】

前記精度モード表示器メモリが、単精度か倍精度かを表示する第1のビットと、機能ユニットの前記第1のグループにアクティブで有効な命令が入っていないことを表示する第2のビットとを含む2ビット・レジスタを備える請求項1に記載のマイクロプロセッサ。

【請求項8】

前記機能ユニットのうちの少なくとも1つの機能ユニットを有する第2のグループと、レジスタ指示が単精度命令と多倍精度命令との間で重なりあっているかどうかを解析することによって機能ユニットの前記第2のグループにディスパッチする命令のデータ依存関係を判断するように構成された依存関係論理回路とをさらに備える請求項1に記載のマイクロプロセッサ。

20

【請求項9】

機能ユニットの前記第2のグループがロードおよびストア機能ユニットである請求項8に記載のマイクロプロセッサ。

【請求項10】

前記機能ユニットのうちの少なくとも1つの機能ユニットの最後にある完了ユニットと、前記完了ユニットに供給されるデータの精度を検査せずに機能ユニットの前記第1のグループからのデータを使用して前記完了ユニットを迂回するように構成されたバイパス論理回路とをさらに備える請求項1に記載のマイクロプロセッサ。

【請求項11】

命令を処理するように構成された複数のパイプライン機能ユニットと、前記機能ユニットに命令をディスパッチするように構成されたディスパッチ・ユニットと、

30

前記機能ユニットのうちの少なくとも1つの機能ユニットを有する第1のグループに関連づけられた精度モード表示器メモリと、

機能ユニットの前記第1のグループに単精度命令がディスパッチされる場合に前記精度モード表示器メモリを単精度表示に設定し、機能ユニットの前記第1のグループに多倍精度命令がディスパッチされる場合に前記精度モード表示器メモリを多倍精度表示に設定するように構成された設定論理回路と、

ディスパッチする新しい命令の精度を前記精度モード表示器メモリによって表示された精度と比較するように構成された比較器と、

40

前記新しい命令が前記精度モード表示器メモリによって表示された精度と一致しない精度を有する場合に前記新しい命令をストールするように構成されたストール論理回路と、

各エントリが多倍精度オペランドまたは複数の単精度オペランドを保持する複数のエントリを有するレジスタ・ファイルと、

レジスタ指示が単精度データのためのものであるか多倍精度データのためのものであるかを考慮せずに、ディスパッチする新しい命令の前記レジスタ・ファイル内のレジスタ指示を機能ユニットの前記第1のグループ内の命令のレジスタ指示と比較することによってデータ依存関係を検査するように構成された検査論理回路とを備えるマイクロプロセッサ。

【請求項12】

50

前記精度モード表示器メモリが、単精度か倍精度かを表示する第1のビットと、機能ユニットの前記第1のグループにアクティブで有効な命令が入っていないことを表示する第2のビットとを含む2ビット・レジスタを備えることを特徴とする請求項11に記載のマイクロプロセッサ。

【請求項13】

命令を処理するように構成された複数のパイプライン機能ユニットと、
前記機能ユニットに命令をディスパッチするように構成されたディスパッチ・ユニットと、

前記機能ユニットのうちの少なくとも1つの機能ユニットから成る第1のグループに関連づけられた精度モード表示器メモリと、

機能ユニットの前記第1のグループに単精度命令がディスパッチされる場合に前記精度モード表示器メモリを単精度表示に設定し、機能ユニットの前記第1のグループに多倍精度命令がディスパッチされる場合に前記精度モード表示器メモリを多倍精度表示に設定するように構成された設定論理回路と、

ディスパッチする新しい命令の精度を前記精度モード表示器メモリによって表示された精度と比較するように構成された比較器と、

前記新しい命令が前記精度モード表示器メモリによって表示された精度と一致しない精度を有する場合に前記新しい命令をストールするように構成されたストール論理回路と、

各エントリが多倍精度オペランドまたは複数の単精度オペランドを保持する複数のエントリを有するレジスタ・ファイルと、

レジスタ指示が単精度データのためのものであるか多倍精度データのためのものであるかを考慮せずに、ディスパッチする新しい命令の前記レジスタ・ファイル内のレジスタ指示を機能ユニットの前記第1のグループ内の命令のレジスタ指示と比較することによってデータ依存関係を検査するように構成された検査論理回路と、

前記機能ユニットのうちの少なくとも1つの機能ユニットから成る第2のグループと、
レジスタ指示が単精度命令と多倍精度命令との間で重なりあっているかどうかを解析することによって機能ユニットの前記第2のグループにディスパッチする命令のデータ依存関係を判断するように構成された依存関係論理回路と
を備えるマイクロプロセッサ。

【請求項14】

複数のパイプライン機能ユニット内の命令を処理するステップと、
前記機能ユニットに命令をディスパッチするステップと、
前記機能ユニットのうちの少なくとも1つの機能ユニットかを有する第1のグループに関連づけられた精度モード表示器メモリを設定するステップと

ディスパッチする新しい命令の精度を前記精度モード表示器メモリによって表示された精度と比較するステップと、

前記新しい命令が前記精度モード表示器メモリによって表示された精度と一致しない精度を有する場合に前記新しい命令をストールするステップと
を含むマイクロプロセッサを動作させる方法。

【請求項15】

機能ユニットの前記第1のグループに単精度命令がディスパッチされる場合に前記精度モード表示器メモリを単精度表示に設定するステップと、機能ユニットの前記第1のグループに多倍精度命令がディスパッチされる場合に前記精度モード表示器メモリを多倍精度表示に設定するステップとをさらに含む請求項14に記載の方法。

【請求項16】

前記多倍精度命令が倍精度命令であることを特徴とする請求項15に記載の方法。

【請求項17】

前記多倍精度命令が4倍精度命令であることを特徴とする請求項15に記載の方法。

【請求項18】

レジスタ指示が単精度データのためのものであるか多倍精度データのためのものである

10

20

30

40

50

かを考慮せずに、ディスパッチする新しい命令のレジスタ指示を機能ユニットの前記第1のグループ内の命令のレジスタ指示と比較することによってデータ依存関係を検査するステップをさらに含む請求項14に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数機能ユニットであるパイプライン・マイクロプロセッサにおいてデータ依存関係を判断する機構に関し、具体的には単精度レジスタと倍精度レジスタの両方が同じレジスタ・ファイルを使用する機構に係わる。

【0002】

【従来の技術】

マイクロプロセッサは、整数形式または浮動小数点形式の演算および算術演算を行う。浮動小数点命令は、固定部分と指数とを含み、時には別個の浮動小数点コプロセッサで処理されたり、浮動小数点演算がマイクロプロセッサ自体で行われたりする。

【0003】

整数オペランドまたは浮動小数点オペランドは単精度、倍精度、または4倍精度である場合がある。たとえば、1つの単精度形式は32ビットであり、その場合、倍精度形式は64ビットである。64ビット幅の単一のレジスタ・ファイルが使用されることが多い。単精度データを記憶する場合、各ラインに2つのデータを記憶することができる。一方、倍精度の場合は、各ラインに1つのデータが記憶される。したがって、使用モードによってレジスタ指示が重なる可能性がある。

【0004】

複数の機能ユニットであるパイプライン・プロセッサでは、ディスパッチ・ユニットが適切な機能ユニットに命令をディスパッチする。これを行う前に、ディスパッチ・ユニットはデータおよび制御の依存関係を検査して、ディスパッチする新しい命令が、未解決命令のうちの1つによって使用されているのと同じレジスタを必要としていないかどうかを調べる。レジスタ指示が重なり合い、単精度数値と倍精度数値のどちらに関連づけられているかによって異なるものを意味する場合があるため、この検査は複雑になる。

【0005】

【発明が解決しようとする課題】

したがって、パフォーマンスを低下させることなくディスパッチ論理回路におけるデータ依存関係論理回路を単純化することが望ましいと考えられる。

【0006】

【課題を解決するための手段】

本発明は、大部分の機能ユニットに対して、単精度演算と倍精度演算の両方が同時にパイプライン内にあることがまれであると認識している。さらに、本発明は、それらの機能ユニット用のレジスタ指示が単精度であるか倍精度であるかを検査する論理回路を省く。その代わりに、パイプライン内の未解決命令が単精度と倍精度のどちらであるかを示すようにモード表示器を設定する。まれに精度の変化が発生した場合、その命令はパイプラインが空になるまでディスパッチされない。したがって、データ依存関係検査論理回路は、単精度であるか倍精度であるかがわからなくてもレジスタ指示を比較することができる。

【0007】

一実施態様では、単精度と倍精度の間の変化がより頻繁な可能性がある機能ユニットには、その2つを区別する論理回路を設け、その結果をディスパッチ・ユニット内のデータ依存関係検査論理回路に供給する。具体的には、ロード/ストア機能ユニットを使用する演算では単精度と倍精度の間の変化がより頻繁であるため、ロード/ストア機能ユニットにこの論理回路を設ける。

【0008】

本発明の他の実施態様では、それぞれのレジスタ指示が単精度か倍精度かを検査する論理回路を設けずに完了ユニットを迂回することができる。これは、モード表示器が最初から

10

20

30

40

50

機能ユニット・パイプライン内での単精度と倍精度の混在を防止するので可能である。かくして、この付加的論理回路が不要になる。しかし、ロード/ストア・ユニットにはこのような論理回路を設ける。

【0009】

好ましい実施態様では、2ビット・レジスタを使用してモードを示す。第1のビットは単精度か倍精度かを示す。第2のビットはパイプラインが空かどうかを示す。一実施態様では、ロード/ストア・ユニット以外のすべての機能ユニットに単一のモード表示器を使用する。一実施態様では、モード表示器は空状態に遷移してからでなければ単精度と倍精度の切換えを行うことができない。この制約は、切換え時に計算を行うのに要する時間によってサイクルを制限しないことによってクロック速度を向上させることができる。単精度と倍精度の切換えはロード/ストア機能ユニット以外ではまれにしか起こらないため、不利益はほとんどない。

10

【0010】

本発明の性質および利点をよりよく理解することができるように、以下の説明を添付図面とともに参照されたい。

【0011】

【発明の実施の形態】

図1は、本発明を組み込んだUltraSparc(TM)マイクロプロセッサのブロック図である。命令キャッシュ12がデコード・ユニット14に命令を供給する。命令キャッシュはその命令をプリフェッチ・ユニット16から受け取ることができ、プリフェッチ・ユニット16は分岐ユニット18から命令を受け取るか、または命令変換索引バッファ(TLB)20へ仮想アドレスを送り、それによってキャッシュ制御/システム・インタフェース22を介してオフチップ・キャッシュから命令がフェッチされる。オフチップ・キャッシュからフェッチされた命令はプリデコード・ユニット24に送られ、分岐命令かどうかなどの特定の情報が命令キャッシュ12に供給される。

20

【0012】

命令はデコード・ユニット14から命令バッファ26(複数のバッファを並列させて使用することができる)に送られ、それらの命令にディスパッチ・ユニット28がアクセスする。ディスパッチ・ユニット28は一度にデコード済みの4命令をバス30で供給し、各命令は8個の機能ユニット32~46のうちの1つに供給される。ディスパッチ・ユニットは、データおよび制御の依存関係と構造ハザード(適切な機能ユニットや必要なメモリ・ポートの可用性など)の検査を条件として、各サイクルにこのような命令を4つディスパッチする。

30

【0013】

最初の3つの機能ユニットであるロード/ストア・ユニット32と2つの整数ALUユニット34および36は、1組の整数レジスタ48を共有する。浮動小数点レジスタ50は浮動小数点ユニット38、40、および42とグラフィカル・ユニット44および46によって共有される。整数機能ユニット群および浮動小数点機能ユニット群はそれぞれ対応する完了ユニット52および54をそれぞれ有する。マイクロプロセッサはオンチップ・データ・キャッシュ56とデータTLB58も備える。

40

【0014】

図2にレジスタ・ファイル60を示す。第1のライン62は倍精度モードではレジスタF0として指示され、一方、単精度モードでは2つのレジスタ指示F0およびF1を保持する。同様に、第2のエントリ64は倍精度レジスタF1として指示されていると同時に、単精度レジスタ指示F2およびF3を持つ。図からわかるように、精度が単精度か倍精度かがわからない場合、たとえばレジスタ「F1」の指示は2つの異なる場所であり得る。

【0015】

図3Aおよび図3Bに、単精度浮動小数点数と倍精度浮動小数点数を示す。図からわかるように、図3Aの単精度は32ビットを必要とし、レジスタ・ファイル60内の1エントリの半分を占めることになり、図3Bの倍精度数は64ビットを占め、レジスタ・ファイ

50

ル60の1ライン全体を必要とする。

【0016】

図4Aに、命令形式を示す。OPコード66は、それが浮動小数点ADDであることを示し、最後の「s」はそれが単精度であることを示す。命令によって使用されるオペランドはレジスタ指示68および70によって示され、レジスタF0およびF1を指示している。宛先レジスタは指示72によって示され、レジスタF3を指示している。OPコードが示すようにこれは単精度オペランドであるため、F0指示は図2の単精度のF0位置74を指しており、F1は位置76を指し、F3指示は図2のレジスタ・ファイル60のライン64の後半である位置78を指している。

【0017】

図4BにOPコード80が倍精度である整数ADDを示している異なる命令を図示する。したがって、オペランド・レジスタのレジスタ指示F0およびF2と宛先レジスタのレジスタ指示F6は倍精度指示である。F0は図2のレジスタ・ファイル60のライン62を指し、したがって、単精度のF0およびF1とぶつかる。同様に、F2は図2のエントリ64を指し、F6はエントリ82を指し、この両方は2つの別々の単精度レジスタとぶつかる。

【0018】

したがって、図からわかるように、データ依存関係を判断するために、レジスタ指示が単精度と倍精度のどちらのOPコードに対応するかを判断する必要がある。図4Bの新しい命令のデータ依存関係を判断する際、図2に示すように図4Aと図4Bの命令は同じエントリ・ラインを使用するため、図4Aの命令が未解決の場合、結果全体をF3に書き込んでからでなければ、図4Bの命令はそのレジスタF1にアクセスすることができない。

【0019】

図5に、図1のマイクロプロセッサの一部を詳細に図示する。特に、ロード/ストア・ユニット32と、機能ユニット36および34が図示されている。

【0020】

図6に、図1の浮動小数点機能ユニットとグラフィックス機能ユニットを、同じロード/ストア・ユニット110と共に図示する。

【0021】

図7は、図1のディスパッチ・ユニット28を詳細に図示したブロック図である。制御論理回路90が機能ユニットおよびその他の必要資源の可用性に基づいて、各命令をどの機能ユニットにディスパッチすべきかを判断する。例示のためにロード/ストア・ユニット32と整数ALU機能ユニット36の2つの機能ユニットが図示されている。機能ユニットの第1のグループ(ロード/ストア・ユニット以外のすべての機能ユニット)に命令をディスパッチする前に、制御論理回路90がレジスタ92の精度モードを調べる。レジスタ92内のモード・ビットの表示で、ディスパッチする命令がパイプライン内の命令と同じ精度を持つ場合、それらの命令は、レジスタ指示がすべて同じ精度であると仮定して、データ依存関係を検査してディスパッチされる。ディスパッチする命令がパイプライン内の命令と同じ精度でない場合は、命令はモード・レジスタ92内の空ビットの表示でパイプラインが空になるまでストールされる。

【0022】

命令がロード/ストア・ユニット32に宛てられたものである場合は、その精度がロード/ストア・パイプライン内の先行する命令と一致しているかどうかに関係なく、命令を進めることができる。制御論理回路はロード/ストア・ユニット32内にある命令またはロード/ストア・ユニットに供給される命令に基づいてモード・ビットを変更せず、ロード/ストア機能ユニットに命令を供給するためにデータ依存関係を検査するときにレジスタ指示の精度を検査する。

【0023】

モード・ビットは、OPコード・デコード論理回路ブロック94によって設定される。論理回路94は各命令のOPコードをデコードして単精度であるか倍精度であるかを判断し

10

20

30

40

50

、命令をパイプラインにディスパッチするときそれに応じてモード・ビット92を設定する。

【0024】

例示した図では、整数ALU36が実機能論理回路を含む第1のブロック96および、パイプラインを通して伝えられるレジスタ指示であるより狭いブロック98として図示されている。レジスタ指示はデータ依存関係論理回路100と機能ユニット28に戻される。そこで、データ依存関係論理回路100が、制御論理回路90によってディスパッチされる新しい命令によって指示されたレジスタと、論理回路98によって示されたパイプライン内のレジスタ指示とを比較する。同様の論理回路を他の各機能ユニットについて組み込み、データ依存関係論理回路100に設ける。おわかりのように、この論理回路は機能ユ
ニットのパイプラインの各段階ごとにOPコードを設ける必要がないため、かなり単純で
ある。データ依存関係論理回路100は単に、新しい命令と既存の命令のレジスタ指示が
同じ精度であるとみなすだけである。

10

【0025】

一方、ロード/ストア機能ユニット32は、ブロック102で示されている実機能論理回路と、レジスタ使用論理回路104と、追加のOPコード論理回路106とを備える。OPコード論理回路106はデータ依存関係論理回路100にロード/ストア機能ユニット・パイプラインの各段階の命令が単精度か倍精度かを示す。データ依存関係論理回路は、この情報を使用して、制御論理回路90によってディスパッチされようとしている新しい命令のデータ依存関係を判断する追加の1組の論理回路を含む。

20

【0026】

したがって以上からわかるように、本発明によって、各機能ユニットに対しては必要のない論理回路106が省かれ、さらに各機能ユニットに対しては必要のない対応する論理回路とデータ依存関係論理回路100も省かれる。この論理回路はロード/ストア機能ユニットにのみ必要である。

【0027】

さらに、図5および図6に戻って参照すると、単精度数値と倍精度数値が混在している場合、図5のロード/ストア・ユニット32と図6のロード/ストア・ユニット110に対して図5のバイパス精度論理回路52と図6のバイパス精度論理回路54を使用して、完了ユニットの迂回ができるようにすべきかどうかを判断する。他の機能ユニットではこの論理回路を省いて、バイパス命令がパイプライン内の他の命令とは異なる精度であるかどうかに関わりなく迂回できるようにする。パイプラインは異なる精度の命令を持つことができなくなるため、その条件は決して発生せず、したがってこの追加の検査論理回路は不要になる。

30

【0028】

図8は本発明の精度表示器の3つの状態を図示する状態図である。第1の単精度状態112では、単精度オペランドがパイプラインに供給される。第2の倍精度状態114では、倍精度オペランドがパイプラインに供給される。空状態116では、パイプラインにはアクティブで有効な命令がない。

【0029】

空状態116から始まって、単精度命令がディスパッチされると、この機械の状態は線118で図示するように単精度状態112に遷移する。最後の単精度命令がパイプラインを流れてしまうとただちに、矢印120で図示するように空状態に戻る遷移が起こる。同様に、倍精度の場合は倍精度命令がディスパッチされると、矢印122で示すように空状態116から倍精度状態114に遷移する。最後の倍精度オペランドがパイプラインを出ると、矢印124で示すように空状態116に戻る遷移が起こる。

40

【0030】

あるいは、矢印126で図示するように単精度状態から倍精度状態への遷移や、矢印128で図示するようにその逆の遷移が行われる場合がある。これらは点線で図示されているように任意選択である。直接遷移には、パイプライン内の命令が次のサイクルで完了する

50

ことを確認して干渉が起こらないようにする論理回路が必要になる。これには追加の論理回路が必要であり、追加の時間がかかることになるため、単にパイプラインを空にするだけの方がより単純である。単精度から倍精度への遷移はまれにしか発生しないため、すなわちそのようなことが発生すると考えられるのは1つのプログラムから他のプログラムへの変更であるため、スループットへの影響は無視できる程度である。

【0031】

空状態を示す際、パイプラインは実際に命令のない状態である必要はない。たとえば分岐予測が外れた場合は、予測が外れた命令をパイプラインから物理的になくして新しい修正された命令の分岐を開始するのに要する複数サイクルを待つのではなく、パイプライン内の命令が単に無効化されるだけである。

10

【0032】

ロード・パイプラインは、単精度と倍精度がめったに混在しないという一般原則の例外である。たとえば、レジスタF0に単精度オペランドをロードし、レジスタF1に別の単精度オペランドをロードしてから、F0を使用してF0とF1の組合せである倍精度演算を行うことがある。幸いにも、ロード/セーブ・パイプラインは他のパイプラインよりも短く、したがってはるかに単純な論理回路でそのオペランドを判断し、それが単精度か倍精度かを判断することができる。

【0033】

精度の変更が発生した場合、パイプラインへの命令のディスパッチはパイプラインが空になるまで停止される。たとえば、UltraSparc(TM)マイクロプロセッサでは、たとえば22サイクルも要することがある浮動小数点平方根演算または除算がある場合を除き、これは通常7サイクル以下である。しかし、22サイクル演算を処理している時に同時に精度の切換えが行われる確率は低いため、単に22サイクルが完了するのを待つことは重要なパフォーマンス要因ではない。

20

【0034】

以上の説明では、単精度と倍精度について言及したが、本発明はビット数を変えて4倍精度またはその他の精度も適用可能である。一実施例では、4倍精度演算にはソフトウェアへのトラップが必要になる。好ましい実施例では、ソフトウェアへのトラップの結果、パイプラインが空になるのを待ち、それによってパイプライン内に一度に同じ精度が入れられていなければならないという必要に対処する。したがって、ソフトウェア・トラップ時にパイプラインをフラッシュするのを待つ4倍精度演算のソフトウェア・エミュレーションも、本発明によってなくなった論理回路を必要とせず、レジスタ指示は同じ精度のものであるとみなすことができる。

30

【0035】

当業者ならわかるように、本発明は、本発明の精神または本質的特性から逸脱することなく他の特定の態様でも実施することができる。たとえば、本発明には、異なる数の機能ユニット、異なる数のパイプライン段階、および様々な精度のための異なるビット数も使用することができる。したがって、上述の実施例は例示的なものであり、特許請求の範囲に記載されている本発明の範囲を限定するものではない。

【図面の簡単な説明】

40

【図1】 本発明を組み込んだマイクロプロセッサの実施形態を示すブロック図である。

【図2】 単精度データと倍精度データの両方を保持するレジスタ・ファイルを示す図である。

【図3】 単精度データ形式と倍精度データ形式を示す図である。

【図4】 単精度命令形式と倍精度命令形式を示す図である。

【図5】 図1の整数ユニットと実行ユニットを示すブロック図である。

【図6】 図1の浮動小数点ユニットとグラフィックス・ユニットを示すブロック図である。

【図7】 図1のディスパッチ・ユニットを示すブロック図である。

【図8】 精度モード表示器の状態を示す状態図である。

50

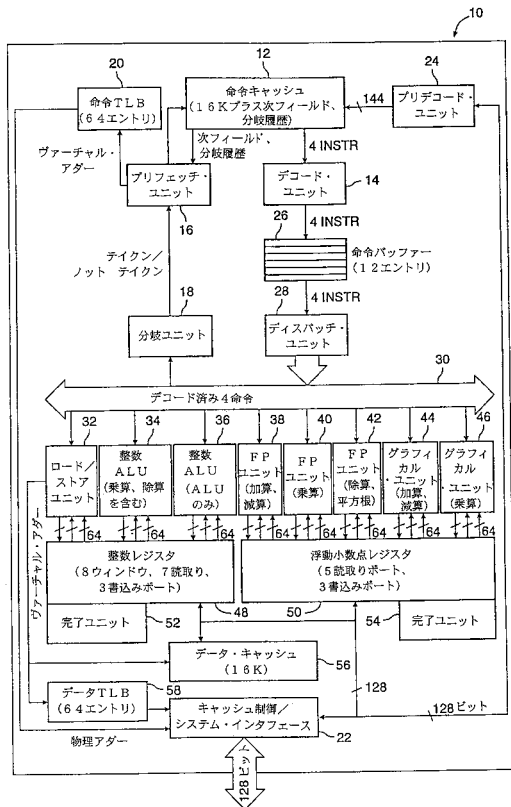
【符号の説明】

- 1 2 命令キャッシュ
- 1 4 デコード・ユニット
- 1 6 プリフェッチ・ユニット
- 1 8 分岐ユニット
- 2 0 命令変換索引バッファ
- 2 2 キャッシュ制御/システム・インタフェース
- 2 4 プリデコード・ユニット
- 2 6 命令バッファ
- 2 8 ディスパッチ・ユニット
- 3 2 ロード/ストア・ユニット
- 3 4 整数ALUユニット
- 3 8 浮動小数点ユニット
- 4 4 グラフィカル・ユニット
- 5 2 完了ユニット
- 5 6 オンチップ・データ・キャッシュ
- 5 8 データ変換索引バッファ
- 6 0 レジスタ・ファイル
- 9 0 制御論理回路
- 9 6 整数ALU
- 1 0 0 データ依存関係論理回路

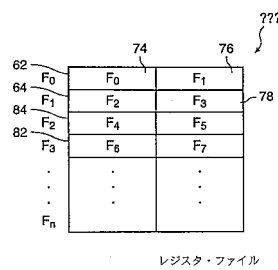
10

20

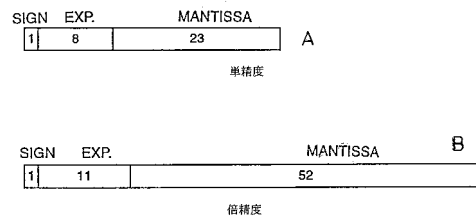
【図1】



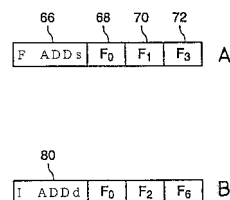
【図2】



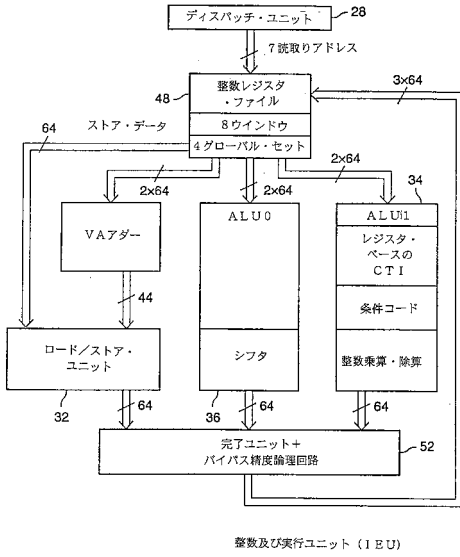
【図3】



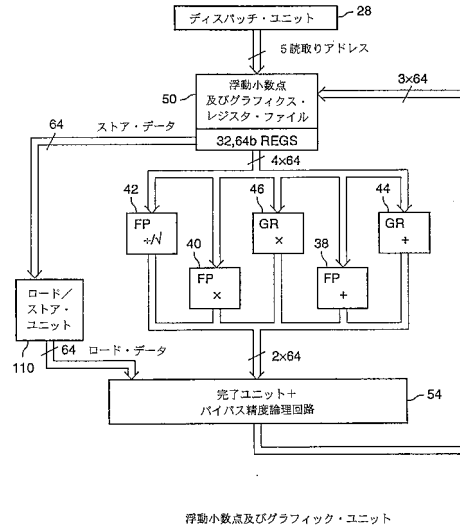
【図4】



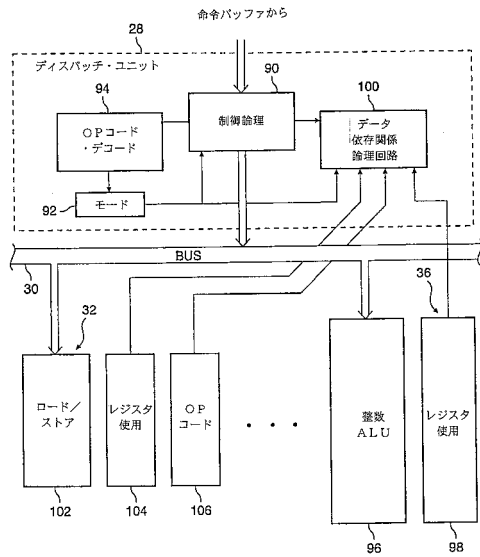
【 図 5 】



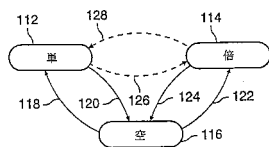
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

審査官 後藤 彰

- (56)参考文献 特開昭61-84736(JP,A)
特開平5-204639(JP,A)
特開平4-40519(JP,A)
特開平7-295811(JP,A)
特開平6-103062(JP,A)
特開昭60-134937(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 9/38