

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> G06K 19/067	(11) 공개번호 10-2001-0039700 (43) 공개일자 2001년05월 15일
(21) 출원번호	10-2000-0037279
(22) 출원일자	2000년06월30일
(30) 우선권주장	99-188616 1999년07월02일 일본(JP) 2000-598 2000년01월06일 일본(JP)
(71) 출원인	신꼬오덴기 고교 가부시키가이샤 모기 준이찌 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711
(72) 발명자	히구찌쓰도무 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키 가이샤내 후지이도모하루 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키 가이샤내 오까무라시게루 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키 가이샤내 사또쓰요시 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키 가이샤내 와까바야시다카요시 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키 가이샤내 아까가와마사또시 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키 가이샤내
(74) 대리인	문두현, 문기상

심사청구 : 없음

(54) 비접촉형 IC 카드 및 그 제조 방법

요약

각각의 단자부를 가지는 평면 코일과, 이 평면 코일과 중첩하지 않는 위치에 배치된 반도체 소자로서, 전극 단자를 가지는 반도체 소자와, 평면 코일의 각 단자부를 반도체 소자의 전극 단자에 전기 접속시키는 수단과, 반도체 소자가 보강 프레임에 의해 둘러싸이도록 반도체 소자의 면과 실질적으로 동일한 면상에 배치되는 보강 프레임을 포함하는 IC 카드가 제공된다.

대표도

도 1

색인어

IC 카드, 평면 코일, 단자부, 반도체 소자, 전극 단자, 보강 프레임, 회로 패턴

명세서

도면의 간단한 설명

도 1은 본 발명의 비접촉형 IC 카드에 대한 제 1 실시예의 구조를 설명하는 개략도.  
도 2a는 도 1에 도시된 반도체 소자의 구조와 보강 프레임의 개요를 나타내는 확대 평면도.

도 2b는 도 2a에서 라인(A-A) 상에서 취해진 단면도.

도 3은 도 1에 도시된 비접촉형 IC 카드의 내부 구조의 개요를 나타내는 단면도.

도 4는 본 발명의 비접촉형 IC 카드에 대한 제 2 실시예의 반도체 소자의 전극 단자와 평면 코일의 단자부 사이의 전기 접속을 설명하는 개략도로서, 도전성 페이스트가 코팅되기 전의 상태를 나타내는 도면.

도 5는 도전성 페이스트가 코팅되고 배선 패턴이 형성되는 상태를 나타내는 개략도.

도 6은 도 5의 평면도.

도 7은 본 발명의 비접촉형 IC 카드에 대한 제 5 실시예에 사용되는 평면 코일의 구조를 나타내는 평면도.

도 8은 종래 IC 카드의 구조를 설명하는 개략도.

도 9는 본 발명의 제 3 실시예의 비접촉형 IC 카드를 제조하는 공정을 설명하는 개략도.

도 15 내지 17은 본 발명의 제 4 실시예의 비접촉형 IC 카드를 제조하는 공정을 설명하는 개략도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

##### 1. 발명의 분야

본 발명은 평면 코일 및 이 평면 코일과 중첩하지 않는 위치에 배치된 반도체 소자를 포함하는 비접촉형 IC 카드에 관한 것으로, 평면 코일의 단자부는 반도체 소자의 전극 단자와 전기 접속된다. 또한, 본 발명은 비접촉형 IC 카드를 제조하는 공정에 관한 것이다. 게다가, 본 발명은 비접촉형 IC 카드에 사용되는 평면 코일에 관한 것이다.

##### 2. 관련 기술의 설명

도 8에 있어서, 종래의 비접촉형 IC 카드(50)의 구조가 아래에 설명된다.

도포된 도체 와이어를 와인딩(winding)하고, 수지 필름 상에 형성된 금속 포일(metallic foil) 층을 에칭하거나 또는 금속 시트를 펀칭하여 평면 코일(52)이 제조된다.

비접촉형 IC 카드(50)의 두께를 감소시키기 위해, 반도체 소자(54)는 평면 코일(52)과 중첩하지 않는 위치에서 평면 코일(52)의 평면과 실질적으로 동일한 평면에 배치된다. 반도체 소자(54)의 전극 단자(56)는 와이어(58)에 의해 평면 코일(52)의 단자부(52a)와 전기 접속된다. 이 경우에, 본딩 와이어 및 도포된 와이어는 이후부터 본 명세서에서 "와이어"라는 의미에 내포되어 있다.

다음으로, 수지로 이루어진 오버시트(over-sheet; 60)는 평면 코일(52)과 반도체 소자(54)의 양 면상에 부착된다. 이 후, 오버시트(60)는 가열 및 가압되어, 일체로 통합될 수 있다. 이러한 방식으로, 비접촉형 IC 카드(50)가 제조될 수 있다. 이러한 관계에서, 와이어(58)가 본딩 와이어로 구성되는 경우, 절연 시트와 같은 절연재는 전기 절연 특성을 보장할 수 있도록 와이어(58)와 평면 코일(52) 사이에 개재된다.

상기의 배열에서, 비접촉형 IC 카드(50)의 두께는 평면 코일(52)과 반도체 소자(54)가 서로 중첩되지 않는 방식으로 이들을 배치함으로써 감소된다. 그렇지만, 비접촉형 IC 카드(50)의 두께를 더욱 감소시키기 위해서, 평면 코일(52) 자체의 두께와 반도체 소자(54) 자체의 두께는 더욱 감소되어야 한다.

그렇지만, 평면 코일(52)의 두께와 반도체 소자(54)의 두께가 감소되는 경우, 각 구성요소의 기계적 강도는 저하된다. 이러한 기계적 강도의 저하는 심각한 문제를 일으킨다. 특히, 이 기계적 강도의 저하는 반도체 소자(54)에서 심각한 문제를 일으키는데, 즉 반도체 소자(54)에 외력이 가해지는 경우, 반도체 소자(54)에 손상을 주거나 또는 분열될 가능성이 높다.

#### 발명이 이루고자하는 기술적 과제

본 발명은 상기의 문제점들을 해결하도록 달성되었다. 본 발명의 목적은 두께가 작아 손상을 덜 받는 비접촉형 IC 카드를 제공하는 것이다.

### 발명의 구성 및 작용

본 발명에 따라, 각각의 단자부를 가지는 평면 코일과,

상기 평면 코일과 중첩하지 않는 위치에 배치되며, 전극 단자를 가지는 반도체 소자와,

상기 평면 코일의 각 단자부를 상기 반도체 소자의 전극 단자에 전기 접속하는 수단과,

상기 반도체 소자가 보강 프레임으로 둘러싸이도록 상기 반도체 소자의 면과 동일한 면에 배치된 보강 프레임을 포함하는 비접촉형 IC 카드가 제공된다.

전기한 바에 의해, 반도체 소자는 보강 프레임 내에 배치된다. 다시 말하면, 반도체 소자는 보강 프레임으로 둘러싸인다. 그러므로, 반도체 소자는 이 반도체 소자에 외력이 가해지는 경우에 보호된다. 따

라서, 반도체 소자의 두께가 감소되는 경우에도, 어떠한 문제도 야기되지 않는데, 즉 반도체 소자가 손상될 가능성은 없다.

평면 코일의 단자부가 프레임 모양으로 형성되는 방식으로 보강 프레임이 구성되는 경우, 평면 코일과 별개로 보강 프레임을 제공하는 것은 불필요해진다. 그러므로, 부품수는 감소될 수 있다.

가이드로서 보강 프레임을 사용함으로써 보강 프레임의 내부 영역이 수지 재료로 채워지는 경우, 반도체 소자는 수지에 의해 보호되어, 반도체 소자가 손상될 가능성을 감소시킬 수 있다.

반도체 소자가 평면 코일 내에 배치되는 경우, 비접촉형 IC 카드의 크기가 감소될 수 있는데, 이는 소형의 비접촉형 IC 카드가 요구되는 다양한 기술분야에 사용하는데 유리하다.

보강 프레임은 프레임형의 구성으로 이루어진 각 단자부를 포함한다.

보강 프레임의 내부 영역은 수지로 채워진다.

반도체 소자는 평면 코일 내의 위치에 배치된다.

전기 접속 수단에는, 평면 코일의 단자부로부터 반도체 소자의 전극 단자까지 연장되고, 제 1 및 제 2 표면을 가지는 절연 수지 박막 및 상기 절연 수지 박막의 제 2 표면상에 형성된 회로 패턴을 포함하는 회로 기판으로서, 상기 제 1 표면은 상기 반도체 소자에 대향하는 회로 기판과,

상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 각각에 형성된 도전성 범프로서, 상기 범프는 상기 절연 수지 박막을 통해 상기 회로 패턴으로 돌출하여, 상기 평면 코일의 전극 단자가 상기 회로 패턴에 의해 상기 반도체 소자의 전극 단자에 전기 접속되는 도전성 범프가 포함된다.

다른 방법으로, 이 전기 접속 수단에는, 평면 코일의 단자부로부터 반도체 소자의 전극 단자까지 연장되고, 제 1 및 제 2 표면을 가지며, 또한 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 관통홀(through hole)을 가지는 절연 수지 박막으로서, 상기 제 1 표면은 상기 반도체 소자에 대향하는 절연 수지 박막과,

도전성 페이스트로 구성되고, 상기 절연 수지 박막의 제 2 표면상에 형성되고 상기 관통홀 내에 채워진 각 단부를 가짐으로써, 상기 평면 코일의 단자부가 회로 패턴에 의해 상기 반도체 소자의 전극 단자에 전기 접속되는 회로 패턴이 포함된다.

또 다른 실시예에서, IC 카드는, 반도체 소자의 전극 단자 측에서 보강 프레임, 반도체 소자 및 평면 코일을 도포하는 전기 절연층

을 더 포함하며, 상기 접속 수단은

상기 절연층 상에 형성되고 상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 연장되며, 제 1 및 제 2 표면을 가지는 절연 수지 박막으로서, 상기 제 1 표면은 상기 반도체 소자에 대향하는 절연 수지 박막과,

도전성 페이스트로 구성되고, 상기 절연 수지 박막의 제 2 표면상에 형성되고 관통홀 내에 채워진 각 단부를 가짐으로써, 상기 평면 코일의 단자부가 회로 패턴에 의해 상기 반도체 소자의 전극 단자에 전기 접속되는 회로 패턴을 포함하며,

상기 전기 절연층 및 상기 절연 수지 박막은 상기 평면 코일의 단자부와 상기 반도체 소자의 전극 단자에 대응하는 위치에서 상기 전기 절연층과 절연 수지 박막을 관통하는 관통홀을 가진다.

이 전기 접속 수단에는, 평면 코일의 단자부로부터 반도체 소자의 전극 단자까지 연장되고, 제 1 및 제 2 표면을 가지며, 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 릴리프(relief)부를 가지는 절연 수지 박막으로서, 상기 제 1 표면은 상기 반도체 소자에 대향하는 절연 수지 박막과,

도전성 금속 포일로 구성되고, 상기 절연 수지 박막의 제 2 표면상에 형성되며 상기 절연 수지 박막의 릴리프부를 통해 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 방향으로 푸싱(pushing)된 각 부분들을 가짐으로써, 상기 평면 코일의 단자부가 회로 패턴에 의해 상기 반도체 소자의 전극 단자에 전기 접속되는 회로 패턴이 포함된다.

본 발명의 또 다른 실시태양에 따라,

상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 상에 각각의 도전성 범프를 형성하는 단계와,

상기 반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

상기 반도체 소자의 전극 단자 측에서 상기 보강 프레임, 상기 반도체 소자 및 상기 평면 코일을 절연층으로 도포하는 단계와,

상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 회로 기판을 연장시키는 단계로서, 상기 회로 기판은 제 1 및 제 2 표면을 가지는 절연 박막과 상기 절연 박막의 제 2 표면상에 형성된 회로 패턴을 포함하여, 상기 제 1 표면이 상기 반도체 소자에 대향하는 단계와,

상기 도전성 범프가 상기 회로 기판의 절연 박막을 관통하여 상기 평면 코일의 단자부가 상기 반도체 소자의 전극 단자에 전기 접속되도록 상기 회로 기판을 가열 및 가압하는 단계

를 포함하는 비접촉형 IC 카드를 제조하는 방법이 또한 제공된다.

비접촉형 IC 카드를 제조하는 또 다른 방법은

반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 절연 수지 박막을 연장시키는 단계로서, 상기 절연 수지 박막은 제 1 및 제 2 표면을 가지며 상기 평면 코일의 단자부와 상기 반도체 소자의 전극 단자에 대응하는 위치에서 관통홀을 가짐으로써, 상기 제 1 표면이 상기 반도체 소자에 대향하는 단계와,

상기 절연 수지 박막의 제 2 표면을 상기 관통홀 사이에서 도전성 페이스트로 코팅하여, 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 각각을 노출시키는 단계와,

회로 패턴을 형성하여 상기 평면 코일의 단자부가 상기 반도체 소자의 전극 단자에 전기 접속되도록 상기 도전성 페이스트를 가열 및 경화시키는 단계

를 포함한다.

비접촉형 IC 카드를 제조하는 또 다른 방법은

반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

상기 반도체 소자의 전극 단자 측에서 상기 보강 프레임, 상기 반도체 소자 및 상기 평면 코일을 절연층으로 도포하는 단계와,

상기 절연층 상에 절연 수지 박막을 형성하는 단계로서, 상기 절연 수지 박막은 제 1 및 제 2 표면을 가짐으로써, 상기 제 1 표면이 상기 반도체 소자에 대향하고 상기 절연 수지 박막이 상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 연장되는 단계와,

상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 상기 전기 절연층 및 상기 절연 수지 박막에 상기 전기 절연층과 절연 수지 박막을 관통하는 관통홀을 제공하는 단계와,

상기 절연 수지 박막의 제 2 표면을 상기 관통홀 사이에서 도전성 페이스트로 코팅하여, 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 각각을 노출시키는 단계와,

회로 패턴을 형성하여 상기 평면 코일의 단자부가 상기 반도체 소자의 전극 단자에 전기 접속되도록 상기 도전성 페이스트를 가열 및 경화시키는 단계

를 포함한다.

비접촉형 IC 카드를 제조하는 또 하나의 방법은

상기 반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 절연 수지 박막을 연장시키는 단계로서, 상기 절연 수지 박막은 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 릴리프부와, 상기 절연 수지 박막의 제 2 표면상에 형성된, 도전성 금속 포일로 구성된 회로 패턴을 가지는 단계와,

상기 절연 수지 박막의 릴리프부를 통해서 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자의 방향으로 상기 회로 패턴을 국부적으로 푸싱하여, 상기 회로 패턴의 푸싱된 부분들에 초음파를 가함으로써, 상기 푸싱된 부분들이 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자와 접촉되어 상기 회로 패턴에 의해 그 사이에서 전기 접속하도록 하는 단계

를 포함한다.

본 발명의 또 다른 실시예에 따라,

적어도 하나의 반도체 소자를 포함하는 비접촉형 IC 카드에 사용되는데 적합한 평면 코일로서,

각각의 단자부로서, 상기 단자부 중 적어도 하나는 보강 프레임으로서 형성됨으로써, 상기 반도체 소자가 상기 보강 프레임으로 둘러싸이는 방식으로 상기 반도체 소자가 배치될 수 있는 각각의 단자부

를 포함하는 평면 코일이 제공된다.

실시예의 상세한 설명

이제부터 첨부된 도면을 참조하여, 본 발명의 비접촉형 IC 카드에 대한 바람직한 실시예를 아래와 같이 상세히 설명된다. 이러한 관계에서, 본 발명의 실시예와 종래예에서 유사한 참조부호는 유사한 부품을 나타내는데 사용된다.

제 1 실시예

도 1 내지 3에 있어서, 비접촉형 IC 카드(10)의 구조가 아래에 설명된다.

평면 코일(52)이 다양한 제조 공정에 의해 제조될 수 있지만, 얇은 금속 시트를 펀칭 또는 에칭하여 제조된 평면 코일(52)이 본 발명의 비접촉형 IC 카드(10)에 바람직하다.

비접촉형 IC 카드(10)의 두께를 감소시키기 위해, 반도체 소자(54)의 두께가 감소되고, 이 반도체 소자(54)는 반도체 소자(54)가 평면 코일(52)과 중첩하지 않는 위치에서 평면 코일(52)의 면과 실질적으로

로 동일한 면상에 배치된다. 예를 들면, 반도체 소자(54)의 두께는 대략 30 내지 50  $\mu\text{m}$ 이다. 이 실시예에서, 비접촉형 IC 카드의 사이즈를 감소시키기 위해, 반도체 소자(54)는 평면 코일(52)의 내부 영역에서 평면 코일(52)에 인접하게 배치된다. 그렇지만, 평면 코일(52)의 외부 영역에 반도체 소자(54)를 배치하는 것 또한 가능하다.

반도체 소자(54)는 반도체 소자(54)의 면과 동일한 면상에 배치된 보강 프레임(12)의 내부에 배치된다. 달리 말하면, 보강 프레임(12)은 반도체 소자(54)의 주변에 배치된다. 보강 프레임(12)의 두께는 반도체 소자(54)의 두께와 실질적으로 동일하거나 또는 반도체 소자(54)의 두께보다 약간 더 크다.

보강 프레임(12)의 기계적 강도 및 강성이 반도체 소자(54)의 것보다 더 높을 필요성이 있다. 그러므로, 보강 프레임(12)은 금속 시트, 얇은 세라믹 시트 또는 강성 수지 재료 등으로 이루어진다. 보강 프레임(12)의 내부 원주면의 프로파일은 반도체 소자(54)의 외부 프로파일보다 약간 더 크므로, 보강 프레임(12)의 내부 원주면과 반도체 소자(54)의 외부 에지 사이에 큰 갭이 형성될 수 없다.

다음으로, 반도체 소자(54)의 전극 단자(56)와 평면 코일(52)의 단자부(52a) 사이의 전기 접속 구조가 설명된다.

한 면이 반도체 소자(54) 측으로 향하고 다른 한 면에 2개의 배선 패턴(14)이 형성되는, 절연 수지 박막 본체(16)로 구성된 배선판(18)은 반도체 소자(54)의 전극 단자(56) 측 상에서 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에 배치된다.

배선판(18) 측으로 돌출하는 범프(20, 22)는 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 각각 형성된다.

한 면에 접촉제층(50a)이 형성되는 한 쌍의 오버시트(60)는 오버시트(60)의 접촉제층(60a)이 평면 코일(52) 측으로 향하는 방식으로 평면 코일(52)의 양면, 반도체 소자(54) 및 배선판(18) 상에 부착된다. 그리고 나서, 오버시트(60)는 일체로 통합될 수 있도록 가열 및 가압된다. 도 3에 도시된 바와 같이, 오버시트(60)가 이러한 방식으로 가열 및 가압되는 경우, 각 범프(20, 22)의 끝 부분은 배선판(18)의 절연 수지 박막 본체(16)를 관통하여 배선 패턴(14)과 전기 접촉된다. 전기한 바에 의해, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)는 서로 전기 접속된다.

이러한 관계에서, 종래와 동일한 방식으로, 본 실시예에서 와이어(58)에 의해 평면 코일(52)의 단자부(52a)를 반도체 소자(54)의 전극 단자(56)와 전기 접속하는 것이 가능하다. 그렇지만, 배선판(18)이 사용되는 상기의 구조가 유리한데, 그 이유는 2개의 단자부(52a)가 동시에 2개의 전극 단자(56)와 각각 접속되어 제조 단계의 수를 감소시킬 수 있기 때문이다.

이 비접촉형 IC 카드(10)를 제조하는 공정이 다음과 같이 설명된다. 첫째로, 평면 코일(52)과 반도체 소자(54)가 제조되는 경우, 외부로 돌출하는 범프(20, 22)는 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 각각 형성된다.

다음으로, 반도체 소자(54)의 주변에 보강 프레임(12)이 배치된다.

구체적으로 말하면, 첫째로, 평면 코일(52)의 평면과 실질적으로 동일한 평면에서 평면 코일(52)과 중첩하지 않는 위치에 반도체 소자(54)가 배치된다. 이후, 반도체 소자(54)의 평면과 동일한 평면에서 반도체 소자(54)의 주변에 보강 프레임(12)이 배치된다. 이러한 관계에서, 평면 코일(52)의 평면과 실질적으로 동일한 평면에서 평면 코일(52)과 중첩하지 않는 위치에 보강 프레임(12)이 배치될 수 있으며, 보강 프레임(12)의 평면과 동일한 평면에서 보강 프레임(12) 내에 반도체 소자(54)가 배치될 수 있다.

다음으로, 반도체 소자(54)의 전극 단자(56) 측 상에 배선판(18)이 배치되는 반면, 배선판(18)이 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에 설정되는 방식으로 배선판(18)의 다른 한 면이 반도체 소자(54) 측으로 향한다.

다음으로, 한 면에 접촉제층(60a)이 형성되는 한 쌍의 오버시트(60)는 각 접촉제층(60a)이 평면 코일(52) 측으로 향하는 방식으로 평면 코일(52), 반도체 소자(54) 및 배선판(18)에 부착된다. 그리고 나서, 이 한 쌍의 오버시트(60)는 일체로 통합될 수 있도록 가열 및 가압된다. 전기한 바에 의해, 한 쌍의 오버시트(60) 사이에 개재되는, 평면 코일(52), 반도체 소자(54), 보강 프레임(12) 및 배선판(18)은 일체로 통합된다. 배선판(18)이 가압 및 가열되는 경우, 범프(22)는 절연 수지 박막(16)을 관통하며, 범프의 끝은 배선 패턴(14)과 전기 접촉된다. 이러한 관계에서, 범프(20, 22)의 위치에 대응하는 절연 수지 박막(16)의 부분들이 관통홀을 형성하도록 사전에 제거되어, 배선 패턴(14)이 관통홀의 하단 표면에 노출되는 것이 바람직하다. 전기한 바에 의해, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)는 배선 패턴(14)에 의해 서로 전기 접속된다.

## 제 2 실시예

도 5 및 6을 참조하여 설명되는 바와 같이, 비접촉형 IC 카드의 반도체 소자(54)의 전극 단자(56)와 평면 코일(52)의 단자부(52a)의 전기 접속 구조를 제외하면 본 실시예는 제 1 실시예와 동일하다.

평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 대응하는 위치에 관통홀(24)이 형성되는 절연 수지 박막(16)이 반도체 소자(54)의 전극 단자(56) 측 상에 배치되는 반면, 절연 수지 박막(16)이 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에 설정되는 방식으로 절연 수지 박막(16)의 면 중 한 면이 반도체 소자(54) 측으로 향한다.

평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에서 연장되어 있는 관통홀(24) 내로 양 단부가 채워지는, 도전성 페이스트로 구성된 배선 패턴(14)은 절연 수지 박막의 다른 한 면, 즉 도 5에 도시된 상면에 형성된다. 따라서, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)는 서로 전기 접속된다.

다음으로, 이 비접촉형 IC 카드(10)를 제조하는 공정이 설명된다.

첫째로, 반도체 소자(54)의 주변에 보강 프레임(12)이 배치된다. 구체적으로 말하면, 첫째로, 평면 코일(52)의 평면과 실질적으로 동일한 평면에서 평면 코일(52)과 중첩하지 않는 위치에 반도체 소자(54)가 배치된다. 이 후, 반도체 소자(54)가 내부에 위치될 수 있도록, 즉 반도체 소자(54)가 둘러싸일 수 있도록 보강 프레임(12)이 배치된다. 제 1 실시예에서 설명된 바와 같이, 평면 코일(52)의 평면과 실질적으로 동일한 평면에서 평면 코일(52)과 중첩하지 않는 위치에 보강 프레임(12)이 배치될 수 있으며, 보강 프레임(12)의 평면과 동일한 평면에서 보강 프레임(12) 내에 반도체 소자(54)가 배치될 수 있다.

다음으로, 도 4에 도시된 바와 같이, 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 대응하는 위치에 관통홀(24)이 형성되는 절연 수지 박막(16)은 반도체 소자(54)의 전극 단자(56) 측 상에 배치되는 반면, 절연 수지 박막(16)이 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에 설정되는 방식으로 절연 수지 박막(16)의 면 중 한 면이 반도체 소자(54) 측으로 향한다. 전기한 바에 의해, 단자부(52a)와 전극 단자(56)는 관통홀(24)로부터 절연 수지 박막(16)의 다른 한 면의 외부로 노출된다.

다음으로, 도 5 및 6에 도시된 바와 같이, 페이스트층의 한 단부가 반도체 소자(54)의 전극 단자(56)가 노출되는 관통홀(24)에 도달하고 페이스트층의 다른 한 단부가 평면 코일(52)의 단자부(52a)에 도달하는 방식으로 스크린 인쇄에 의해 절연 수지 박막(16)의 다른 한 면상에 도전성 페이스트가 코팅된다. 이 경우에, 도전성 페이스트는 관통홀(24) 내로 채워진다. 따라서, 도전성 페이스트는 관통홀(24)로부터 노출되는 단자부(52a) 및 전극 단자(56)와 접촉된다. 도전성 페이스트의 일례는 Ag 충전제(filler)가 함유된 에폭시 수지로 이루어진 페이스트이다.

다음으로, 이러한 방식으로 코팅된 도전성 페이스트가 가열 및 경화되는 경우, 평면 코일(52)의 단자부(52a)를 반도체 소자(54)의 전극 단자(56)와 접속시키는 배선 패턴(14)이 형성될 수 있다.

전기한 바에 의해, 평면 코일(52)의 단자부(52a)를 반도체 소자(54)의 전극 단자(56)와 전기 접속시키도록, 배선 패턴(14)이 형성될 수 있으며 양 단부는 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)로 연장된다.

### 제 3 실시예

도 14를 참조하여 설명되는 바와 같이, 반도체 소자(54)의 전극 단자(56)와 평면 코일(52)의 단자부(52a)의 전기 접속 구조를 제외하면, 본 실시예의 구조는 제 1 실시예의 구조와 동일하다.

반도체 소자(54)의 전극 단자(56) 측 상의 보강 프레임(12), 반도체 소자(54) 및 평면 코일(52)의 표면들은 절연 수지층(62)으로 도포된다. 구체적으로는, 절연 수지층(62)이 보강 프레임(12)과 반도체 소자(54) 사이에 형성된 갭 내로 채워지고 또한 보강 프레임(12), 반도체 소자(54) 및 평면 코일(52)의 단자부(52a)를 포함하는 영역내의 평면 코일(52) 자체에 형성된 갭 내로 채워지는 방식으로 절연 수지층(62)이 구성된다.

절연 수지층(62)의 표면상에서, 즉 평면 코일(52)의 단자부(52a) 측 상의 절연 수지층(62)의 표면상에서, 적어도 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 단자부(52a) 사이에 절연 수지 박막(16)이 배치된다. 구체적으로는, 절연 수지층(62)의 전체 표면이 절연 수지 박막(16)으로 도포될 수 있도록 절연 수지 박막(16)이 배치된다.

단자부(52a)와 전극 단자(56)가 노출되는 관통홀(24)은 절연 수지층(62)과 절연 수지 박막(16) 상에서 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)에 대응하는 위치에 형성된다.

양 단부가 관통홀(24) 내로 채워지고, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이로 연장되는, 도전성 페이스트로 이루어진 배선 패턴(14)은 절연 수지 박막(16)의 표면상에 형성된다. 따라서, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)는 서로 전기 접속된다.

평면도에서의 구조는 도 6에 도시된 것과 실질적으로 동일하다.

비접촉형 IC 카드(10)를 제조하는 공정이 아래에서 설명된다.

첫째로, 도 9에 도시된 바와 같이, 제 1 실시예와 동일한 방식으로, 반도체 소자(54)의 평면과 동일한 평면상에 배치되는 보강 프레임(12) 내에 반도체 소자(54)가 배치된다.

참조부호(64)는 베이스 박막(base film)을 나타낸다. 평면 코일(52), 반도체 소자(54) 및 보강 프레임(12)이 이 베이스 박막(64)의 면과 동일한 면상에 놓이는 경우, 이 부재들은 동일한 평면상에 위치될 수 있다. 최종적으로 이 베이스 박막(64)은 반도체 소자(54) 및 평면 코일(52)과 함께 오버시트(60) 사이에 개재될 수 있으므로, 이 부재들은 비접촉형 IC 카드로 형성될 수 있다. 변형적으로, 이 베이스 박막(64)은 오버시트(60) 사이에 개재되기 전에 평면 코일(52)로부터 제거될 수 있다.

다음으로, 도 9에 도시된 바와 같이, 디스펜서에 의해 반도체 소자(54)의 전극 단자(56) 측에서 보강 프레임(12), 반도체 소자(54) 및 평면 코일(52)의 표면상에 자외선-설정-타입 절연 수지가 코팅된다. 이러한 방식으로, 보강 프레임(12), 반도체 소자(54) 및 평면 코일(52)의 표면은 절연 수지층(62)으로 도포된다.

다음으로, 도 10에 도시된 바와 같이, 절연 수지 박막(16)의 일 면이 반도체 소자(54) 측으로 향하고 절연 수지 박막(16)이 적어도 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에서 설정되는 방식으로 절연 수지층(62)의 표면상에 절연 수지 박막(16)(PET 테이프 등)이 배치된다. 구체적으로는, 절연 수지 박막(16)은 이것이 절연 수지층(62)의 전체 표면을 도포할 수 있도록 배치된다. 그리고 나서, 절연 수지 박막(16)의 표면상에 분리 시트(66)가 놓이며, 절연 수지 박막(16)이 분리 시트(66)를 통해 유리판(68)에 의해 푸싱되어, 평면 코일(52)의 표면상에 제공된 절연 수지층(62)의 두

께가 감소될 수 있다.

위의 조건하에서, 보강 프레임(12), 반도체 소자(54) 및 평면 코일(52)의 양면이 자외선으로 조사되어, 절연 수지층(62)이 경화될 수 있다.

다음으로, 도 11에 도시된 바와 같이, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)가 노출되는 관통홀(24)은 레이저빔의 조사에 의해 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 대응하는 위치에서 경화된 절연 수지층(62)과 절연 수지 박막(16)상에 형성된다.

다음으로, 도 12에 도시된 바와 같이, 절연 수지 박막(16)의 다른 한 면상에서, 관통홀(24)이 도전성 페이스트(70)로 채워지는 방식으로 반도체 소자(54)의 전극 단자(56)가 노출되는 관통홀(24)과 평면 코일(52)의 단자부(52a)가 노출되는 관통홀(24) 사이에 도전성 페이스트(70)가 코팅된다.

다음으로, 도 13에 도시된 바와 같이, 위에서 설명된 절연 수지층(62)을 형성하는 방식과 동일한 방식으로, 코팅된 도전성 페이스트(70)는 유리판(68)과 함께 분쇄 및 평탄화되어 두께를 감소시킨다. 이러한 관계에서, 본 공정은 필요로 하는 경우에 이행될 수 있는데, 즉 본 공정을 생략하는 것이 가능하다. 평탄화의 정밀도에 있어서, 페이스트층의 두께가 40 내지 70  $\mu\text{m}$ 인 경우에, 페이스트층은 15 내지 30  $\mu\text{m}$ 의 두께로 평탄화된다.

다음으로, 코팅된 도전성 페이스트(70)는 가열 및 경화되어, 도 14에 도시된 바와 같이 평면 코일(52)의 단자부(52a)를 반도체 소자(54)의 전극 단자(56)와 전기 접속시키는 배선 패턴(14)이 형성될 수 있다.

#### 제 4 실시예

도 17을 참조하여 설명하는 바와 같이, 반도체 소자(54)의 전극 단자(56)와 평면 코일(52)의 단자부(52a)의 전기 접속 구조를 제외하면, 본 실시예의 구조는 제 1 실시예와 동일하다.

반도체 소자(54)의 전극 단자(56) 측 상에, 한 면이 반도체 소자(54) 측으로 향하는 절연 수지 박막(16)(PET 테이프 등)이 제공되고, 다른 면(도 17에서의 하부 면)상에는 도전성 금속 포일의 층으로 구성된 배선 패턴(14)이 형성되는데, 절연 수지 박막(16)이 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에 배치되는 방식으로, 배선 패턴(14)을 단자부(52a)와 전극 단자부 측에 노출시키는 릴리프부(72)는 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 대응하는 위치에 형성된다. 이러한 관계에서, 절연 수지 박막(16)의 일부가 창 모양으로 펀칭 또는 절단되는 경우에 각 릴리프부(72)가 형성된다.

평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)에 대응하는 배선 패턴(14) 부분들, 다른 말로 하면 릴리프부(72)를 통해 단자부(52a)와 전극 단자(56)에 대향하는 배선 패턴(14) 부분들은 릴리프부(72)(즉, 릴리프부(72)의 내측) 측 상에 국부적으로 오목해지며, 이렇게 오목해진 부분들은 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)에 결합된다. 이러한 방식으로, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)는 서로 전기 접속된다.

평면도 상으로, 본 실시예의 구조는 도 1에 도시된 것과 실질적으로 동일하다.

이 비접촉형 IC 카드(10)가 아래에서 설명된다. 이러한 관계에서, 비접촉형 IC 카드(10)의 구조에 대한 설명과 동일한 방식으로, 위에서 설명된 것과는 상이한 전기 접속 구조를 제조하는 공정만이 여기서 설명된다.

첫째로, 위에서 설명된 각각의 실시예와 동일한 방식으로, 반도체 소자(54)의 주변에 보강 프레임(12)이 배치된다.

다음으로, 도 15에 도시된 바와 같이, 반도체 소자(54)의 전극 단자(56) 측 상에, 한 면이 반도체 소자(54) 측으로 향하는 절연 수지 박막(16)이 제공되고, 다른 한 면(도 17에서의 하부 면)상에는 도전성 금속 포일의 층으로 구성된 배선 패턴(14)이 형성되는데, 절연 수지 박막(16)이 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56) 사이에 배치되는 방식으로, 배선 패턴(14)을 단자부(52a)와 전극 단자부 측에 노출시키는 릴리프부(72)는 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 대응하는 위치에 형성된다.

다음으로, 도 16에 도시된 바와 같이, 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 대응하는 배선 패턴(14)의 부분들은 릴리프부(72) 측(화살표 방향으로)으로 국부적으로 푸싱되어 이 부분들이 오목해지며, 이 오목해진 배선 패턴(14) 부분의 전단부는 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)와 접촉된다. 배선 패턴(14)의 오목해진 부분들이 단자부(52a)와 전극 단자(56)에 대하여 푸싱되는 동안, 조음파가 가해짐으로써 배선 패턴(14)은 평면 코일(52)의 단자부(52a) 및 반도체 소자(54)의 전극 단자(56)에 결합될 수 있다. 전기한 바에 의해, 평면 코일(52)의 단자부(52a)와 반도체 소자(54)의 전극 단자(56)는 서로 전기 접속된다.

다음으로, 반도체 소자(54)의 전극 단자(56)가 형성되는 면에 대향하는 보강 프레임(12), 반도체 소자(54) 및 평면 코일(52)의 면들로부터, 열가소성 수지(74)가 절연 수지 박막(16)에 디스펜서로 코팅된다. 코팅 후, 열가소성 수지(74)는 경화된다. 이러한 방식으로, 보강 프레임(12), 반도체 소자(54) 및 평면 코일(52)은 절연 수지 박막(16)과 함께 통합된다.

#### 제 5 실시예

본 실시예의 비접촉형 IC 카드(10)의 본질적인 구조는 반도체 소자(54)의 주변에 배치된 보강 프레임(12)의 구조를 제외하면 제 1 내지 제 4 실시예의 각각의 구조와 실질적으로 동일하다.

본 실시예의 특성이 다음과 같이 설명된다. 제 1 내지 제 4 실시예 각각의 비접촉형 IC 카드(10)에서, 평면 코일(52)과 보강 프레임(12)은 서로 분리되어 있다. 그렇지만, 본 실시예에서, 도 7에 도시된 바와 같이, 평면 코일(52)의 단자부(52a) 중 하나(이 경우, 내측 영역에 위치한 단자부)는 프레임 모양(에

컨대, 직사각형)으로 형성되며, 이 프레임 모양의 단자부(52a)는 보강 프레임(12)으로서 사용된다. 이 프레임 모양의 단자부(52a) 내에 반도체 소자(54)가 배치된다. 보강 프레임(12)의 프로파일이 반도체 소자(54)의 평면 프로파일과 유사한 것이 바람직하다. 그렇지만, 직사각형의 반도체 소자(54)의 경우에도, 보강 프레임(12)의 프로파일은 유사한 도면에 국한되지 않는데, 예를 들면 보강 프레임(12)의 프로파일은 링 또는 다각형일 수 있다.

이러한 관계에서, 도면에 도시되지는 않았지만, 평면 코일(52)의 외측 영역에 위치한 단자부(52a)는 프레임 모양으로 형성되어 보강 프레임(12)으로 사용될 수 있다.

위에서 설명된 제 3 및 제 4 실시예에서, 보강 프레임(12)의 내측 영역은 수지 재료(26)로 채워질 수 있다. 전기한 바에 의해, 보강 프레임(12), 반도체 소자(54)보다 더 높은 기계적 강도, 및 반도체 소자(54)는 수지 재료(26)에 의해 일체로 통합된다. 따라서, 보강 프레임(12) 내에 배치된 반도체 소자(54)는 더욱 보호될 수 있다.

이 구조가 제 1 실시예의 비접촉형 IC 카드(10)에 적용되는 예가 도 3에 도시되어 있다.

앞서 설명된 제 1 및 제 2 실시예에서, 수지 재료(62, 74)는 보강 프레임(12)의 내측 영역에 채워진다. 따라서, 보강 프레임(12)과 반도체 소자(54)는 수지 재료(62, 74)에 의해 서로 통합되며 보강 프레임(12) 내에 배치된 반도체 소자(54)는 보호될 수 있다.

이러한 관계에서, 제 1 실시예에서의 평면 코일(52)과 반도체 소자(54)의 전기 접속 구조의 경우에, 적어도 범프(22)의 전단부가 수지 재료(26)로부터 돌출되어야 한다. 제 2 실시예에서의 평면 코일과 반도체 소자의 전기 접속 구조의 경우에서, 반도체 소자(54)의 전극 단자(56) 및 평면 코일(52)의 단자부(52a)가 절연 수지 박막(16) 상에 형성된 관통홀(24)로부터 노출될 수 있도록 수지 재료(26)가 채워져야 한다.

제 4 실시예에서의 평면 코일과 반도체 소자의 전기 접속 구조의 경우에서, 배선 패턴이 가압되는, 반도체 소자(54)의 전극 단자(56) 및 평면 코일(52)의 단자부(52a)의 표면이 금으로 도금되는 것이 바람직하다.

### **발명의 효과**

본 발명은 두께가 작아 손상을 덜 받는 비접촉형 IC 카드를 제공할 수 있다.

### **(57) 청구의 범위**

#### **청구항 1**

각각의 단자부를 가지는 평면 코일과,  
 상기 평면 코일과 중첩하지 않는 위치에 배치되며, 전극 단자를 가지는 반도체 소자와,  
 상기 평면 코일의 각 단자부를 상기 반도체 소자의 전극 단자에 전기 접속하는 수단과,  
 상기 반도체 소자가 보강 프레임으로 둘러싸이도록 상기 반도체 소자의 면과 실질적으로 동일한 면에 배치된 보강 프레임  
 을 포함하는 비접촉형 IC 카드.

#### **청구항 2**

제 1항에 있어서, 상기 보강 프레임은 프레임형의 구조를 이루는 상기 각 단자부 중 하나를 포함하는 비접촉형 IC 카드.

#### **청구항 3**

제 1항에 있어서, 상기 보강 프레임의 내측 영역은 수지로 채워지는 비접촉형 IC 카드.

#### **청구항 4**

제 1항에 있어서, 상기 반도체 소자는 상기 평면 코일 내의 위치에 배치되는 비접촉형 IC 카드.

#### **청구항 5**

제 1항에 있어서, 상기 전기 접속 수단은  
 상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 연장되고, 제 1 및 제 2 표면을 가지는 절연 수지 박막 및 상기 절연 수지 박막의 제 2 표면상에 형성된 회로 패턴을 포함하는 회로 기판으로서, 상기 제 1 표면은 상기 반도체 소자에 대향하는 회로 기판과,  
 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 각각에 형성된 도전성 범프로써, 상기 범프는 상기 절연 수지 박막을 통해 상기 회로 패턴으로 돌출하여, 상기 평면 코일의 전극 단자가 상기 회로 패턴에 의해 상기 반도체 소자의 전극 단자 각각에 전기 접속되는 도전성 범프  
 를 포함하는 비접촉형 IC 카드.

#### **청구항 6**

제 1항에 있어서, 상기 전기 접속 수단은



상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 연장되고, 제 1 및 제 2 표면을 가지며, 또한 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 관통홀(through hole)을 가지는 절연 수지 박막으로서, 상기 제 1 표면은 상기 반도체 소자에 대항하는 절연 수지 박막과,

도전성 페이스트로 구성되고, 상기 절연 수지 박막의 제 2 표면상에 형성되고 상기 관통홀 내에 채워진 각 단부를 가짐으로써, 상기 평면 코일의 단자부가 회로 패턴에 의해 상기 반도체 소자의 전극 단자에 전기 접속되는 회로 패턴

을 포함하는 비접촉형 IC 카드.

### 청구항 7

제 1항에 있어서,

상기 반도체 소자의 전극 단자 측에서 상기 보강 프레임, 상기 반도체 소자 및 상기 평면 코일을 도포하는 전기 절연층

을 더 포함하며, 상기 접속 수단은

상기 절연층 상에 형성되고 상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 연장되며, 제 1 및 제 2 표면을 가지는 절연 수지 박막으로서, 상기 제 1 표면은 상기 반도체 소자에 대항하는 절연 수지 박막과,

도전성 페이스트로 구성되고, 상기 절연 수지 박막의 제 2 표면상에 형성되고 관통홀 내에 채워진 각 단부를 가짐으로써, 상기 평면 코일의 단자부가 회로 패턴에 의해 상기 반도체 소자의 전극 단자에 전기 접속되는 회로 패턴을 포함하며,

상기 전기 절연층 및 상기 절연 수지 박막은 상기 평면 코일의 단자부와 상기 반도체 소자의 전극 단자에 대응하는 위치에서 상기 전기 절연층과 절연 수지 박막을 관통하는 관통홀을 가지는 비접촉형 IC 카드.

### 청구항 8

제 1항에 있어서, 상기 전기 접속 수단은

상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 연장되고, 제 1 및 제 2 표면을 가지며, 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 릴리프(relief)부를 가지는 절연 수지 박막으로서, 상기 제 1 표면은 상기 반도체 소자에 대항하는 절연 수지 박막과,

도전성 금속 포일로 구성되고, 상기 절연 수지 박막의 제 2 표면상에 형성되며 상기 절연 수지 박막의 릴리프부를 통해 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 방향으로 푸싱(pushing)된 각 부분들을 가짐으로써, 상기 평면 코일의 단자부가 회로 패턴에 의해 상기 반도체 소자의 전극 단자에 전기 접속되는 회로 패턴

을 포함하는 비접촉형 IC 카드.

### 청구항 9

각각의 단자부를 가지는 평면 코일, 상기 평면 코일과 중첩되지 않는 위치에 배치되고 전극 단자를 가지는 반도체 소자와, 상기 반도체 소자를 보강하는 보강 프레임과, 상기 평면 코일의 단자부를 상기 반도체 소자의 전극 단자에 전기 접속하는 수단을 포함하는 비접촉형 IC 카드를 제조하는 방법에 있어서,

상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 상에 각각의 도전성 범프를 형성하는 단계와,

상기 반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

상기 반도체 소자의 전극 단자 측에서 상기 보강 프레임, 상기 반도체 소자 및 상기 평면 코일을 절연층으로 도포하는 단계와,

상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 회로 기판을 연장시키는 단계로서, 상기 회로 기판은 제 1 및 제 2 표면을 가지는 절연 박막과 상기 절연 박막의 제 2 표면상에 형성된 회로 패턴을 포함하여, 상기 제 1 표면이 상기 반도체 소자에 대항하는 단계와,

상기 도전성 범프가 상기 회로 기판의 절연 박막을 관통하여 상기 평면 코일의 단자부가 상기 반도체 소자의 전극 단자에 전기 접속되도록 상기 회로 기판을 가열 및 가압하는 단계

를 포함하는 비접촉형 IC 카드의 제조 방법.

### 청구항 10

각각의 단자부를 가지는 평면 코일, 상기 평면 코일과 중첩되지 않는 위치에 배치되고 전극 단자를 가지는 반도체 소자와, 상기 반도체 소자를 보강하는 보강 프레임과, 상기 평면 코일의 단자부를 상기 반도체 소자의 전극 단자에 전기 접속하는 수단을 포함하는 비접촉형 IC 카드를 제조하는 방법에 있어서,

상기 반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 절연 수지 박막을 연장시키는 단계로서, 상기 절연 수지 박막은 제 1 및 제 2 표면을 가지며 상기 평면 코일의 단자부와 상기 반도체 소자의 전극 단자에 대응하는 위치에서 관통홀을 가짐으로써, 상기 제 1 표면이 상기 반도체 소자에 대항하는 단계와,

상기 절연 수지 박막의 제 2 표면을 상기 관통홀 사이에서 도전성 페이스트로 코팅하여, 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 각각을 노출시키는 단계와,

회로 패턴을 형성하여 상기 평면 코일의 단자부가 상기 반도체 소자의 전극 단자에 전기 접속되도록 상기 도전성 페이스트를 가열 및 경화시키는 단계

를 포함하는 비접촉형 IC 카드의 제조 방법.

#### 청구항 11

각각의 단자부를 가지는 평면 코일, 상기 평면 코일과 중첩되지 않는 위치에 배치되고 전극 단자를 가지는 반도체 소자와, 상기 반도체 소자를 보강하는 보강 프레임과, 상기 평면 코일의 단자부를 상기 반도체 소자의 전극 단자에 전기 접속하는 수단을 포함하는 비접촉형 IC 카드를 제조하는 방법에 있어서,

상기 반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

상기 반도체 소자의 전극 단자 측에서 상기 보강 프레임, 상기 반도체 소자 및 상기 평면 코일을 절연층으로 도포하는 단계와,

상기 절연층 상에 절연 수지 박막을 형성하는 단계로서, 상기 절연 수지 박막은 제 1 및 제 2 표면을 가짐으로써, 상기 제 1 표면이 상기 반도체 소자에 대항하고 상기 절연 수지 박막이 상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 연장되는 단계와,

상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 상기 전기 절연층 및 상기 절연 수지 박막에 상기 전기 절연층과 절연 수지 박막을 관통하는 관통홀을 제공하는 단계와,

상기 절연 수지 박막의 제 2 표면을 상기 관통홀 사이에서 도전성 페이스트로 코팅하여, 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자 각각을 노출시키는 단계와,

회로 패턴을 형성하여 상기 평면 코일의 단자부가 상기 반도체 소자의 전극 단자에 전기 접속되도록 상기 도전성 페이스트를 가열 및 경화시키는 단계

를 포함하는 비접촉형 IC 카드의 제조 방법.

#### 청구항 12

각각의 단자부를 가지는 평면 코일, 상기 평면 코일과 중첩되지 않는 위치에 배치되고 전극 단자를 가지는 반도체 소자와, 상기 반도체 소자를 보강하는 보강 프레임과, 상기 평면 코일의 단자부를 상기 반도체 소자의 전극 단자에 전기 접속하는 수단을 포함하는 비접촉형 IC 카드를 제조하는 방법에 있어서,

상기 반도체 소자가 상기 보강 프레임으로 둘러싸이도록 상기 보강 프레임의 면과 실질적으로 동일한 면상에 상기 반도체 소자를 배치하는 단계와,

상기 평면 코일의 단자부로부터 상기 반도체 소자의 전극 단자까지 절연 수지 박막을 연장시키는 단계로서, 상기 절연 수지 박막은 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자에 대응하는 위치에서 릴리프부와, 상기 절연 수지 박막의 제 2 표면상에 형성된, 도전성 금속 포일로 구성된 회로 패턴을 가지는 단계와,

상기 절연 수지 박막의 릴리프부를 통해서 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자의 방향으로 상기 회로 패턴을 국부적으로 푸싱하여, 상기 회로 패턴의 푸싱된 부분들에 초음파를 가함으로써, 상기 푸싱된 부분들이 상기 평면 코일의 단자부 및 상기 반도체 소자의 전극 단자와 접촉되어 상기 회로 패턴에 의해 그 사이에서 전기 접속하도록 하는 단계

를 포함하는 비접촉형 IC 카드의 제조 방법.

#### 청구항 13

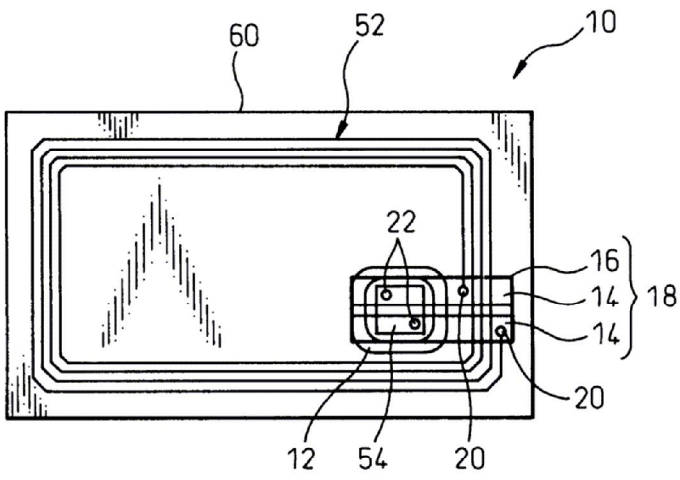
적어도 하나의 반도체 소자를 포함하는 비접촉형 IC 카드에 사용되는데 적합한 평면 코일로서,

각각의 단자부로서, 상기 단자부 중 적어도 하나는 보강 프레임으로서 형성됨으로써, 상기 반도체 소자가 상기 보강 프레임으로 둘러싸이는 방식으로 상기 반도체 소자가 배치될 수 있는 각각의 단자부

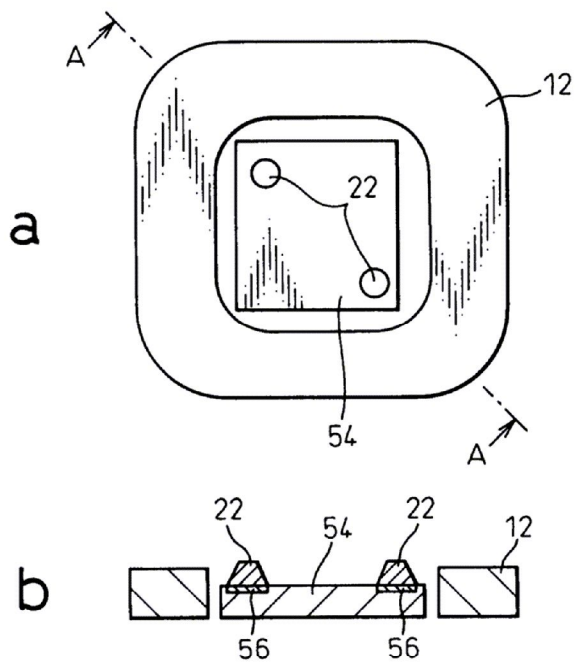
를 포함하는 평면 코일.

**도면**

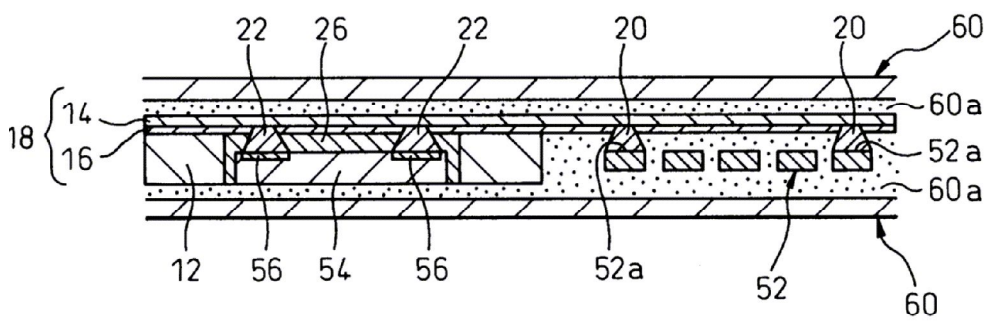
도면1



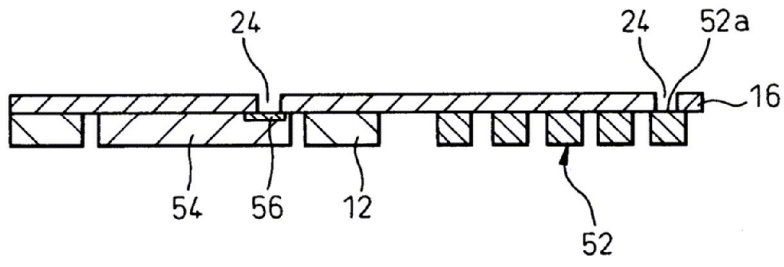
도면2



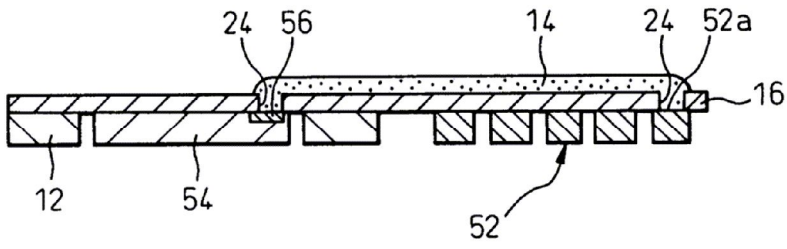
도면3



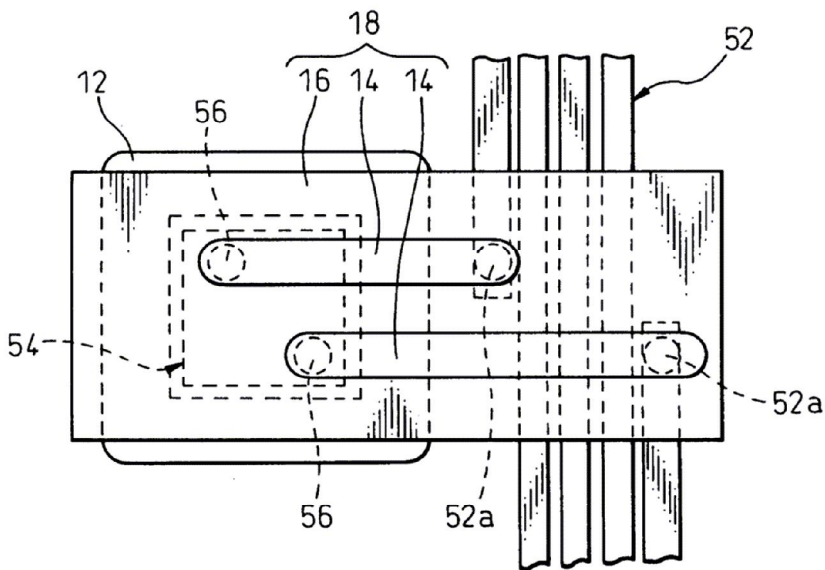
도면4



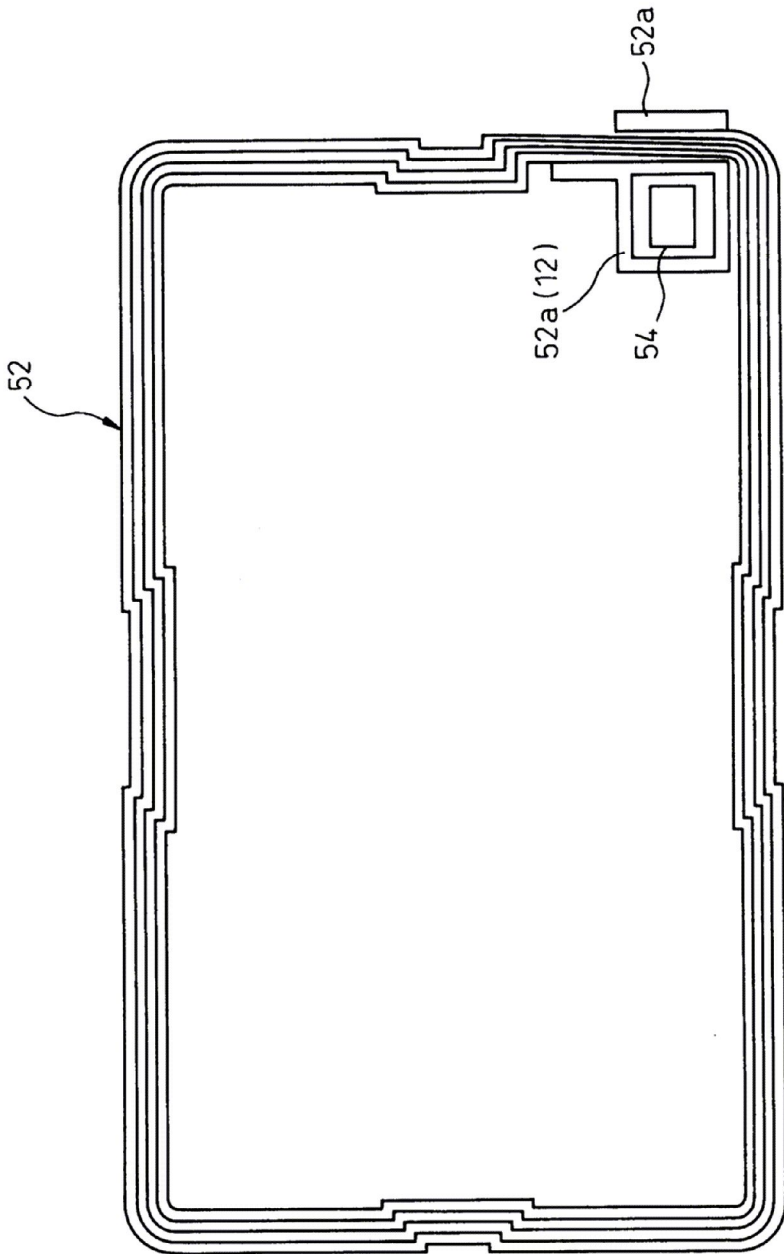
도면5



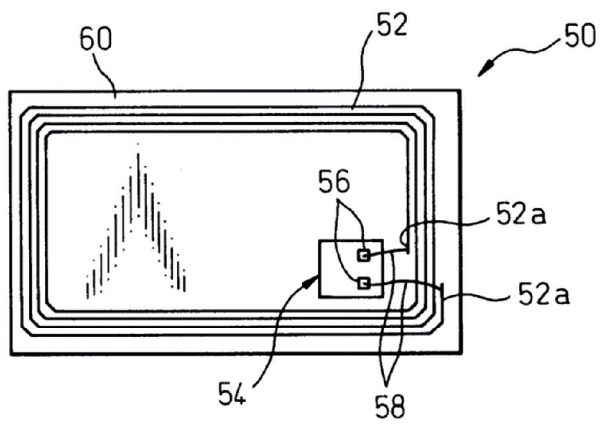
도면6



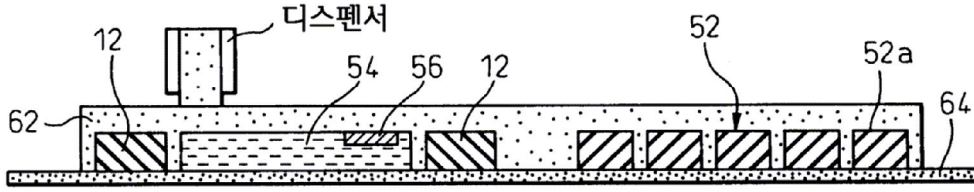
도면7



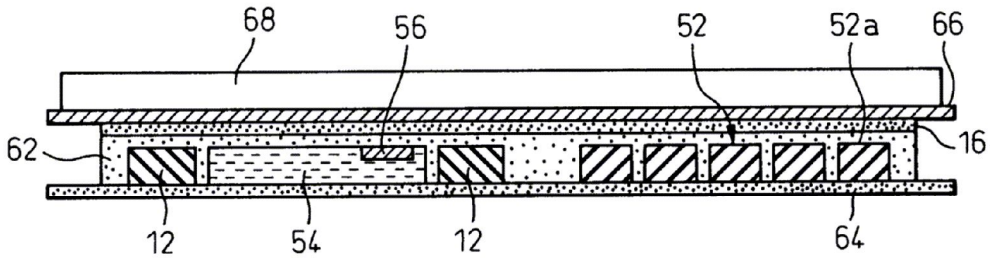
도면8



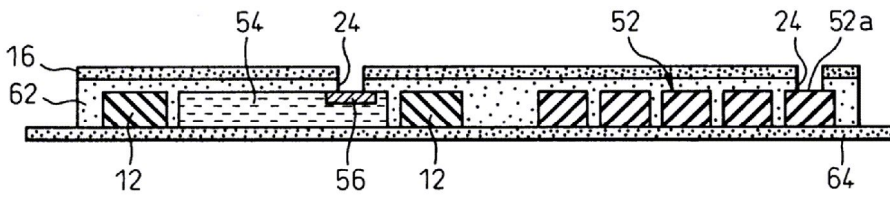
도면9



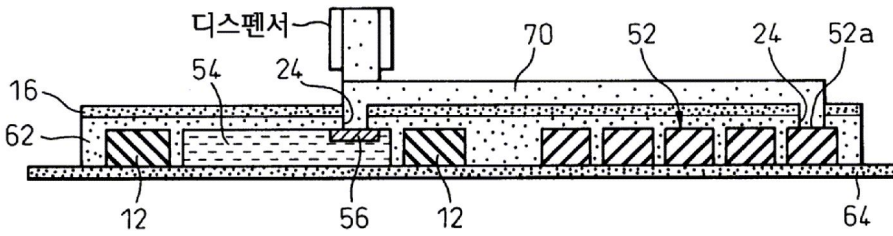
도면10



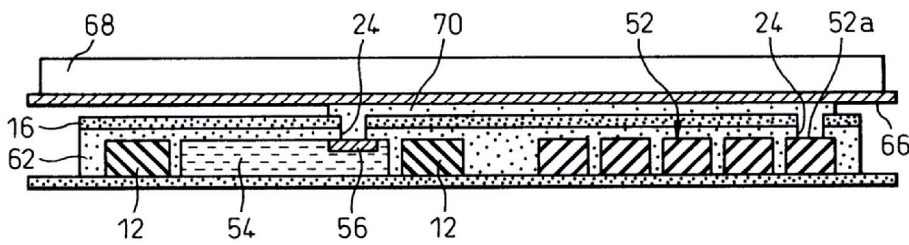
도면11



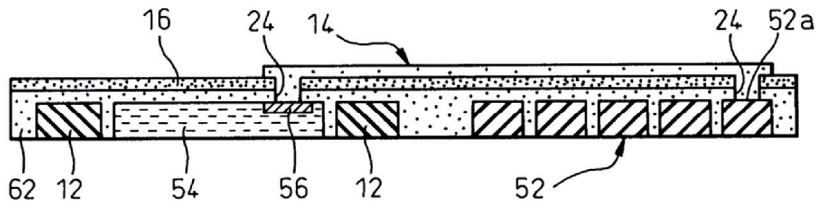
도면12



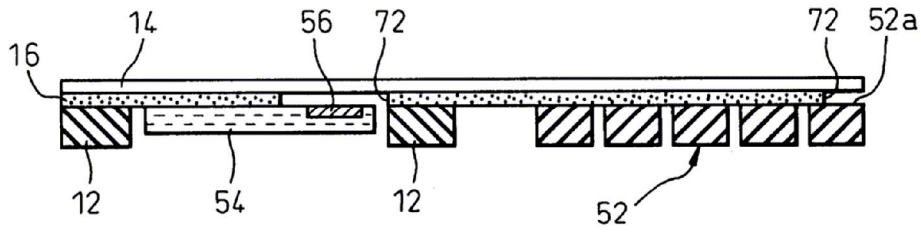
도면13



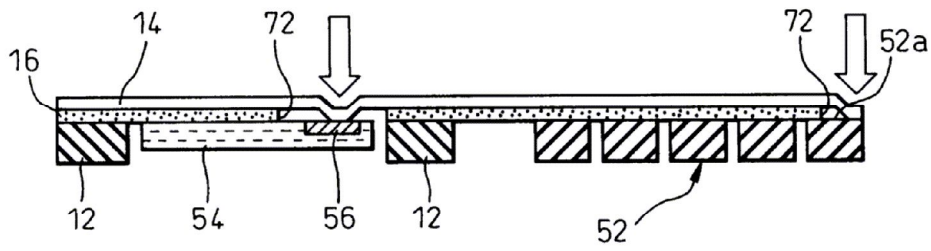
도면 14



도면 15



도면 16



도면 17

