

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5096572号
(P5096572)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 C
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1 O 2 A
HO 1 L 27/06 (2006.01)	HO 1 L 27/08 3 3 1 E
HO 1 L 27/08 (2006.01)	HO 1 L 29/78 6 1 3 Z
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 Z
請求項の数 25 (全 46 頁) 最終頁に続く	

(21) 出願番号 特願2010-514359 (P2010-514359)
 (86) (22) 出願日 平成21年5月26日(2009.5.26)
 (86) 国際出願番号 PCT/JP2009/002308
 (87) 国際公開番号 W02009/144915
 (87) 国際公開日 平成21年12月3日(2009.12.3)
 審査請求日 平成22年11月30日(2010.11.30)
 (31) 優先権主張番号 特願2008-141536 (P2008-141536)
 (32) 優先日 平成20年5月29日(2008.5.29)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100101683
 弁理士 奥田 誠司
 (74) 代理人 100155000
 弁理士 喜多 修市
 (74) 代理人 100139930
 弁理士 山下 亮司
 (74) 代理人 100125922
 弁理士 三宅 章子
 (74) 代理人 100151817
 弁理士 川口 寿志

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

チャネル領域、ソース領域およびドレイン領域を含む半導体層と、前記チャネル領域の導電性を制御するゲート電極と、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有する薄膜トランジスタ、および、少なくともn型領域とp型領域とを含む半導体層を有する薄膜ダイオードを備えた半導体装置であって、

前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、

前記薄膜トランジスタの半導体層は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含み、

前記薄膜ダイオードの半導体層は、前記触媒元素を実質的に含まない半導体装置。

【請求項2】

前記薄膜ダイオードの半導体層は、結晶の(100)面、あるいは/および(111)面となる面方位で主に構成されている請求項1に記載の半導体装置。

【請求項3】

前記薄膜ダイオードは、前記薄膜ダイオードの半導体層のうち前記n型領域と前記p型領域との間に位置する真性領域を含み、前記真性領域は、結晶の(100)面、あるいは/および(111)面となる面方位で主に構成されている請求項1に記載の半導体装置。

【請求項4】

前記薄膜トランジスタの半導体層のうち少なくとも前記チャネル領域は、結晶の 1 1

1 晶帯面が配向した面方位で主に構成されている請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】

前記薄膜トランジスタの半導体層のうち少なくとも前記チャンネル領域は、結晶の(110)面、あるいは λ および(211)面となる面方位で主に構成されている請求項 4 に記載の半導体装置。

【請求項 6】

前記薄膜トランジスタの半導体層のうち少なくとも前記チャンネル領域は、柱状結晶の集まりで構成され、各々の柱状結晶の成長方向は、薄膜トランジスタにおけるキャリアの移動方向に概ね平行である請求項 1 から 5 のいずれかに記載の半導体装置。

10

【請求項 7】

前記薄膜トランジスタの半導体層では、前記触媒元素は析出しておらず固溶した状態に含まれる請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】

前記薄膜トランジスタの半導体層の前記ソース領域あるいは前記ドレイン領域における前記触媒元素の濃度は、前記チャンネル領域における前記触媒元素の濃度よりも高い請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】

前記薄膜トランジスタは、前記薄膜トランジスタの半導体層のうち前記チャンネル領域、ソース領域およびドレイン領域以外の領域に形成されたゲッタリング領域を有し、前記ゲッタリング領域における前記触媒元素の濃度は、前記チャンネル領域、前記ソース領域およびドレイン領域における前記触媒元素の濃度よりも高い請求項 1 から 7 のいずれかに記載の半導体装置。

20

【請求項 10】

前記薄膜トランジスタは、nチャンネル型薄膜トランジスタおよびpチャンネル型薄膜トランジスタを含む複数の薄膜トランジスタである請求項 1 から 9 のいずれかに記載の半導体装置。

【請求項 11】

前記触媒元素はニッケルである請求項 1 から 10 のいずれかに記載の半導体装置。

【請求項 12】

30

(a) 表面に非晶質半導体膜が形成された基板を用意する工程と、
(b) 前記非晶質半導体膜の一部にだけ、結晶化を促進する触媒元素を選択的に添加する工程と、

(c) 前記触媒元素を選択的に添加した非晶質半導体膜に対して加熱処理を行って、前記非晶質半導体膜の一部を結晶化させて触媒利用結晶化領域を形成し、他の部分を非晶質領域のまま残す工程と、

(d) 前記触媒利用結晶化領域および前記非晶質領域にレーザー光を照射して、前記触媒利用結晶化領域をさらに結晶化させる、あるいは再結晶化させることによって形成された高結晶質領域と、前記非晶質領域を結晶化させることによって形成された低結晶質領域とを含む結晶質半導体膜を得る工程と

40

(e) 前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記高結晶質領域を含み、前記第2の島状半導体層は前記低結晶質領域を含む工程とを包含する半導体装置の製造方法。

【請求項 13】

前記工程(c)では、前記非晶質半導体膜のうち前記触媒元素が添加された部分を結晶化させて前記触媒利用結晶化領域を形成する請求項 12 に記載の半導体装置の製造方法。

【請求項 14】

前記工程(c)は、

50

(c1) 前記非晶質半導体膜のうち前記触媒元素が添加された部分を結晶化させて第1触媒利用結晶化領域を形成する工程と、

(c2) 前記第1触媒利用結晶化領域からその周辺部へ横方向に結晶成長させて第2触媒利用結晶化領域を形成する工程とを含み、

前記工程(d)は、前記第1触媒利用結晶化領域をさらに結晶化、あるいは再結晶化させて第1高結晶質領域を形成するとともに、前記第2触媒利用結晶化領域を結晶化、あるいは再結晶化させて第2高結晶質領域を形成する工程を含み、

前記工程(e)において、前記第1の島状半導体層は前記第2高結晶質領域を含む請求項12に記載の半導体装置の製造方法。

10

【請求項15】

前記工程(e)は、前記結晶質半導体膜の前記高結晶質領域を用いて、前記第1の島状半導体層のうち後に薄膜トランジスタのチャンネル領域となる領域を形成する工程を含む請求項12から14のいずれかに記載の半導体装置の製造方法。

【請求項16】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、前記第2の島状半導体層のうち後に薄膜ダイオードの真性領域となる領域を形成する工程を含む請求項12から15のいずれかに記載の半導体装置の製造方法。

【請求項17】

前記工程(e)は、前記結晶質半導体膜の前記高結晶質領域を用いて、前記第1の島状半導体層全体を形成する工程である請求項12から16のいずれかに記載の半導体装置の製造方法。

20

【請求項18】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、前記第2の島状半導体層全体を形成する工程である請求項12から17のいずれかに記載の半導体装置の製造方法。

【請求項19】

前記工程(e)は、前記結晶質半導体膜の前記第1高結晶質領域を用いて、前記第1の島状半導体層のうち後に薄膜トランジスタのソース領域あるいはノードドレイン領域となる領域の少なくとも一部を形成し、前記第2高結晶質領域を用いて、前記第1の島状半導体層のうち後に薄膜トランジスタのチャンネル領域となる領域を形成する工程である請求項14に記載の半導体装置の製造方法。

30

【請求項20】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、後にコンデンサの片方の電極となる半導体層を形成する工程をさらに含む請求項12から19のいずれかに記載の半導体装置の製造方法。

【請求項21】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、後に他の薄膜トランジスタの活性領域となる島状半導体層を形成する工程をさらに含む請求項12から20のいずれかに記載の半導体装置の製造方法。

40

【請求項22】

前記工程(b)は、
前記非晶質半導体膜上に、開口部を有するマスクを形成する工程と、
前記開口部を通して、前記非晶質半導体膜の選択された領域に前記触媒元素を添加する工程と

を含む請求項12から21のいずれかに記載の半導体装置の製造方法。

【請求項23】

前記工程(d)は、レーザー光を照射する前の前記触媒利用結晶化領域の結晶状態を完全にリセットせず、かつ、前記非晶質領域を結晶化させ得る照射エネルギー密度でレーザー光を照射する工程を含む請求項12から22のいずれかに記載の半導体装置の製造方法

50

。

【請求項 2 4】

前記基板は透光性を有し、
前記工程 (a) の前に、

前記基板のうち後に薄膜ダイオードの活性領域となる第 2 の島状半導体層が形成される領域の下部となる部分に、前記基板の裏面からの光を遮光するための遮光層を形成する工程をさらに包含する請求項 1 2 から 2 3 のいずれかに記載の半導体装置の製造方法。

【請求項 2 5】

(f) 少なくとも、前記第 1 の島状半導体層の上にゲート絶縁膜を形成する工程と、

(g) 前記第 1 の島状半導体層の上の前記ゲート絶縁膜上にゲート電極を形成する工程と、

(h) 前記第 1 の島状半導体層のうち後のソース領域及びドレイン領域となる領域に、不純物元素をドーピングする工程と、

(i) 前記第 2 の島状半導体層のうち後の n 型領域となる領域に、 n 型不純物元素をドーピングする工程と、

(j) 前記第 2 の島状半導体層のうち後の p 型領域となる領域に、 p 型不純物元素をドーピングする工程と、

を包含する請求項 1 2 から 2 3 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

20

【 0 0 0 1】

本発明は、薄膜トランジスタ (Thin Film Transistor : TFT) と薄膜ダイオード (Thin Film Diode : TFD) を備える半導体装置及びその製造方法に関する。

【背景技術】

【 0 0 0 2】

近年、同一基板上に形成された薄膜トランジスタ (TFT) および薄膜ダイオード (TFD) を備えた半導体装置や、そのような半導体装置を有する電子機器の開発が進められている。この半導体装置は、基板上に形成された同一の結晶質半導体膜を用いて、TFT および TFD の半導体層を形成することによって製造され得る。

30

【 0 0 0 3】

同一基板上に形成された TFT および TFD のデバイス特性は、その活性領域となる半導体層の結晶性に最も大きく影響される。ガラス基板上に良好な結晶質半導体層を得る方法としては、非晶質半導体膜にレーザー光を照射し、結晶化させる方法が一般的に利用される。また、非晶質半導体膜に結晶化を促進する作用を有する触媒元素を添加した後、加熱処理を施して結晶化を行う方法もある。さらに、この方法によって非晶質半導体膜を結晶化させた後、得られた結晶質半導体膜に対して、結晶性をさらに高めるためにレーザー光を照射してもよい。これにより、低温・短時間の加熱処理で、レーザー照射のみにより結晶化された従来の結晶質半導体膜に比べ、結晶の配向性が揃った良好な半導体膜が得られる。

40

【 0 0 0 4】

特許文献 1 には、TFD を利用した光センサー部と、TFT を利用した駆動回路とを同一基板上に備えたイメージセンサーが開示されている。特許文献 1 では、基板上に形成された非晶質半導体膜を結晶化させて TFT および TFD の半導体層を形成している。

【 0 0 0 5】

このように、TFT と TFD とを同一基板上に一体的に形成すると、半導体装置を小型化できるだけでなく、部品点数を低減できる等の大きなコストメリットが得られる。さらに、従来の部品の組み合わせでは得られない新たな機能が付加された商品の実現も可能になる。

【 0 0 0 6】

50

一方、特許文献2は、同一の半導体膜（シリコン膜）を用いて、結晶質シリコンを用いたTF T（結晶性シリコンTF T）と、アモルファスシリコンを用いたTF D（アモルファスシリコンTF D）とを同一基板上に形成することを開示している。具体的には、基板上に形成されたアモルファスシリコン膜のうちTF Tの活性領域を形成しようとする領域のみに、アモルファスシリコンの結晶化を促進する触媒元素を添加する。この後、加熱処理を行うことにより、TF Tの活性領域を形成しようとする領域のみが結晶化され、TF Dとなる領域がアモルファス状態であるシリコン膜を形成する。このシリコン膜を用いると、結晶性シリコンTF Tと、アモルファスシリコンTF Dとを同一基板上に簡便に作製することができる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平6-275808号公報

【特許文献2】特開平6-275807号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1のように、同一の非晶質半導体膜を結晶化させてTF TおよびTF Dの半導体層を形成すると、TF TおよびTF Dにそれぞれ要求されるデバイス特性を同時に満足することが難しいという問題がある。TF TおよびTF Dでは、それぞれの用途に応じて求められるデバイス特性は異なるが、特許文献1では、非晶質半導体膜に触媒元素を添加した後、加熱処理を行うことにより結晶化させている。すなわち、同一の結晶質半導体膜を用いて、TF Tの半導体層とTF Dの半導体層の両方が形成されている。しかしながら、本発明者らは、後述する実験および検討の結果、特許文献1に記載された方法で得られたTF TおよびTF Dが何れも、それぞれの素子に対して要求されるデバイス特性を満足することは難しいことを見出した。

【0009】

また、特許文献2のように、同一の非晶質半導体膜の一部を結晶化させて、結晶化させた部分から結晶質シリコンTF Tを形成し、非晶質のまま残された部分からアモルファスシリコンTF Dを形成すると、結晶化条件を制御することにより結晶質シリコンTF Tの特性を向上させることは可能になるが、アモルファスシリコンTF Dの特性を十分に高めることはできない。なぜなら、特許文献2にしたがって、アモルファスシリコンTF Dを作製した場合、アモルファスシリコン膜の一部を結晶質シリコンへと結晶化させる工程において、元々のアモルファスシリコンに含まれていた水素が抜けてしまうことにより、電気的に良好なアモルファスシリコンTF Dを作製できないからである。すなわち、成膜直後のアモルファスシリコンでは、シリコン原子が水素と結合しておりその結合手を埋めているが、結晶化のためのアニール工程において、その結合が切れ、水素が抜けてしまい、シリコンの不對結合手（ダングリングボンド）だらけの劣悪なアモルファスシリコンになってしまう。後の水素化工程で、幾分か水素と再結合されるが、成膜直後の良好な結合状態を得ることはできない。その結果、そのデバイス特性は、結晶質半導体層を用いた結晶質シリコンTF Dよりも低くなってしまふ。また、もし良好な状態のアモルファスシリコンTF Dが形成できたとしても、その光感度は結晶質シリコンTF Dよりも高くなるものの、ある種の光センサーに用いるためには順方向の電流値が不足する。リアルタイムのイメージセンシング等では、画像を1スキャンする間に、光センシングした後、次のスキャンに備えてTF Dの電位を一旦リセットする必要があるが、移動度の低いアモルファスシリコンTF Dでは、このリセット走査が追いつかない場合が生じる。すなわち、トータルのデバイス特性としては、結晶質半導体層を用いた結晶質シリコンTF Dの方がより優位である。

【0010】

本発明は上記の問題を鑑みてなされたものであり、その目的は、同一の非晶質半導体膜

10

20

30

40

50

を結晶化して形成されたTFTおよびTFDの半導体層を、それぞれのデバイス特性に応じて最適化することにある。

【課題を解決するための手段】

【0011】

本発明の半導体装置は、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、前記チャンネル領域の導電性を制御するゲート電極と、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有する薄膜トランジスタ、および、少なくともn型領域とp型領域とを含む半導体層を有する薄膜ダイオードを備えた半導体装置であって、前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、前記薄膜トランジスタの半導体層は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含み、前記薄膜ダイオードの半導体層は、前記触媒元素を実質的に含まない。

10

【0012】

ある好ましい実施形態において、前記薄膜ダイオードの半導体層は、結晶の(100)面、あるいは/および(111)面となる面方位で主に構成されている。

【0013】

ある好ましい実施形態において、前記薄膜ダイオードは、前記薄膜ダイオードの半導体層のうち前記n型領域と前記p型領域との間に位置する真性領域を含み、前記真性領域は、結晶の(100)面、あるいは/および(111)面となる面方位で主に構成されている。

20

【0014】

ある好ましい実施形態において、前記薄膜トランジスタの半導体層のうち少なくとも前記チャンネル領域は、結晶の111晶帯面が配向した面方位で主に構成されている。

【0015】

ある好ましい実施形態において、前記薄膜トランジスタの半導体層のうち少なくとも前記チャンネル領域は、結晶の(110)面、あるいは/および(211)面となる面方位で主に構成されている。

【0016】

前記薄膜トランジスタの半導体層のうち少なくとも前記チャンネル領域は、柱状結晶の集まりで構成され、各々の柱状結晶の成長方向は、薄膜トランジスタにおけるキャリアの移動方向に概ね平行であることが好ましい。

30

【0017】

前記薄膜トランジスタの半導体層では、前記触媒元素は析出しておらず固溶した状態で含まれていてもよい。

【0018】

前記薄膜トランジスタの半導体層の前記ソース領域あるいは前記ドレイン領域における前記触媒元素の濃度は、前記チャンネル領域における前記触媒元素の濃度よりも高くてもよい。

【0019】

前記薄膜トランジスタは、前記薄膜トランジスタの半導体層のうち前記チャンネル領域、ソース領域およびドレイン領域以外の領域に形成されたゲッタリング領域を有し、前記ゲッタリング領域における前記触媒元素の濃度は、前記チャンネル領域、ソース領域およびドレイン領域における前記触媒元素の濃度よりも高くてもよい。

40

【0020】

前記薄膜トランジスタは、nチャンネル型薄膜トランジスタおよびpチャンネル型薄膜トランジスタを含む複数の薄膜トランジスタであってもよい。

【0021】

前記触媒元素はニッケルであってもよい。

【0022】

本発明の半導体装置の製造方法は、(a)表面に非晶質半導体膜が形成された基板を用

50

意する工程と、(b)前記非晶質半導体膜の一部にだけ、結晶化を促進する触媒元素を選択的に添加する工程と、(c)前記触媒元素を選択的に添加した非晶質半導体膜に対して加熱処理を行って、前記非晶質半導体膜の一部を結晶化させて触媒利用結晶化領域を形成し、他の部分を非晶質領域のまま残す工程と、(d)前記触媒利用結晶化領域および前記非晶質領域にレーザー光を照射して、前記触媒利用結晶化領域をさらに結晶化させる、あるいは再結晶化させることによって形成された高結晶質領域と、前記非晶質領域を結晶化させることによって形成された低結晶質領域とを含む結晶質半導体膜を得る工程と、(e)前記結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層および後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程であって、前記第1の島状半導体層は前記高結晶質領域を含み、前記第2の島状半導体層は前記低結晶質領域を含む工程とを包含する。

10

【0023】

ある好ましい実施形態において、前記工程(c)では、前記非晶質半導体膜のうち前記触媒元素が添加された部分を結晶化させて前記触媒利用結晶化領域を形成する。

【0024】

ある好ましい実施形態において、前記工程(c)は、(c1)前記非晶質半導体膜のうち前記触媒元素が添加された部分を結晶化させて第1触媒利用結晶化領域を形成する工程と、(c2)前記第1触媒利用結晶化領域からその周辺部へ横方向に結晶成長させて第2触媒利用結晶化領域を形成する工程とを含み、前記工程(d)は、前記第1触媒利用結晶化領域をさらに結晶化、あるいは再結晶化させて第1高結晶質領域を形成するとともに、前記第2触媒利用結晶化領域を結晶化、あるいは再結晶化させて第2高結晶質領域を形成する工程を含み、前記工程(e)において、前記第1の島状半導体層は前記第2高結晶質領域を含む。

20

【0025】

前記工程(e)は、前記結晶質半導体膜の前記高結晶質領域を用いて、前記第1の島状半導体層のうち後に薄膜トランジスタのチャネル領域となる領域を形成する工程を含んでもよい。

【0026】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、前記第2の島状半導体層のうち後に薄膜ダイオードの真性領域となる領域を形成する工程を含んでもよい。

30

【0027】

前記工程(e)は、前記結晶質半導体膜の前記高結晶質領域を用いて、前記第1の島状半導体層全体を形成する工程であってもよい。

【0028】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、前記第2の島状半導体層全体を形成する工程であってもよい。

【0029】

前記工程(e)は、前記結晶質半導体膜の前記第1高結晶質領域を用いて、前記第1の島状半導体層のうち後に薄膜トランジスタのソース領域あるいは/およびドレイン領域となる領域の少なくとも一部を形成し、前記第2高結晶質領域を用いて、前記第1の島状半導体層のうち後に薄膜トランジスタのチャネル領域となる領域を形成する工程であってもよい。

40

【0030】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、後にコンデンサの片方の電極となる半導体層を形成する工程をさらに含んでもよい。

【0031】

前記工程(e)は、前記結晶質半導体膜の前記低結晶質領域を用いて、後に他の薄膜トランジスタの活性領域となる島状半導体層を形成する工程をさらに含んでもよい。

【0032】

50

ある好ましい実施形態において、前記工程 (b) は、前記非晶質半導体膜上に、開口部を有するマスクを形成する工程と、前記開口部を通して、前記非晶質半導体膜の選択された領域に前記触媒元素を添加する工程とを含む。

【 0 0 3 3 】

前記工程 (d) は、レーザー光を照射する前の前記触媒利用結晶化領域の結晶状態を完全にリセットせず、かつ、前記非晶質領域を結晶化させ得る照射エネルギー密度でレーザー光を照射する工程を含むことが好ましい。

【 0 0 3 4 】

前記基板は透光性を有し、前記工程 (a) の前に、前記基板のうち後に薄膜ダイオードの活性領域となる第 2 の島状半導体層が形成される領域の下部となる部分に、前記基板の裏面からの光を遮光するための遮光層を形成する工程をさらに包含してもよい。

10

【 0 0 3 5 】

ある好ましい実施形態において、(f) 少なくとも、前記第 1 の島状半導体層の上にゲート絶縁膜を形成する工程と、(g) 前記第 1 の島状半導体層の上の前記ゲート絶縁膜上にゲート電極を形成する工程と、(h) 前記第 1 の島状半導体層のうち後のソース領域及びドレイン領域となる領域に、不純物元素をドーピングする工程と、(i) 前記第 2 の島状半導体層のうち後の n 型領域となる領域に、n 型不純物元素をドーピングする工程と、(j) 前記第 2 の島状半導体層のうち後の p 型領域となる領域に、p 型不純物元素をドーピングする工程とを包含する。

【 0 0 3 6 】

20

本発明による半導体装置のある好ましい実施形態では、前記薄膜トランジスタの半導体層のうち少なくとも前記チャネル領域は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を添加して加熱処理を行うことにより結晶化された結晶質領域である。

【 0 0 3 7 】

前記薄膜ダイオードの半導体層は、前記触媒元素を用いないで結晶化された結晶質領域であることが好ましい。前記薄膜ダイオードの半導体層は、前記非晶質半導体膜にレーザー光を照射することにより結晶化された結晶質半導体層であってもよい。

【 0 0 3 8 】

ある好ましい実施形態において、前記薄膜トランジスタの半導体層は柱状結晶から構成され、前記薄膜ダイオードの半導体層は実質的に柱状結晶を含まない。

30

【 0 0 3 9 】

前記薄膜トランジスタの半導体層は連続粒界結晶シリコン (C G シリコン : C o n t i n u o u s G r a i n S i l i c o n) を含み、前記薄膜ダイオードの半導体層は多結晶シリコンを含んでいてもよい。

【 0 0 4 0 】

ある好ましい実施形態において、前記薄膜トランジスタの半導体層は、前記非晶質半導体膜に前記触媒元素を添加して加熱処理を行うことにより結晶化させた後、レーザー光を照射することによってさらに結晶化または再結晶化された高結晶質領域を含んでおり、前記薄膜トランジスタの半導体層のうち少なくとも前記チャネル領域は、前記高結晶質領域に形成されている。

40

【 0 0 4 1 】

本発明による半導体装置の製造方法のある好ましい実施形態では、前記工程 (h) は、前記第 1 の島状半導体層のうち後のソース領域及びドレイン領域となる領域に n 型の不純物元素をドーピングする工程を含み、前記工程 (h) および前記工程 (i) は、同時に行なわれる。あるいは、前記工程 (h) は、前記第 1 の島状半導体層の、後のソース領域及びドレイン領域となる領域に p 型の不純物元素をドーピングする工程を含み、前記工程 (h) および前記工程 (j) は、同時に行なわれてもよい。

【 0 0 4 2 】

前記第 1 の島状半導体層は、後に n チャネル型薄膜トランジスタの活性領域となる島状半導体層と、後に p チャネル型薄膜トランジスタの活性領域となる島状半導体層とを含む

50

複数の島状半導体層であり、前記工程(h)は、前記第1の島状半導体層のうち、後にnチャネル型薄膜トランジスタとなる島状半導体層に対してn型不純物元素のドーピングを行う工程(h1)と、後にpチャネル型薄膜トランジスタとなる島状半導体層に対してp型不純物元素のドーピングを行う工程(h2)とを含み、前記工程(h1)は前記工程(i)と同時に行為れ、前記工程(h2)は前記工程(j)と同時に行為れてもよい。

【0043】

本発明の他の半導体装置は、上記の何れかの方法によって製造された半導体装置である。

【0044】

本発明の電子機器は、上記の何れかの半導体装置を備える。本発明の電子機器は表示部を備えていてもよいし、光センサー部を備えていてもよい。また、表示部および光センサー部を備えていてもよい。

10

【0045】

前記表示部は前記薄膜トランジスタを含み、前記光センサー部は前記薄膜ダイオードを含んでいてもよい。

【0046】

前記光センサー部は、前記表示部の輝度を調整するためのアンビニエントセンサーであってもよい。または、前記表示部のタッチパネルセンサーであってもよい。

【0047】

本発明の表示装置は、複数の表示部を有する表示領域と、前記表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および前記電極に接続された薄膜トランジスタを有し、前記薄膜トランジスタと、前記薄膜ダイオードとは、同一の基板上に形成されており、前記薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、前記チャンネル領域の導電性を制御するゲート電極と、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを含み、前記薄膜ダイオードは、n型領域、p型領域、およびn型領域とp型領域との間に設けられた真性領域を含む半導体層を有し、前記薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、前記薄膜トランジスタの半導体層は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含んでおり、前記薄膜ダイオードの半導体層は、前記触媒元素を実質的に含んでいない。

20

30

【0048】

ある好ましい実施形態において、前記同一の非晶質半導体膜を結晶化することによって形成された他の結晶質半導体層と、前記他の結晶質半導体層を片側の電極として用いるコンデンサーとをさらに含み、前記他の結晶質半導体層は前記触媒元素を実質的に含まない。

【0049】

前記他の結晶質半導体層は、前記薄膜トランジスタの半導体層のソース領域あるいはドレイン領域と繋がっていてもよい。

【0050】

40

本発明の他の表示装置は、複数の表示部を有する表示領域と、前記表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および前記電極に接続された第1の薄膜トランジスタを有し、前記額縁領域には、駆動回路を構成する第2の薄膜トランジスタを有し、前記第1および第2の薄膜トランジスタと、前記薄膜ダイオードとは、同一の基板上に形成されており、前記第1および第2の薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、前記チャンネル領域の導電性を制御するゲート電極と、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを含み、前記薄膜ダイオードは、n型領域、p型領域、およびn型領域とp型領域との間に設けられた真性領域を含む半導体層を有し、前記第1および第2薄膜トランジスタの半導体層および前記薄膜ダイオードの半

50

導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、前記第1および第2薄膜トランジスタの半導体層は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含み、前記薄膜ダイオードの半導体層は、前記触媒元素を実質的に含まない。

【0051】

本発明のさらに他の表示装置は、複数の表示部を有する表示領域と、前記表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および前記電極に接続された第1の薄膜トランジスタを有し、前記額縁領域には、駆動回路を構成する第2の薄膜トランジスタを有し、前記第1および第2の薄膜トランジスタと、前記薄膜ダイオードとは、同一の基板上に形成されており、前記第1および第2の薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、前記チャンネル領域の導電性を制御するゲート電極と、前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを含み、前記薄膜ダイオードは、n型領域、p型領域、およびn型領域とp型領域との間に設けられた真性領域を含む半導体層を有し、前記第1および第2の薄膜トランジスタの半導体層および前記薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、前記第2の薄膜トランジスタの半導体層は、前記非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含み、前記第1の薄膜トランジスタおよび薄膜ダイオードの半導体層は、前記触媒元素を実質的に含んでいない。

10

【0052】

前記額縁領域において、前記第2の薄膜トランジスタにより構成される駆動回路は、各表示部に接続された前記第1の前記薄膜トランジスタを駆動する駆動回路であってもよい。

20

【0053】

前記額縁領域において、前記第2の薄膜トランジスタにより構成される駆動回路は、前記薄膜ダイオードを含む光センサー部を駆動する駆動回路であってもよい。

【0054】

前記基板は透光性を有し、前記薄膜ダイオードは、前記薄膜ダイオードの半導体層と前記基板との間に配置された遮光層をさらに備えており、前記遮光層は、前記基板の裏面から見たとき、前記薄膜ダイオードの半導体層における少なくとも真性領域と重なるように形成されていることが好ましい。

30

【0055】

上記表示装置はバックライトをさらに備えてもよい。

【0056】

前記光センサー部を複数有しており、前記複数の光センサー部は、それぞれ、各表示部または2以上の表示部からなるセットに対応して前記表示領域に配置されていてもよい。

【0057】

前記バックライトは、前記バックライトから出射する光の輝度を調整するバックライト制御回路を有しており、前記光センサー部は、前記額縁領域に配置され、外光の照度に基づく照度信号を生成して前記バックライト制御回路に出力してもよい。

40

【発明の効果】

【0058】

本発明によると、同一基板上に形成されたTFTおよびTFDを備えた半導体装置において、TFTおよびTFDの半導体層が、それぞれに要求されるデバイス特性に応じて最適化されているので、良好な特性を有するTFTおよびTFDを備えた半導体装置を提供できる。

【0059】

本発明は、センサー機能付きの液晶表示装置に好適に用いられ得る。本発明を、例えば駆動回路に用いられるTFTおよび画素電極をスイッチングするためのTFTと、光センサーとして利用されるTFDとを備えた液晶表示装置に適用すると、高い電界効果移動度

50

及び低閾値電圧を有するTFTと、暗電流値が低く光に対するSN比（明暗での電流値比）が高いTFDとを、同一の非晶質半導体膜を用いて形成できるので有利である。特に、TFTの電界効果移動度を大きく左右するチャンネル領域、および、TFDの光感度に大きく影響する真性領域における結晶状態をそれぞれ最適化することにより、それぞれの半導体素子に最適な素子特性を得ることができる。

【0060】

さらに、本発明によると、同一基板上に形成されたTFTおよびTFDを備えた高性能な半導体装置を、製造工程や製造コストを増大させることなく製造でき、製品のコンパクト化、高性能化、低コスト化を図ることができる。

【図面の簡単な説明】

10

【0061】

【図1】本発明による第1実施形態の半導体装置の模式的な断面図である。

【図2】(A)から(I)は、本発明による第1実施形態の半導体装置の製造工程を示す模式的な工程断面図である。

【図3】(A)から(F)は、本発明による第2実施形態の半導体装置の製造工程を示す模式的な工程断面図である。

【図4】(A)から(E)は、本発明による第3実施形態の半導体装置の製造工程を示す模式的な工程断面図である。

【図5】(F)から(H)は、本発明による第3実施形態の半導体装置の製造工程を示す模式的な工程断面図である。

20

【図6】(I)から(K)は、本発明による第3実施形態の半導体装置の製造工程を示す模式的な工程断面図である。

【図7】(A)から(E)は、本発明による第4実施形態の半導体装置の製造工程を示す模式的な工程断面図である。

【図8】(A)から(E)は、本発明による第5実施形態の半導体装置の製造工程を示す模式的な工程断面図である。

【図9】光センサーTFDの回路図である。

【図10】光センサー方式のタッチパネルの構成図である。

【図11】本発明による第6実施形態のタッチパネル方式の液晶表示装置における背面基板を例示する模式的な平面図である。

30

【図12】本発明による第6実施形態のアンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。

【図13】(A)から(C)は、光センサーTFDにおける暗電流、明電流、明暗比の特性を示す図である。

【発明を実施するための形態】

【0062】

以下、本発明による実施形態の半導体装置およびその製造方法を説明する。

【0063】

本実施形態の半導体装置は、薄膜トランジスタと薄膜ダイオードとを備えている。薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、半導体層の上に設けられたゲート絶縁膜と、チャンネル領域の導電性を制御するゲート電極とを有する。また、薄膜ダイオードは、少なくともn型領域とp型領域とを含む半導体層を有する。薄膜トランジスタの半導体層と、薄膜ダイオードの半導体層とは、同一の非晶質半導体膜を結晶化させて得られた結晶質半導体層である。薄膜トランジスタの半導体層は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含んでいる。一方、薄膜ダイオードの半導体層は実質的に触媒元素を含んでいない。

40

【0064】

薄膜トランジスタの半導体層は、触媒元素を用いて結晶化された結晶化領域を含んでいる。より具体的には、非晶質半導体膜に結晶化を促進する作用を有する金属元素（触媒元素）を添加した後、加熱処理を施すことにより結晶化させた結晶化領域を含んでいる。こ

50

のような結晶化領域は、結晶粒の配向方向が揃った連続粒界結晶シリコン（Continuous Grain Silicon：CGシリコン）からなる。CGシリコンの結晶ドメイン（ほぼ同一の面方位領域）の大きさは約2 μm 以上約8 μm 以下であり、通常のレーザー結晶化によって作製された多結晶シリコン（Low Temperature Poly-Silicon：LPS）膜の平均結晶粒径（典型的には約200 nm）よりも大きく、且つ、結晶粒の配向性が高いことから、優れた電気特性（例えば高い移動度）を有している。

【0065】

一方、薄膜ダイオードの半導体層は、触媒元素を用いない方法で結晶化された結晶質領域を含んでいる。好ましくは、非晶質半導体膜にレーザー光を照射することにより結晶化された結晶質半導体層であり、上記多結晶シリコン（LPS）からなり、その平均結晶粒径は例えば50 nm以上500 nm以下である。後述するように、このような結晶質半導体層は触媒元素を実質的に含まないので、暗電流の上昇を抑えて高いS/N比を実現できる。

10

【0066】

また、薄膜ダイオードの半導体層は、n型領域とp型領域との間に位置する真性領域を含み、真性領域は、触媒元素を実質的に含まない。また、好ましくは、薄膜ダイオードの半導体層は、n型領域とp型領域との間に位置する真性領域を含み、真性領域は、非晶質半導体膜にレーザー光を照射することにより結晶化された結晶質半導体層である。

【0067】

上記実施形態の半導体装置では、TF TおよびTF Dのそれぞれが、その素子に最適な素子特性を実現できる。また、同一の非晶質半導体膜を用いて形成された結晶質半導体層を用いているので、同一基板上に、上記のようなTF TおよびTF Dを備えた半導体装置が、簡便な方法で得られ、且つシンプルな素子構成を実現できる。

20

【0068】

さて、触媒元素を用いて結晶化された結晶質半導体層は、その高い結晶性により高移動度を有する。従って、駆動回路に用いられるような高い電界効果移動度や低閾値電圧が求められるTF Tに適している。さらに、一般的には、半導体層の結晶性が高い方が、TF Tオフ動作時のリーク電流が低減し、ON/OFF比も向上する。すなわち、画素電極をスイッチングするためのTF Tとしても適している。これは、同様に、TF Dについても同じことが言え、結晶性の高い方が、順方向での電流値は当然のことながら高まる。そして、TF Dに逆バイアスを加えてOFF状態にした際も、そのリーク電流値は、結晶性が高い方が低下すると考えられていた。

30

【0069】

しかしながら、本発明者らが確認したところ、全く異なる結果が得られた。TF Dに逆バイアスをかけた状態にして、その半導体層に光を照射すると、リーク電流が増加する。この電流変化を利用して光センサーとして利用することができる。逆バイアスをかけた状態で、暗闇でのリーク電流を「暗電流」、光を照射した状態でのリーク電流を「明電流」と呼称すると、TF Dのデバイス性能としてのS/N比は、明電流と暗電流との比と考えられる。

40

【0070】

本発明者らは、同一の非晶質半導体膜に対して、触媒元素を用いた加熱処理により結晶化した結晶質半導体層と、触媒元素を用いないで結晶化した結晶質半導体層との特性を比較したところ、図13(A)～(C)に示すような結果を得た。

【0071】

図13(A)は、TF Dに印加するアノード電圧 V_a に対する暗電流の依存性を示すグラフである。横軸がアノード電圧 V_a であり、マイナス値はTF Dに対して逆方向のバイアスであることを示している。縦軸は暗電流であり、TF D半導体層の幅 W に対して規格化した、単位幅当たりの電流値を示す。ここで、1Aは、触媒元素を用いて結晶化した半導体層、2Aは、触媒元素を用いないで結晶化した半導体層の特性を示している。

50

【 0 0 7 2 】

図 1 3 (B) は、明電流の V_a 依存性を示すグラフである。横軸は、図 1 3 (A) と同様に、TFD に印加するアノード電圧 V_a であり、縦軸は、 10000 lux の光を照射したときの明電流を示す。ここで、明電流は、図 1 3 (A) に示すグラフと同様、TFD 半導体層の幅 W に対して規格化した、単位幅当たりの電流値を示している。1 B は、触媒元素を用いて結晶化した半導体層の特性であり、2 B は、触媒元素を用いないで結晶化した半導体層の特性を示している。

【 0 0 7 3 】

図 1 3 (C) は、これらの半導体層の明電流 / 暗電流の比を、 S/N 比として縦軸に取り、 V_a との依存性を表したグラフである。ここで、1 C は、触媒元素を用いて結晶化した半導体層、2 C は、触媒元素を用いないで結晶化した半導体層の特性を示している。どの領域の V_a に対しても、触媒元素を用いた半導体層 (1 C) の方が、触媒元素を用いない半導体層 (2 C) よりも高い S/N 比が得られることがわかる。アノード電圧に対する暗電流、明電流および S/N 比の具体的な数値を表 1 に示す。

【 0 0 7 4 】

【表 1】

結晶化方法	アノード電圧 [V]	-3	-4	-5	-6	-7	-8	-9
触媒元素無し	暗電流 [A/um]	3.3E-15	3.6E-15	3.9E-15	4.1E-15	4.4E-15	4.8E-15	5.2E-15
	明電流 [A/um] @10000lux	7.8E-12	7.8E-12	7.9E-12	7.9E-12	7.9E-12	8.0E-12	8.0E-12
	SN比	2368	2190	2044	1933	1787	1665	1528
触媒元素利用	暗電流 [A/um]	1.0E-14	1.3E-14	1.5E-14	1.7E-14	2.0E-14	2.3E-14	2.6E-14
	明電流 [A/um] @10000lux	5.2E-12	5.5E-12	5.7E-12	5.8E-12	6.0E-12	6.1E-12	6.2E-12
	SN比	502	438	385	342	304	270	241

【 0 0 7 5 】

TFD に印加されるアノード電圧 V_a の値は、必要とされる電子機器において異なる。一例として、 -7 V の場合を考えると、触媒元素を用いて結晶化させた半導体層に比べて、触媒元素を用いないで結晶化させた半導体層では、暗電流が約 $1/5$ に下がり、明電流は約 1.3 倍に上がり、その結果、 S/N 比は約 6 倍に高まる。特に、暗電流が顕著に低下しており、これにより S/N 比の大幅な改善が図れている。

【 0 0 7 6 】

この原因を調べるため、触媒元素を用いずに結晶化させた半導体層に対して、触媒元素を結晶化後に添加したところ、暗電流は上昇し、大きく悪化することを確認した。すなわち、暗電流を悪化させる原因は、半導体層の結晶性ではなく、触媒元素の存在であることが分かった。

【 0 0 7 7 】

なお、触媒元素のうち半導体層中でシリサイドのような析出物を形成したものは結晶化後に行うゲッタリング工程によって取り除かれるので、触媒元素を用いて結晶化させた半導体層に残存する触媒元素は固溶した状態である。従来、TF T においては、固溶した状態の触媒元素による悪影響は見られなかった。しかしながら、光センサーとして用いるような TFD では、半導体層に固溶した状態の触媒元素が含まれていても特性に悪影響を及ぼすことがわかる。これは、TFD では、TF T に比べて、暗電流値を極限まで小さく抑えることが要求されるため、TF T 以上にリーク電流に対する触媒元素の影響が強く現れ、デメリットとして顕在化するからである。

【 0 0 7 8 】

したがって、本実施形態では、同一基板上に形成され、同一の非晶質半導体膜を結晶化させて成る結晶質半導体層により半導体層が構成される TF T と TFD とにおいて、触媒元素を利用して結晶化させた半導体層を用いて、高い電界効果移動度及び低閾値電圧を有する TF T を形成するとともに、触媒元素を用いずに結晶化させた半導体層を用いて、光

10

20

30

40

50

センサーとして利用するTFDとして、外光に対する感度、光に対するSN比（明暗での電流値比）の高いTFDを形成することが可能になる。特に、触媒元素を用いて結晶化させた領域からTFDの電界効果移動度を大きく左右するチャンネル領域を形成し、触媒元素を用いずに結晶化させた領域からTFDの光感度に大きく影響する真性領域を形成することにより、それぞれの半導体素子に最適な素子特性を得ることができる。

【0079】

これらTFDとTFDの半導体層は、非晶質半導体膜に触媒元素を選択的に添加し、添加された領域のみを結晶化して、それ以外の領域を非晶質のまま残すことによって簡単に作り分けることができる。非晶質のまま残した領域に対しては、その後、レーザー光を照射させて結晶化させればよい。すなわち、TFDの半導体層あるいはその真性領域は、非晶質半導体膜にレーザー光を照射し結晶化させた結晶質半導体層であることが好ましい。

10

【0080】

このとき、レーザー光を基板全体に照射することで、触媒元素を添加し加熱処理により結晶化させた領域に対してもレーザー光が照射され、その領域の結晶性をより高めることができる。すなわち、実施形態として、TFDの半導体層のチャンネル領域は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を添加し加熱処理により結晶化させた後、レーザー光を照射することにより再結晶化された結晶質半導体層であることが好ましい。これにより、レーザー照射に際して、非晶質領域への位置制御を行う必要が無く、生産性の高い簡便な方法にて行うことができる。

【0081】

20

また、非晶質半導体膜に触媒元素を添加し、加熱処理によって結晶化させると、ミクロな柱状結晶の集まりで構成された結晶質半導体層が得られる。このときの結晶成長の方向性を制御することにより、柱状結晶の方向性を概ね制御することができる。そこで、TFDの半導体層において、チャンネル領域は、柱状結晶の集まりで構成され、各々の柱状結晶の成長方向を、薄膜トランジスタにおけるキャリアの移動方向に対して概ね平行とすることにより、より高い電流駆動能力を持つTFDが実現できる。

【0082】

TFDの半導体層のうち少なくともチャンネル領域は、結晶の 111 晶帯面が配向した領域で主に構成されていることが好ましい。さらには、TFDの半導体層において、少なくともチャンネル領域は、結晶の (110) 面、あるいは/および (211) 面となる面方位で、主に構成されていることが好ましい。具体的には、結晶質半導体層の結晶の面配向の割合は、 111 晶帯面の中でも、特に (110) 面配向と (211) 面配向とで全体の50%以上の領域が占められていることが好ましい。

30

【0083】

非晶質半導体膜に触媒元素を添加して加熱処理を行うと、触媒元素の強い成長方位依存性により 111 方向へと横方向（基板に平行な方向）に結晶成長が進行する。その結果として、得られた結晶質半導体膜の膜表面では、 111 方向に垂直な面方位の集まりになる。これが 111 晶帯面である。その中でも、特に配向性が強い面方位は (110) 面、 (211) 面である。 111 晶帯面は、他の面に比べてホール移動度が非常に高く、 n チャンネル型TFDに比べ性能の劣る p チャンネル型TFDの性能を特に向上でき、TFDを用いた半導体回路においてバランスがとり易いというメリットがある。特に、 (110) 面、 (211) 面の2つの結晶面が、その傾向が強い。したがって、これらの結晶面方位は、TFDを構成する上で、非常に適した面方位である。

40

【0084】

これに対して、TFDの半導体層は、結晶の (100) 面、あるいは/および (111) 面となる面方位で、主に構成されていることが好ましい。さらに、TFDの半導体層は、 n 型領域と p 型領域との間に位置する真性領域を含み、真性領域は、結晶の (100) 面、あるいは/および (111) 面となる面方位で、主に構成されていることが好ましい。

【0085】

50

一般的に触媒元素を用いない結晶化では、半導体膜下地の絶縁体（特に非晶質二酸化ケイ素の場合）の影響、あるいは半導体層表面（真空界面）の影響で、結晶質半導体膜の面配向は、(111)面あるいは ν および(100)面に向きやすい。この場合、TFDでは高い光感度が得られるようである。図13(A)に示す暗電流は、触媒元素の存在あるいは濃度により大きく左右されるが、図13(B)の明電流は、結晶方位に影響する傾向が見られている。その結果、同一の非晶質半導体膜を結晶化させて形成した半導体層を用いて、TF TおよびTF Dのそれぞれに要求される最適な素子特性を同時に実現できる。

【0086】

ここで、TF Tの半導体層のチャネル領域においては、触媒元素は析出しておらず固溶した状態で含まれることが好ましい。半導体層では、その固溶度を超える濃度の触媒元素は、シリサイド化合物のような形で析出している。触媒元素による結晶成長には、シリサイド化合物の形態への変化が必須であるため、結晶成長後にはシリサイド化合物が必ず残る。しかしながら、これらのシリサイド化合物は、TF Tの半導体層において、電気的特性、特にオフ動作時のリーク電流に悪影響を与えるため、最終のデバイスにおいては、取り除かれる必要がある。したがって、本発明のTF Tの半導体層のチャネル領域は、触媒元素を含むが、それらは析出しておらず固溶した状態であることが望ましい。

【0087】

このような形態を実現するために、TF Tの半導体層のソース領域あるいはドレイン領域の触媒元素濃度は、チャネル領域の触媒元素濃度よりも高いことが好ましい。また、TF Tの半導体層は、ソース領域およびドレイン領域とは別にゲッタリング領域を有し、ゲッタリング領域の触媒元素濃度は、チャネル領域、ソース領域およびドレイン領域の触媒元素濃度よりも高いことが好ましい。このように、製造工程でゲッタリング領域として利用した領域を除去せずにTF T完成後も残しておくことにより、チャネル領域外へ触媒元素をゲッタリングする作用が、製造工程内だけでなく、素子の完成後も継続して得られる。

【0088】

結晶化に用いられる触媒元素としては、Ni、Co、Sn、Pb、Pd、Fe、Cuからなる群から選ばれた一種または複数種の元素を用いることができる。これらから選ばれた一種または複数種類の元素であれば、微量で非晶質半導体膜の結晶化を促進する効果がある。それらの中でも、特にNiを用いた場合に最も顕著な効果を得ることができる。

【0089】

本実施形態における薄膜トランジスタは、nチャネル型薄膜トランジスタであってもよいし、pチャネル型薄膜トランジスタであってもよい。また、本実施形態の半導体装置は、nチャネル型およびpチャネル型の薄膜トランジスタを含む複数の薄膜トランジスタを有していてもよい。また、本実施形態の半導体装置は、前述したそれぞれの結晶状態を有するTF TおよびTF D以外に、他の結晶状態を有するTF T、TF Dを有していてもよい。例えば、一部のTF Tは、TF Dと同様に触媒元素を添加せずに結晶化させた半導体層を用いるといったように、複数のTF Tに対して、それぞれ作り分けを行ってもよい。

【0090】

本実施形態は、例えばセンサー機能付きの液晶表示装置や有機EL表示装置等の電子機器に好適に用いられ得る。本実施形態をセンサー機能付きの表示装置に適用すると、次のようなメリットがある。

【0091】

液晶表示装置や有機EL表示装置において、同一基板上に画素部を含む表示領域と駆動回路とを設けることにより、よりコンパクトで、より高解像度な表示装置が開発されている。さらに、その基板上にメモリ回路やクロック発生回路等のロジック回路を内蔵する構成（システムオンパネル）によると、表示装置の小型化や軽量化だけでなく、製造コストを削減でき、また製品の信頼性を高めることも可能になる。このような表示装置の画素部には、スイッチング素子としてTF Tが一般的に利用され、また、駆動回路やロジック回路にもTF Tが利用されている。このような表示装置に従来の表示素子とは異なる機能を

10

20

30

40

50

付加して高機能化を行う取組みの一例として、TFTと共にTFDを同一基板上に作製し、TFTでは得られないTFDのデバイス特性を利用することにより、表示エリア内外に光センサーが組み込まれたセンサー機能付きの表示装置等の電子機器が考えられる。

【0092】

これらの電子機器における光センサーの利用用途として、光センサー部は、表示部の輝度を調整するためのアンビニエントセンサーであってもよいし、光センサー部は、表示部のタッチパネルセンサーであってもよい。これらの用途では、表示部と光センサー部とを有する電子機器として、商品としての高い相乗効果が得られ、幅広いアプリケーションに適用できる。

【0093】

センサー機能付き表示装置を作製しようとする、画素部においてスイッチング素子として利用されるTFTと、駆動回路などを構成するTFTと、光センサーとして利用されるTFDとを同一基板上に形成することが望まれる。非晶質半導体膜に対して、公知の結晶化方法で結晶化を行って結晶質半導体膜を形成し、その結晶質半導体膜を用いてTFTおよびTFDの半導体層を形成すると、これらの素子を一体的に形成できる。しかしながら、公知の結晶化方法によると、同一の結晶質半導体膜をTFTおよびTFDのそれぞれの半導体層に利用しており、それぞれの素子に求められる特性に応じてそれぞれ最適化することができない。

【0094】

これに対し、本実施形態によると、複数の表示部を有する表示領域と、表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および電極に接続された薄膜トランジスタを有し、薄膜トランジスタと、薄膜ダイオードとは、同一の基板上に形成されており、薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、チャンネル領域の導電性を制御するゲート電極と、半導体層とゲート電極との間に設けられたゲート絶縁膜とを含み、薄膜ダイオードは、n型領域、p型領域、およびn型領域とp型領域との間に設けられた真性領域を含む半導体層を有し、薄膜トランジスタの半導体層および薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、薄膜トランジスタの半導体層のうち少なくともチャンネル領域は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を添加し加熱処理により結晶化されたものであり、薄膜ダイオードの半導体層の真性領域における触媒元素の濃度は、薄膜トランジスタの半導体層のチャンネル領域における触媒元素の濃度よりも低い。さらには、薄膜ダイオードの半導体層の真性領域は、実質的には触媒元素を含まないことが好ましい。また、薄膜ダイオードの半導体層の真性領域は、非晶質半導体膜にレーザー光を照射することにより結晶化された結晶質半導体層であることが好ましい。このように、触媒元素により結晶化されたTFTの半導体層と、TFTの半導体層よりも触媒元素濃度の低いTFDの半導体層とを同一の基板上に形成することができるので、高い電界効果移動度を有する画素スイッチング用TFTと、外光に対する明暗比の高い光センサー用のTFDを一体的に形成することができる。従って、高い表示特性を維持しつつ、高性能なセンサー機能が付加されたコンパクトな表示装置を実現できる。

【0095】

さらに、本実施形態によると、薄膜トランジスタの半導体層および薄膜ダイオードの半導体層と同一の非晶質半導体膜を用いて、基板上にコンデンサーの片側の電極となる結晶質半導体層を形成できる。コンデンサーの片側の電極となる半導体層の触媒元素の濃度は、薄膜トランジスタの半導体層のチャンネル領域における触媒元素の濃度よりも低い。コンデンサーの電極は、高い結晶性を有する必要はなく、電極として作用すればよい。むしろ、ミクロ的なエッチピット等の表面形状が、コンデンサーを構成する絶縁膜のカパレッジ不足を引き起こすことによる絶縁リークが懸念される。したがって、コンデンサー部分の触媒元素濃度を低くする、あるいは触媒元素を実質含まないように構成することで、触媒元素による悪影響、特にシリサイド化合物がHF等でエッチングされて生じるエッチピッ

10

20

30

40

50

トを防ぐことができ、コンデンサーの絶縁リークの不良率を低減できる。

【0096】

コンデンサーの片側の電極となる半導体層は、薄膜トランジスタの半導体層のソース領域あるいはドレイン領域と繋がっていてもよい。そのようにすることで、画素部のレイアウトの効率化が図れ、開口率が高められる。

【0097】

また、本実施形態によると、複数の表示部を有する表示領域と、表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および前記電極に接続された第1の薄膜トランジスタを有し、額縁領域には、駆動回路を構成する第2の薄膜トランジスタを有し、第1および第2の薄膜トランジスタと、薄膜ダイオードとは、同一の基板上に形成されており、第1および第2の薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、チャンネル領域の導電性を制御するゲート電極と、半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを含み、薄膜ダイオードは、n型領域、p型領域、およびn型領域とp型領域との間に設けられた真性領域を含む半導体層を有し、第1および第2の薄膜トランジスタの半導体層および薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、第1および第2の薄膜トランジスタの半導体層のうち、少なくともチャンネル領域は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を添加し加熱処理により結晶化されたものであり、薄膜ダイオードの半導体層の真性領域における触媒元素の濃度は、第1および第2の薄膜トランジスタの半導体層のチャンネル領域における触媒元素の濃度よりも低い。さらには、薄膜ダイオードの半導体層の真性領域は、実質的には触媒元素を含まないことが好ましい。さらには、薄膜ダイオードの半導体層の真性領域は、非晶質半導体膜にレーザー光を照射することにより結晶化された結晶質半導体層であることが好ましい。このように、触媒元素により結晶化されたTF Tの半導体層と、TF Tの半導体層よりも触媒元素濃度の低いTF Dの半導体層とを同一の基板上に形成することができるので、高い電界効果移動度を有する画素スイッチング用TF Tや周辺駆動回路用TF Tと、外光に対する明暗比の高い光センサー用のTF Dを一体的に形成することができる。従って、高い表示特性を維持しつつ、高性能なセンサー機能が付加されたコンパクトな表示装置を実現できる。

【0098】

あるいは、本実施形態によると、複数の表示部を有する表示領域と、表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および電極に接続された第1の薄膜トランジスタを有し、額縁領域には、駆動回路を構成する第2の薄膜トランジスタを有し、第1および第2の薄膜トランジスタと、薄膜ダイオードとは、同一の基板上に形成されており、第1および第2の薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む半導体層と、チャンネル領域の導電性を制御するゲート電極と、半導体層とゲート電極との間に設けられたゲート絶縁膜とを含み、薄膜ダイオードは、n型領域、p型領域、およびn型領域とp型領域との間に設けられた真性領域を含む半導体層を有し、第1および第2の薄膜トランジスタの半導体層および薄膜ダイオードの半導体層は、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層であり、第2の薄膜トランジスタの半導体層のうち、少なくともチャンネル領域は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を添加し加熱処理により結晶化されたものであり、薄膜ダイオードの半導体層の真性領域における触媒元素の濃度および第1の薄膜トランジスタの半導体層のチャンネル領域における触媒元素の濃度は、第2の薄膜トランジスタの半導体層のチャンネル領域における触媒元素の濃度よりも低い。さらには、薄膜ダイオードの半導体層の真性領域および第1の薄膜トランジスタの半導体層のチャンネル領域は、実質的には触媒元素を含まないことが好ましい。さらには、薄膜ダイオードの半導体層の真性領域および第1の薄膜トランジスタの半導体層のチャンネル領域は、非晶質半導体膜にレーザー光を照射することにより結晶化された結晶質半導体層であることが好ましい。本実施形態では、触媒元素により結晶化さ

10

20

30

40

50

れた半導体膜で全てのTFTの半導体層を構成するのではなく、一部のTFT（第2のTFT）の半導体層のみを形成し、そのTFTの半導体層よりも触媒元素濃度の低い半導体膜で、他のTFT（第1のTFT）の半導体層とTFDの半導体層とを同一の基板上に形成する。これにより、周辺駆動回路用TFTでは高い電界効果移動度を実現し、画素スイッチング用TFTでは、触媒元素に起因するTFTオフ動作時のリーク電流を極力抑え、低いオフ電流特性を実現できる。また、光センサー部では、外光に対する明暗比の高い光センサー用のTFDが一体的に形成することができる。従って、高い表示特性を維持しつつ、高性能なセンサー機能が付加されたコンパクトな表示装置を実現できる。

【0099】

ここで、額縁領域において、第2の薄膜トランジスタにより構成される駆動回路は、各表示部に接続された第1の薄膜トランジスタを駆動する駆動回路であってもよい。また、額縁領域において、第2の薄膜トランジスタにより構成される駆動回路は、薄膜ダイオードを含む光センサー部を駆動する駆動回路であってもよい。あるいは、その両方を含むものであってもよい。

【0100】

加えて、本実施形態によると、第1および第2の薄膜トランジスタの半導体層および薄膜ダイオードの半導体層と、同一の非晶質半導体膜を結晶化することによって形成された結晶質半導体層を、片側の電極に用いたコンデンサーを含み、コンデンサーの片側の電極となる半導体層の触媒元素の濃度は、第2の薄膜トランジスタの半導体層のチャンネル領域における触媒元素の濃度よりも低い。さらには、コンデンサーの片側の電極となる半導体層は、実質的には触媒元素を含まないことが好ましい。さらには、コンデンサーの片側の電極となる半導体層は、非晶質半導体膜にレーザー光を照射することにより結晶化された結晶質半導体層であることが好ましい。ここで、コンデンサーの片側の電極となる半導体層は、第1の薄膜トランジスタの半導体層のソース領域あるいはドレイン領域と繋がっていることが好ましい。

【0101】

このように、TFDを光センサーとして利用する場合、活性層となる半導体層は外光に対してのみ反応する必要があるが、それに対し、透過型の液晶表示装置では、バックライトが必要となるため、バックライトからの光を検知しないように、バックライト側に遮光層を設ける必要が生じる。一般的には、アクティブマトリクス基板裏面側にバックライトが設けられるため、TFDの活性領域となる半導体層の下側に遮光層を設ける必要がある。従って、本実施形態における薄膜ダイオードは、透光性を有する基板上に形成され、薄膜ダイオードの半導体層と基板との間に配置された遮光層をさらに備えており、遮光層は、基板の裏面から見たとき、薄膜ダイオードの半導体層における少なくとも真性領域と重なるように形成されていることが好ましい。ここで、遮光膜としては、光を遮光する必要があるため金属系の材料が望ましい。特に、後の製造工程において、熱処理工程に耐え得ることができる高融点メタル材料が望ましい。

【0102】

本発明による半導体装置の製造方法の実施形態は、表面に非晶質半導体膜が形成された基板を用意する工程と、非晶質半導体膜の一部に、結晶化を促進する触媒元素を選択的に添加する工程と、触媒元素を選択的に添加した非晶質半導体膜に対して加熱処理を行って、非晶質半導体膜のうち触媒元素が添加された部分を結晶化させて触媒利用結晶化領域を形成し、触媒元素が添加されなかった部分を非晶質領域のまま残す工程と、触媒利用結晶化領域および非晶質領域にレーザー光を照射して、触媒利用結晶化領域をさらに結晶化させる、あるいは再結晶化させることによって形成された高結晶質領域と、非晶質領域を結晶化させることによって形成された低結晶質領域とを含む結晶質半導体膜を得る工程と、結晶質半導体膜の前記高結晶質領域を用いて、後に薄膜トランジスタの活性領域となる第1の島状半導体層の少なくとも一部の領域を形成し、結晶質半導体膜の低結晶質領域を用いて、後に薄膜ダイオードの活性領域となる第2の島状半導体層の少なくとも一部の領域を形成する工程とを包含する。

10

20

30

40

50

【0103】

上記製造方法では、結晶質半導体膜の高結晶質領域を用いて、後に薄膜トランジスタのチャンネル領域となる領域を形成することが好ましい。また、結晶質半導体膜の低結晶質領域を用いて、後に薄膜ダイオードの真性領域となる領域を形成することが好ましい。あるいは、結晶質半導体膜の高結晶質領域を用いて、第1の島状半導体層全体を形成することが好ましい。また、結晶質半導体膜の低結晶質領域を用いて、第2の島状半導体層全体を形成することが好ましい。

【0104】

なお、ここでいう「高結晶質領域」とは、触媒元素を利用して結晶化させた後、さらにレーザー光によって結晶化または再結晶化させて得られた、結晶性の高い領域をいう。高結晶質領域は、好ましくは連続粒界シリコンからなる。結晶方向は横方向であり（基板と平行な方向）、各結晶ドメインの大きさは2 μm 以上8 μm 以下と比較的大きい。また、上述したような特有の面方位を有する。一方、「低結晶質領域」とは、触媒元素を用いなく結晶化させたため、一般的な低温ポリシリコンと同様の多結晶シリコンからなる。結晶方向は基板側から上方に向かう方向（基板と垂直な方向）であり、各結晶粒の大きさは50 nm以上500 nm以下と小さい。

【0105】

また、本発明による半導体装置の製造方法の他の実施形態は、表面に非晶質半導体膜が形成された基板を用意する工程と、非晶質半導体膜の一部に、結晶化を促進する触媒元素を選択的に添加する工程と、触媒元素を選択的に添加した非晶質半導体膜に対して加熱処理を行って、非晶質半導体膜のうち、触媒元素が添加された部分を結晶化させて第1触媒利用結晶化領域を形成し、さらに第1触媒利用結晶化領域の周辺部へと横方向（基板に対して水平な方向）に結晶成長させて第2触媒利用結晶化領域を形成し、触媒元素が添加されておらず結晶化領域が到達していない部分を非晶質領域のまま残す工程と、第1および第2触媒利用結晶化領域および非晶質領域にレーザー光を照射して結晶質半導体膜を得る工程であって、第1触媒利用結晶化領域をさらに結晶化させる、あるいは再結晶化させることによって第1高結晶質領域と、第2触媒利用結晶化領域をさらに結晶化させる、あるいは再結晶化させることによって第2高結晶化領域と、非晶質領域を結晶化させることによって低結晶質領域とを形成する工程と、結晶質半導体膜の第2高結晶質領域を用いて、後に薄膜トランジスタの活性領域となる第1の島状半導体層の少なくとも一部を形成し、結晶質半導体膜の低結晶質領域を用いて、後に薄膜ダイオードの活性領域となる第2の島状半導体層の少なくとも一部を形成する工程とを包含する。

【0106】

上記製造方法では、結晶質半導体膜の第2高結晶質領域を用いて、後に薄膜トランジスタのチャンネル領域となる領域を形成することが好ましい。また、結晶質半導体膜の低結晶質領域を用いて、後に薄膜ダイオードの真性領域となる領域を形成することが好ましい。あるいは、結晶質半導体膜の第2高結晶質領域を用いて、第1の島状半導体層全体を形成することが好ましい。また、結晶質半導体膜の低結晶質領域を用いて、第2の島状半導体層全体を形成することが好ましい。

【0107】

さらに、結晶質半導体膜の第1高結晶質領域を用いて、後に薄膜トランジスタのソース領域あるいはノード領域となる一部の領域を形成してもよい。これにより、触媒元素が選択的に導入された領域も、素子の一部として使用することができ、素子レイアウトの自由度が増すと共に、集積化が図れる。

【0108】

上述したような製造方法により、TFETおよびTFDのそれぞれの半導体層、さらにはTFETのチャンネル領域とTFDの真性領域に求められる最適の状態をそれぞれ作り分けることができる。TFETでは高い電界効果移動度により高い駆動能力やスイッチング特性が得られ、TFDでは低い暗電流により光センサーとして高い明暗比（SN比）が得られる。その結果、同一の非晶質半導体膜を結晶化させて形成した半導体層を用いて、TFETお

10

20

30

40

50

よびTFDのそれぞれに要求される最適な素子特性を同時に実現できる。さらに、これら2種類の半導体素子を同一基板上に製造するにあたり、その製造工程を増やさず、より低い製造コストで、本発明の半導体装置を製造できる。

【0109】

また、これらの製造方法において、結晶質半導体膜の高結晶質領域（高結晶質領域が第1および第2高結晶化領域を含む場合には第2高結晶質領域）を用いて、後にコンデンサーの片方の電極となる半導体層を形成してもよい。これにより、触媒元素析出物起因のエッチピットによる上層絶縁膜のカバレッジ不良や、絶縁膜への触媒元素の拡散による耐压低下等の悪影響を抑えることができ、高い信頼性と高い耐压特性のコンデンサーが得られる。

10

【0110】

また、本実施形態はさらに他の薄膜トランジスタ（第2薄膜トランジスタ）をふくんでいてもよい。この場合には、結晶質半導体膜の低結晶質領域を用いて、後に第2の薄膜トランジスタの活性領域となる島状半導体層を形成してもよい。すなわち、一部の薄膜トランジスタにおいては、触媒元素を用いず、TFDの半導体層と同じ結晶質半導体を用いることで、オフ動作時のリーク電流をさらに下げることができる。この場合は、オン特性は低下するので、適用される表示装置等の仕様に応じて、使い分ければよい。

【0111】

また、これらの製造方法において、非晶質半導体膜に、その結晶化を促進する触媒元素を添加し、加熱処理を行うことにより少なくとも一部を結晶化させる工程は、開口部を有するマスクを非晶質半導体膜上に形成する工程と、開口部を通して触媒元素を非晶質半導体膜の選択された領域に添加する工程とを含むことが好ましい。このようにして、非晶質半導体膜に選択的に触媒元素をドーピングし、加熱処理において、触媒元素が選択的に添加された領域からその周辺部へと横方向に結晶成長させ、結晶質半導体膜を形成することで、結晶成長方向がほぼ一方にそろった良好な結晶質半導体膜を得ることができ、TFDの電流駆動能力をより高めることが可能である。また、この横方向に結晶成長した領域（第2触媒利用結晶化領域）では、触媒元素が直接添加された領域（第1触媒利用結晶化領域）よりも結晶成長後における触媒元素の膜中濃度が1～2桁低減できるため、後の工程の負荷及びデバイスへの影響を小さくすることができる。

20

【0112】

また、レーザー光を照射する工程では、レーザー照射前の触媒利用結晶化領域の結晶状態が完全にリセットされず、かつ、非晶質領域が結晶化され得る範囲から選択された照射エネルギー密度でレーザー光を照射することが好ましい。この範囲内であれば、TFDおよびTFDのそれぞれの半導体層、さらにはTFDのチャンネル領域とTFDの真性領域をそれぞれ最適に作り分けることができ、TFDでは高い電界効果移動度により高い駆動能力やスイッチング特性が得られ、TFDでは低い暗電流により光センサーとして高い明暗比（SN比）が得られる。

30

【0113】

また、これらの製造方法において、前記基板は透光性を有する基板であり、後に薄膜ダイオードの島状半導体層が形成される領域の下部となる部分に、基板裏面からの光を遮光するための遮光層を形成する工程を包含してもよい。これにより、例えば液晶表示装置において、基板裏面側より照射されるバックライト光を効果的に遮光することができ、TFD上方の光のみに対して、効率的にセンシングすることができる。

40

【0114】

さらに、本発明の製造方法においては、前述の方法により、後に薄膜トランジスタの活性領域となる第1の半導体層と、後に薄膜ダイオードの活性領域となる第2の半導体層とを形成した後、少なくとも、第1の島状半導体層のそれぞれの上にゲート絶縁膜を形成する工程と、第1の島状半導体層の上のゲート絶縁膜上にゲート電極を形成する工程と、第1の島状半導体層の、後のソース領域及びドレイン領域となる領域に、不純物元素をドーピングする工程と、第2の島状半導体層の、後のn型領域となる領域に、n型不純物元素

50

をドーピングする工程と、第2の島状半導体層の、後のp型領域となる領域に、p型不純物元素をドーピングする工程とを包含する。

【0115】

これにより、TFTの半導体層においては、ソース領域及びドレイン領域となるn型あるいはp型の不純物を形成し、TFDの半導体層においては、n型不純物領域とp型不純物領域とを形成し、それぞれのデバイスを同一基板上に完成させるのであるが、ここで、第1の島状半導体層の、後のソース領域及びドレイン領域となる領域に、不純物元素をドーピングする工程において、第1の島状半導体層の、後のソース領域及びドレイン領域となる領域にドーピングされる不純物元素は、n型不純物元素であり、該工程は、第2の島状半導体層の、後のn型領域となる領域に、n型不純物元素をドーピングする工程と、同時に
10

【0116】

また、第1の島状半導体層の、後のソース領域及びドレイン領域となる領域に、不純物元素をドーピングする工程において、第1の島状半導体層の、後のソース領域及びドレイン領域となる領域にドーピングされる不純物元素は、p型不純物元素であり、該工程は、第2の島状半導体層の後のp型領域となる領域に、p型不純物元素をドーピングする工程と同時に行なわれることが好ましい。これにより、pチャンネル型TFTのソース領域及びドレイン領域を形成するためのドーピング工程と、TFDのp型不純物領域を形成するためのドーピング工程を同一工程として行なうことができ、製造工程を簡略化できる。
20

【0117】

第1の島状半導体層は、後にnチャンネル型薄膜トランジスタの活性領域とpチャンネル型薄膜トランジスタの活性領域となる、少なくとも複数の島状半導体層であり、複数の第1の島状半導体層の、後のソース領域及びドレイン領域となる領域に不純物元素をドーピングする工程は、後にnチャンネル型薄膜トランジスタとなる第1の島状半導体層に対しては、n型不純物元素をドーピングし、後にpチャンネル型薄膜トランジスタとなる第1の島状半導体層に対しては、p型不純物元素をドーピングするものであってもよい。該工程のうち、後にnチャンネル型薄膜トランジスタとなる第1の島状半導体層のソース領域及びドレイン領域にn型不純物元素をドーピングする工程は、第2の島状半導体層の後のn型領域
30

【0118】

これにより、CMOS構成のTFT回路を形成する場合、そのnチャンネル型TFTのソース領域及びドレイン領域を形成するためのドーピング工程と、TFDのn型不純物領域を形成するためのドーピング工程を、同一工程として行なうことができるだけでなく、pチャンネル型TFTのソース領域及びドレイン領域を形成するためのドーピング工程と、TFDのp型不純物領域を形成するためのドーピング工程も、同一工程として行なうことができ、製造工程を大きく簡略化できる。そして、本発明の目的とする同一基板上に形成されるTFTとTFDとにおいて、共にそれぞれの半導体素子に最適な結晶状態を有する結晶質半導体膜を有し、良好な特性を有するTFTとTFDとを備える半導体装置を、その製造工程を増やすことなく、より低い製造コストで提供することができる。
40

【0119】

また、これらの製造方法において、第2の島状半導体層の後のn型領域となる領域に、n型不純物元素をドーピングする工程と、第2の島状半導体層の後のp型領域となる領域に、p型不純物元素をドーピングする工程は、第2の島状半導体層において、n型領域となる領域とp型領域となる領域との間に、2つのドーピング工程においてドーピングされない領域（真性領域）が形成されるように行なわれることが好ましい。
50

【 0 1 2 0 】

(第1実施形態)

本発明による第1の実施形態の半導体装置を説明する。本実施形態の半導体装置は、同一の基板上に形成されたnチャネル型TFTとTFDとを備えており、例えばセンサー部を備えたアクティブマトリクス型の表示装置として用いられる。

【 0 1 2 1 】

図1は、本実施形態の半導体装置の一例を示す模式的な断面図である。本実施形態の半導体装置は、典型的には、同一基板上に設けられた複数のTFTおよび複数のTFDを有するが、ここでは、単一のTFTおよび単一のTFDのみの構成を図示している。

【 0 1 2 2 】

本実施形態の半導体装置は、基板101の上に下地膜103、104を介して形成された薄膜トランジスタ126と薄膜ダイオード127とを備えている。薄膜トランジスタ126は、チャンネル領域116、ソース領域およびドレイン領域114を含む半導体層109tと、半導体層109tの上に設けられたゲート絶縁膜110と、チャンネル領域116の導電性を制御するゲート電極111と、ソース領域およびドレイン領域114にそれぞれ接続された電極・配線124を有する。また、薄膜ダイオード127は、少なくともn型領域115とp型領域119とを含む半導体層109dと、n型領域115およびp型領域119にそれぞれ接続された電極・配線125とを有する。図示する例では、半導体層109dにおけるn型領域115とp型領域119との間に真性領域120が設けられている。

【 0 1 2 3 】

薄膜トランジスタ126および薄膜ダイオード127の上には、層間絶縁膜として、窒化ケイ素膜122および酸化ケイ素膜123が形成されている。また、薄膜ダイオード127の半導体層109dと基板101との間には、遮光層102が配置されている。

【 0 1 2 4 】

薄膜トランジスタ126の半導体層109tと、薄膜ダイオード127の半導体層109dとは、同一の非晶質半導体膜を結晶化させて得られた結晶質半導体層であり、薄膜トランジスタ126の半導体層109tと、薄膜ダイオード127の半導体層109dとは異なる方法で結晶化され、それぞれ触媒元素の濃度が異なっている。薄膜ダイオード127の半導体層109dは、薄膜トランジスタ126の半導体層109tよりも触媒元素濃度が低い。

【 0 1 2 5 】

図1に示すようなnチャネル型薄膜トランジスタ126および薄膜ダイオード127は、例えば次のようにして作製される。

【 0 1 2 6 】

図2(A)~(I)は、本実施形態における薄膜トランジスタ126および薄膜ダイオード127の作製工程を示す工程断面図であり、(A)~(I)の順にしたがって作製工程が順次進行する。

【 0 1 2 7 】

図2(A)に示すように、基板101の上に、遮光層102、下地膜103、104、非晶質半導体膜105およびマスク膜106を形成し、さらに触媒元素107を添加する。

【 0 1 2 8 】

基板101としては、低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10~20程度低い温度であらかじめ熱処理しておいても良い。

【 0 1 2 9 】

基板101のTFT及びTFDを形成する表面に、遮光層102を設ける。遮光層102は、最終製品においては、TFDに対する基板裏面方向からの光を遮光するよう機能させる。遮光層102としては、金属膜あるいは、ケイ素膜等を用いることができる。金属

10

20

30

40

50

膜を用いる場合は、後の製造工程における熱処理を考慮し、高融点金属であるタンタル（Ta）やタングステン（W）、モリブデン（Mo）等が好ましい。

【0130】

本実施形態では、Mo膜をスパッタリングにより成膜し、パターンニングして、図2（A）に示す遮光層102を形成した。遮光層102の厚さは30～200nm、好ましくは50～150nmであり、本実施形態では、例えば100nmとした。

【0131】

次に、図2（A）に示すように、基板101からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜103、104を形成する。本実施形態では、例えば、プラズマCVD法でSiH₄、NH₃、N₂Oの材料ガスから作製される酸化窒化ケイ素膜を、下層の第1下地膜103として成膜し、その上に同様にプラズマCVD法によりSiH₄、N₂Oを材料ガスとして第2下地膜104を積層形成した。第1下地膜103の酸化窒化ケイ素膜の厚さは30～400nm、例えば200nmとし、第2下地膜104の酸化ケイ素膜の厚さは50～200nm、例えば100nmとした。本実施形態では、2層の下地膜103、104を使用した。例えば酸化ケイ素膜の単層でもよい。

【0132】

次に、非晶質半導体膜として、20～150nm（好ましくは30～80nm）の厚さで、非晶質構造を有するケイ素膜（非晶質ケイ素膜）105を、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施形態では、プラズマCVD法で厚さが50nmの非晶質ケイ素膜を形成した。また、下地膜103、104と非晶質ケイ素膜105とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜103、104を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFETの特性バラツキやしきい値電圧の変動を低減させることができる。

【0133】

続いて、酸化ケイ素膜あるいは窒化ケイ素膜（厚さ：50～400nm、例えば200nm）を形成し、パターンニングにより一部を開口させることにより、図2（A）に示すように、マスク膜106を形成する。ここでは、マスク膜106の開口部によって、非晶質ケイ素膜105のうちTFETが形成される部分が露呈される。

【0134】

次に、重量換算で1～10ppm程度、例えば5ppmの触媒元素（本実施形態ではニッケル）107を含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層を形成する。触媒元素107は、マスク膜106の開口部において、選択的に非晶質ケイ素膜105に接触して、触媒元素添加領域が形成される。この状態が図2（A）の状態に相当する。触媒元素107としては、ニッケル（Ni）以外に、鉄（Fe）、コバルト（Co）、スズ（Sn）、鉛（Pb）、パラジウム（Pd）、銅（Cu）からなる群から選ばれた一種または複数種の元素を用いることが好ましい。これらの元素よりも触媒効果は小さいが、ルテニウム（Ru）、ロジウム（Rh）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、金（Au）等も触媒元素として機能する。このとき、ドーブする触媒元素の量は極微量であり、非晶質ケイ素膜105およびマスク膜106の表面上の触媒元素濃度は、全反射蛍光X線分析（TRXF）法により、管理される。本実施形態では、 5×10^{12} atoms/cm²程度である。尚、本工程に先立って、スピコート法での非晶質ケイ素膜105表面の濡れ性向上のため、オゾン水等で非晶質ケイ素膜105表面をわずかに酸化させてもよい。

【0135】

なお、本実施形態ではスピコート法でニッケルをドーブする方法を用いたが、蒸着法やスパッタ法などにより触媒元素からなる薄膜（本実施形態の場合はニッケル膜）を非晶質ケイ素膜105上に形成する手段をとっても良い。

【0136】

次いで、図2(B)に示すように、非晶質ケイ素膜105の一部を結晶化させる。本実施形態では、不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行う。加熱処理として、500~650で30分~4時間のアニール処理を行うことが好ましい。本実施形態では、一例として600にて1時間の加熱処理を行った。この加熱処理によって、図2(B)に示すように、非晶質ケイ素膜105において、触媒元素107が添加された領域においてのみ、非晶質ケイ素膜表面に添加されたニッケルが非晶質ケイ素膜105中に拡散すると共に、シリサイド化が起こり、それを核として非晶質ケイ素膜105の結晶化が進行する。その結果、その領域の非晶質ケイ素膜105は結晶化され、結晶質ケイ素領域(「触媒利用結晶化領域」ともいう)105aとなる。このとき、マスク膜106上に存在するニッケル107は、マスク膜106に阻まれ、下層の非晶質ケイ素膜へは到達せず、マスク膜106下部の領域は非晶質状態のまま残る(非晶質ケイ素領域105')。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いるRTA(Rapid Thermal Annealing)装置で結晶化を行ってもよい。

10

【0137】

次に、マスク膜106を除去した後、図2(C)で示すように、結晶質ケイ素領域105aと非晶質ケイ素領域105'とが混在するケイ素膜に対してレーザー光108を照射する。これにより、触媒元素が導入され選択的に結晶化された結晶質ケイ素領域105aは、レーザー光108の照射による溶融固化過程により結晶欠陥が低減され、その一部を成長核として再結晶化することで、より高品質な結晶質ケイ素領域(「高結晶質領域」ともいう)105bとなる。また、非晶質領域においては、レーザー光108の照射による溶融固化過程にて結晶化し、結晶質ケイ素領域(「低結晶質領域」ともいう)105cが形成される。

20

【0138】

このときのレーザー光としては、XeClエキシマレーザー(波長308nm)やKrFエキシマレーザー(波長248nm)が適用できる。このときのレーザー光のビームサイズは、基板101表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の再結晶化を行う。このとき、ビームの一部が重なるようにして走査することで、結晶質ケイ素領域105aおよび非晶質領域105の任意の一点において、複数回のレーザー照射が行われ、均一性の向上が図れる。本実施形態では、ビームサイズは基板101表面で300mm×0.4mmの長尺形状となるように成型されており、長尺方向に対して垂直方向に0.02mmのステップ幅で順次走査を行った。すなわち、ケイ素膜の任意の一点において、計20回のレーザー照射が行われることになる。この時使用できるレーザーとしては、前述のパルス発振型または連続発光型のKrFエキシマレーザー、XeClエキシマレーザーの他、YAGレーザーまたはYVO4レーザー等を用いることができる。また、このときのレーザー照射エネルギー密度としては、250~450mJ/cm²、例えば、350mJ/cm²のエネルギー密度で照射を行なった。このときのレーザー光のエネルギー密度は、高すぎると前工程で得られた結晶質ケイ素領域105aの結晶状態がリセットされてしまうことになる。

30

【0139】

このようにして得られた結晶質ケイ素領域105bの結晶面配向は、触媒元素による固相結晶化工程でほぼ決定しており、主に111晶帯面で構成され、その中でも特に(110)面配向と(211)面配向とで全体の50%以上の領域が占められている。また、その平均結晶粒径、結晶ドメイン(ほぼ同一の面方位領域)のドメイン径は、2~5μmとなっている。これに対して、レーザー照射により非晶質状態から結晶化された結晶質ケイ素領域105cの結晶面配向はランダムであり、特に(100)面配向と(111)面配向がよく見られる。(100)面配向と(111)面配向は、共に111晶帯面のグループには入らない。また、平均結晶粒径は100~300nmとなっている。

40

【0140】

その後、図2(D)に示すように、結晶質ケイ素領域105b、105cの不要な領域

50

を除去して素子間分離を行う。このとき、ニッケルにより結晶化された結晶質ケイ素領域 105b を用いて、後に T F T の活性領域（ソース/ドレイン領域、チャネル領域）となる島状の半導体層 109t を形成し、ニッケルによる結晶成長を使わず、レーザー照射のみで結晶化された領域 105c を用いて、後に T F D の活性領域（ n^+ / p^+ 領域、真性領域）となる島状の半導体層 109d を形成する。

【0141】

続いて、図 2（E）に示すように、これらの島状半導体層 109t および 109d を覆うゲート絶縁膜 110 を形成する。ゲート絶縁膜 110 としては、厚さが 20 ~ 150 nm の酸化ケイ素膜が好ましく、ここでは厚さが 100 nm の酸化ケイ素膜を用いた。

【0142】

続いて、ゲート絶縁膜 110 上に導電膜をスパッタ法または C V D 法などを用いて堆積し、これをパターニング形成して、後の T F T のゲート電極 111 を形成する。後の T F D の島状半導体層 109d 上には導電膜を形成しない。導電膜は、高融点金属の W、Ta、Ti、Mo またはその合金材料のいずれかを含むことが望ましい。また、導電膜の厚さは 300 ~ 600 nm が望ましく、本実施形態では、例えば厚さが 450 nm の窒素が微量に添加されたタンタル（Ta）膜を用いた。

【0143】

次に、図 2（F）に示すように、後に T F D の活性領域となる島状半導体層 109d の一部を覆うように、ゲート絶縁膜 110 上にレジストからなるマスク 112 を形成する。この状態で、基板 101 上方より n 型不純物（リン）113 を全面にイオンドーピングする。リン 113 のイオンドーピングは、ゲート絶縁膜 110 をスルーし、半導体層 109t、109d に注入されるように行なわれる。この工程により、T F D の活性領域となる島状の半導体層 109d において、レジストマスク 112 より露出している領域と、T F T の活性領域となる島状の半導体層 109t において、ゲート電極 111 より露出している領域にリン 113 が注入される。レジストマスク 112 とゲート電極 111 によって覆われている領域には、リン 113 はドーピングされない。これにより、T F T の半導体層 109t において、リン 113 が注入された領域は、後の T F T のソース領域およびドレイン領域 114 となり、ゲート電極 111 にマスクされリン 113 が注入されない領域は、後に T F T のチャネル領域 116 となる。また、T F D の島状半導体層 109d においては、リン 113 が注入された領域は、後の T F D の n^+ 領域 115 となる。

【0144】

次に、前工程で用いたレジストマスク 112 を除去した後、図 2（G）に示すように、後に T F D の活性領域となる島状の半導体層 109d の一部と、後に T F T の活性領域となる島状の半導体層 109t を全面的に覆うように、ゲート絶縁膜 108 上にレジストからなるマスク 117 を形成する。そして、この状態で、基板 101 上方より p 型不純物（ボロン）118 を全面にイオンドーピングする。このときのボロン 118 のイオンドーピングは、ゲート絶縁膜 110 をスルーし、島状半導体層 109d に注入されるように行なわれる。この工程により、T F D の島状半導体層 109d において、レジストマスク 117 より露出している領域にボロン 118 が注入される。マスク 117 によって覆われている領域には、ボロン 118 はドーピングされない。これにより、T F D の島状半導体層 109d において、ボロン 118 が注入された領域は、後の T F D の p^+ 領域 119 となり、前工程でリンも注入されなかった領域が、後の真性領域 120 となる。

【0145】

この後、レジストマスク 118 を除去し、不活性雰囲気下、例えば窒素雰囲気にて熱処理を行う。これによって、図 2（H）に示すように、T F T のソース/ドレイン領域 114 や T F D の n^+ 領域 115 及び p^+ 領域 119 において、ドーピング時に生じた結晶欠陥等のドーピングダメージを回復させ、それぞれにドーピングされたリンとボロンを活性化させる。これにより、T F T のソース/ドレイン領域 114 や T F D の n^+ 領域 115 及び p^+ 領域 119 の低抵抗化が図れる。さらに、この熱処理工程において、T F T のソース/ドレイン領域 114 にドーピングされているリンが、その領域でのニッケルの固溶度

10

20

30

40

50

を高め、チャンネル領域 116 に存在しているニッケルを、チャンネル領域からソース/ドレイン領域へと、矢印 121 で示される方向に移動させる。その結果、TF Tのソース/ドレイン領域 114 にはニッケルが移動してくるため、これらの領域におけるニッケル濃度は、チャンネル領域 116 よりも高まり、 $1 \times 10^{18} / \text{cm}^3$ 以上となっている。このときの加熱処理としては、一般的な加熱炉を用いてもよいが、RTA (Rapid Thermal Annealing) を用いることがより望ましい。特に、基板表面に高温の不活性ガスを吹き付け、瞬時に昇降温を行う方式のものが適している。

【0146】

続いて、図2 (I) に示すように、酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜として形成する。本実施形態では、窒化ケイ素膜 122 と酸化ケイ素膜 123 の2層構造とした。その後、コンタクトホールを形成して、金属材料によってTF Tの電極・配線 124 とTF D電極・配線 125 とを形成する。

10

【0147】

最後に、1気圧の窒素雰囲気あるいは水素混合雰囲気で350~450 のアニールを行い、図2 (I) に示す薄膜トランジスタ 126 と薄膜ダイオード 127 とを完成させる。さらに必要に応じて、これらを保護する目的で、薄膜トランジスタ 126 と薄膜ダイオード 127 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0148】

このようにして、TF TおよびTF Dのそれぞれの半導体層、さらにはTF Tのチャンネル領域とTF Dの真性領域をそれぞれ作り分けることができる。その結果、同一の非晶質半導体膜を結晶化させて形成した半導体層を用いて、TF TおよびTF Dのそれぞれに要求される最適な素子特性を同時に実現できる。本実施形態において、TF Dの半導体層のニッケル濃度は、実質ゼロであり、どのような測定手段を用いても観測されない。これに対し、TF Tの半導体層では、ソース・ドレイン領域 114 には触媒元素が集まり、前述のように $1 \times 10^{18} / \text{cm}^3$ 以上となり、チャンネル領域 116 は、 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^3$ 程度となっている。

20

【0149】

(第2実施形態)

本発明による第2の実施形態の半導体装置の製造方法を説明する。ここでは、前述の第1実施形態とは異なる方法で、TF Tの半導体層とTF Dの半導体層とをガラス基板上に作り分ける。

30

【0150】

図3 (A) ~ (F) は、本実施形態における薄膜トランジスタの半導体層 210 t と薄膜ダイオードの半導体層 210 d の作製方法を説明するための工程断面図であり、(A) (F) の順にしたがって作製工程が順次進行する。

【0151】

まず、第1の実施形態と同様に、基板(本実施形態ではガラス基板) 201 上に、Mo等からなる遮光層 202 を設け、さらにその上に基板からの不純物拡散を防ぐために、例えば、窒化ケイ素膜を下層の第1下地膜 203、その上に酸化ケイ素膜を第2下地膜 204 として積層形成した。次に、厚さ30~80 nm、例えば50 nmの非晶質ケイ素膜 205 を形成する。この工程は下地絶縁膜と非晶質半導体膜を大気解放しないで連続的に形成しても構わない。

40

【0152】

次に、酸化ケイ素膜からなるマスク膜 206 を200 nm程度の厚さに形成する。マスク絶縁膜は、図3 (A) に示すように、半導体膜に触媒元素を添加するための開口部を有している。

【0153】

次に、重量換算で30 ppm程度の触媒元素(本実施形態ではニッケル) 207 を含む水溶液(酢酸ニッケル水溶液)をスピンコート法で塗布して、触媒元素含有層を形成する。触媒元素含有層の触媒元素 207 は、マスク膜 206 の開口部において、選択的に非晶

50

質ケイ素膜 205 に接触して、触媒元素添加領域が形成される。この状態が図 3 (A) に相当する。

【0154】

また、本実施形態ではスピンコート法でニッケル 207 をドープする方法を用いたが、蒸着法やスパッタ法などにより触媒元素からなる薄膜（本実施形態の場合はニッケル膜）を非晶質ケイ素膜上に形成する手段をとっても良い。

【0155】

次に、500～650（好ましくは550～620）で1～10時間の加熱処理を行う。本実施形態では、600で2時間の加熱処理を行う。その結果、図3(B)に示すように、触媒元素添加領域に結晶核が発生し、その領域の非晶質ケイ素膜205がまず結晶化され、結晶質ケイ素領域（「第1触媒利用結晶化領域」ともいう）205aとなる。さらに、図3(C)に示すように、結晶化領域である結晶質ケイ素領域205aを起点として基板201と概略平行な方向（矢印208で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質ケイ素領域（「第2触媒利用結晶化領域」ともいう）205bが形成される。このとき、マスク膜206上に存在するニッケルは、マスク膜206に阻まれ、下層の非晶質ケイ素膜へは到達せず、開口領域において導入されたニッケルのみにより非晶質ケイ素膜205の結晶化が行われる。また、横方向への結晶成長が到達しない領域は非晶質ケイ素領域205cとして残る。この後、マスク膜（酸化ケイ素膜）206を除去し、図3(D)に示す状態を得る。

【0156】

次に、結晶質ケイ素領域205a、205bと非晶質ケイ素領域205cとが混在するケイ素膜に、図3(E)で示すように、レーザー光209を照射する。このときのレーザー光としては、第1実施形態と同様に、XeClエキシマレーザー（波長308nm）を用い、ビームの一部が重なるようにして走査することで、ケイ素膜の任意の一点において、複数回のレーザー照射を行い、均一性の向上を図った。

【0157】

これにより、触媒元素を用いて選択的に結晶化された結晶質ケイ素領域205a、205bとは、レーザー光209の照射による溶融固化過程により結晶欠陥が低減され、その一部を成長核として再結晶化することで、それぞれ、より高品質な結晶質ケイ素領域205d、205eとなる。特に、横方向に結晶成長した結晶質ケイ素領域（「第2高結晶質領域」ともいう）205eは、結晶質ケイ素領域（「第1高結晶質領域」ともいう）205dより高品質化され、より高い結晶性を有する結晶質ケイ素膜となっている。

【0158】

また、非晶質ケイ素領域205cにおいては、レーザー光209の照射による溶融固化過程にて結晶化し、結晶質ケイ素領域（「低結晶質領域」ともいう）205fが形成される。このときのレーザー照射エネルギー密度としては、250～450mJ/cm²、例えば、350mJ/cm²のエネルギー密度で照射を行なった。また、このとき、レーザー光のエネルギー密度が高すぎると、前工程で得られた結晶質ケイ素領域205bの結晶状態がリセットされてしまうことになる。

【0159】

このようにして得られた結晶質ケイ素領域205eの結晶面配向は、触媒元素による固相結晶化工程でほぼ決定しており、主に111晶帯面で構成され、その中でも特に(110)面配向と(211)面配向とで全体の50%以上の領域が占められている。また、その結晶状態としては、一方向に沿った結晶ドメイン（ほぼ同一の面方位領域）で構成され、結晶粒のような概念とはならない。また、結晶質ケイ素領域204dの結晶面配向も、同様に、主に、111晶帯面で構成され、(110)面配向と(211)配向とが優位であるが、ランダムに結晶核が発生し、結晶質ケイ素領域205eよりも小さい結晶ドメイン（1μm～3μm）が形成される。レーザー照射により、非晶質状態から結晶化された結晶質ケイ素領域205fの結晶面配向はランダムであり、特に(100)面配向と(111)面配向がよく見られる。(100)面配向と(111)面配向は、共に

10

20

30

40

50

111 晶帯面のグループには入らない。また、平均結晶粒径は100～300nmとなっている。

【0160】

その後、結晶質ケイ素領域205e、205fの不要な領域を除去して素子間分離を行う。図3(F)に示すように、横方向に結晶成長した高品質な結晶質ケイ素領域205eを用いて、後にTFTの活性領域(ソース/ドレイン領域、チャンネル領域)となる島状の半導体層210tを形成し、結晶質ケイ素領域205fを用いて、後にTFDの活性領域(n^+ / p^+ 領域、真性領域)となる島状の半導体層210dを形成する。

【0161】

以降、第1実施形態と同様の方法で、これらの島状半導体層210t、210dをTFT及びTFDの活性領域として、それぞれのTFTとTFDとを完成させる。本実施形態によると、TFTの半導体層として、横方向に結晶成長したより高品質な結晶質ケイ素膜を利用することができ、より高い電流駆動能力を有するTFTを実現できる。このように、TFTおよびTFDのそれぞれの半導体層、さらにはTFTのチャンネル領域とTFDの真性領域に求められる最適の状態をそれぞれ作り分けることができる。その結果、同一の非晶質半導体膜を結晶化させて形成した半導体層を用いて、TFTおよびTFDのそれぞれに要求される最適な素子特性を同時に実現できる。

【0162】

(第3実施形態)

本発明による第3の実施形態の半導体装置の製造方法を説明する。ここでは、ガラス基板上に表示用の画素TFTおよびその補助容量(コンデンサー)と、駆動用のCMOS構成TFT回路、および、フォトセンサーTFDを同時に作製する。本実施形態の半導体装置は、光センサー内蔵型のアクティブマトリクス型の液晶表示装置や有機EL表示装置等に利用することができる。

【0163】

図4～図6は、本実施形態におけるドライバ回路用nチャンネル型薄膜トランジスタ、pチャンネル型薄膜トランジスタ、画素電極駆動用nチャンネル型薄膜トランジスタ、それに接続された補助容量、光センサー用薄膜ダイオードの作製方法を説明するための断面工程図であり、図4(A)～図6(K)の順にしたがって作製工程が順次進行する。

【0164】

まず、図4(A)に示すように、ガラス基板301のTFTおよびTFDを形成する表面に、後のTFDにおいて基板裏面方向からの光を遮光するための遮光層として機能する金属膜、あるいはケイ素膜等を形成し、パターニングして遮光層302を形成する。本実施形態では、金属膜としてモリブデン(Mo)膜をスパッタリングにより成膜する。Mo膜の厚さは好ましくは30～300nm、より好ましくは50～200nm、例えば100nmとする。

【0165】

次に、図4(B)に示すように、ガラス基板301及び遮光層302上に、例えばプラズマCVD法によって酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜を形成する。これらの下地膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。本実施形態では、厚さ100nm程度の窒化ケイ素膜を下層の第1下地膜303として成膜し、その上に厚さ200nm程度の酸化ケイ素膜を第2の下地膜304を積層形成した。次に、厚さ20～80nm程度、例えば40nmの真性(I型)の非晶質ケイ素膜(a-Si膜)305をプラズマCVD法などによって成膜する。さらに、酸化ケイ素膜あるいは窒化ケイ素膜(厚さ:50～400nm、例えば150nm)を形成し、パターニングにより、一部を開口させたマスク膜306を得る。マスク膜306の開口部には、非晶質ケイ素膜305が露呈される。

【0166】

続いて、非晶質ケイ素膜305表面に触媒元素の添加を行う。非晶質ケイ素膜305に対して、重量換算で例えば30ppmの触媒元素(本実施形態ではニッケル)307を含

10

20

30

40

50

む水溶液（酢酸ニッケル水溶液）をスピンコート法で塗布して、触媒元素含有層を形成する。触媒元素307は、マスク膜306の開口部において、選択的に非晶質ケイ素膜305に接触して、触媒元素添加領域が形成される。この状態が図4（B）の状態に相当する。

【0167】

触媒元素として、ニッケル（Ni）以外に、鉄（Fe）、コバルト（Co）、スズ（Sn）、鉛（Pb）、パラジウム（Pd）、銅（Cu）からなる群から選ばれた一種または複数種の元素を用いることが好ましい。これらの元素よりも触媒効果は小さいが、ルテニウム（Ru）、ロジウム（Rh）、オスmium（Os）、イリジウム（Ir）、白金（Pt）、金（Au）等も触媒元素として機能する。このとき、ドーブする触媒元素の量は極微量であり、非晶質ケイ素膜305の表面上の触媒元素濃度は、全反射蛍光X線分析（TRXRF）法により、管理される。本実施形態では、 5×10^{12} atoms/cm²程度である。なお、本工程に先立って、スピン塗布時の非晶質ケイ素膜305表面の濡れ性向上のため、オゾン水等で非晶質ケイ素膜305表面をわずかに酸化させてもよい。

10

【0168】

なお、本実施形態ではスピンコート法でニッケルをドーブする方法を用いたが、蒸着法やスパッタ法などにより触媒元素からなる薄膜（本実施形態の場合はニッケル膜）を非晶質ケイ素膜305上に形成する手段をとっても良い。

【0169】

この後、図4（C）に示すように、不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行い、結晶化させる。加熱処理は、550～620 で1時間～4時間のアニール処理を行うことが好ましい。本実施形態では、一例として600 にて2時間の加熱処理を行った。

20

【0170】

この加熱処理において、触媒元素が直接接している領域では、非晶質ケイ素膜305表面に添加されたニッケルが非晶質ケイ素膜305中に拡散すると共に、シリサイド化が起これ、それを核として非晶質ケイ素膜305の結晶化が進行する。その結果、非晶質ケイ素膜305は結晶化され、結晶質ケイ素領域305aとなる。さらに、図4（C）に示すように、先に結晶化した領域である結晶質ケイ素領域305aを起点として基板と概略平行な方向（矢印308で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質ケイ素領域305bが形成される。このとき、マスク膜306上に存在するニッケルは、マスク膜306に阻まれ、下層の非晶質ケイ素膜へは到達せず、マスク膜306の開口部に導入されたニッケルのみにより非晶質ケイ素膜305の結晶化が行われる。また、横方向への結晶成長が到達しない領域は非晶質ケイ素領域305cとして残る。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いるRTA（Rapid Thermal Annealing）装置で結晶化を行ってもよい。

30

【0171】

次に、マスク膜（酸化ケイ素膜）306を除去した後、図4（D）に示すように、基板301の全体に渡ってレーザー光309を照射する。すなわち、触媒元素が直接添加され結晶化された結晶質ケイ素領域305a、横方向に成長させた結晶質ケイ素領域305b、横方向の結晶成長が及んでいない非晶質ケイ素領域305cに対して、一様にレーザー光309を照射される。これにより、触媒元素が導入され選択的に結晶化された結晶質ケイ素領域305a、305bでは、レーザー光309の照射による溶融固化過程により結晶欠陥が低減され、その一部を成長核として再結晶化することで、それぞれ、より高品質な結晶質ケイ素領域305x、305yとなる。特に、横方向に結晶成長した結晶質ケイ素領域305yは、より高品質化され、より高い結晶性を有する結晶質ケイ素膜となっている。また、非晶質ケイ素領域305cでは、レーザー光309の照射による溶融固化過程にて結晶化し、結晶質ケイ素領域305zが形成される。

40

【0172】

レーザー光としては、XeClエキシマレーザー（波長308nm）やKrFエキシマ

50

レーザー（波長248nm）が適用できる。このときのレーザー光のビームサイズは、基板301表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の再結晶化を行う。このとき、ビームの一部が重なるようにして走査することで、結晶質ケイ素領域305a、305b、非晶質領域305cの任意の一点において、複数回のレーザー照射が行われ、均一性の向上が図れる。本実施形態では、ビームサイズは基板301表面で300mm×0.4mmの長尺形状となるように成型されており、長尺方向に対して垂直方向に0.02mmのステップ幅で順次走査を行った。すなわち、ケイ素膜の任意の一点において、計20回のレーザー照射が行われることになる。この時使用できるレーザーとしては、前述のパルス発振型または連続発光型のKrFエキシマレーザー、XeClエキシマレーザーの他、YAGレーザーまたはYVO4レーザー等を用いることができる。

10

【0173】

その後、結晶質ケイ素領域305x、305y、305zの不要な領域を除去して、素子間分離を行う。このとき、図4(E)に示すように、触媒元素を用い横方向に結晶成長させた結晶質ケイ素領域305yを用いて、後にドライバ回路部を構成するnチャンネル型TFTの活性領域（ソース/ドレイン領域、チャンネル領域）となる島状の半導体層310nと、pチャンネル型TFTの活性領域（ソース/ドレイン領域、チャンネル領域）となる島状の半導体層310pとを形成する。また、非晶質領域をレーザー光で結晶化した結晶質ケイ素領域305zを用いて、後に光センサーTFDの活性領域（n⁺/p⁺領域、真性領域）となる島状の半導体層310dを形成する。画素電極駆動用のnチャンネル型TFTの活性領域（ソース/ドレイン領域、チャンネル領域）とそれに接続された補助容量の下部電極を構成する島状の半導体層310gに対しては、後にTFTの活性領域となる領域が結晶質ケイ素領域305yで構成され、補助容量の下部電極となる領域は結晶質ケイ素領域305zで構成されるように形成する。すなわち、半導体層310gでは、2種類の異なる結晶質領域305y、305zが部分的に存在していることになる。

20

【0174】

ここで、これらの全ての半導体層、あるいは一部の半導体層に対して、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)をドーピングしてもよい。ボロン(B)の添加はイオンドーピング法でも良いし、非晶質シリコン膜を成膜するときに同時にドーピングしておくこともできる。

30

【0175】

次に、図5(F)に示すように、ゲート絶縁膜311の形成およびn型の不純物(リン)313の注入を行う。まず、上記の活性領域となる半導体層310n、310p、310g、310dを覆うように厚さが20~150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜311として成膜する。酸化ケイ素膜の形成には、ここではTEOS(Tetraethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150~600、好ましくは300~450で、RFプラズマCVD法で分解・堆積した。あるいはTEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350~600、好ましくは400~550として形成してもよい。また、成膜後、ゲート絶縁膜自身のバルク特性および結晶質ケイ素膜/ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で500~600で1~4時間のアニールを行ってもよい。また、ゲート絶縁膜311には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

40

【0176】

続いて、フォトリソによるレジストマスク312n、312p、312g、312dを、それぞれの島状半導体層310n、310p、310g、310d上に設ける。ここで、後にnチャンネル型TFTの活性領域となる半導体層310nでは、後にチャンネル領域となる中央部にレジストマスク312nを設けて、両端を露呈する。また、後に画素TFTの活性領域と補助容量の下部電極となる半導体層310gにおいては、後に画素TFTの活性領域となる部分にレジストマスク312gが設けられ、後に補助容量の下部電極

50

となる部分を露呈する。後にpチャネル型TFTの活性領域となる半導体層310pおよびTFDの活性領域となる半導体層310dにおいては、レジストマスク312p、312dで半導体層全体を覆う。

【0177】

この状態で、イオンドーピング法によって、レジストマスク312n、312p、312g、312dをマスクとして、島状半導体層310nと310gとに低濃度の不純物(リン)313を注入する。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~90kV、例えば70kV、ドーズ量を $5 \times 10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば $5 \times 10^{13} \text{ cm}^{-2}$ とする。この工程により、島状半導体層310n、310gにおいて、レジストマスク312n、312gに覆われていない領域には低濃度のリン313が注入され、それぞれ低濃度のn型不純物領域314n、314gとなる。レジストマスク312n、312gにマスクされた領域には、リン313は注入されない。また、島状半導体層310pと310dにおいては、半導体層全体がレジストマスク312p、312dにそれぞれマスクされており、リン313は全く注入されない。

10

【0178】

次に、図5(G)に示すように、スパッタリング法によって高融点メタルを堆積して導電膜を形成し、これをパターニングして、ゲート電極315n、315p、315gと、補助容量の上部電極315sを形成する。ここで、後の画素TFTのゲート電極315gは、画素TFTのオフ動作時のリーク電流を低減する目的で2つに分割して構成し、2つのTFTが直列接続された、いわゆるデュアルゲート構造とする。画素TFTのゲート構造は、さらにゲート電極315gの本数(TFTの直列接続数)を増やしたトリプルゲートやクワッドゲート構造であってもよい。

20

【0179】

高融点メタルとしては、タンタル(Ta)あるいはタングステン(W)、モリブデン(Mo)、チタン(Ti)からなる群から選ばれた元素、前記元素を主成分とする合金、または前記元素を組み合わせた合金(代表的にはMo-W合金、Mo-Ta合金)であってもよい。また、代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを用いてもよい。本実施形態では、導電膜として、タングステン(W)膜(厚さ:300~600nm、例えば450nm)を形成する。このとき、低抵抗化を図るために、導電膜に含有する不純物濃度を低減させてもよく、例えば酸素濃度を30ppm以下とすることによって $20 \mu \text{ cm}$ 以下の比抵抗値を実現できる。

30

【0180】

次に、後の光センサーTFDの半導体層310dを一回り大きく覆うようにフォトレジストによるドーピングマスク316を設け、イオンドーピング法によって、ゲート電極315n、315p、315g、及び補助容量の上部電極315sをマスクとしてそれぞれのTFTの活性領域に第2の低濃度の不純物(リン)317を注入する。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~90kV、例えば70kV、ドーズ量を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $2 \times 10^{13} \text{ cm}^{-2}$ とする。この工程により、島状半導体層310n、310p、310gにおいて、ゲート電極315n、315p、315g、及び補助容量の上部電極315sに覆われていない領域には、第2の低濃度のリン317が注入され、それぞれ第2の低濃度n型不純物領域318n、318p、318gとなる。ゲート電極315n、315p、315g、及び補助容量の上部電極315s、及びレジストマスク316にマスクされた領域には、不純物317は注入されない。この状態が図5(G)に相当する。

40

【0181】

レジストマスク316を除去した後、次いで、図5(H)に示すように、後の画素TFTのゲート電極315gを一回り大きく覆うようにフォトレジストによるドーピングマスク319gを設け、後のpチャネル型TFTにおいては、ゲート電極315pをさらに一回り大きく覆い、半導体層310pの外縁部を露出させるようにフォトレジストによるドーピングマスク319pを設ける。また、後の光センサーTFDにおいては、半導体層3

50

10 dの一部を露出させるようにフォトリソトによるドーピングマスク319 dを設ける。その後、イオンドーピング法によって、後のnチャネル型TF Tのゲート電極315 nと補助容量の上部電極315 s、及びレジストマスク319 p、319 g、319 dをマスクとして、それぞれの半導体層に不純物(リン)320を高濃度に注入する。ドーピングガスとして、フォスフィン(PH_3)を用い、加速電圧を60~90 kV、例えば70 kV、ドーズ量を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。

【0182】

この工程により、nチャネル型TF Tの半導体層310 nにおいては、ゲート電極315 nより露出している領域に高濃度に不純物(リン)320が注入され、後のnチャネル型TF Tのソース/ドレイン領域321 nが、ゲート電極315 nに対して自己整合的に形成される。そして、半導体層310 nにおいて、ゲート電極315 nに覆われ、高濃度のリン320がドーピングされなかった領域のうち、前工程で低濃度にリンが注入された領域は、ゲート電極315 nにオーバーラップしたLDD、所謂GOLD(Gate Overlapped Lightly Doped Drain)領域322 nとなり、低濃度のリンも注入されていないゲート電極315 n下の領域は、チャネル領域328 nとなる。このような構造とすることで、チャネル領域とソース/ドレイン領域との接合部における電界集中を緩和し、ホットキャリア耐性を飛躍的に高めることができ、ドライバ回路におけるnチャネル型TF Tの信頼性を大きく向上できる。

【0183】

画素TF Tについては、半導体層310 gにおいて、レジストマスク319 gより露出している領域に高濃度に不純物(リン)320が注入され、後の画素TF T(nチャネル型)のソース/ドレイン領域321 gが形成される。そして、レジストマスク319 gに覆われ、高濃度のリン320がドーピングされなかった領域のうち、前工程で低濃度にリンが注入された領域は、LDD領域323 gとなり、低濃度のリンも注入されていないゲート電極315 g下の領域は、チャネル領域328 gとなる。画素TF Tにおいては、このようにゲート電極の外側にオフセットしたLDD構造とすることで、TF Tオフ動作時のリーク電流を大きく低減できる。

【0184】

pチャネル型TF Tの半導体層310 pにおいては、レジストマスク319 pより露出している領域に高濃度に不純物(リン)320が注入され、高濃度n型領域321 pが形成される。レジストマスク319 pに覆われ、低濃度のリン317が注入された領域323 pはそのまま残る。また、光センサーTF Dの半導体層310 dにおいても、レジストマスク319 dより露出している領域に高濃度に不純物(リン)320が注入され、高濃度n型領域321 dが形成される。このときの領域321 n、321 p、321 g、321 dにおけるn型不純物元素(リン)320の膜中濃度は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ となっている。また、nチャネル型TF TのGOLD領域322 nにおけるn型不純物元素(リン)313の膜中濃度は、 $5 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となっており、画素TF TのLDD領域323 gにおけるn型不純物元素(リン)317の膜中濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ となっており、このような範囲であるときにGOLD領域、あるいはLDD領域として効果的に機能する。

【0185】

次に、レジストマスク319 p、319 g、319 dを除去した後、図6(I)に示すように、また新たに、nチャネル型TF Tの半導体層310 nと画素TF Tおよびその補助容量を構成する半導体層310 gとを全面的に覆うように、且つTF Dの半導体層310 dの一部を覆うように、フォトリソトによるドーピングマスク324 n、324 g、324 dを設ける。この状態で、イオンドーピング法によって、レジストマスク324 n、324 g、324 dとpチャネル型TF Tのゲート電極315 pをマスクとして、pチャネル型TF Tの半導体層310 pとTF Dの半導体層310 dにp型を付与する不純物(ホウ素)325を注入する。ドーピングガスとして、ジボラン(B_2H_6)を用い、加速電圧を40 kV~90 kV、例えば75 kVとし、ドーズ量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ c}$

10

20

30

40

50

m^{-2} 、例えば $3 \times 10^{15} \text{cm}^{-2}$ とする。

【0186】

この工程により、pチャンネル型TFTの半導体層310pにおいては、ゲート電極315p下部以外に高濃度にホウ素325が注入される。この工程により、領域323pは、先の工程で低濃度に注入されているn型不純物のリン317を反転させp型となり、ゲート電極315pに対して自己整合的に、後のTFTのソース/ドレイン領域326pが形成される。また、領域321pでは、先の工程で注入された高濃度のリン320に加えて、高濃度のホウ素325が注入され、ゲッタリング領域327pとして機能する。ゲート電極315pの下の領域には、高濃度のホウ素は注入されず、チャンネル領域328pとなる。

10

【0187】

また、光センサーTFDの半導体層310dにおいては、レジストマスク324dより露呈した領域に高濃度にホウ素325が注入され、後のTFDのp型領域326dが形成される。レジストマスク324dと前工程でのレジストマスク319dとで共にマスクされ、高濃度のリンもホウ素も注入されなかった領域は、後のTFDの真性領域328dとなる。このときの領域326p、326d、327pにおけるp型不純物元素(ホウ素)325の膜中濃度は $1.5 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ となっている。上記工程において、nチャンネル型TFTの半導体層310nと画素TFTおよびその補助容量の下部電極となる半導体層310gは、マスク324n、324gで全面覆われているため、ホウ素325はドーピングされない。

20

【0188】

次いで、レジストマスク324n、324g、324dを除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行う。本実施形態では、基板を一枚毎に高温雰囲気に移動し高温の窒素ガスを吹き付けることで高速昇降温を行う方式のRTA処理を用いた。処理条件としては、200 /分を超える昇降温速度で昇降温を行い、例えば650 で10分の加熱処理を行なった。このときの加熱処理としては、その他の方式も使用可能で、条件についても実施者が便宜設定すればよい。勿論、一般的な拡散炉(ファーンズ炉)やランプ加熱方式のRTAを用いてもよい。この熱処理工程によって、図6(J)に示すように、後のnチャンネル型TFTの半導体層310n、画素スイッチング用薄膜トランジスタ310gにおいては、ソース/ドレイン領域321n、321gにドーピングされているリンが、その領域でのニッケルの固溶度を高め、チャンネル領域328n、328g、GOLD領域322n、LDD領域323gに存在しているニッケルを、チャンネル領域からGOLD領域あるいはLDD領域、そしてソース/ドレイン領域へと、矢印329で示される方向に移動させる。また、後のpチャンネル型TFTの半導体層310pにおいても、ソース/ドレイン領域の外側に形成されたゲッタリング領域327pに高濃度にドーピングされているリンおよびホウ素と、ホウ素のドーピング時に生じた格子欠陥等が、チャンネル領域328p、ソース/ドレイン領域326pに存在しているニッケルを、チャンネル領域からソース/ドレイン領域、そしてゲッタリング領域へと、同様に矢印329で示される方向に移動させる。この加熱処理工程により、nチャンネル型TFT及び画素TFTのソース/ドレイン領域321n、321gと、pチャンネル型TFTとTFDのゲッタリング領域327pにはニッケルが移動してくるため、これらの領域におけるニッケル濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上となっている。

30

40

【0189】

また、この加熱処理工程で、nチャンネル型TFT及び画素TFTのソース/ドレイン領域321n、321g、GOLD領域322n、LDD領域323g、補助容量下部電極領域322g、TFDのn型領域321dにドーピングされたn型不純物(リン)と、pチャンネル型TFTのソース/ドレイン領域326pとTFDのp型領域326dにドーピングされたp型不純物(ホウ素)の活性化も同時に行われる。その結果、nチャンネル型TFT、画素TFTのソース/ドレイン領域、及びTFDのn型領域のシート抵抗値は、0.5 ~ 1k / 程度となり、GOLD領域及び補助容量下部電極領域のシート抵抗値は

50

、20～60k / 程度となり、LDD領域のシート抵抗値は、40～100k / であった。また、pチャネル型TFETのソース/ドレイン領域、及びTFDのp型領域のシート抵抗値は、0.7～1.2k / 程度であった。ゲッタリング領域においては、ドーピングされたn型不純物元素のリンとp型不純物元素のホウ素がキャリア（電子とホール）を打ち消しあい、そのシート抵抗値は数十k / と、ソース/ドレイン領域としては機能しないような値となっているが、pチャネル型TFETの半導体層において、ゲッタリング領域は、キャリアの移動を妨げないように配置され、動作上問題とはならない。

【0190】

次いで、図6(K)に示すように、層間絶縁膜331を形成する。窒化ケイ素膜、酸化ケイ素膜、または窒化酸化ケイ素膜を400～1500nm（代表的には600～1000nm）の厚さで形成する。本実施形態では、厚さが200nmの窒化ケイ素膜330と厚さが700nmの酸化ケイ素膜331とを積層形成し、2層構造とした。成膜方法としては、プラズマCVD法を用い、窒化ケイ素膜はSiH₄とNH₃を原料ガスとして、酸化ケイ素膜はTEOSとO₂を原料として、連続形成した。もちろん、層間絶縁膜としては、これに限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造としてよいし、上層にはアクリル等の有機絶縁膜を設けてもよい。

【0191】

さらに、300～500 の温度で30分～4時間程度の熱処理を行い、半導体層を水素化する工程を行う。この工程は、活性領域/ゲート絶縁膜の界面へ水素原子を供給し、TFET特性を劣化させる不対結合手（ダングリングボンド）を終端化し不活性化する工程である。本実施形態では、水素を約3%含む窒素雰囲気下で400 、1時間の熱処理を行った。層間絶縁膜（特に窒化ケイ素膜330）に含まれる水素の量が十分である場合には、窒素雰囲気中で熱処理を行っても効果が得られる。水素化の他の手段としては、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。

【0192】

次に、層間絶縁膜にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFETの電極・配線332n、332p、332g、332dを形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。そして最後に、350 、1時間のアニールを行い、図6(K)に示すドライバ用のnチャネル型薄膜トランジスタ333、pチャネル型薄膜トランジスタ334、画素スイッチング用薄膜トランジスタ335およびそれに接続された補助容量336、そして光センサー用薄膜ダイオード337とを完成させる。画素TFETにおいては、電極・配線332gの片方にITO等の透明導電膜を接続し画素電極を形成する。さらに必要に応じて、ゲート電極315nおよび315pの上にもコンタクトホールを設けて、配線332により必要な電極間を接続する。また、TFETを保護する目的で、それぞれのTFET上に窒化ケイ素膜などからなる保護膜を設けてもよい。

【0193】

以上の実施形態にしたがって作製したそれぞれのTFETの電界効果移動度はnチャネル型TFETで250～300cm²/Vs、pチャネル型TFETで120～150cm²/Vsと高く、閾値電圧はN型TFETで1V程度、P型TFETで-1.5V程度と非常に良好な特性を示す。また、本実施形態で作製したnチャネル型TFETとpチャネル型TFETとを相補的に構成したCMOS構造回路で、インバーターチェーンやリングオシレーター等の回路を形成した場合、従来のもものと比べて信頼性が高く、安定した回路特性を示した。さらに、TFDの暗電流値は、従来方法を用いてTFETと同一基板上に同時形成した場合に比べ、1/5以下に低減し、光センサー素子としての明暗比は5倍以上に向上した。このように、それぞれの素子に対して半導体層を作り分けることで、それぞれのデバイスに対する特性の最適化が図れた。

【0194】

（第4実施形態）

本発明による第4の実施形態の半導体装置の製造方法を説明する。ここでは、第3実施

10

20

30

40

50

形態とは異なる方法で、ガラス基板上に表示用の画素 T F T の活性領域およびその補助容量の下部電極となる半導体層と、駆動用の C M O S 構成 T F T 回路を構成する n チャネル型 T F T の半導体層および p チャネル型 T F T の半導体層と、そしてフォトセンサー T F D の半導体層とを同時作製する。

【 0 1 9 5 】

図 7 (A) ~ (E) は、本実施形態における T F T 及び T F D の作製方法を説明するための断面工程図であり、図 7 (A) から (E) の順にしたがって工程が順次進行する。

【 0 1 9 6 】

まず、図 7 (A) において、ガラス基板 4 0 1 の T F T 及び T F D を形成する表面に、後の T F D において基板裏面方向からの光を遮光するための遮光層 4 0 2 を形成する。

10

【 0 1 9 7 】

次に、図 7 (B) に示すように、ガラス基板 4 0 1 及び遮光層 4 0 2 上に、第 3 実施形態と同様の方法で、窒化ケイ素膜を下層の第 1 下地膜 4 0 3 として成膜し、その上に酸化ケイ素膜を第 2 の下地膜 4 0 4 として積層形成した。次に、厚さ 5 0 n m 程度の真性 (I 型) の非晶質ケイ素膜 4 0 5 をプラズマ C V D 法などによって成膜する。次に、酸化ケイ素膜あるいは窒化ケイ素膜を形成し、パターニングにより、開口部を有するマスク膜 4 0 6 を形成する。このマスク膜 4 0 6 の開口部において、非晶質ケイ素膜 4 0 5 が露呈される。

【 0 1 9 8 】

続いて、第 3 実施形態と類似の方法で、非晶質ケイ素膜 4 0 5 およびマスク膜 4 0 6 の表面に触媒元素 4 0 7 の添加を行う。触媒元素 4 0 7 としてニッケルを用いて、触媒元素含有層を形成する。この時、触媒元素 4 0 7 は、マスク膜 4 0 6 の開口部において、選択的に非晶質ケイ素膜 4 0 5 に接触して、触媒元素添加領域が形成される。この状態が図 7 (B) の状態に相当する。

20

【 0 1 9 9 】

続いて、図 7 (C) に示すように、不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行い、非晶質ケイ素膜 4 0 5 の結晶化を行う。この加熱処理において、マスク膜 4 0 6 の開口部では、非晶質ケイ素膜 4 0 5 表面に添加されたニッケルを触媒として非晶質ケイ素膜 4 0 5 が結晶化され、結晶質ケイ素膜 4 0 5 a となる。マスク膜 4 0 6 上に存在するニッケルは、マスク膜 4 0 6 に阻まれ、下層の非晶質ケイ素膜へは到達せず、非晶質ケイ素領域 4 0 5 c として残る。このように、開口領域において導入されたニッケルのみにより非晶質ケイ素膜 4 0 5 の結晶化が行われる。

30

【 0 2 0 0 】

次に、マスク膜 (酸化ケイ素膜) 4 0 6 を除去した後、図 7 (D) に示すように、第 3 実施形態と同様の方法により、基板全体に渡ってレーザー光 4 0 9 を照射する。すなわち、触媒元素が添加され結晶化された領域 4 0 5 a、マスク膜により非晶質状態で残った領域 4 0 5 c に対して、一様にレーザー光 4 0 9 を照射される。これにより、触媒元素が導入され選択的に結晶化された結晶質ケイ素領域 4 0 5 a は、レーザー光 4 0 9 の照射による溶融固化過程により結晶欠陥が低減され、その一部を成長核として再結晶化することで、より高品質な結晶質ケイ素領域 4 0 5 x となる。また、非晶質ケイ素領域 4 0 5 c においては、レーザー光 4 0 9 の照射による溶融固化過程にて結晶化し、結晶質ケイ素領域 4 0 5 z が形成される。

40

【 0 2 0 1 】

その後、図 7 (E) に示すように、結晶質ケイ素領域 4 0 5 x、4 0 5 z の不要な領域を除去して、素子間分離を行う。このとき、触媒元素を用い結晶成長させた結晶質ケイ素領域 4 0 5 x を用いて、後にドライバ回路部を構成する n チャネル型 T F T の活性領域 (ソース/ドレイン領域、チャンネル領域) となる島状の半導体層 4 1 0 n と、p チャネル型 T F T の活性領域 (ソース/ドレイン領域、チャンネル領域) となる島状の半導体層 4 1 0 p とを形成する。また、非晶質領域をレーザー光で結晶化した結晶質ケイ素領域 4 0 5 z を用いて、後に光センサー T F D の活性領域 (n ⁺ / p ⁺ 領域、真性領域) となる島状の半

50

導体層 410d を形成する。画素電極駆動用の n チャンネル型 T F T の活性領域（ソース / ドレイン領域、チャンネル領域）とそれに接続された補助容量の下部電極を構成する島状の半導体層 410g に対しては、後に T F T の活性領域となるべき領域が結晶質ケイ素領域 405x で構成され、補助容量の下部電極となるべき領域は結晶質ケイ素領域 405z で構成されるように形成する。すなわち、半導体層 410g では、2 種類の異なる結晶質領域が部分的に存在していることになる。

【0202】

以降、第 3 実施形態と同様の方法で、島状の半導体層 410n を n チャンネル型 T F T の活性領域として、島状の半導体層 410p を p チャンネル型 T F T の活性領域として、島状の半導体層 410g のうち触媒元素を利用して結晶化された領域 405x を画素 T F T の活性領域として、半導体層 410g のうちレーザー照射により結晶化された領域 405y を補助容量の下部電極として、島状の半導体層 410d を T F D の活性領域として、それぞれの T F T と T F D とを完成させる。

10

【0203】

（第 5 実施形態）

本発明による第 5 の実施形態の半導体装置の製造方法を説明する。ここでは、第 3 および第 4 実施形態とは異なる方法で、ガラス基板の上に表示用の画素 T F T の活性領域およびその補助容量の下部電極となる半導体層と、駆動用の C M O S 構成 T F T 回路を構成する n チャンネル型 T F T の半導体層および p チャンネル型 T F T の半導体層と、フォトセンサー T F D の半導体層とを同時に作製する。

20

【0204】

図 8 (A) ~ (E) は、本実施形態における T F T および T F D の作製方法を説明するための工程断面図であり、図 8 (A) から (E) の順にしたがって工程が順次進行する。

【0205】

まず、図 8 (A) において、ガラス基板 501 の T F T 及び T F D を形成する表面に、後の T F D において基板裏面方向からの光を遮光するための遮光層 502 を形成する。

【0206】

次に、図 8 (B) に示すように、ガラス基板 501 及び遮光層 502 上に、第 3 実施形態と同様の方法で、窒化ケイ素膜を下層の第 1 下地膜 503 として成膜し、その上に酸化ケイ素膜を第 2 の下地膜 504 を積層形成した。次に、厚さ 50nm 程度の真性 (I 型) の非晶質ケイ素膜 505 をプラズマ C V D 法などによって形成する。

30

【0207】

続いて、図 8 (B) に示すように、酸化ケイ素膜あるいは窒化ケイ素膜を形成し、パターンニングして一部を開口させることにより、マスク膜 506 を形成する。マスク膜 506 の開口部において、非晶質ケイ素膜 505 が露呈される。

【0208】

続いて、第 3 実施形態と同様の方法で、非晶質ケイ素膜 505 およびマスク膜 506 の表面に触媒元素 507 の添加を行う。触媒元素 507 としてニッケルを用い、触媒元素含有層を形成する。このとき、触媒元素 507 は、マスク膜 506 の開口部において、選択的に非晶質ケイ素膜 505 に接触して、触媒元素添加領域が形成される。この状態が図 8 (B) の状態に相当する。

40

【0209】

次いで、図 8 (C) に示すように、不活性雰囲気下、例えば窒素雰囲気にて加熱処理を行い、非晶質ケイ素膜 505 を結晶化させる。この加熱処理において、マスク膜 506 が開口している領域では、非晶質ケイ素膜表面に添加されたニッケルを触媒として非晶質ケイ素膜 505 が結晶化され、結晶質ケイ素膜 505a となる。さらに、先に結晶化した領域である結晶質ケイ素領域 505a を起点として基板と概略平行な方向 (矢印 508 で示した方向) に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質ケイ素領域 505b が形成される。このとき、マスク膜 506 上に存在するニッケルは、マスク膜 506 に阻まれ、下層の非晶質ケイ素膜へは到達せず、開口領域において導入されたニッケルのみに

50

より非晶質ケイ素膜505の結晶化が行われる。また、横方向への結晶成長が到達しない領域は非晶質ケイ素領域505cとして残る。

【0210】

マスク膜（酸化ケイ素膜）506を除去した後、図8（D）に示すように、第3実施形態と同様の方法により、基板全体に渡ってレーザー光509を照射する。すなわち、触媒元素が直接添加され結晶化された領域505a、それをシードとして横方向に結晶成長した結晶質ケイ素領域505b、そしてマスク膜により非晶質状態で残った領域505cに対して、一様にレーザー光509が照射される。これにより、触媒元素が導入され選択的に結晶化された結晶質ケイ素領域505a、505bは、レーザー光509の照射による熔融固化過程により結晶欠陥が低減され、その一部を成長核として再結晶化することで、より高品質な結晶質ケイ素領域505x、505yとなる。また、非晶質ケイ素領域505cにおいては、レーザー光509の照射による熔融固化過程にて結晶化し、結晶質ケイ素領域505zが形成される。

10

【0211】

その後、図8（E）に示すように、結晶質ケイ素領域505x、505y、505zの不要な領域を除去して、素子間分離を行う。このとき、触媒元素を用い横方向に結晶成長させた高品質な結晶質ケイ素領域505yを用いて、後にドライバ回路部を構成するnチャネル型TFTの活性領域（ソース/ドレイン領域、チャネル領域）となる島状の半導体層510nと、pチャネル型TFTの活性領域（ソース/ドレイン領域、チャネル領域）となる島状の半導体層510pとを形成する。また、非晶質領域をレーザー光で結晶化した結晶質ケイ素領域505zを用いて、後に光センサーTFDの活性領域（n⁺/p⁺領域、真性領域）となる島状の半導体層510dと、画素電極駆動用のnチャネル型TFTの活性領域（ソース/ドレイン領域、チャネル領域）とそれに接続された補助容量の下部電極を構成する島状の半導体層510gの全体を形成する。

20

【0212】

以降、第3実施形態と同様の方法で、島状半導体層510nをnチャネル型TFTの活性領域として、島状半導体層510pをpチャネル型TFTの活性領域として、島状半導体層510gを画素TFTの活性領域と補助容量の下部電極として、島状半導体層510dをTFDの活性領域として、それぞれのTFTとTFDとを完成させる。

【0213】

本実施形態では、前述の実施形態と異なり、画素TFTの活性領域を、触媒元素を用いず、非晶質ケイ素膜に直接レーザー光を照射することで結晶化された半導体層を用いている。これにより、ドライバ回路を構成するCMOS構成のTFTでは、高い電界効果移動度による高い駆動能力を実現でき、画素TFTでは、オフ動作時のリーク電流を下げる事ができる。また、TFDでは暗電流が下がり、光センサーとして高い明暗比が得られる。その結果、同一の非晶質半導体膜を結晶化させて形成した半導体層を用いて、それぞれのTFTおよびTFDに対して、要求される最適な素子特性を同時に実現できる。

30

【0214】

また、前述したように、本実施形態は有機EL表示装置に好適に適用される。例えば、上記方法で薄膜トランジスタおよび薄膜ダイオードが設けられた基板上に、透明電極層、発光層、および上部電極層をこの順で形成することにより、ボトムエミッション型の有機EL表示装置を製造することができる。または、上部電極層として透明電極を形成して、トップエミッション型の有機EL表示装置を製造してもよい。その場合には、基板は透光性である必要はない。

40

【0215】

（第6実施形態）

本発明による第6の実施形態の半導体装置を説明する。本実施形態の半導体装置は、センサー機能を備えた表示装置である。これらの表示装置は、上述してきた何れかの実施形態を用いて、TFTおよびTFDが形成された基板を用いて構成されている。

【0216】

50

本実施形態のセンサー機能を備えた表示装置は、例えば、タッチセンサー付きの液晶表示装置であり、表示領域と、表示領域の周辺に位置する額縁領域とを有している。表示領域は、複数の表示部（画素）と、複数の光センサー部とを有している。各表示部は、画素電極と、画素スイッチング用TFTとを含んでおり、各光センサー部はTFDを含んでいる。額縁領域には、各表示部を駆動するための表示用の駆動回路が設けられており、駆動回路には駆動回路用TFTが利用されている。画素スイッチング用TFTおよび駆動回路用TFTと、光センサー部のTFDとは、第1～第5実施形態で説明したような方法により、同一基板上に形成されている。なお、本発明の表示装置では、表示装置に使用されるTFTのうち少なくとも画素スイッチング用TFTが、上記方法により、光センサー部のTFDと同一基板上に形成されていればよく、例えば駆動回路は、他の基板上に別途設けてもよい。

10

【0217】

本実施形態では、光センサー部は、対応する表示部（例えば原色の画素）に隣接して配置されている。1つの表示部に対して1つの光センサー部を配置してもよいし、複数の光センサー部を配置してもよい。または、複数の表示部のセットに対して光センサー部を1個ずつ配置してもよい。例えば、3つの原色（RGB）の画素からなるカラー表示画素に対して、1個の光センサー部を設けることができる。このように、表示部の数に対する光センサー部の数（密度）は、分解能に応じて適宜選択できる。

【0218】

光センサー部の観察者側にカラーフィルターが設けられていると、光センサー部を構成するTFDの感度が低下するおそれがあるため、光センサー部の観察者側にはカラーフィルターが設けられていないことが好ましい。

20

【0219】

なお、本実施形態の表示装置の構成は、上記に限定されない。例えば、光センサー用のTFDを額縁領域に配置して、外光の照度に応じて表示の明るさを制御するアンビニエントセンサーが付加された表示装置を構成することもできる。また、光センサー部の観察者側にカラーフィルターを配置して、カラーフィルターを介した光を光センサー部で受光することにより、光センサー部をカラーイメージセンサーとして機能させることもできる。

【0220】

以下、図面を参照しながら、本実施形態の表示装置の構成を、タッチパネルセンサーを備えたタッチパネル液晶表示装置を例に説明する。

30

【0221】

図9は、表示領域に配置される光センサー部の構成の一例を示す回路図である。光センサー部は、光センサー用薄膜ダイオード601と、信号蓄積用のコンデンサー602と、コンデンサー602に蓄積された信号を取り出すための薄膜トランジスタ603とを有する。RST信号が入り、ノード604にRST電位が書き込まれた後、光によるリークでノード604の電位が低下すると、薄膜トランジスタ603のゲート電位が変動してTFTゲートが開閉する。これにより、信号VDDを取り出すことができる。

【0222】

図10は、アクティブマトリクス方式のタッチパネル液晶表示装置の一例を示す模式的な断面図である。この例では、各画素に対して光センサー部が1個ずつ配置されている。

40

【0223】

図示する液晶表示装置は、液晶モジュール702と、液晶モジュール702の背面側に配置されたバックライト701とを備えている。ここでは図示していないが、液晶モジュール702は、例えば、光透性を有する背面基板と、背面基板に対向するように配置された前面基板と、これらの基板の間に設けられる液晶層とによって構成される。液晶モジュール702は、複数の表示部（原色の画素）を有しており、各表示部は、画素電極（図示せず）と、画素電極に接続された画素スイッチング用薄膜トランジスタ705とを有している。また、各表示部に隣接して、薄膜ダイオード706を含む光センサー部が配置されている。図示していないが、各表示部の観察者側にはカラーフィルターが配置されている

50

が、光センサー部の観察者側にはカラーフィルターが設けられていない。薄膜ダイオード706およびバックライト701の間には遮光層707が配置されており、バックライト701からの光は遮光層707により遮光されて薄膜ダイオード706には入らず、外光704のみが薄膜ダイオード706に入射する。この外光704の入射を薄膜ダイオード706でセンシングし、光センシング方式のタッチパネルが実現される。なお、遮光層707は、少なくとも、バックライト701の光が、薄膜ダイオード706のうち真性領域に入らないように配置されていればよい。

【0224】

図11は、アクティブマトリクス方式のタッチパネル液晶表示装置における背面基板の一例を示す模式的な平面図である。本実施形態の液晶表示装置は、多数の画素(R、G、B画素)から構成されるが、ここでは、簡略化のため2画素分のみを示す。

10

【0225】

背面基板1000は、それぞれが、画素電極22および画素スイッチング用薄膜トランジスタ24を有する複数の表示部(画素)と、各表示部に隣接して配置され、光センサーフォトダイオード26、信号蓄積用のコンデンサー28および光センサー用フォロワー(follower)薄膜トランジスタ29を含む光センサー部とを備えている。

【0226】

薄膜トランジスタ24は、例えば第3実施形態で説明したTFTと同様の構成、すなわち2つのゲート電極およびLDD領域を有するデュアルゲートLDD構造を有している。薄膜トランジスタ24のソース領域は画素用ソースバスライン34に接続され、ドレイン領域は画素電極22に接続されている。薄膜トランジスタ24は、画素用ゲートバスライン32からの信号によってオンオフされる。これにより、画素電極22と、背面基板1000に対向して配置された前面基板に形成された対向電極とによって液晶層に電圧を印加し、液晶層の配向状態を変化させることによって表示を行う。

20

【0227】

一方、光センサーフォトダイオード26は、例えば第3実施形態で説明したTFDと同様の構成を有し、 p^+ 型領域26p、 n^+ 型領域26n、およびそれらの領域26p、26nの間に位置する真性領域26iとを備えている。信号蓄積用のコンデンサー28は、ゲート電極層とSi層とを電極とし、ゲート絶縁膜で容量を形成している。光センサーフォトダイオード26における p^+ 型領域26pは、光センサー用RST信号ライン36に接続され、 n^+ 型領域26nは、信号蓄積用のコンデンサー28における下部電極(Si層)に接続され、このコンデンサー28を経て光センサー用RWS信号ライン38に接続されている。さらに、 n^+ 型領域26nは、光センサー用フォロワー薄膜トランジスタ29におけるゲート電極層に接続されている。光センサー用フォロワー薄膜トランジスタ29のソースおよびドレイン領域は、それぞれ、光センサー用VDD信号ライン40、光センサー用COL信号ライン42に接続されている。

30

【0228】

このように、光センサーフォトダイオード26、信号蓄積用のコンデンサー28、および光センサー用フォロワー薄膜トランジスタ29は、それぞれ、図10に示す駆動回路の薄膜ダイオード701、コンデンサー702、薄膜トランジスタ703に対応しており、光センサーの駆動回路を構成している。この駆動回路による光センシング時の動作を以下に説明する。

40

【0229】

(1)まず、RWS信号ライン38により、信号蓄積用のコンデンサー28にRWS信号が書き込まれる。これにより、光センサーフォトダイオード26における n^+ 型領域26nの側にプラス電界が生じ、光センサーフォトダイオード26に関して逆バイアス状態となる。(2)基板表面のうち光が照射されている領域に存在する光センサーフォトダイオード26では、光リークが生じてRST信号ライン36の側に電荷が抜ける。(3)これにより、 n^+ 型領域26nの側の電位が低下し、その電位変化により光センサー用フォロワー薄膜トランジスタ29に印加されているゲート電圧が変化する。(4)光センサー

50

用フォロアー薄膜トランジスタ29のソース側にはVDD信号ライン40よりVDD信号が印加されている。上記のようにゲート電圧が変動すると、ドレイン側に接続されたCOL信号ライン42へ流れる電流値が変化するため、その電気信号をCOL信号ライン42から取り出すことができる。(5)COL信号ライン42からRST信号を光センサーフォトダイオード26に書き込み、信号蓄積用のコンデンサー28の電位をリセットする。上記(1)~(5)の動作をスキャンしながら繰り返すことにより、光センシングが可能になる。

【0230】

本実施形態のタッチパネル液晶表示装置における背面基板の構成は図11に示す構成に限定されない。例えば、各画素スイッチング用TFTに補助容量(Cs)が設けられていてもよい。また、図示する例では、RGB画素のそれぞれに隣接して光センサー部が設けられているが、上述したように、RGB画素からなる3つの画素セット(カラー表示画素)に対して1つの光センサー部が配置されていてもよい。

10

【0231】

ここで、再び図10を参照する。上述してきた例では、図10に示す断面図からわかるように、薄膜ダイオード706を表示領域に配置して、タッチセンサーとして利用しているが、薄膜ダイオード706を表示領域の外に形成し、バックライト701の輝度を、外光704の照度に合わせてコントロールするためのアンビニエントセンサーとして利用することもできる。

【0232】

20

図12は、アンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。液晶表示装置2000は、表示領域52、ゲートドライバ56、ソースドライバ58および光センサー部54を有するLCD基板50と、LCD基板50の背面側に配置されたバックライト60とを備えている。LCD基板50のうち表示領域52の周辺に位置し、ドライバ56、58や光センサー部54が設けられている領域を「額縁領域」と呼ぶこともある。

【0233】

バックライト60の輝度は、バックライト制御回路(図示せず)によって制御されている。また、図示しないが、表示領域52およびドライバ56、58には、TFTが利用されており、光センサー部54にはTFDが利用されている。光センサー部54は、外光の照度に基づく照度信号を生成し、フレキシブル基板を用いた接続を利用してバックライト制御回路に入力する。バックライト制御回路では、この照度信号に基づいてバックライト制御信号を生成し、バックライト60に出力する。

30

【0234】

なお、本発明を適用すると、アンビニエントライトセンサー付き有機EL表示装置を構成することもできる。そのような有機EL表示装置は、図12に示す液晶表示装置と同様に、同一の基板の上に表示部と光センサー部とが配置された構成を有することができるが、基板の背面側にバックライト60を設ける必要がない。この場合には、光センサー部54を、基板50に設けられた配線によってソースドライバ58に接続し、光センサー部54からの照度信号をソースドライバ58に入力する。ソースドライバ58は、照度信号に基づいて表示領域52の輝度を変化させる。

40

【0235】

以上、本発明の具体的な実施形態について説明を行なったが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。本発明のTFTを用いて、ガラス基板上にアナログ駆動を行うための回路やデジタル駆動を行うための回路も同時構成できる。例えば、アナログ駆動を行なう回路の場合、ソース側駆動回路、画素部およびゲート側駆動回路を有し、ソース側駆動回路には、シフトレジスタ、バッファ、サンプリング回路(トランスファゲート)、また、ゲート側駆動回路には、シフトレジスタ、レベルシフト、バッファが設けられる。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフト回路を設けてもよい。また、本発明の製造

50

工程に従えば、メモリやマイクロプロセッサをも形成し得る。

【0236】

本発明によると、同一基板上に形成されるTFTとTFDとにおいて、共にそれぞれの半導体素子に最適な半導体膜を有し、良好な特性を有するTFTとTFDとを備える半導体装置が得られる。これにより、駆動回路に用いられるTFTと画素電極をスイッチングするためのTFTとして、高い電界効果移動度及びON/OFF比を有するTFTと、光センサーとして利用する場合に低い暗電流値、光に対するSN比（明暗での電流値比）が高いTFDとを、同一非晶質半導体膜を結晶化させて形成した半導体層をそれぞれの活性領域として、同一の製造工程で作製できる。特に、これらの半導体層の中でも、TFTの電界効果移動度を大きく左右するチャンネル領域と、TFDの光感度に大きく影響する真性領域とに対して、それぞれ最適化することで、それぞれの半導体素子に最適な素子特性を得ることができる。さらには、簡便な製造方法で、前記高性能半導体素子を実現でき、製品のコンパクト化、高性能化、低コスト化が図れる。

10

【産業上の利用可能性】

【0237】

本発明の適用範囲は極めて広く、TFTおよびTFDを備えた半導体装置、あるいは、そのような半導体装置を有するあらゆる分野の電子機器に適用することが可能である。例えば、本発明を実施して形成されたCMOS回路や画素部はアクティブマトリクス型液晶表示装置や有機EL表示装置に用いることができる。このような表示装置は、例えば携帯電話や携帯ゲーム機の表示画面や、デジタルカメラのモニター等に利用され得る。従って、液晶表示装置や有機EL表示装置が組み込まれた電子機器全てに本発明を適用できる。

20

【0238】

本発明は、特に、アクティブマトリクス型の液晶表示装置や有機EL表示装置や、イメージセンサー、光センサー等や、それらを組み合わせた電子機器に好適に利用できる。特に、TFDを利用した光センサー機能付きの表示装置や、それを備えた電子機器に本発明を適用すると有利である。また、TFDを利用した光センサーと、TFTを利用した駆動回路とを備えたイメージセンサーに適用してもよい。

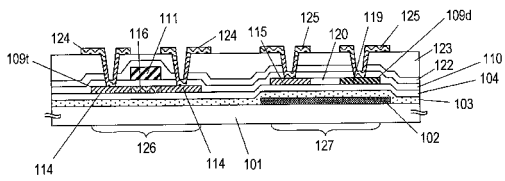
【符号の説明】

【0239】

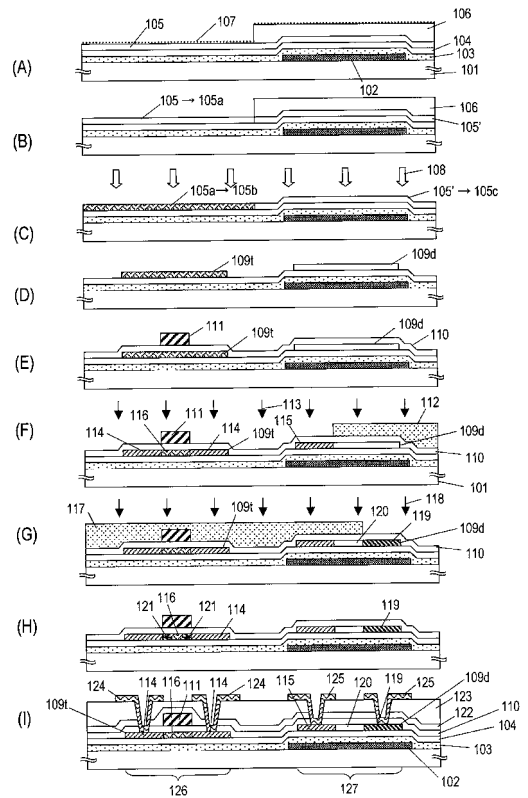
101、201	基板	30
102、202	遮光層	
103、203、104、204	下地膜	
105、205	非晶質半導体膜	
106、206	マスク膜	
107、207	触媒元素	
105a、205a、205b	結晶質ケイ素領域（触媒利用結晶化領域）	
105b、205d、205e	結晶質ケイ素領域（高結晶質領域）	
105c、205f	結晶質ケイ素領域（低結晶質領域）	
109t、210t	薄膜トランジスタの半導体層	
109d、210d	薄膜ダイオードの半導体層	40
110	ゲート絶縁膜	
111	ゲート電極	
114	ソース・ドレイン領域	
115	n型領域	
116	チャンネル領域	
119	p型領域	
124	電極・配線	
120	真性領域	
123	層間絶縁膜	
125	電極・配線	50

1 2 6 薄膜トランジスタ
1 2 7 薄膜ダイオード

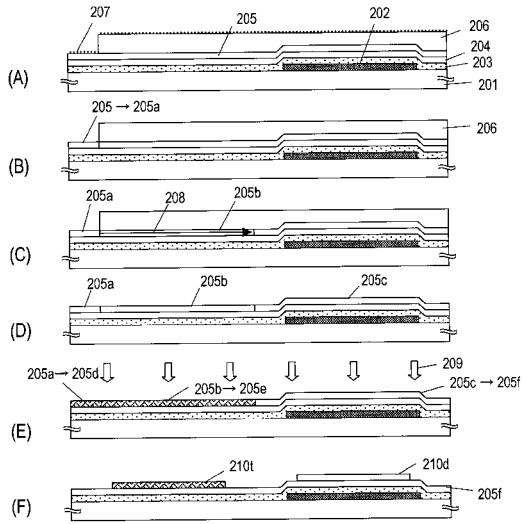
【図 1】



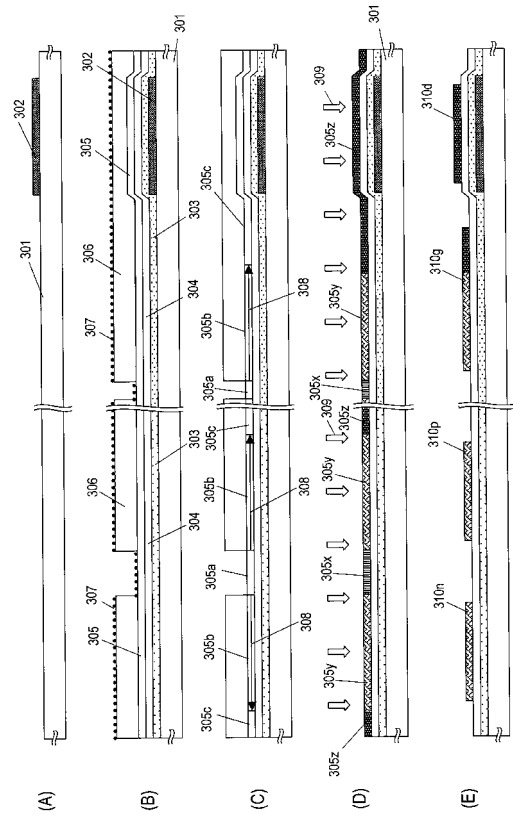
【図 2】



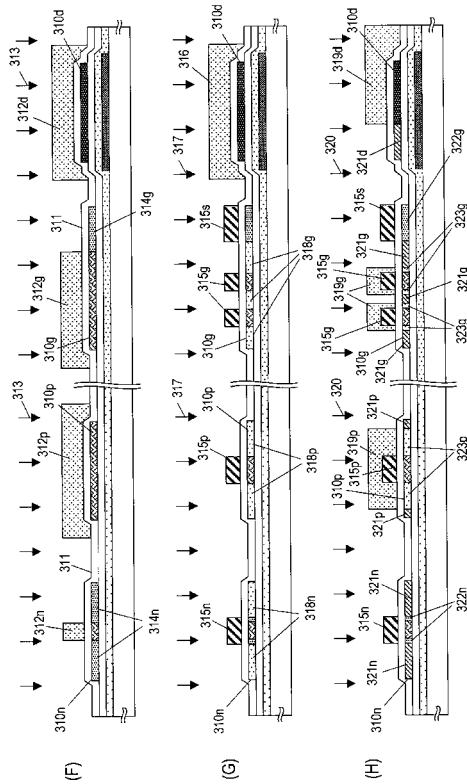
【図3】



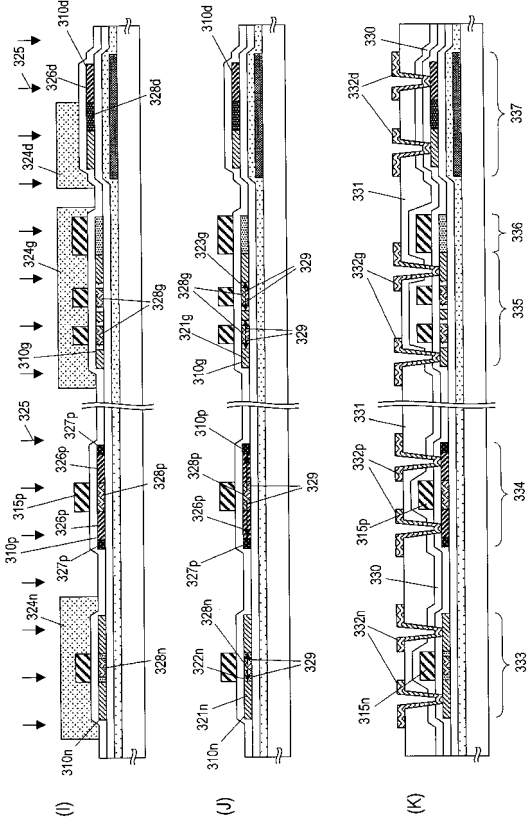
【図4】



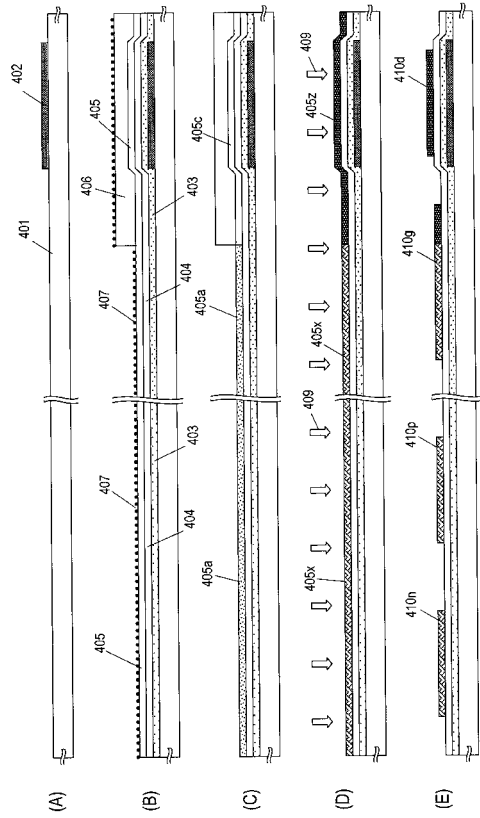
【図5】



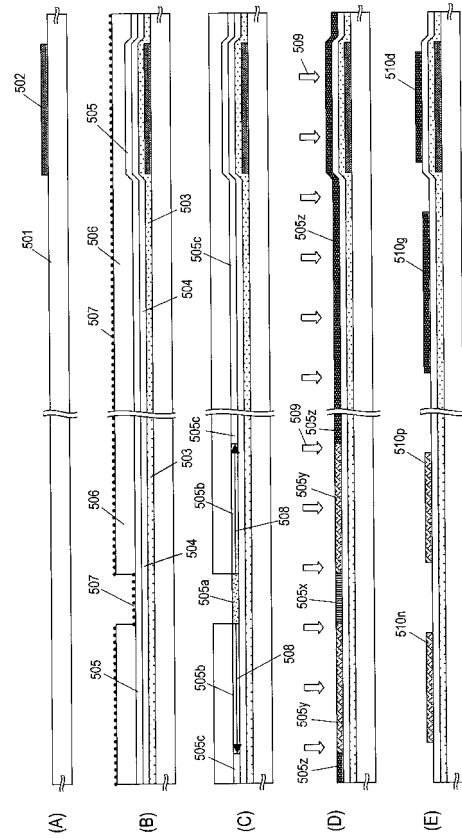
【図6】



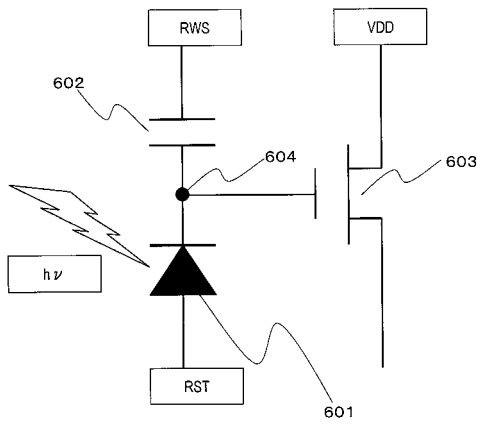
【図7】



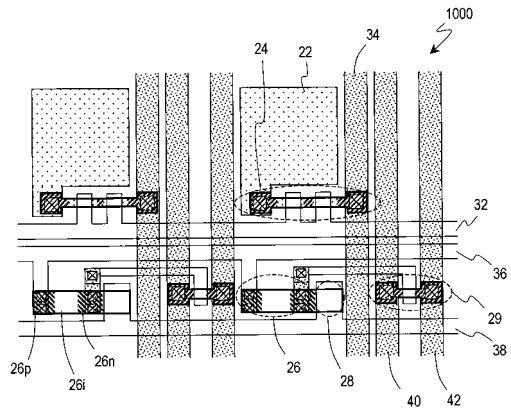
【図8】



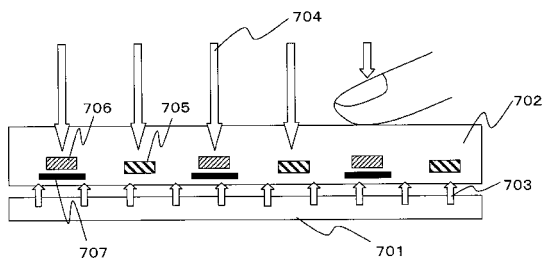
【図9】



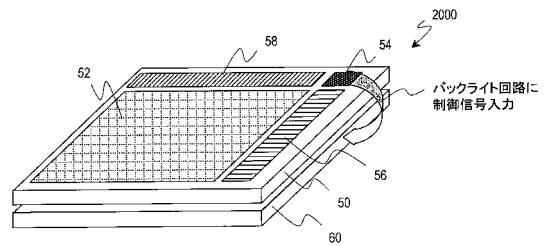
【図11】



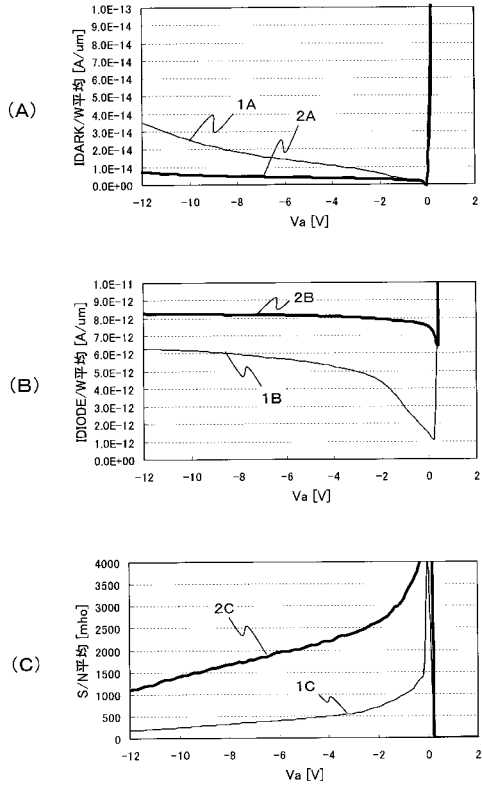
【図10】



【図12】



【 図 13 】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 21/336 (2006.01)</i>		H 0 1 L 29/78	6 1 8 G	
<i>H 0 1 L 21/20 (2006.01)</i>		H 0 1 L 29/78	6 1 6 V	
<i>H 0 1 L 29/861 (2006.01)</i>		H 0 1 L 29/78	6 1 3 A	
<i>H 0 1 L 29/868 (2006.01)</i>		H 0 1 L 29/78	6 2 7 G	
		H 0 1 L 29/78	6 1 9 B	
		H 0 1 L 21/20		
		H 0 1 L 29/91		E

(72)発明者 牧田 直樹
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 石坂 博明

(56)参考文献 特開平06-275806(JP,A)
特開平06-275805(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146
H01L 21/20
H01L 21/336
H01L 21/8234
H01L 27/06
H01L 27/08
H01L 29/786
H01L 29/861
H01L 29/868