

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-181347

(P2007-181347A)

(43) 公開日 平成19年7月12日(2007.7.12)

(51) Int. Cl.	F I	テーマコード (参考)
HO2M 3/07 (2006.01)	HO2M 3/07	5B125
HO1L 21/822 (2006.01)	HO1L 27/04 G	5F038
HO1L 27/04 (2006.01)	G11C 17/00 632A	5H730
G11C 16/06 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2005-378574 (P2005-378574)
 (22) 出願日 平成17年12月28日 (2005.12.28)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080816
 弁理士 加藤 朝道
 (72) 発明者 金子 明弘
 神奈川県川崎市中原区小杉町1丁目403
 番53 NECマイクロシステム株式会社
 内
 (72) 発明者 頓田 保弘
 神奈川県川崎市中原区小杉町1丁目403
 番53 NECマイクロシステム株式会社
 内
 Fターム(参考) 5B125 BA01 CA04 CA15 CA25 EG02
 EG06 FA02

最終頁に続く

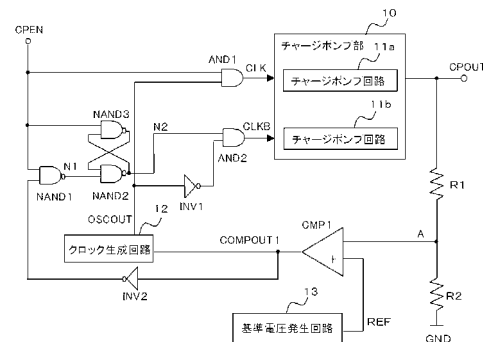
(54) 【発明の名称】 昇圧回路

(57) 【要約】

【課題】 セットアップ時に流れる大電流を削減する。

【解決手段】 それぞれ供給されるクロック信号CLK、CLKBを元に昇圧電圧を発生して出力し、出力同士を共通にする2つのチャージポンプ回路11a、11bを備える。また、セットアップ信号CPENがアクティブになった時に1つのチャージポンプ回路11aのみを動作させ、再昇圧時の少なくとも一部の期間では、2つのチャージポンプ回路11a、11bを動作させるように制御する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

それぞれ供給されるクロック信号を元に昇圧電圧を発生して出力し、出力同士を共通にする複数のチャージポンプ回路と、

セットアップ時における前記チャージポンプ回路の動作台数に対し、再昇圧時の少なくとも一部の期間における前記チャージポンプ回路の動作台数が増えるように前記複数のチャージポンプ回路を制御する制御回路と、

を備えることを特徴とする昇圧回路。

【請求項 2】

前記制御回路は、

前記複数のチャージポンプ回路の出力電圧を検出する電圧検出回路と、

昇圧回路のセットアップ信号と前記電圧検出回路の検出結果とに基づいて、それぞれの前記チャージポンプ回路への前記クロック信号の供給・停止を制御して前記チャージポンプ回路の動作台数を定めるクロック制御回路と、

を備えることを特徴とする請求項 1 記載の昇圧回路。

【請求項 3】

前記複数のチャージポンプ回路は、前記クロック信号が供給されて昇圧動作を行う第 1 および第 2 のチャージポンプ回路からなり、

前記クロック制御回路は、

前記セットアップ信号がアクティブになった場合に前記第 1 のチャージポンプ回路に前記クロック信号を供給し、前記出力電圧が所定の電圧を超えた場合に前記第 1 のチャージポンプ回路への前記クロック信号の供給を停止し、

その後は、前記出力電圧が前記所定の電圧を下回ったか否かで前記第 1 および第 2 のチャージポンプ回路に前記クロック信号を供給するか否かを制御することを特徴とする請求項 2 記載の昇圧回路。

【請求項 4】

前記複数のチャージポンプ回路は、前記クロック信号が供給されて昇圧動作を行う第 1 および第 2 のチャージポンプ回路からなり、

前記クロック制御回路は、

前記セットアップ信号がアクティブになった場合に前記第 1 のチャージポンプ回路に前記クロック信号を供給し、前記出力電圧が第 1 の基準電圧を超えた場合に前記第 1 のチャージポンプ回路への前記クロック信号の供給を停止し、

その後は、前記出力電圧が第 1 の基準電圧を下回ったか否かで前記第 1 のチャージポンプ回路に前記クロック信号を供給するか否かを制御し、前記第 1 の基準電圧よりも低い第 2 の基準電圧を前記出力電圧が下回ったか否かで前記第 2 のチャージポンプ回路に前記クロック信号を供給するか否かを制御することを特徴とする請求項 2 記載の昇圧回路。

【請求項 5】

前記第 1 および第 2 のチャージポンプ回路には、それぞれ互いに逆相となる前記クロック信号が供給されることを特徴とする請求項 3 または 4 記載の昇圧回路。

【請求項 6】

前記クロック信号を発振する発振回路を備え、

前記クロック制御回路は、前記発振回路を発振させることで前記チャージポンプ回路への前記クロック信号の供給を行い、前記発振回路の発振を停止させることで前記チャージポンプ回路への前記クロック信号の供給を停止するように制御することを特徴とする請求項 2 ~ 5 のいずれか一に記載の昇圧回路。

【請求項 7】

請求項 1 ~ 6 のいずれか一に記載の昇圧回路を含むことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、昇圧回路に関し、特にフラッシュメモリやEEPROM (Electrically Erasable and Programmable Read Only Memory) などの書込みや消去における高電圧生成を行う昇圧回路に関する。

【背景技術】

【0002】

近年、不揮発性半導体記憶装置、例えばフラッシュメモリやEEPROMを備える半導体装置にあっては、不揮発性半導体記憶装置の書込みや消去動作に必要な高い電圧を、チャージポンプ回路を含む昇圧回路によって発生させている。

【0003】

次に、このような昇圧回路の具体的な例として出願人がこれまで用いていた昇圧回路について説明する。図6は、従来の昇圧回路の回路図である。図6において、昇圧回路は、チャージポンプ部10、クロック生成回路12、基準電圧発生回路13、抵抗器R1、R2、コンパレータCMP1、インバータINV1、AND回路AND1、AND2を備える。チャージポンプ部10は、同一に構成されるチャージポンプ回路11a、11bを含む。

10

【0004】

コンパレータCMP1は、チャージポンプ部10の出力と接地GND間に縦続接続された抵抗器R1、R2で分割されたノードAの電圧と、基準電圧発生回路13が出力する参照電圧REFとを比較する。クロック生成回路12は、コンパレータCMP1の比較結果である出力信号COMPOUT1によって発振が制御される。参照電圧REFがノードAの電圧よりも大きな場合には、発振したクロック信号OSCOUTがAND回路AND1の一つの入力端とインバータINV1の入力端に供給される。参照電圧REFがノードAの電圧以下の場合には、クロック信号OSCOUTは、ローレベルに保たれる。インバータINV1の出力端は、AND回路AND2の一つの入力端に接続される。

20

【0005】

昇圧回路を起動するセットアップ信号CPENは、AND回路AND1、AND2のそれぞれの他の入力端に供給される。セットアップ信号CPENがローレベルの場合には、AND回路AND1、AND2のそれぞれの出力端は、ローレベルとなり、チャージポンプ回路11a、11bの入力端に供給されるクロック信号CLK、CLKBは、ローレベルで変化しない。一方、セットアップ信号CPENが高レベルとなった場合には、クロック信号OSCOUTと等しいクロック信号CLKがAND回路AND1の出力端からチャージポンプ回路11aに供給される。また、クロック信号OSCOUTの反転信号(逆相の信号)であるクロック信号CLKBがAND回路AND2の出力端からチャージポンプ回路11bに供給される。

30

【0006】

チャージポンプ回路11a、11bは、それぞれクロック信号CLK、CLKBのパルスを入力することで昇圧動作を行い、パルスが入力されなければ昇圧動作を停止する。チャージポンプ回路11a、11bは、出力を共通とし、チャージポンプ部10から出力電圧CPOUTとして昇圧電圧を出力する。

40

【0007】

次にチャージポンプ部10の詳細について説明する。図7は、チャージポンプ部の例を示す回路図である。チャージポンプ部10は、チャージポンプ回路11a、11bと、チャージポンプ回路11a、11bの共通の出力ノードP2と接地間に接続される平滑用のキャパシタC3とを備える。チャージポンプ回路11aは、ゲートとドレインが電源VDDに接続され、ソースがノードP1に接続されるトランジスタTr1と、ゲートとドレインがノードP1に接続され、ソースがノードP2に接続されるトランジスタTr2と、一端にクロック信号CLKが供給され、他端がノードP1に接続されるキャパシタC1とを備える。また、チャージポンプ回路11bは、ゲートとドレインが電源VDDに接続され、ソースがノードP3に接続されるトランジスタTr3と、ゲートとドレインがノードP

50

3に接続され、ソースがノードP2に接続されるトランジスタTr4と、一端にクロック信号CLKBが供給され、他端がノードP3に接続されるキャパシタC2とを備える。

【0008】

チャージポンプ回路11a、11bは、供給されるクロック信号が互いに逆相である点を除き、同一の構成であるので、ここではチャージポンプ回路11aの動作について説明する。クロック信号CLKがローレベルにある場合、ノードP1は、トランジスタTr1を介して電源VDDの電位になるようにキャパシタC1が充電される。クロック信号CLKがハイレベルになると、ノードP1は、電源VDDの電位にクロック信号の振幅を加えた電位に向かって上昇する。その結果、トランジスタTr1は逆バイアスとなり、順バイアスのトランジスタTr2を介してノードP1からノードP2に向かって電荷が流れ、キャパシタC3に充電される。クロック信号CLKがローレベル・ハイレベルを繰り返すことでノードP2の電位(キャパシタC3の充電電位)が徐々に昇圧される。

10

【0009】

なお、トランジスタTr1、Tr2、Tr3、Tr4は、しきい値をコントロールする不純物を注入しておらず、しきい値が0V近傍であるノンドープNchトランジスタであることが好ましい。ノンドープNchトランジスタを用いることで、トランジスタにおける電圧降下を減少させて1回の昇圧で高い電圧レベルを生成することができる。

【0010】

次に、以上のように動作する昇圧回路の各部の動作波形について説明する。図8は、従来の昇圧回路の各部の動作波形を示すタイミングチャートである。

20

【0011】

t101(昇圧開始時): セットアップ信号CPENをハイレベル(アクティブ)とする。この時、2つのチャージポンプ回路11a、11bは、まだ昇圧していないため出力電圧CPOUTは0Vであり、ノードAの電圧も0Vである。基準電圧発生回路13の参照電圧REFに対してノードAの電圧は低いため、コンパレータCMP1の出力信号COMPOUT1にはハイレベルが出力され、クロック生成回路12が発振を開始する。クロック生成回路12が発振を開始することで、AND回路AND1の出力であるクロック信号CLKは、クロック生成回路12の出力信号OSCOUTと同じ波形パルスとなってチャージポンプ回路11aが昇圧動作を開始する。また、AND回路AND2の出力であるクロック信号CLKBは、クロック信号CLKの逆相のパルスとなってチャージポンプ回路11bも昇圧動作を開始する。

30

【0012】

t102(昇圧が所定値に達した時点): チャージポンプ回路11a、11bにおける出力電圧CPOUTが上昇し、ノードAの電圧が参照電圧REFを超えると、コンパレータCMP1の出力信号COMPOUT1はローレベルとなり、クロック生成回路12の発振が停止する。発振が停止することでクロック信号CLK、CLKBは、パルス信号ではなく一定のレベルとなり、2つのチャージポンプ回路11a、11bにおける昇圧動作が停止する。なお、図8において遅延時間tdは、コンパレータCMP1の比較結果に基づいて、チャージポンプ回路における昇圧が停止して出力電圧CPOUTがピークの値を示すまでの時間であって、フィードバックにおける各回路の遅延によって生じる。以下では、この遅延時間tdが存在するものとして説明する。

40

【0013】

t103(再昇圧開始時): t102~t103では、2つのチャージポンプ回路11a、11bは昇圧動作を停止している。しかし、チャージポンプ回路11a、11bの出力側に接続される抵抗器R1、R2によって、チャージポンプ回路11a、11bの出力側からGNDへ向かって放電電流が流れ、出力電圧CPOUTは徐々に低下する。同時に、ノードAの電圧レベルも低下する。この状態が続いてノードAの電圧が参照電圧REFを下回ると、コンパレータCMP1の出力信号COMPOUT1はハイレベルとなり、再び、クロック生成回路12が発振を開始する。クロック生成回路12が発振を開始することで、AND回路AND1の出力であるクロック信号CLKは、クロック生成回路12の

50

出力信号 OSCOUT と同じ波形パルスとなってチャージポンプ回路 11a が昇圧動作を再開する。また、AND 回路 AND2 の出力であるクロック信号 CLKB は、クロック信号 CLK の逆相のパルスとなってチャージポンプ回路 11b も昇圧動作を開始する。

【0014】

t104 (再び昇圧が所定値に達した時点) : チャージポンプ回路 11a、11b における出力電圧 CPOUT が上昇し、再度ノード A の電圧が参照電圧 REF を超えると、t102 以降の動作を繰り返す。

【0015】

以上の t102 ~ t104 における昇圧と停止とを繰り返すことで、出力電圧 CPOUT は、ほぼある一定レベルに制御されることとなる。

10

【0016】

ところで、近年、半導体集積回路装置では更なる微細化が進んでいる。このため、配線の幅が細くなって配線抵抗が増えてきている。このような配線抵抗の増加によって、 I (電流) \times R (抵抗) で求められる電圧降下 (IR ドロップ) が大きくなり、特に電源系の配線における電圧降下が発生しやすくなってきている。このため、電源配線での電源電圧レベルの降下、GND 配線での GND レベルの浮きが起こりやすくなってきている。

【0017】

フラッシュメモリ等を混載するマイコンでは、フラッシュメモリや、CPU などは、同一の電源配線で供給され、フラッシュメモリ等の書込み・消去で用いられるチャージポンプの昇圧回路は、昇圧を行うために大きな容量の容量素子を用いている。このため容量の充放電電流が大きくなる。また、昇圧開始時 (セットアップ時) には、昇圧容量の電荷は零であり、この零の状態から昇圧をおこなうために過大な電流が発生して IR ドロップが大きくなり、チャージポンプへ接続する電源配線での電源レベルの低下、GND 配線での GND レベルの浮きが発生する。このため、電源配線、GND 配線に接続する論理回路の電源マージンが少なくなると論理回路での遅延が大きくなったり、RAM などにおけるデータエラーが発生したり、さらに、電源レベル、GND レベルのゆれによって集積回路に混載するアナログ回路が誤動作しやすくなってきた。

20

【0018】

このような起動時の消費電流を抑制するように昇圧動作の条件を変更することによって、起動時の電圧変動を少なくし、他回路への悪影響を避けることができるように構成した昇圧回路が特許文献 1 において開示されている。この昇圧回路は、起動信号を受けてから予め定められている所定の条件、例えば、時間や出力電圧値、を満たすまでの間は、全チャージポンプユニットのキャパシタへ電流供給能力が制限されたクロックが供給される。したがって、昇圧回路起動時の消費電流が抑制されるから、電源電圧の変動を少なくし、他回路への影響を避けることができるものである。

30

【0019】

【特許文献 1】特開 2003 - 244940 号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

ところで、特許文献 1 に開示される昇圧回路では、昇圧回路起動時の消費電流を抑制するために、電流供給能力が制限されたクロック信号、具体的には振幅の変動幅を小さくしたクロック信号が供給される。クロック信号の振幅が小さいと、トランジスタとキャパシタからなる 1 段のチャージポンプユニットで昇圧できるレベルが低くなってしまふ。このため、フラッシュメモリなどの高電圧を必要とする書込みや消去時において、必要なレベルが得られないことになる。そこで、高い電圧レベルを得るためには、多くの昇圧段数 (チャージポンプユニット) を縦続に接続し、振幅を小さくした (電流供給能力が制限された) クロック信号で昇圧させている。さらにその後、所定のレベルにさらに上げるために、クロック信号の振幅を最大に変更するようにしている。

40

【0021】

50

このような構成の昇圧回路では、チャージポンプユニットの昇圧段数が増えることで、特にチャージポンプユニットに含まれるトランジスタにおける抵抗分による電力損失が増加してしまう。また、容量素子の数も増えてしまう。したがって、特にセットアップ時において、より大きな電流を流して昇圧する必要が生じてしまい、電源レベルの低下、接地レベルの浮きを生じさせてしまう虞がある。

【課題を解決するための手段】

【0022】

本発明の1つのアспектに係る昇圧回路は、それぞれ供給されるクロック信号を元に昇圧電圧を発生して出力し、出力同士を共通にする複数のチャージポンプ回路と、セットアップ時におけるチャージポンプ回路の動作台数に対し、再昇圧時の少なくとも一部の期間における前記チャージポンプ回路の動作台数が多くなるように複数のチャージポンプ回路を制御する制御回路と、を備える。

10

【発明の効果】

【0023】

本発明によれば、セットアップ時におけるチャージポンプ回路の動作台数を少なくするようにする。したがって、セットアップ時に流れる大電流を削減し、電源レベルの低下、接地レベルの浮きを抑えることができる。

【発明を実施するための最良の形態】

【0024】

本発明の実施形態に係る昇圧回路は、それぞれ供給されるクロック信号（図1のCLK、CLKB）を元に昇圧電圧を発生して出力し、出力同士を共通にする2つのチャージポンプ回路（図1の11a、11b）を備える。また、セットアップ信号（図1のCPEN）がアクティブになった時に1つのチャージポンプ回路（図1の11a）のみを動作させ、再昇圧時の一部の期間あるいは再昇圧時の全期間で、2つのチャージポンプ回路（図1の11a、11b）を動作させるように制御する制御回路を備える。

20

【0025】

制御回路は、2つのチャージポンプ回路の出力電圧を検出する電圧検出回路（図1のCMP1）と、セットアップ信号と電圧検出回路の検出結果とに基づいて、2つのチャージポンプ回路への前記クロック信号の供給・停止を制御してチャージポンプ回路の動作台数を定めるクロック制御回路と、を備える。

30

【0026】

より具体的には、クロック制御回路は、セットアップ信号がアクティブになった場合にチャージポンプ回路（図1の11a）にクロック信号（図1のCLK）を供給し、出力電圧（図1のCPOUT）が所定の電圧を超えた場合にこのチャージポンプ回路へのクロック信号の供給を停止する。セットアップ終了後の再昇圧時においては、出力電圧が所定の電圧を下回ったか否かで2つのチャージポンプ回路にクロック信号を供給するか否かを制御し、昇圧回路の出力電圧を維持するようにする。

【0027】

以上のように構成される昇圧回路は、セットアップ時において、1つのチャージポンプ回路で昇圧して流れる電流を削減することができる。セットアップ終了後の再昇圧時には、2つのチャージポンプ回路で昇圧するのでメモリセルの書込み特性の悪化は起きない。また、チャージポンプ回路における昇圧段数が少ないため、チャージポンプ回路に含まれるトランジスタにおける抵抗分による電力損失が少ない。

40

【0028】

このような昇圧回路を搭載する半導体集積回路装置によれば、セットアップ時に流れる大電流を削減し、電源レベルの低下、接地レベルの浮きを抑えることができる。また、従来の昇圧回路に対し、昇圧時における電力損失を低減することができる。以下、実施例に即し、図面を参照して詳しく説明する。

【実施例1】

【0029】

50

図1は、本発明の第1の実施例に係る昇圧回路の回路図である。図1において、図6と同一の符号は、同一物を表し、その説明を省略する。図1の昇圧回路は、図6の昇圧回路に対し、NAND回路NAND1、NAND2、NAND3、インバータINV2を追加して備える。コンパレータCMP1の出力端は、インバータINV2の入力端にも接続され、インバータINV2の出力端は、NAND回路NAND1の一つの入力端に接続される。NAND回路NAND1の他の入力端には、セットアップ信号CPENが供給され、NAND回路NAND1の出力端(ノードN1)は、NAND回路NAND2の一つの入力端に接続される。NAND回路NAND2の他の入力端は、NAND回路NAND3の出力端に接続される。NAND回路NAND2の出力端(ノードN2)は、図6に示したセットアップ信号CPENの代わりにAND回路AND2の他の入力端に接続される共に、NAND回路NAND3の一つの入力端に接続される。NAND回路NAND3の他の入力端には、セットアップ信号CPENが与えられる。NAND回路NAND2、NAND3は、フリップフロップ回路を構成する。

10

【0030】

このような構成の昇圧回路において、昇圧回路の動作を停止させている時、セットアップ信号CPENはローレベルとする。セットアップ信号CPENがローレベルにある場合、クロック信号CLKはローレベルである。また、ノードN1はハイレベルであり、ノードN2がローレベルであるので、クロック信号CLKBはローレベルである。したがって、チャージポンプ部10にはクロックパルスが供給されず、昇圧動作が停止している。なお、基準電圧発生回路13の参照電圧REFに対してノードAの電圧は低いため、コンパレータCMP1の出力信号COMPOUT1はハイレベルであり、クロック生成回路12は、発振し、クロック信号OSCOUTを出力する。

20

【0031】

セットアップ信号CPENがハイレベルになると、AND回路AND1を介してチャージポンプ回路11aにのみクロック信号CLKが供給され、昇圧動作を行う。昇圧動作の結果、出力電圧CPOUTが上昇し、ノードAの電位が参照電圧REFを上回ると、出力信号COMPOUT1はローレベルに変化する。この結果、クロック生成回路12は、発振を停止し、チャージポンプ部10にはクロックパルスが供給されなくなって昇圧動作が停止する。一方、出力信号COMPOUT1がローレベルになると、インバータINV2の出力はハイレベルとなる。したがって、ノードN1は、ローレベルに変化し、ノードN2がハイレベルになる。この後、セットアップ信号CPENがローレベルにならない限り、フリップフロップ回路の出力であるノードN2は、ハイレベルを継続する。

30

【0032】

チャージポンプ部10の昇圧動作が停止して出力電圧CPOUTが下降し、ノードAの電位が参照電圧REFを下回ると、出力信号COMPOUT1はハイレベルに変化する。この結果、クロック生成回路12は、発振を開始し、チャージポンプ部10には、クロック信号CLK、CLKBが供給され、2つのチャージポンプ回路11a、11bによって昇圧動作が行われる。

【0033】

次に、以上のように動作する昇圧回路の各部の動作波形について説明する。図2は、本発明の第1の実施例に係る昇圧回路の各部の動作波形を示すタイミングチャートである。

40

【0034】

t1(昇圧開始時): t1より前の状態は、セットアップ信号CPENはローレベルであるため、上記で説明を行ったようにクロック信号CLK、CLKBはローレベルである。次にセットアップ信号CPENをローレベルからハイレベルとする。この時、2つのチャージポンプ回路11a、11bは、まだ昇圧していないため、出力電圧CPOUTは0Vであり、ノードAの電圧も0Vである。基準電圧発生回路13の参照電圧REFに対してノードAの電圧は低いため、コンパレータCMP1の出力信号COMPOUT1にはハイレベルが出力され、クロック生成回路12が発振を開始する。クロック生成回路12が発振を開始することで、AND回路AND1の出力であるクロック信号CLKは、クロッ

50

ク生成回路12の出力信号OSCOUTと同じ波形パルスとなってチャージポンプ回路11aが昇圧を始める。ノードN2は、ローレベルであるので、チャージポンプ回路11bには、クロックパルスが得られず、チャージポンプ回路11bは停止している。

【0035】

t2(昇圧が所定値に達した時点):チャージポンプ回路11aにおける出力電圧CPOUTが上昇し、ノードAの電圧が参照電圧REFを超えると、コンパレータCMP1の出力信号COMPOUT1はローレベルとなり、クロック生成回路12の発振が停止する。発振が停止することでクロック信号CLK、CLKBは、パルス信号ではなく一定のレベルとなり、チャージポンプ回路11aにおける昇圧動作が停止する。このとき、ノードN1がローレベルとなるため、ノードN2は、ハイレベルにセットされる。発振が停止しているため、クロック信号CLKBは、振幅状態に無いのでチャージポンプ回路11bも昇圧動作を停止している。なお、tdは、先に説明した遅延時間である。

10

【0036】

t3(再昇圧開始時):t2~t3では、2つのチャージポンプ回路11a、11bは昇圧動作を行っていない。しかし、チャージポンプ回路11a、11bの出力側に接続される抵抗器R1、R2によって、チャージポンプ回路11a、11bの出力側からGNDへ向かって電流が流れ、出力電圧CPOUTは徐々に低下する。同時に、ノードAの電圧レベルも低下する。この状態が続き、ノードAの電圧が参照電圧REFを下回ると、コンパレータCMP1の出力信号COMPOUT1はハイレベルとなり、再び、クロック生成回路12が発振を開始する。クロック生成回路12が発振を開始することで、AND回路AND1の出力であるクロック信号CLKは、クロック生成回路12の出力信号OSCOUTと同じ波形パルスとなってチャージポンプ回路11aが昇圧動作を開始する。また、AND回路AND2の出力であるクロック信号CLKBは、クロック信号CLKの逆相のパルスとなってチャージポンプ回路11bも昇圧動作を開始する。

20

【0037】

t4(再び昇圧が所定値に達した時点):チャージポンプ回路11a、11bにおける出力電圧CPOUTが上昇し、再度ノードAの電圧が参照電圧REFを超えると、t2以降の動作を繰り返す。

【0038】

以上のt1、t2間では、チャージポンプ回路11aのみが動作し、t3、t4間では、チャージポンプ回路11a、11bの双方が動作する。t2~t4におけるチャージポンプ回路11a、11bが昇圧と停止とを繰り返すことで、出力電圧CPOUTは、ほぼある一定レベルに制御されることとなる。

30

【0039】

次に、昇圧回路の消費電流をシミュレーションによって求めた結果を図3に示す。また、図6に示した従来の昇圧回路の消費電流をシミュレーションによって求めた結果を図9に示す。セットアップ時の消費電流は、図9の約60mAに対して、図3では、約40mAと減少している。なお、セットアップ時に、従来では2個のチャージポンプ回路が動作するのに対し、本実施例では1個のチャージポンプ回路が動作するので、理論上、消費電流は、半減するはずであるが、チャージポンプ回路以外に回路の動作によって若干消費電流が増えている。

40

【0040】

以上のように本発明の実施例に係る昇圧回路によれば、チャージポンプ回路のセットアップ時などで発生する過大な電流を削減することができる。したがって、昇圧回路の周りのVDDレベルの低下、GNDの浮きを抑えることができる。そして、昇圧回路と同じVDD、GND間に接続される論理回路の電源マージンが少なくなり、論理回路での遅延が大きくなったり、SRAMなどデータ破壊が発生したり、アナログ回路が誤動作しやすくなるという問題を解決することができる。

【実施例2】

【0041】

50

図4は、本発明の第2の実施例に係る昇圧回路の回路図である。図4において、図1と同一の符号は、同一物を表し、その説明を省略する。図4に示す昇圧回路は、図1の昇圧回路に対し、コンパレータCMP2、AND回路AND3を追加し、抵抗器R2の代わりに抵抗器R3、R4の縦続回路を備える。チャージポンプ部10の出力端とGND間には、抵抗器R1、R3、R4が縦続接続される。抵抗器R1、R3の接続点をノードA2、抵抗器R3、R4の接続点をノードA1とする。コンパレータCMP1は、基準電圧REFとノードA1の電圧とを比較する。また、コンパレータCMP2は、基準電圧REFとノードA2の電圧とを比較する。コンパレータCMP2の出力信号COMPOUT2は、AND回路AND3の一つの入力端に供給される。AND回路AND3の他の入力端には、図1においてAND回路AND2の他の入力端に接続されたノードN2が接続され、AND回路AND3の出力端がAND回路AND2の他の入力端に接続される。

10

【0042】

このような構成の昇圧回路において、セットアップ信号CPENがローレベルにある場合、および、セットアップ信号CPENがハイレベルになった場合に、実施例1で説明したと同様に動作する。ただし、コンパレータCMP2の出力信号COMPOUT2は、ノードA2の電位が参照電圧REFより低いのでハイレベルにある。昇圧動作の結果、出力電圧CPOUTが上昇し、ノードA2の電位が参照電圧REFを上回ると、出力信号COMPOUT2はローレベルに変化する。さらに出力電圧CPOUTが上昇し、ノードA1の電位が参照電圧REFを上回ると、出力信号COMPOUT1はローレベルに変化する。この結果、クロック生成回路12は、発振を停止し、チャージポンプ部10にはクロックパルスが供給されなくなって昇圧動作が停止する。一方、出力信号COMPOUT1がローレベルになると、インバータINV2の出力はハイレベルとなる。したがって、ノードN1は、ローレベルに変化し、ノードN2がハイレベルになる。この後、セットアップ信号CPENがローレベルにならない限り、フリップフロップ回路の出力であるノードN2は、ハイレベルを継続する。

20

【0043】

チャージポンプ部10の昇圧動作が停止して出力電圧CPOUTが下降し、ノードA1の電位が参照電圧REFを下回ると、出力信号COMPOUT1はハイレベルに変化する。この結果、クロック生成回路12は、発振を開始し、チャージポンプ回路11aには、クロック信号CLKが供給され、昇圧動作が行われる。

30

【0044】

ここで、チャージポンプ部10の出力に接続される回路へ大きな電流が流れ出し、出力電圧CPOUTがさらに低下した場合（例えば、書込みによってメモリセルへ書込み電流が昇圧回路から流れた場合など）、ノードA2の電位が参照電圧REFを下回ると、出力信号COMPOUT2はハイレベルに変化する。ノードN2はハイレベルであるので、AND回路AND3の出力端がハイレベルとなり、クロック信号OSCOUTの反転信号であるクロック信号CLKBがチャージポンプ回路11bに供給される。その結果、2つのチャージポンプ回路によって昇圧動作が行われ、出力電圧CPOUTが低下しないように動作する。

40

【0045】

昇圧動作の結果、出力電圧CPOUTが上昇し、ノードA2の電位が参照電圧REFを上回ると、出力信号COMPOUT2はローレベルに変化し、チャージポンプ回路11bへのクロック信号CLKBの供給が停止される。さらに、出力電圧CPOUTが上昇し続け、ノードA1の電位が参照電圧REFを上回ると、出力信号COMPOUT1はローレベルに変化し、クロック生成回路12の発振が停止する。発振が停止することでクロック信号CLK、CLKBは、パルス信号ではなく一定のレベルとなり、チャージポンプ回路11aにおける昇圧動作も停止する。

【0046】

次に、以上のように動作する昇圧回路の各部の動作波形について説明する。図5は、本発明の第2の実施例に係る昇圧回路の各部の動作波形を示すタイミングチャートである。

50

【0047】

t11 (昇圧開始時) : セットアップ信号C PENをローレベルからハイレベルとする。この時、2つのチャージポンプ回路11a、11bは、まだ昇圧していないため、出力電圧C P O U Tは0Vであり、ノードA1、A2の電圧も0Vである。基準電圧発生回路13の参照電圧R E Fに対してノードA1の電圧は低いため、コンパレータC M P 1の出力信号C O M P O U T 1にはハイレベルが出力され、クロック生成回路12が発振を開始する。クロック生成回路12が発振を開始することで、AND回路A N D 1の出力であるクロック信号C L Kは、クロック生成回路12の出力信号O S C O U Tと同じ波形パルスとなってチャージポンプ回路11aが昇圧を始める。ノードN2は、ローレベルであるので、チャージポンプ回路11bには、クロックパルスが得られず、チャージポンプ回路11bは停止している。

10

【0048】

t12 (ノードA2の電位が参照電圧R E Fに達した時点) : チャージポンプ回路11aにおける出力電圧C P O U Tが上昇し、ノードA2の電圧が参照電圧R E Fを超えると、コンパレータC M P 2の出力信号C O M P O U T 2はローレベルとなり、AND回路A N D 3の出力およびクロック信号C L K Bがローレベルのままであって、チャージポンプ回路11bは昇圧動作を行わない。一方、ノードA1の電圧は参照電圧R E Fより低いので、コンパレータC M P 1の出力信号C O M P O U T 1はハイレベルのままであって、クロック生成回路12が発振を続け、チャージポンプ回路11aは昇圧動作を継続する。

【0049】

t13 (ノードA1の電位が参照電圧R E Fに達した時点) : チャージポンプ回路11aにおける出力電圧C P O U Tが上昇し、ノードA1の電圧が参照電圧R E Fを超えると、コンパレータC M P 1の出力信号C O M P O U T 1はローレベルとなり、クロック生成回路12の発振が停止する。発振が停止することでクロック信号C L K、C L K Bは、パルス信号ではなく一定のレベルとなり、チャージポンプ回路11aにおける昇圧動作が停止する。このとき、ノードN1がローレベルとなるため、ノードN2は、ハイレベルにセットされる。

20

【0050】

t14 (ノードA1の電位が参照電圧R E Fを下回った時点) : t13 ~ t14では、2つのチャージポンプ回路11a、11bは昇圧動作を行っていない。しかし、チャージポンプ回路11a、11bの出力側に接続される抵抗器R1、R3、R4によって、チャージポンプ回路11a、11bの出力側からG N Dへ向かって電流が流れ、出力電圧C P O U Tは徐々に低下する。同時に、ノードA1、A2の電圧レベルも低下する。この状態が続き、ノードA1の電圧が参照電圧R E Fを下回ると、コンパレータC M P 1の出力信号C O M P O U T 1はハイレベルとなり、クロック生成回路12が再び発振を開始する。クロック生成回路12が発振を開始することで、AND回路A N D 1の出力であるクロック信号C L Kは、クロック生成回路12の出力信号O S C O U Tと同じ波形パルスとなってチャージポンプ回路11aが昇圧動作を開始する。一方、ノードN2は、ハイレベルに固定されているが、コンパレータC M P 2の出力信号C O M P O U T 2がローレベルのためにクロック信号C L K Bは、ローレベルのままであってチャージポンプ回路11bは、昇圧動作を行わない。

30

40

【0051】

t15 (ノードA2の電位が参照電圧R E Fを下回った時点) : t14以降にチャージポンプ回路11aは、昇圧動作を行っている。しかし、チャージポンプ回路11aの昇圧能力よりもチャージポンプ部10の電流負荷が大きいと、出力電圧C P O U Tはさらに低下する。この状態が続き、ノードA2の電圧が参照電圧R E Fを下回ると、コンパレータC M P 2の出力信号C O M P O U T 2はハイレベルとなる。この時、ノードN2は、ハイレベルにセットされているので、AND回路A N D 3の出力はハイレベルとなり、クロック生成回路12の出力信号O S C O U Tの逆相となるクロック信号C L K Bがチャージポンプ回路11bに供給される。これによって、2つのチャージポンプ回路11a、11b

50

共動作し、出力電圧C P O U Tが上昇する。

【0052】

t 1 6 (ノード A 2 の電位が参照電圧 R E F を上回った時点) : 出力電圧 C P O U T が上昇し、ノード A 2 の電圧が参照電圧 R E F を超えると、コンパレータ C M P 2 の出力信号 C O M P O U T 2 はローレベルとなり、AND回路 A N D 3 の出力およびクロック信号 C L K B がローレベルとなって、チャージポンプ回路 1 1 b は昇圧動作を停止する。一方、ノード A 1 の電圧は参照電圧 R E F より低いので、コンパレータ C M P 1 の出力信号 C O M P O U T 1 はハイレベルのままであって、クロック生成回路 1 2 が発振を続け、チャージポンプ回路 1 1 a は昇圧動作を継続する。

【0053】

t 1 7 (ノード A 1 の電位が参照電圧 R E F を上回った時点) : 出力電圧 C P O U T が上昇し、再度ノード A 1 の電圧が参照電圧 R E F を超えると、t 1 3 以降の動作を繰り返す。

【0054】

以上の t 1 1 ~ t 1 3、t 1 4 ~ t 1 5、t 1 6 ~ t 1 7 では、チャージポンプ回路 1 1 a のみが動作し、t 1 5 ~ t 1 6 ではチャージポンプ回路 1 1 a、1 1 b の双方が動作する。t 1 3 ~ t 1 7 において、チャージポンプ回路 1 1 a あるいは 1 1 b が昇圧と停止とを繰り返すことで、出力電圧 C P O U T は、ほぼある一定レベルに制御されることとなる。

【0055】

第 1 の実施例の昇圧回路では、セットアップ時に 1 つのチャージポンプ回路を動作させて、セットアップ完了後にコンパレータのしきい値レベルを下回れば、2 つのチャージポンプ回路を動作させる。これに対して第 2 の実施例の昇圧回路は、セットアップ時に 1 つのチャージポンプ回路を動作させて、セットアップ完了後にコンパレータ C M P 1 のしきい値レベルを下回ると 1 つのチャージポンプ回路のみ動作し、さらにコンパレータ C M P 2 のしきい値レベルを下回ると 2 つのチャージポンプが動作する。

【0056】

今、図 7 のキャパシタ C 1、C 2 の容量を C、出力信号 O S C O U T の周波数を f、電源電圧を V とした場合、セットアップ後の再昇圧開始時における第 1 の実施例の昇圧回路における電流 I 1 は、 $I 1 = 2 C * V * f$ である。

【0057】

これに対し、第 2 の実施例の昇圧回路の電流は、次のようになる。

【0058】

チャージポンプ C M P 1 = 昇圧動作、チャージポンプ C M P 2 = 昇圧停止状態のときの電流 I 2 は、 $I 2 = C * V * f$ である。

【0059】

また、チャージポンプ C M P 1 = 昇圧動作、チャージポンプ C M P 2 = 昇圧動作のときの電流 I 3 は、 $I 3 = 2 C * V * f$ となる。

【0060】

以上のように、チャージポンプ部から消費される電流が多ければ、出力電圧 C P O U T も低下し、2 つのチャージポンプ回路が昇圧動作する場合は、第 1 の実施例と第 2 の実施例では同じ電流を消費することになる。しかし、チャージポンプ部から消費される電流が少ない場合、第 2 の実施例では 1 つのチャージポンプ回路しか動作しないために消費電流をより小さくすることができる。

【0061】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、本願特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【0062】

10

20

30

40

50

【図 1】本発明の第 1 の実施例に係る昇圧回路の回路図である。

【図 2】本発明の第 1 の実施例に係る昇圧回路の各部の動作波形を示すタイミングチャートである。

【図 3】本発明の第 1 の実施例に係る昇圧回路のセットアップ時の消費電流を表す図である。

【図 4】本発明の第 2 の実施例に係る昇圧回路の回路図である。

【図 5】本発明の第 2 の実施例に係る昇圧回路の各部の動作波形を示すタイミングチャートである。

【図 6】従来の上昇回路の回路図である。

【図 7】チャージポンプ部の例を示す回路図である。

10

【図 8】従来の上昇回路の各部の動作波形を示すタイミングチャートである。

【図 9】従来の上昇回路のセットアップ時の消費電流を表す図である。

【符号の説明】

【 0 0 6 3 】

1 0 チャージポンプ部

1 1 a、1 1 b チャージポンプ回路

1 2 クロック生成回路

1 3 基準電圧発生回路

A、A 1、A 2、N 1、N 2 ノード

A N D 1、A N D 2、A N D 3 A N D 回路

20

C L K、C L K B、O S C O U T クロック信号

C M P 1、C M P 2 コンパレータ

C O M P O U T 1、C O M P O U T 2 出力信号

C P E N セットアップ信号

C P O U T 出力信号

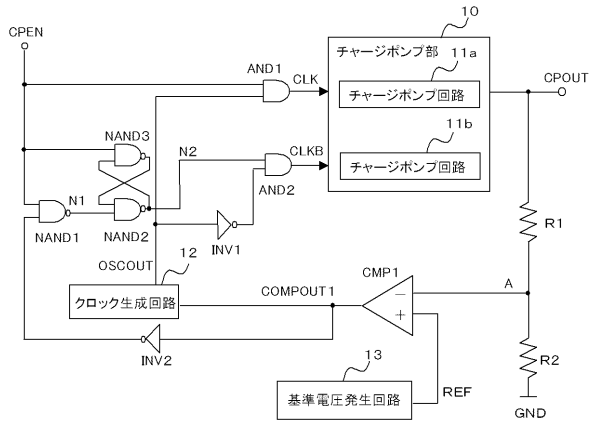
I N V 1、I N V 2 インバータ

N A N D 1、N A N D 2、N A N D 3 N A N D 回路

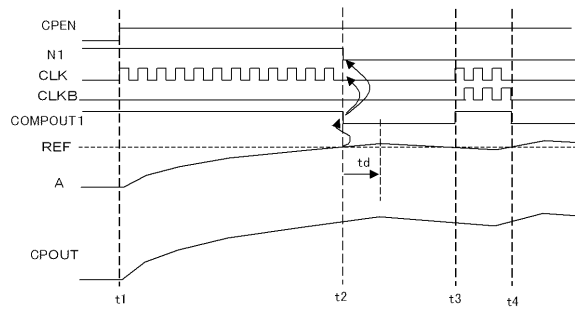
R 1、R 2、R 3、R 4 抵抗器

R E F 参照電圧

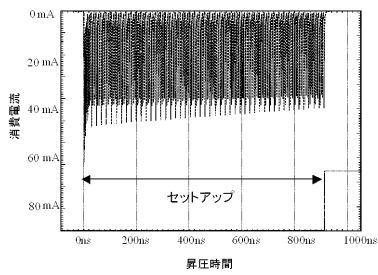
【図1】



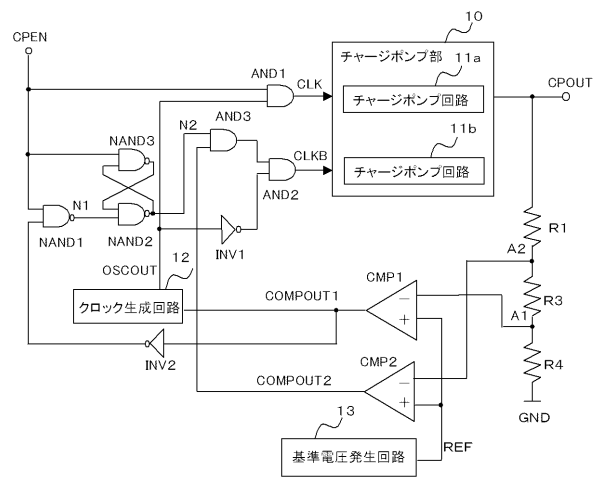
【図2】



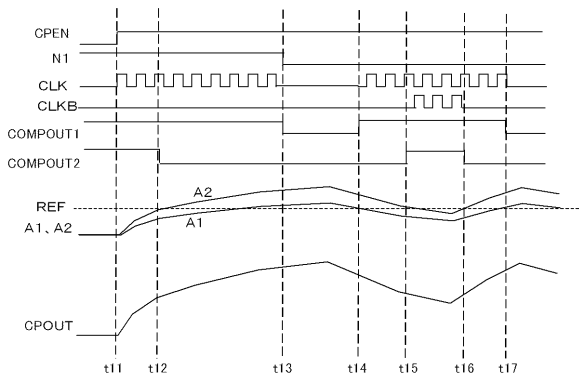
【図3】



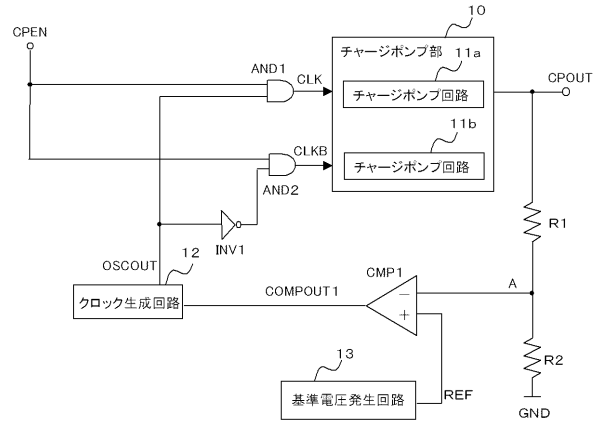
【図4】



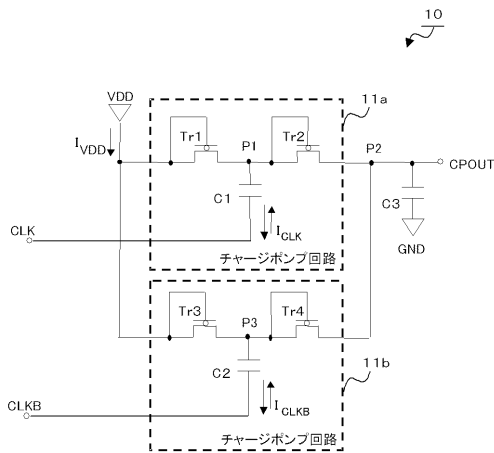
【 図 5 】



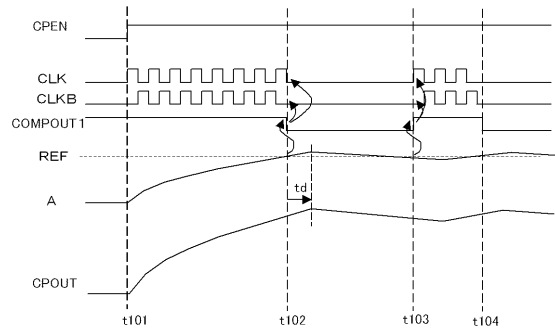
【 図 6 】



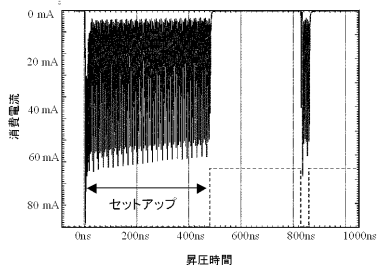
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

Fターム(参考) 5F038 BG02 BG03 BG05 BG08 BH19 CD02 CD09 DF05 DF08 DF16
EZ10 EZ20
5H730 AA14 AA15 AS04 BB02 BB57 DD04 EE59 FD01 FF05 FG01