

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4427535号
(P4427535)

(45) 発行日 平成22年3月10日(2010.3.10)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 0 1 S

請求項の数 5 (全 22 頁)

(21) 出願番号	特願2006-279122 (P2006-279122)	(73) 特許権者	000003078
(22) 出願日	平成18年10月12日(2006.10.12)		株式会社東芝
(62) 分割の表示	特願2000-6305 (P2000-6305) の分割		東京都港区芝浦一丁目1番1号
原出願日	平成12年1月12日(2000.1.12)	(74) 代理人	100109900
(65) 公開番号	特開2007-5837 (P2007-5837A)		弁理士 堀口 浩
(43) 公開日	平成19年1月11日(2007.1.11)	(72) 発明者	小塩 康弘
審査請求日	平成18年10月12日(2006.10.12)		神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
(31) 優先権主張番号	特願平11-9682	審査官	酒井 英夫
(32) 優先日	平成11年1月18日(1999.1.18)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置の実装方法

(57) 【特許請求の範囲】

【請求項1】

半導体チップを10 μ m~150 μ mの厚さに薄くする工程と、
主表面に複数の金属配線が形成されたフレキシブル基板の前記主表面の上方に封止部材を介して前記半導体チップを搭載する工程と、

主表面に複数の実装配線が形成された実装基板の前記複数の実装配線と、前記複数の金属配線とをそれぞれ位置合わせし、互いに電氣的に接続する工程とを備え、

前記複数の実装配線と前記複数の金属配線とを互いに電氣的に接続する工程は、

前記複数の金属配線間の前記フレキシブル基板の露出部に第1の接着剤層を設ける工程と、

前記複数の実装配線間の前記実装基板の露出部に第2の接着剤層を設ける工程と、

前記複数の金属配線と前記複数の実装配線との位置合わせを行い、前記フレキシブル基板と前記実装基板間に所定の圧力を印加し、前記第1と第2の接着剤層を互いに接合すると共に、前記複数の実装配線と前記複数の金属配線とを互いに接触させて接続する工程とであることを特徴とする半導体装置の実装方法。

【請求項2】

前記半導体チップは、シリコン、ゲルマニウム、ガリウム砒素、ガリウム燐、インジウム燐、及び炭化珪素のうちのいずれかの半導体材料を含むことを特徴とする請求項1に記載の半導体装置の実装方法。

【請求項3】

10

20

前記封止部材は、線膨張係数が $0.1 \sim 15 \text{ ppm/}$ のACFまたはACPからなることを特徴とする請求項1または2に記載の半導体装置の実装方法。

【請求項4】

前記第1及び第2の接着剤は、低温硬化型の接着剤であることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置の実装方法。

【請求項5】

前記複数の実装配線と前記複数の金属配線の接触は、金属同士が接触した状態であることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の実装方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、LSI、VLSI、ULSI、GI等の半導体集積回路用の半導体装置の実装方法に関する。

【背景技術】

【0002】

図1は、現在用いられている半導体パッケージ(BGA: Ball Grid Array)の一構造例を示す断面斜視図である。この半導体パッケージは、インターポーザである基板101上に、厚さ $300 \mu\text{m}$ 、乃至 $450 \mu\text{m}$ 、若しくはそれ以上の厚さのシリコンチップ102が搭載されている。シリコンチップ102のボンディングパッド(電極)は、基板101表面上の電極とボンディングワイヤ103で接続されている。更に、基板101表面側の電極から、基板101中に形成されたスルーホールを介して、基板101の裏面側に配設された半田ボール(基板実装用端子)104と電氣的に接続されている。そして、シリコンチップ102がモールド樹脂105で被包されるような形状でパッケージが成型されている。そして、半田ボール(基板実装用端子)104を介して実装基板に接続され実装体を構成する。

20

【0003】

しかしながら、図1に示す半導体パッケージの厚さは、薄いものでも 1.2 mm 程度あり、携帯機器などの小型化、軽量化等に伴う近年のパッケージの薄型化の要求には、十分満足のいくパッケージ厚になっていなかった。

【0004】

30

そこで、半導体パッケージの厚みを一層薄くするために、パッケージの各構成材料の厚みをそれぞれ薄くすることが考えられる(例えば、特許文献1参照。)。しかし、単純に各構成材料の厚みを薄くしたのでは、パッケージの反りが大きくなり、製品単体としての平坦性が確保出来ないという問題があった。例えば、 0.12 mm のパッケージを実現する場合において、使用する各構成部品材料、例えばモールド樹脂等をそのままの物性値(ヤング率 $12 \sim 25 \text{ GPa}$ 程度)で使用すると、 20 mm の長さに対し、 1.5 mm 程度の大きな反りが発生する。加えて、各構成材料自体の剛性が高いため、少しの変位でも樹脂割れが発生し、製品としての信頼性が確保出来ない。

【0005】

このような点から、従来では、パッケージ厚を極端に薄くしても、半導体パッケージとしては成立し得ないのが現状であった。

40

【特許文献1】特開平9-232503号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、低剛性を有した実装信頼性の高い半導体装置の実装方法を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様の半導体装置の実装方法は、半導体チップを $10 \mu\text{m} \sim 150 \mu\text{m}$ の厚さに薄くする工程と、主表面に複数の金属配線が形成されたフレキシブル基板の前記主表

50

面の上方に封止部材を介して前記半導体チップを搭載する工程と、主表面に複数の実装配線が形成された実装基板の前記複数の実装配線と、前記複数の金属配線とをそれぞれ位置合わせし、互いに電氣的に接続する工程とを備え、前記複数の実装配線と前記複数の金属配線とを互いに電氣的に接続する工程は、前記複数の金属配線間の前記フレキシブル基板の露出部に第1の接着剤層を設ける工程と、前記複数の実装配線間の前記実装基板の露出部に第2の接着剤層を設ける工程と、前記複数の金属配線と前記複数の実装配線との位置合わせを行い、前記フレキシブル基板と前記実装基板間に所定の圧力を印加し、前記第1と第2の接着剤層を互いに接合すると共に、前記複数の実装配線と前記複数の金属配線とを互いに接触させて接続する工程とであることを特徴としている。

【発明の効果】

10

【0008】

本発明によれば、低剛性を有した実装信頼性の高い半導体装置の実装方法を提供することができる。

【発明を実施するための最良の形態】

【0009】

本発明の一態様によれば、薄型にして低剛性化を実現し、且つパッケージの反りが小さく製品単体としての平坦性を確保することが出来る半導体パッケージを提供することである。

【0010】

また、本発明の他の一態様によれば、全体の厚さが薄く、しかも実装信頼性の高い実装体を提供することである。

20

【0011】

本発明の更に他の一態様によれば、パイプの側壁等の曲面に実装可能な、低剛性を有した実装信頼性の高い実装体を提供することである。

【0012】

本発明の更に他の一態様によれば、複数の半導体チップを厚み方向に積層し、しかも全体の厚さが薄く、実装信頼性の高い実装体を提供することである。

【0013】

本発明の更に他の一態様によれば、上記実装体を簡便に組み立てることが可能な実装体の製造方法を提供することである。

30

【0014】

本発明の一態様は、主表面に複数の金属配線が形成された低剛性の基板（以下において、「フレキシブル基板」という。）と、このフレキシブル基板の上方に配置され、複数の接続用パッドを有する低剛性の半導体チップ（以下において、「フレキシブル半導体チップ」という。）と、この半導体チップ上の複数の接続用パッドと、フレキシブル基板上の複数の金属配線とをそれぞれ電氣的に接続する接続金属と、及びフレキシブル基板とフレキシブル半導体チップとの間に封入された封止部材とからなるフレキシブル・パッケージであることである。

【0015】

本発明の他の一態様に係るフレキシブル・パッケージは、半導体チップを通常用いられている厚さよりも薄くし、剛性を低下させたフレキシブル半導体チップを搭載している点に特徴がある。半導体チップとしては、シリコン（Si）、ゲルマニウム（Ge）の元素半導体や、ガリウム砒素（GaAs）、ガリウム燐（GaP）、インジウム燐（InP）、炭化珪素（SiC）等の化合物半導体チップでもかまわない。更に、フレキシブル基板等のパッケージの各構成部品の厚みも薄くすることにより、パッケージ全体を低剛性化している。このため、変位によるパッケージ割れの発生を回避することが出来る。また、フレキシブル基板とフレキシブル半導体チップとの間に封止部材が封入される構造であるため、パッケージの反りを非常に小さくすることが出来る。このため、フレキシブル・パッケージの製品単体としての平坦性を十分確保することが可能になる。特に、封止部材を線膨脹係数の低い材料で構成すれば、平常時の平坦性をより一層確保することが出来、且つ

40

50

低剛性構造であるため、曲面への実装等も可能になる。また、薄くて低剛性であるという特徴を利用して、ICカード等にも適用可能である。

【0016】

本発明の更に他の一態様は、主表面に複数の実装配線が形成された実装基板と、複数の実装配線のそれぞれと、電気的に接続された複数の金属配線を主表面に有するフレキシブル基板と、フレキシブル基板の主表面の上方に配置されたフレキシブル半導体チップと、複数の接続用パッドと、複数の金属配線とをそれぞれ電気的に接続する接続金属と、及びフレキシブル基板とフレキシブル半導体チップとの間に封入された封止部材とからなる半導体装置即ち実装体(module)であることである。

【0017】

本発明の更に他の一態様に係る実装体(module)においては、剛性を低下させるように、通常用いられている厚さよりも薄く成形したフレキシブル半導体チップを搭載している。更に、フレキシブル基板等の各構成部品の厚みも薄くしているため、実装体全体が低剛性化している。従って、組み立て作業時の温度履歴や動作環境としての温度変化に伴い、膨脹係数の差による応力が発生した場合でも、この応力を緩和出来る。例えば、実装基板と半導体チップとの線膨脹係数が互いに大きく異なるため、温度変化により、高温側では実装基板が半導体チップに対して相対的に伸び、低温側では実装基板が半導体チップに対して相対的に縮む。

【0018】

しかし、本発明の更に他の一態様に係る実装体においては、半導体チップの厚さが薄いため、半導体チップの表面に垂直方向の変位の自由度が大きい。つまり、半導体チップが、その表面に垂直方向に自在に変位可能であるため、応力が緩和される。従って、温度変化により内部構造の破壊が発生しにくくなり、実装信頼性が向上する。この結果、実装体の製品としての信頼性を確保することが可能になる。また、フレキシブル基板とフレキシブル半導体チップとの間に封止部材が封入される構造であるため、実装体の反りを非常に小さくすることが出来、製品単体としての平坦性を十分確保することが可能になる。

【0019】

本発明の更に他の一態様に係る実装体は低剛性構造であるため、実装基板を曲面で構成するような形態も実現可能である。従って、一応用例としては、配管等の曲面への実装等が可能となる。また、薄型でフレキシブルであるという特徴を利用して、ICカード等にも適用可能である。

【0020】

本発明の更に他の一態様は、主表面に複数の実装配線が形成された実装基板と、複数の実装配線のそれぞれと、電気的に接続された複数の第1の金属配線を主表面に有する第1のフレキシブル基板と、複数の第1の接続用パッドを表面に有し、第1のフレキシブル基板の主表面の上方に配置された第1のフレキシブル半導体チップと、複数の第1の接続用パッドと、複数の第1の金属配線とをそれぞれ電気的に接続する第1の接続金属と、第1のフレキシブル基板と第1のフレキシブル半導体チップとの間に封入された第1の封止部材と、複数の第1の金属配線のそれぞれと、電気的に接続された複数の第2の金属配線を主表面に有する第2のフレキシブル基板と、複数の第2の接続用パッドを表面に有し、第2のフレキシブル基板の主表面の上方に配置された第2のフレキシブル半導体チップと、複数の第2の接続用パッドと、複数の第2の金属配線とをそれぞれ電気的に接続する第2の接続金属と、第2のフレキシブル基板と第2のフレキシブル半導体チップとの間に封入された第2の封止部材とからなる半導体装置即ち実装体(multi chip module)であることである。

【0021】

本発明の更に他の一態様は、薄型のフレキシブル半導体チップを搭載し且つ、フレキシブル基板等の各構成材料の厚みも薄くすることにより、半導体チップ1枚当たりが必要とされる厚さを極めて薄く出来る。従って、複数枚のフレキシブル半導体チップを積層し、スタック構造を構成した場合、実装体(multi chip module)全体の厚

10

20

30

40

50

さを薄くすることが可能である。また、それぞれの半導体チップを低剛性化しているので、構成部品の膨張係数の差に起因した変位によるパッケージ割れや、内部構造の破損を回避することが出来、製品としての実装信頼性を高く維持することが可能になる。

【0022】

本発明の更に他の一態様は、半導体チップを $10\ \mu\text{m} \sim 150\ \mu\text{m}$ の厚さに薄くする工程と、実装基板の主表面に複数の実装配線を形成する工程と、フレキシブル基板の主表面に複数の金属配線を形成する工程と、フレキシブル基板の主表面の上方に半導体チップを搭載する工程と、及び複数の実装配線と、複数の金属配線とをそれぞれ位置合わせし、互いに電氣的に接続する工程とからなる半導体装置の実装方法即ち実装体(module)の製造方法であることである。

10

【0023】

本発明の更に他の一態様に係る実装体の製造方法によれば、全体の厚さが薄く、且つ低剛性化し、実装信頼性の高い実装体を簡単に製造することが出来る。

【0024】

(第1の実施例)

図2(a)に示すように、本発明の第1実施例に係るフレキシブル・パッケージは、主表面に複数の金属配線 $12a, \dots, 12j, \dots$ が形成されたフレキシブル基板11と、このフレキシブル基板11の上方に配置され、複数の接続用パッドを有するフレキシブル半導体チップ14；複数の接続用パッドと、複数の金属配線とをそれぞれ電氣的に接続する接続金属 $15a, \dots, 15j, \dots$ ；及びフレキシブル基板11とフレキシブル半導体チップ14との間に封入された封止部材16とから構成されている。

20

【0025】

金属配線は、フレキシブル基板11上に、複数の放射状に延びるアルミニウム(Al)配線 $12a, \dots, 12j, \dots$ として構成されている。Al配線 $12a, \dots, 12j, \dots$ の厚さは例えば $9\ \mu\text{m}$ である。フレキシブル基板11は、有機基板が好ましく、本発明の第1実施例においては、ポリエチレン・テレフタレート(PET)材を用いている。フレキシブル基板(PET基板)11の厚さは、 $10 \sim 50\ \mu\text{m}$ が好ましい。図2(a)においては、例えば $38\ \mu\text{m}$ としている。フレキシブル基板(PET基板)11の厚さを薄くすることにより、低剛性化図っている。

30

【0026】

また、フレキシブル半導体チップ14としては、シリコンチップ14を用いている。また、シリコンチップ14の厚さは、 $10\ \mu\text{m} \sim 150\ \mu\text{m}$ 、例えば $50\ \mu\text{m}$ と極力薄く形成されている(製造方法は後述する)。そして、このフレキシブル基板(PET基板)11の主表面に形成されたAl配線 $12a$ 上には、接続金属として、高導電性材料である金(Au)を用いたバンプ $15a$ が、 \dots 、Al配線 $12j$ の上には、金(Au)バンプ $15j$ が、 \dots が配置されている。図示を省略しているが、シリコンチップ14の表面の周辺部の、金(Au)バンプ $15a, \dots, 15j, \dots$ に対応した位置には、アルミニウム(Al)等の金属の薄膜からなる接続パッドが配置されている。そして、Al配線 $12a$ とシリコンチップ14上の対応する接続パッドが、金(Au)バンプ $15a$ を介して接続され、 \dots 、Al配線 $12j$ とシリコンチップ14上の対応する接続パッドが、金(Au)バンプ $15j$ を介して接続され、フリップチップ構造を構成している。金(Au)バンプ $15a, \dots, 15j, \dots$ の厚さは、例えば $20\ \mu\text{m}$ である。

40

【0027】

そして、このバンプ接続部分を含むシリコンチップ14の表面を保護するために、シリコンチップ14の表面は線膨張係数 $= 0.01 \sim 30\ \text{ppm}/$ の材料からなるアンダーフィル16によって封止されている。具体的には、封止部材として、例えば、線膨張係数 $= 0.1 \sim 15\ \text{ppm}/$ 程度のACF樹脂等からなるアンダーフィル16を用いている。

50

【0028】

図2(b)は、図2(a)に示したフレキシブル・パッケージを実装基板に実装して構成した本発明の第1実施例に係る実装体(module)の断面構造図である。フレキシブル基板(PET基板)11の中央部には、シリコンチップ14が収納されるキャビティ13が形成されている。PWB(printed wiring board), FPC(flexible printed circuit board)などの実装基板21の主表面には、厚さ18 μ m~22 μ mの複数の放射状に延びる実装配線22a, . . . , 22j, . . . が配置されている。そして、フレキシブル基板(PET基板)11の主表面のA1配線12aと実装基板21の実装配線22aとが、導電性接着剤23を介して互いに接続され、A1配線12jと実装配線22jとが導電性接着剤23を介して互いに接続されて、本発明の第1実施例に係る実装体が構成されている。

10

このような構造の本発明の第1実施例に係る実装体では、図2(b)に示すように、フレキシブル基板(PET基板)11の最高端から実装配線22の上面までが、例えば120 μ m程度となり、現在用いられているパッケージに無い薄さと実装信頼性を有した実装体を実現される。

【0029】

そして、フレキシブル基板(PET基板)11のA1配線12a, . . . , 12j, . . . と極めて薄膜化したフレキシブルなシリコンチップ14をAuバンプ15a, . . . , 15j, . . . を介してフリップチップ構造で接続した構造であるので、パッケージの反りを非常に小さくすることが可能になる。シリコンチップ14とフレキシブル基板(PET基板)11との間には、樹脂16を封入しておけば良い。また、シリコンチップ14と実装基板21の主表面との間には、ソルダー・レジスト等の樹脂を封入しておけばよい。具体的には、図1に示す実装体では、上述したように20mmの長さに対し1.5mm程度の大きな反りが発生するが、本発明の第1実施例に係る実装体の反りは、17mmの長さに対し0.15mm前後までに、反りを抑えることが可能となる。

20

【0030】

通常の市販のウェハの厚さは、ウェハサイズにも依存するが、450 μ m乃至1mm程度である。例えば、6インチウェハでは、600 μ m乃至650 μ m程度の厚さを有する。ウェハサイズが大きくなるに従って、ウェハの厚さも厚くなる。本発明の第1実施例に係る実装体に用いるシリコンチップ14の厚さは、このような通常の市販のウェハの厚さよりも、極力薄くすることが望ましい。極めて薄くすることによりシリコンチップ14が破断するまでの、シリコンチップ14の撓み量を大きくすることが出来る。つまり、シリコンチップ14の厚さを、極めて薄くし、フレキシブルにすることにより、シリコンチップ14が破断に至るまでのシリコンチップ14の撓みの曲率半径を小さくすることが可能になる。

30

【0031】

この効果を示す実験結果のグラフを図3(a)及び図3(b)に示す。図3(a)は、図4(b)及び図4(c)に示すような、短冊状のシリコンチップからなる試料30を用い破断実験を行った場合の、シリコンチップの厚みと撓み量の関係を示すグラフである。試料30は、幅が5mmで所定の長さを有する。一方、この破断実験には、2つの支点となるエッジを有した測定治具を用意する。2つの支点間の距離は5mmである。そして、2つの支点となるエッジ間に横たわるように、短冊状のシリコンチップ30の長手方向を選んで配置して、2つの支点の中央部に破断圧力を加えて、撓みを測定する。

40

【0032】

さて、シリコンウェハ31を研削により薄膜化する場合、シリコンウェハ31の裏面には、図4(a)に示すように、研削による円弧放射状の「研削紋」39が全面に発生する。研削は図4(a)に示すように、シリコンウェハ31を表面保護テープ36に貼り付けて固定してから行う。表面保護テープ36は、フラットリング35に貼り付け、この表面保護テープ36の皺などを除去した状態で、シリコンウェハ31を貼り付け固定している。

50

【0033】

図4(b)及び図4(c)に示すような、幅が5mmの短冊状のシリコンチップの限定された面積内においては、研削紋39、より正確には、それぞれの研削紋39の接線は、ほぼ平行な複数の線の模様として近似出来る。そこで、本発明においては、試料の長辺近傍における研削紋39の接線の方向が、試料の長辺に対してなす角を「研削紋角」と定義する。図3(a)中の曲線P1は、図4(b)に示すような研削紋角10°のシリコンチップからなる試料に対する結果を示す。また、図3(a)の曲線P2は、図4(c)に示すような研削紋角80°である試料に対する結果を示す。図4(b)に示す研削紋角10°になるような方向に切り出した試料の方が、図4(c)に示す研削紋角80°になるような方向に切り出した試料よりも、撓み量が大きく、破断に対して強いことが分かる。

10

【0034】

従って、本発明の第1実施例においては、研削紋角10°になるような方向に切り出したシリコンチップをフレキシブル半導体チップ14として用いることが好ましい。

【0035】

図3(a)中の曲線P1のシリコンチップと、曲線P2のシリコンチップとは、短冊の長辺がほぼ直交関係にある。そして、図3(a)から明らかなように、ウェーハ厚が薄くなるほど、破断までの撓み量が大きくなっている。

【0036】

図3(b)は、シリコンチップの厚みと曲率半径の関係を示すグラフである。図3(a)と同様に、シリコンチップの幅が5mmの場合の測定結果を示す。図3(b)中の曲線W1は、図4(b)に示す研削紋角10°の試料の結果を示し、曲線W2は図4(c)に示す研削紋角80°の試料の結果を示している。

20

【0037】

図3(b)から明らかなように、シリコンチップの厚みが薄くなるほど、シリコンチップの破断までのシリコンチップの撓み(反り)の曲率半径が小さくなり、フレキシブルになっていることが分かる。そして、研削紋角10°になるような方向に切り出した試料W1の方が、研削紋角80°になるような方向に切り出した試料W2よりも、シリコンチップの撓み曲率半径量が小さく、破断に対して強いことが分かる。図3(b)の結果からも、本発明の第1実施例においては、研削紋角10°になるような方向に切り出したシリコンチップをフレキシブル半導体チップ14として用いることが好ましいことが分かる。

30

【0038】

本発明の第1実施例においては、例として、50 μ mの厚みのシリコンチップ14を適用している。しかし、シリコンチップ14は、10 μ mから150 μ m程度までの厚みであれば、同様の効果を得ることが出来る。特に30 μ mから100 μ m程度の厚みが好ましい。30 μ m以下になると、シリコンチップ14の取り扱いが困難になってくるので、工業的には、あまり合理的な厚みではなくなってくる。

【0039】

図5(a)は、本発明の第1実施例の変形例に係るフレキシブル・パッケージ及びこれを用いた実装体(module)の、室温における断面構造図である。図5(a)に示すように、本発明の第1実施例の変形例に係るフレキシブル・パッケージは、複数の放射状に伸びるアルミニウム(Al)配線12a, ..., 12j, ... が主表面に配されたフレキシブル基板11の上にシリコンチップ14を配置して構成されている。そして、このフレキシブル基板11の主表面に形成されたAl配線12a上には、金(Au)パンプ15aが、..., Al配線12jの上には、金(Au)パンプ15jが、... が配置されている。シリコンチップ14の表面の周辺部の、金(Au)パンプ15a, ..., 15j, ... に対応した位置には、アルミニウム(Al)等の金属の薄膜からなる接続パッドが配置されている。そして、Al配線12aとシリコンチップ14上の対応する接続パッドが、金(Au)パンプ15aを介して接続され、...

40

50

・・・, A1配線12jとシリコンチップ14上の対応する接続パッドが、金(Au)バンプ15jを介して接続され、フリップチップ構造を構成している。また、シリコンチップ14の厚さは、150 μ m以下の厚さに形成されている。そして、このバンプ接続部を含むシリコンチップ14の表面を保護するために、シリコンチップ14の表面はアンダーフィル16によって封止されている。フレキシブル基板11の周辺部には、フレキシブル基板11を貫通するスルーホールが設けられ、このスルーホールを埋め込んで接続用埋込金属19a,・・・,19j,・・・が設けられている。接続用埋込金属19a,・・・,19j,・・・は、フレキシブル基板(PET基板)11の主表面のA1配線12a,・・・,12j,・・・にそれぞれ接続されている。

10

【0040】

一方、実装基板21の主表面には、実装配線22a,・・・,22d,22e,22f,22g,・・・,22j,・・・が配置されている。そして、フレキシブル基板11に埋め込まれた接続用埋込金属19a,・・・,19j,・・・と、実装配線22a,・・・,22d,22e,22f,22g,・・・,22j,・・・とが、半田ボール104a,・・・,104d,104e,104f,104g,・・・,104j,・・・を介して互いに接続されている。

【0041】

図5(b)及び図5(c)は、図5(a)に示す本発明の第1実施例の変形例に係る実装体の温度変化による撓みを説明するための断面図で、図5(b)は125の高温、図5(c)は-55における低温の場合のシリコンチップ14、フレキシブル基板11及び実装基板21等の撓みを模式的に示す。実装基板21は、線膨脹係数 $M_B = 15 \sim 18 \text{ ppm/}$ 程度あり、シリコンの線膨脹係数 $S_I = 3.5 \text{ ppm/}$ とは大きく異なる。しかしながら、本発明の第1実施例の変形例に係る実装体においては、シリコンチップ14の厚さが薄いため、シリコンチップ14の表面に垂直方向の変位の自由度が大きい。つまり、シリコンチップ14が、その表面に垂直方向に自在に変位可能であるため、温度変化により、実装基板21がシリコンチップ14に対して相対的に伸び(125)若しくは縮み(-55)が生じてても、半田ボール104a,・・・,104d,104e,104f,104g,・・・,104j,・・・に対する応力が緩和される。従って、温度変化により半田ボール104a,・・・,104d,104e,104f,104g,・・・,104j,・・・が破壊されにくくなり、実装信頼性が向上する。

20

30

【0042】

一方、図6(a)は、図5(a)に示した第1実施例の変形例に係る実装体の比較例の概略構造を説明するための断面図である。この比較例は、厚さ300 μ mの厚いシリコンチップを用いている点が、図5(a)に示した実装体と異なるが、他の構造は共通している。そして、図6(b)及び図6(c)は、図6(a)に示した比較例に係る実装体の温度変化による撓みを説明するための断面図である。即ち、図6(b)は125の高温、図6(c)は-55における低温の場合のシリコンチップ14、フレキシブル基板11及び実装基板21等の撓みを模式的に示す。この比較例に係る実装体においては、シリコンチップ14の厚さが厚いため、シリコンチップ14の表面に垂直方向の変位の自由度が小さく、リジッドである。このため、図5(b)及び図5(c)の場合とは異なり、シリコンチップ14は、その表面に垂直方向にほとんど変位出来ないため、温度変化により、実装基板21がシリコンチップ14に対して相対的に伸び(125)若しくは縮み(-55)が生じた場合には、半田ボール104a,・・・,104d,104e,104f,104g,・・・,104j,・・・と、接続用埋込金属19a,・・・,19j,・・・間、或いは、半田ボール104a,・・・,104d,104e,104f,104g,・・・,104j,・・・と実装配線22a,・・・,22d,22e,22f,22g,・・・,22j,・・・間に大きな応力が発生する。また、半田ボール104a,・・・,104d,104e,1

40

50

04f, 104g,, 104j, 自身にも大きな応力が生じ、半田ボールが破壊に至ることとなる。

【0043】

図7は、シリコンチップの厚さとTC T信頼性との関係を説明するグラフである。シリコンチップの厚さが薄くなるに従ってTC T信頼性が増大することが分かる。そして、シリコンチップの厚さとTC T信頼性との比例関係を示す傾きがシリコンチップの厚さ150 μmにおいて、大きく変化することが分かる。即ち、シリコンチップの厚さ150 μm以上においては、シリコンチップの厚さが変化しても、TC T信頼性は顕著には変化しないが、シリコンチップの厚さが150 μm以下においては、シリコンチップの厚さが減少すると、TC T信頼性は顕著に向上することが分かる。即ち、図7は、シリコンチップの厚さとTC T信頼性との関係において、シリコンチップの厚さ150 μmが変曲点であることが分かる。

10

【0044】

次に、本発明の第1実施例に係る実装体(module)の製造方法について説明する。

(a)まず、所定のフォトリソグラフィ工程、CVD工程、酸化工程、イオン注入工程、エッチング工程等により、シリコンウェハ31の表面に半導体集積回路の所定のパターンを形成する。そして、PSG膜、BPSG膜、シリコン窒化膜(Si₃N₄膜)等のパッシベーション膜をシリコンウェハ31の表面に堆積する。つまり、シリコンウェハ31の表面には、ステップ・アンド・リピート方式で、周期的に半導体集積回路のパターンが形成されている。パターンとパターンの間がダイシングラインになっている。そして、図8(a)に示すように、半導体集積回路のパターンが形成されたシリコンウェハ31を、半導体集積回路のパターン形成面41側を上にして、ダイシング装置の作業テーブル33に所定の方式で固定する。例えば、真空チャックにより、シリコンウェハ31を吸着し固定する。そして、ダイシング用ブレード34を回転させて、本発明の第1実施例に係るフレキシブル・パッケージ用のチップ厚さ(例えば50 μm)よりも、更に少なくとも5 μm程度深い溝32を、ダイシングラインに沿って形成する。

20

【0045】

(b)次に、図8(b)に示すように、フラットリング35を表面保護テープ36に貼り付ける。そして、フラットリング35で、表面保護テープ36の皺などを除去した状態で、図8(a)において、溝32を形成したシリコンウェハ31のパターン形成面41を表面保護テープ36の接着剤側に貼り付け固定する。

30

【0046】

(c)そして、例えばインフィード研削法を用いて、シリコンウェハ31の裏面を削る。即ち、図8(c)に示すように、フラットリング35と表面保護テープ36とで保持されたシリコンウェハ31を、研削装置の作業テーブル37に吸着固定する。そして、砥石38を押し当てながらシリコンウェハ31の裏面を研削する。この際、作業テーブル37と砥石38をそれぞれ回転させながら、シリコンウェハ31の裏面(研削面)が溝32に達するまで研削する。研削面が、溝32に達すると、シリコンウェハ31は個々のチップに分割される。この研削の深さは、完成時のシリコンチップ31の厚さ(例えば50 μm)を考慮して設定される。

40

(d)そして、図8(d)に示すように、分割された個々のシリコンチップ14が吸着固定されているフラットリング35をダイボンディング装置に設置する。そして、ピックアップニードル等のツール40を用いて、表面保護テープ36越しにパターン形成面32に対して、下方に圧力をかける。すると、シリコンチップ14が表面保護テープ36から剥離される。このようにして、例えば50 μmの厚みの薄いフレキシブルなシリコンチップ14が完成する。

【0047】

(e)次に、フレキシブル基板として、厚みが例えば38 μm程度の薄い連続テープ状のPET基板11を用意する。この連続テープ状のPET基板11の主表面には、厚み9

50

μm程度のAl薄膜を全面に堆積しておく。そして、エッチング法によりパターンニングして、図8(e)にしめすように、連続テープ状フレキシブル基板11の主表面上に、複数の放射状に延びるAl配線12a,, 12j,のパターンを形成する。Al配線12a,, 12j,のパターンニングは、スクリーン印刷法を用いて行っても良い。このAl配線12a,, 21j,のパターンニングにより、連続テープ状フレキシブル基板11の主表面の所定の箇所、周期的に、PET基板11が露出した開口部10が形成される。この開口部10は、チップ搭載用の矩形の窓部である。

【0048】

(f)次に、図8(f)に示すように、それぞれのチップ搭載用の開口部10に、連続用樹脂であるACF樹脂(或いはACP樹脂でも良い)16をポッティング法などにより塗布する。

【0049】

(g)続いて、図8(g)に示すように、PET基板11側のAl配線12a,, 12j,とシリコンチップ14側のAuバンプ15a,, 15j,との位置合わせを行い、シリコンチップ14をPET基板11上に搭載する。その後、120程度に加熱し、連続用樹脂を溶かし、更に硬化することにより、シリコンチップ14をPET基板11上に固定する。この段階では、連続テープ状のPET基板11上に周期的に配置された開口部10に、それぞれシリコンチップ14が搭載され、複数のパッケージが連続して形成された状態にある。従って、次に、図8(h)に示すように個々のフレキシブル・パッケージに切り落とす。図8(h)においては、放射状に延びる16本のAl配線12a, 12b, 12c,, 12j,, 12o, 12pのパターンが示されている。

【0050】

(h)一方、別途実装基板21を用意し、この実装基板21の主表面に、エッチング法若しくは、スクリーン印刷法等により、複数の放射状に延びる実装配線22a,, 22j,をパターンニングする。そして、実装配線22a,, 22j,上に導電性接着剤23を塗布する。導電性接着剤23としては、例えばニッケル(Ni)粒子等の導電粒子層が含まれたACF樹脂やACP樹脂などを用いることが出来る。次に、Al配線12a,, 12j,と、実装配線22a,, 22j,との互いの位置合わせを行い、実装基板21上にフレキシブル・パッケージを搭載する。この状態で、導電性接着剤23を所定の温度まで加熱し、導電性接着剤23を溶かし、更に硬化することによりフレキシブル・パッケージを実装基板21上に固定する。これにより、図2(b)に示した本発明の第1実施例に係る薄型の実装体が完成する。

【0051】

また、本発明の第1実施例に係るフレキシブル・パッケージの実装基板21への実装は、他の方法でも可能である。例えば、上のような導電性接着剤23を使用する方法の代わりに、「リード間接着法」を用いても良い。

【0052】

(i)即ち、図9(a)に示すように、PET基板11側のAl配線12d, 12e, 12f間のPET基板11が露出した部分に第1の接着剤50aを塗布する。

【0053】

(ii)同様に、図9(b)に示すように、実装基板21側の実装配線22d, 22e, 22fの間の実装基板21が露出した部分に第2の接着剤50bを塗布する。第2の接着剤50bは、第1の接着剤50aと同種類の接着剤で良い。

【0054】

(iii)そして、図9(c)に示すように、PET基板11側のAl配線12d, 12e, 12fと実装基板21側の実装配線22d, 22e, 22fとの位置合わせを行って、Al配線12d, 12e, 12fと実装配線22d, 22e, 22fとが接続するよう

10

20

30

40

50

に、両者間に圧力を加える。これによって、PET基板11側の第1の接着剤50aと実装基板21側の第2の接着剤50b同士が接着して、Al配線12d, 12e, 12fと実装配線22d, 22e, 22fとは、それぞれ金属同士が強く接触した状態となる。一方、Al配線12d, 12e, 12f間のPET基板11と実装配線22d, 22e, 22f間の実装基板21とは、接着剤50により強く接着される。ここで、接着剤50は、第1の接着剤50aと第2の接着剤50b同士が結合し、一体となったものである。

【0055】

リード間接着法では、第1の接着剤50aと第2の接着剤50bは、導電性接着剤である必要はなく、接着力の強い種々の接着剤が選択出来る。また、低温硬化型の接着剤を用いれば、常温での実装基板21へのフレキシブル・パッケージの実装が可能となる。

10

【0056】

本発明の第1実施例では、次のような利点を有している。

【0057】

(1) シリコンチップ14を極薄にし、シリコンチップの剛性を低下させると同時に、インターポーザ11等の各構成材料の厚みも薄くし、フレキシブルにしているので、パッケージ全体を低剛性化することが出来る。これにより、変位によるパッケージ割れの発生を回避することが出来、製品としての信頼性を確保することが可能になる。

【0058】

(2) インターポーザ11とシリコンチップ14との間に、線膨張係数の低いACF樹脂等の封止部材16が封入される構造である。従って、実装体(module)組み立て時の温度履歴に起因した、実装体(module)の反りを非常に小さくすることが出来、実装体の製品単体としての平坦性を十分確保することが可能になる。

20

【0059】

(第2の実施例)

本発明の第2実施例は、フレキシブル・パッケージを2段に積層したスタック構造の実装体(multichip module)である。即ち、図10に示すように、種表面に複数の実装配線22a,, 22j,が形成された実装基板21の上に、図2(b)に示したと同様な、第1及び第2のフレキシブル・パッケージをフェイスアップで縦方向に2枚積層している。実装基板21は、例えば、PWB, FPCなどから構成されている。実装基板21の主表面には、厚さ18 μ m~22 μ mの複数の放射状に延びる実装配線22a,, 22j,が配置されている。

30

【0060】

第1のフレキシブル・パッケージは、第1のフレキシブル基板112と、第1のフレキシブル基板112の主表面の上方に配置された第1のフレキシブル半導体チップ142と、第1のフレキシブル半導体チップ142と複数の第1の金属配線122a,, 122j,とをそれぞれ電氣的に接続する第1の接続金属152a,, 152j,, 及び第1のフレキシブル基板112と第1のフレキシブル半導体チップ142との間に封入された第1の封止部材162とから構成されている。ここで、第1のフレキシブル基板112は、PET材からなる。そして、第1の金属配線として、複数の放射状に延びるアルミニウム(Al)配線122a,, 122j,を、第1のフレキシブル基板112の主表面に有している。第1のフレキシブル半導体チップは、シリコンチップ142であり、図示を省略しているが、チップの表面の周辺部に複数の第1の接続用パッドを有している。第1の接続金属としての金(Au)パンプ152a,, 152j,は、複数の第1の金属配線122a,, 122j,と第1のフレキシブル半導体チップ142上の複数の第1の接続用パッドとをそれぞれ電氣的に接続している。つまり、第1のAl配線122a上には第1の金(Au)パンプ152aが、.、第1のAl配線122j上には、第1の金(Au)パンプ152jが、.が配置されている。第1のAl配線122aと第1のシリコンチップ142上の対応する接続パッドが、第1の金(Au)パンプ152aを介して接続され、.、第1のAl配線122jと第1のシ

40

50

リコンチップ142上の対応する接続パッドが、第1の金(Au)バンプ152jを介して接続され、第1のフリップチップ構造を構成している。

【0061】

そして、このバンプ接続部分を含む第1のシリコンチップ142の表面を保護するために、第1のシリコン142の表面は第1の封止部材(アンダーフィル)162によって封止されている。

【0062】

同様に、第2のフレキシブル・パッケージは、第2のフレキシブル基板(PET基板)111と、第2のフレキシブル基板111の主表面の上方に配置された第2のフレキシブル半導体チップ141と、第2のフレキシブル半導体チップ141と複数の第2の金属配線121a,, 121j,とをそれぞれ電氣的に接続する第2の接続金属151a,, 151j,と、第2のフレキシブル基板111と第2のフレキシブル半導体チップ141との間に封入された第2の封止部材161とから構成されている。第2のフレキシブル基板111の主表面には、複数の第2の金属配線121a,, 121j,が形成されている。この複数の第2の金属配線121a,, 121j,は、第1のフレキシブル・パッケージの複数の第1の金属配線122a,, 122j,のそれぞれと電氣的に接続されている。第2のフレキシブル半導体チップは、シリコンチップ141であり、複数の第2の接続用パッドを表面に有している。第2の接続金属としての金(Au)バンプ151a,, 151j,は、第2のフレキシブル半導体チップ141上の複数の第2の接続用パッドと、複数の第2の金属配線121a,, 121j,とをそれぞれ電氣的に接続し、第2のフリップチップ構造を構成している。

【0063】

そして、第2のフレキシブル・パッケージは、第2のAl配線121a,, 121j,が形成された第2のフレキシブル基板111を、第2のAl配線が外側に位置するように下側に折り返している。同様に、第1のフレキシブル・パッケージは、第1のAl配線122a,, 122j,が形成された第1のフレキシブル基板111を、第1のAl配線が外側に位置するように下側に折り返している。そして、第1のAl配線122aと第2のAl配線121aとを互いに導電性材料(導電性接着材)60により接着し、第1のAl配線122jと第2のAl配線121jとを互いに導電性材料(導電性接着材)60により接着している。これにより、第1及び第2のフレキシブル・パッケージの、相互間の対応するAl配線間の導通がとれ、フレキシブル・パッケージの多段の積層が可能になる。

【0064】

そして、第1のフレキシブル基板112の主表面の折り曲げられた部分の第1のAl配線122aと実装基板21の実装配線22aとが、導電性材料(導電性接着剤)60を介して互いに接続され、.、第1のAl配線122jと実装配線22jとが導電性材料(導電性接着材)60を介して互いに接続され、.、本発明の第2実施例に係るスタック構造のスタック構造の実装体(multi chip module)が構成されている。

【0065】

(第3の実施例)

本発明の第3実施例に係るフレキシブル・パッケージは、図11(a)の断面構造図に示すように、ビームリード(実装用リード)を有するタイプのフレキシブル・パッケージである。

【0066】

具体的には、図2(b)に示したフレキシブル・パッケージ構造において、インターポザとしてのPET基板11に置き換え、ポリイミド材からなるフレキシブル基板(ポリイミド基板)70が使用されている。ポリイミド基板70の主表面にはビームリード(銅

10

20

30

40

50

箔) 71a,, 71j, が形成されている。ポリイミド基板 70 の厚さは、例えば 40 μm であり、ビームリード 71a,, 71j, の厚さは例えば 15 μm である。

【0067】

また、ビームリード 71a,, 71j, の一端が、例えば 50 μm の極薄シリコンチップ 14 の Au バンプ 15a,, 15j, とフリップチップ構造で接続され、この接続部分を含むシリコンチップ 14 表面を保護するために、シリコンチップ 14 は ACF 樹脂等のアンダーフィル 16 によって封止されている。この接続部分の厚さは例えば 20 μm となる。そして、ビームリード 71a,, 71j, の他端であるリード端子 77a,, 77j, は、図 11 (a) に示すように、実装基板 21 主表面上の実装用配線 22a,, 22j, に例えば錫 銀 銅からなる半田 79a,, 79j, で接合されている。

10

【0068】

このような構造のフレキシブル・パッケージの製造方法は、第 1 実施例に係る図 8 (e) 乃至 8 (g) で説明した各工程において、テープ状の PET 基板 11 の代わりにテープ状に複数個のポリイミド基板 70 が周期的に接続された基板が用いられている。また、Al 配線 12a,, 12j, に置き換えて銅箔のビームリード 71a,, 71j, が使用されているので、若干工程が異なる。しかし、他の工程は、同様の処理でインターポーザ上にシリコンチップ 14 の搭載が行われる。

20

【0069】

ポリイミド基板 70 が周期的に接続された連続テープから、個々のパッケージに切り落とす工程では、図 11 (b) に示すように、ポリイミド基板 70 と銅箔 (ビームリード) 71a,, 71j, の 2 層構造のポリイミドテープにおいて、ポリイミド基板 70 が存在しない領域でビームリード 71a,, 71j, の切断をする。この切断により、個々のポリイミド基板 70 が分離され、連続テープからのフレキシブル・パッケージの切り落としが行われる。それと同時に切断されたビームリード 71a,, 71j, の端部が実装用に、所定の角度に折り曲げられて、リード端子 77a,, 77j, が形成される。これによって、個片に切断されたフレキシブル・パッケージの形状は、インターポーザ 70 よりビームリード 71a,, 71j, が突き出たような形状となる。

30

【0070】

このビームリード 71a,, 71j, の端部であるリード端子 77a,, 77j, を、それぞれ対応する実装基板 21 上の配線 22a,, 22j, に、半田 79a,, 79j, を用いて半田実装 (OLB: アウター・リード・ボンディング) すれば、図. 11A の構造の薄型実装体 (module) が完成する。

【0071】

本発明の第 3 実施例に係るフレキシブル・パッケージでは、インターポーザ 70 に比較的耐熱温度の高いポリイミドを使用したので、半田リフロー (熱処理) を前提とした高温実装工程が、第 1 実施例と同様のパッケージ構造にて可能となる。なお、OLB 実装工程のみであれば、耐熱温度が 150 以下の PET 基板を使用することも可能である。

40

【0072】

また、本発明の第 3 実施例に係るフレキシブル・パッケージを多段に積層したスタック構造の例を図. 12 に示す。即ち、主表面に複数の実装配線 22a,, 22j, が形成された実装基板 21 の上に、図. 11B に示したと同様な第 1 乃至第 4 のフレキシブル・パッケージをフェイスアップで縦方向に 4 枚積層している。実装基板 21 は、例えば、PWB, FPC などから構成されている。実装配線 22a,, 22j, は、厚さ 18 μm ~ 22 μm の複数の放射状のパターンとして形成されている。

50

【 0 0 7 3 】

第1のフレキシブル・パッケージは、第1のフレキシブル基板704と、第1のフレキシブル基板704の主表面の上方に配置された第1のフレキシブル半導体チップ144と、第1のフレキシブル半導体チップ144と複数の第1の金属配線714a,, 714j,とをそれぞれ電氣的に接続する第1の接続金属154a,, 154j,、及び第1のフレキシブル基板704と第1のフレキシブル半導体チップ144との間に封入された第1の封止部材164とから構成されている。ここで、第1のフレキシブル基板704は、ポリイミド材からなる。そして、第1の金属配線として、複数の放射状に延びる厚さ15µmのビームリード(銅箔)714a,, 714j,を、第1のフレキシブル基板704の主表面に有している。第1のフレキシブル半導体チップは、シリコンチップ144であり、図示を省略しているが、チップ144の表面の周辺部に複数の第1の接続用パッドを有している。第1の接続金属としての金(Au)バンブ154a,, 154j,は、複数の第1の金属配線714a,, 714j,と第1のフレキシブル半導体チップ144上の複数の第1の接続用パッドとをそれぞれ電氣的に接続している。つまり、第1のビームリード(銅箔)714a上には第1の金(Au)バンブ154aが、.、第1のビームリード(銅箔)714jの上には、第1の金(Au)バンブ154jが、.が配置されている。ビームリード(銅箔)714aと第1のシリコンチップ144上の対応する接続パッドが、第1の金(Au)バンブ154aを介して接続され、.、第1のビームリード(銅箔)714jと第1のシリコンチップ144上の対応する接続パッドが、第1の金(Au)バンブ154jを介して接続され、第1のフリップチップ構造を構成している。そして、このバンブ接続部分を含む第1のシリコンチップ144の表面を保護するために、第1のシリコンチップ144の表面は第1の封止部材(アンダーフィル)164によって封止されている。

10

20

【 0 0 7 4 】

同時に、第2のフレキシブル・パッケージは、第2のフレキシブル基板(ポリイミド基板)703と、第2のフレキシブル基板703の主表面の上方に配置された第2のフレキシブル半導体チップ143と、第2のフレキシブル半導体チップ143と複数の第2の金属配線であるビームリード(銅箔)713a,, 713j,とをそれぞれ電氣的に接続する第2の接続金属153a,, 153j,と、第2のフレキシブル基板703と第2のフレキシブル半導体チップ143との間に封入された第2の封止部材163とから構成されている。第2のフレキシブル基板703の主表面には、複数の第2の金属配線713a,, 713j,が形成されている。この複数の第2のビームリード(銅箔)713a,, 713j,は、第1のフレキシブル・パッケージの複数の第1のビームリード(銅箔)714a,, 714j,のそれぞれと電氣的に接続されている。第2のフレキシブル半導体チップは、シリコンチップ143であり、複数の第2の接続用パッドを表面に有している。第2の接続金属としての金(Au)バンブ153a,, 153j,は、第2のフレキシブル半導体チップ143上の複数の第2の接続用パッドと、複数の第2のビームリード(銅箔)713a,, 713j,とをそれぞれ電氣的に接続し、第2のフリップチップ構造を構成している。

30

40

【 0 0 7 5 】

同様に、第3のフレキシブル・パッケージは、第3のビームリード712a,, 712j,が主表面に配された第3のフレキシブル基板(ポリイミド基板)702の上に、第3のシリコンチップ142を配置して構成されている。そして、この第3のフレキシブル基板(ポリイミド基板)702の主表面に形成された第3のビームリード712a上には、第3の金(Au)バンブ152aが、.、第3のビームリード712jの上には、第3の金(Au)バンブ152jが、.が配置されている。第3のビームリード712aと第3のシリコンチップ142上の対応する接続パッドが、第3の金(Au)バンブ152aを介して接続され、.、第3のAl配線1

50

2 2 j と第 3 のシリコンチップ 1 4 2 上の対応する接続パッドが、第 3 の金 (A u) バンプ 1 5 2 j を介して接続され、第 3 のフリップチップ構造を構成している。そして、このバンプ接続部分を含む第 3 のシリコンチップ 1 4 2 の表面を保護するために、第 3 のシリコンチップ 1 4 2 の表面は第 3 のアンダーフィル 1 6 2 によって封止されている。

【 0 0 7 6 】

第 4 のフレキシブル・パッケージは、複数の放射状に延びるビームリード 1 2 1 a , , 1 2 1 j , が主表面に配されたポリイミド材からなる第 4 のフレキシブル基板 7 0 1 の上に、第 4 のシリコンチップ 1 4 1 を配置して構成されている。そして、この第 4 のフレキシブル基板 (ポリイミド基板) 7 0 1 の主表面に形成された第 4 のビームリード 7 1 1 a 上には、第 4 の金 (A u) バンプ 1 5 1 a が、. . . . , 第 4 のビームリード 7 1 1 j 上には、第 4 の金 (A u) バンプ 1 5 1 j が、. . . . が配置されている。そして、第 4 のビームリード 7 1 1 a と第 4 のシリコンチップ 1 4 1 上の対応する接続パッドが、第 4 の金 (A u) バンプ 1 5 1 a を介して接続され、第 4 のビームリード 7 1 1 j と第 4 のシリコンチップ 1 4 1 上の対応する接続パッドが、第 4 の金 (A u) バンプ 1 5 1 j を介して接続され、第 4 のフリップチップ構造を構成している。そして、このバンプ接続部分を含む第 4 のシリコンチップ 1 4 1 の表面を保護するために、第 4 のアンダーフィル 1 6 1 によって封止されている。

【 0 0 7 7 】

そして、第 1 , 第 2 , 第 3 及び第 4 のフレキシブル・パッケージのビームリード 7 1 1 a , 7 1 2 a , 7 1 3 a 及び 7 1 4 a が実装配線 2 2 a に集合するように導かれ、半田 7 9 a により固定されている。同様に、第 1 , 第 2 , 第 3 及び第 4 のフレキシブル・パッケージのビームリード 7 1 1 j , 7 1 2 j , 7 1 3 j 及び 7 1 4 j が実装配線 2 2 j に集合するように導かれ、半田 7 9 j により固定され、4 層のスタック構造の実装体 (m u l t i c h i p m o d u l e) が構成されている。

【 0 0 7 8 】

(第 4 の実施例)

図 1 3 は本発明の第 4 実施例に係るフレキシブル・パッケージ及びこれを用いた実装体 (m o d u l e) の断面構造図である。本発明の第 4 実施例に係るフレキシブル・パッケージは、複数の放射状に延びるアルミニウム (A l) 配線 1 2 a , , 1 2 j , が主表面に配された P E T 材からなり、所定の曲率を有した曲面状のフレキシブル基板 1 1 の上に曲面状のシリコンチップ 1 4 を配置して構成されている。そして、この曲面状のフレキシブル基板 (P E T 基板) 1 1 の主表面に形成された A l 配線 1 2 a 上には、金 (A u) バンプ 1 5 a が、. . . . , A l 配線 1 2 j 上には、金 (A u) バンプ 1 5 j が、. . . . が配置されている。そして、A l 配線 1 2 a , 1 2 j とシリコンチップ 1 4 上の対応する接続パッドが、それぞれ金 (A u) バンプ 1 5 a , 1 5 j を介して接続されフリップチップ構造を構成している。金 (A u) バンプ 1 5 a , , 1 5 j , の厚さは、例えば 2 0 μ m である。このバンプが接続部分を含むシリコンチップ 1 4 の表面を保護するために、シリコンチップ 1 4 の表面はアンダーフィル 1 6 によって封止されている。アンダーフィル 1 6 としては、線膨脹係数が低い (= 0 . 1 ~ 1 5 p p m /) 封止接着剤 (A C F 樹脂) を使用している。

【 0 0 7 9 】

曲面状の P W B , F P C などの実装基板 2 1 の主表面には、複数の放射状に延びる実装配線 2 2 a , , 2 2 j , が配置されている。そして、曲面状のフレキシブル基板 1 1 の主表面の A l 配線 1 2 a , 1 2 j と曲面状の実装基板 2 1 の実装配線 2 2 a , 2 2 j とが、導電性接着剤を介して互いに接続され、. . . . , A l 配線 1 2 j と実装配線 2 2 j とがそれぞれ導電性接着剤を介して互いに接続され、本発明の第 4 実施例に係る実装体 (m o d u l e) が構成されている。

【 0 0 8 0 】

図 1 3 に示す本発明の第 4 実施例に係る実装体 (m o d u l e) では、例えば第 1 実施例に係るフレキシブル・パッケージを曲面状の実装基板 2 1 上に実装した例と解釈するこ

10

20

30

40

50

とが可能である。即ち、シリコンチップ 14 を始め、パッケージの各構成材料の厚みを極薄化しているため剛性が低く、パッケージを積極的に湾曲させ、曲面への基板実装が可能となる。例えば、圧力センサーや温度センサー等を集積化したシリコンチップ 14 を内蔵した実装体を、配管や電動機の曲面 81 に貼り付けることが可能である。或いは、ボールペン等のペン軸部に指紋認識回路を集積化したシリコンチップ 14 を内蔵した実装体を取り付けることも可能である。更に、本発明の第 4 実施例に係る実装体は、全体の厚さが極薄化し、剛性が低いため、IC カード等に適用すれば、IC カードを湾曲させても破壊に至らないので、実用上非常に有効である。

【0081】

つまり、図 13 に示す曲面状の実装基板 21 は、定常的な形状としてだけでなく、過渡的な一形態としても存在しうると解釈すべきである。

【0082】

例えば、本発明の第 1 乃至第 4 実施例に係わるフレキシブル・パッケージにおいては、シリコンチップ 14, 141 ~ 144 は、フレキシブル基板 11, 111, 112, 70, 701 ~ 704 の主表面にフリップチップ構造で搭載されていた。しかし、シリコンチップは、フレキシブル基板の主表面に必ずしも、フリップチップ構造で搭載される必要はない。

【0083】

図 14 (a) は、本発明の他の実施例に係るフレキシブル・パッケージの断面構造図である。本発明の他の実施例に係るフレキシブル・パッケージは、複数の放射状に延びるアルミニウム (Al) 配線 12a,, 12j, が主表面に配されたフレキシブル基板 11 の上に、半導体集積回路が形成された表面を上にして、いわゆるフェイス・アップ状態でシリコンチップ 14 を配置して構成されている。シリコンチップ 14 の表面には、金属配線や接続パッド 91a,, 91j,, 91k,, 91m, が形成されている。また、シリコンチップ 14 を貫通してビアホールが設けられ、このビアホールの内部に、接続用埋込金属 92a,, 92j, が埋め込まれている。接続用埋込金属 92a,, 92j, としては、タングステン (W)、チタン (Ti)、モリブデン (Mo) 等の高融点金属、これらのシリサイド (WSi_2 , $TiSi_2$, $MoSi_2$) 等が使用可能である。ビアホールは、シリコンチップ 14 が薄いので簡単に開口出来る。例えば、図 8 (a) から 8 (c) に示した研削工程の前に、最終的なシリコンチップ 14 の厚さより深い凹部 (トレンチ) を RIE 法等により形成しておけば、研削工程終了時に自動的に、ビアホールが開口する。一方、フレキシブル基板 11 の主表面の Al 配線 12a, 12j 上には、第 1 実施例と同様に、金 (Au) バンプ 15a, 15j が配置されている。こうして、金 (Au) バンプ 15a, 15j とシリコンチップ 14 の表面の接続パッド 91a, 91j とが、それぞれ接続用埋込金属 92a, 92j により、互いに接続されている。

【0084】

図 14 (a) においては、接続用埋込金属 92a,, 92j, と金 (Au) バンプ 15a,, 15j, とが、本発明の接続金属として機能している。そして、このバンプ接続部分を含むシリコンチップ 14 の表面を保護するために、シリコンチップ 14 の表面はアンダーフィル 16 によって封止されている。シリコンチップ 14 が薄いので、ビアホールの内部を埋め込む接続用埋込金属 92a,, 92j, として、半田を用いることも可能である。

【0085】

本発明の他の更に実施例に係るフレキシブル・パッケージは図 14 (b) に示すように、フレキシブル基板 11 の上に、図 14 (a) と同様に、フェイス・アップ状態でシリコンチップ 14 を配置している。シリコンチップ 14 の表面には、金属配線や接続パッド 91a,, 91j,, 91k,, 91m, が形成されている。そして、フレキシブル基板 11 の主表面の Al 配線 12a, 12j と、接

10

20

30

40

50

続パッド91a, 91jとが、シリコンチップ14の側面において、それぞれ半田95a, 95jにより互いに接続されている。図14(b)においては、半田95a, 95jが本発明の接続金属として機能している。シリコンチップ14が薄いので、このような半田95a, 95jによる接続が可能となる。

【0086】

また、本発明の第1乃至第4実施例に係るフレキシブル・パッケージにおいては、シリコンチップ14, 141~144について例示したが、ガリウム砒素(GaAs)チップ等の他の半導体基板でもかまわないことは勿論である。

【0087】

このように、本発明はここでは記載していない様々な実施例等を含むことは勿論である。従って、本発明の技術的範囲は上記の説明から妥当な以下のクレームによってのみ定められるものである。

【0088】

主表面に複数の金属配線が形成されたフレキシブル基板と、このフレキシブル基板の上方に配置され、複数の接続用パッドを有するフレキシブル半導体チップと、この半導体チップ上の複数の接続用パッドと、フレキシブル基板上の複数の金属配線とをそれぞれ電気的に接続する接続金属とフレキシブル基板とフレキシブル半導体チップとの間に封入された封止部材とからなるフレキシブル・パッケージである。半導体チップを通常用いられている厚さよりも薄くし、剛性を低下させたフレキシブル半導体チップを塔載している。更に、フレキシブル基板等のパッケージの各構成部品の厚みも薄くすることにより、パッケージ全体を低剛性化している。このため、変位によるパッケージ割れの発生を回避することが出来る。また、フレキシブル基板とフレキシブル半導体チップとの間に封止部材が封入される構造であるため、パッケージの反りを非常に小さくすることが出来る。このため、フレキシブル・パッケージの製品単体としての平坦性を十分確保することが可能になる。更に、主表面に複数の実装配線が形成された実装基板を用意し、この複数の実装配線のそれぞれと複数の金属配線とを電気的に接続すれば、実装信頼性の高い実装体が構成出来る。更に、複数のフレキシブル・パッケージを積層すれば、全体の厚さの薄いマルチ・チップ・モジュールを構成出来る。

【図面の簡単な説明】

【0089】

【図1】現在用いられている半導体パッケージの一構造例を示す断面斜視図である。

【図2】本発明の第1実施例に係るフレキシブルパッケージの断面構造図と、本発明の第1実施例に係る実装体(module)の概略構造を説明するための断面図である。

【図3】シリコンチップの厚みと撓み量の関係を示すグラフと、シリコンチップの厚みと曲率半径の関係を示すグラフとを示す。

【図4】シリコンチップの裏面に形成された研削紋を示す図と、研削紋角 10° の試料を説明する図と、研削紋角 80° の試料を説明する図である。

【図5】本発明の第1実施例の変形例に係る実装体(module)の概略構造を説明するための断面図と、本発明の第1実施例の変形例に係る実装体(module)の温度変化による撓みを説明するための断面図とを示す。

【図6】比較例として、厚いシリコンチップを用いた実装体(module)の概略構造を説明するための断面図と、実装体(module)の温度変化による撓みを説明するための断面図とを示す。

【図7】シリコンチップの厚さとTCT信頼性との関係を説明するグラフである。

【図8】本発明の第1実施例に係る実装体(module)の製造方法を示す工程図である。

【図9】本発明の第1実施例に係る実装体の製造方法の変形例として、フレキシブル・パッケージのリード間接着法を説明する工程断面図である。

【図10】本発明の第2実施例に係るスタック構造の実装体(multi chip module)の断面構造図である。

10

20

30

40

50

【図11】本発明の第3実施例に係るフレキシブル・パッケージ及びこれを用いた実装体 (module) の断面構造図と、本発明の第3実施例に係るフレキシブル・パッケージの切り落とし工程を示す断面図を示す。

【図12】本発明の第3実施例に係る実装体 (multi chip module) の断面構造図である。

【図13】本発明の第4実施例に係るフレキシブル・パッケージ及びこれを用いた実装体 (module) の断面構造図である。

【図14】本発明の他の実施例に係るフレキシブル・パッケージの断面構造図と、本発明の更に他の実施例に係るフレキシブル・パッケージの断面構造図とを示す。

【符号の説明】

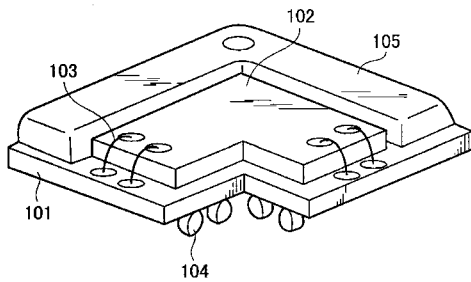
【0090】

- 11 ... PET材
- 12 ... AL配線
- 14 ... シリコンチップ
- 15 ... Auバンプ
- 16 ... アンダーフィル
- 21 ... 実装基板
- 22 ... 実装配線
- 23, 60 ... 導電性接着剤
- 50 ... 接着剤
- 70 ... ポリイミド材
- 71 ... ビームリード

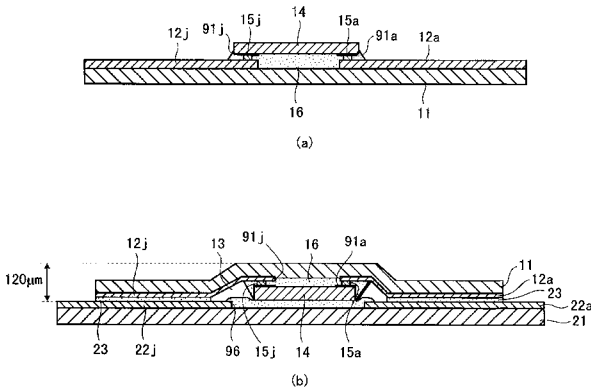
10

20

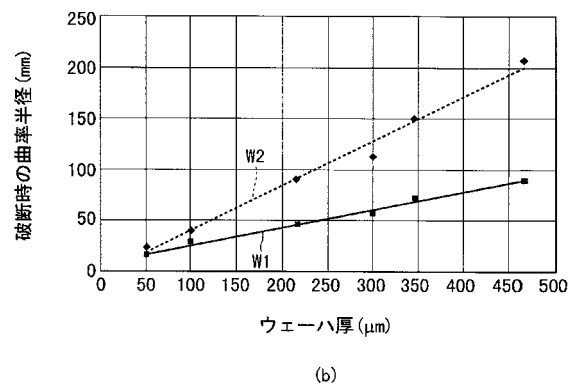
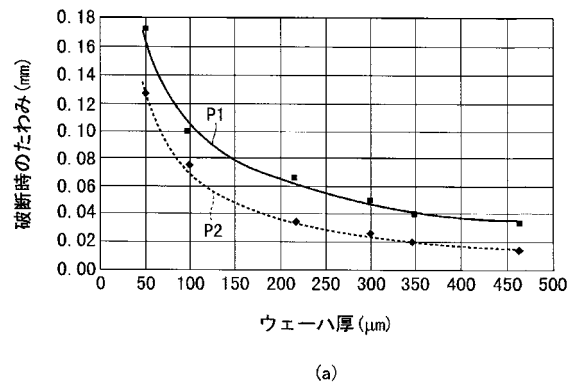
【図1】



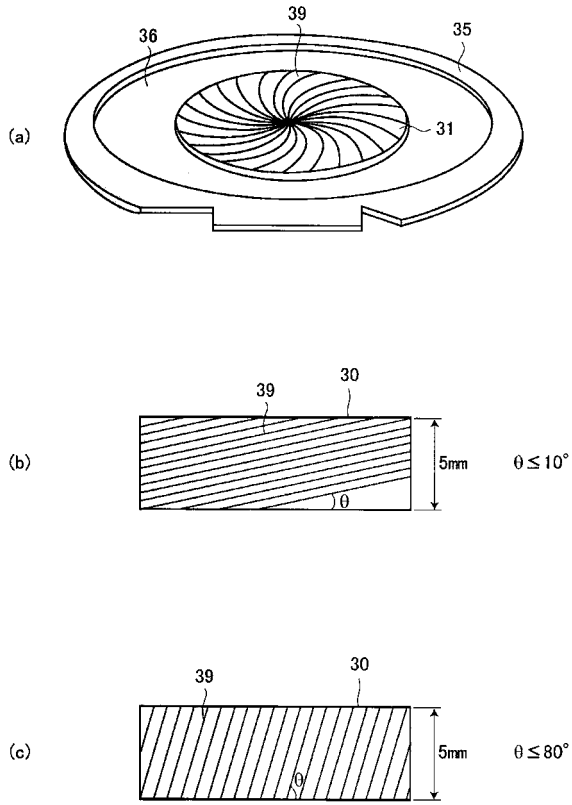
【図2】



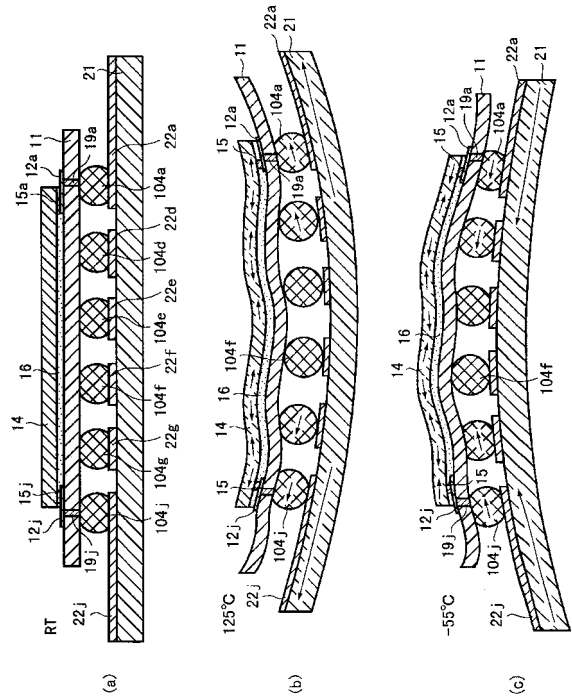
【図3】



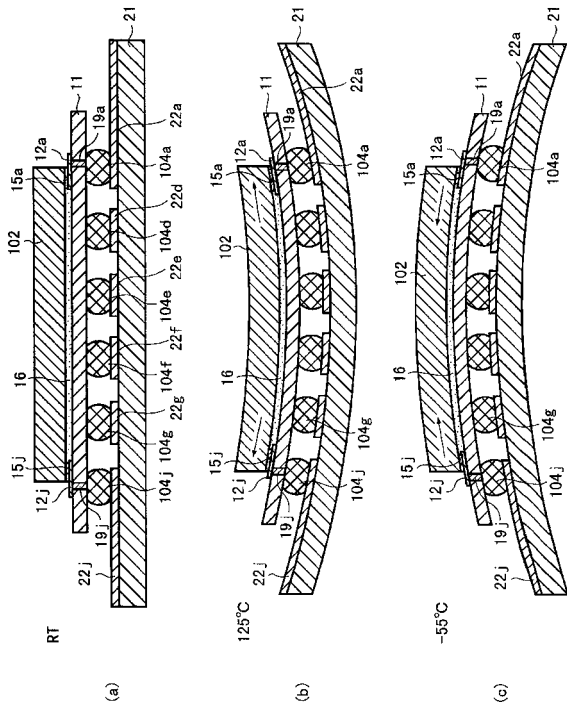
【図4】



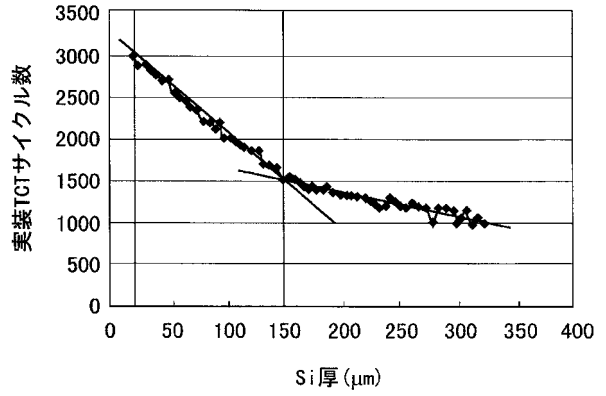
【図5】



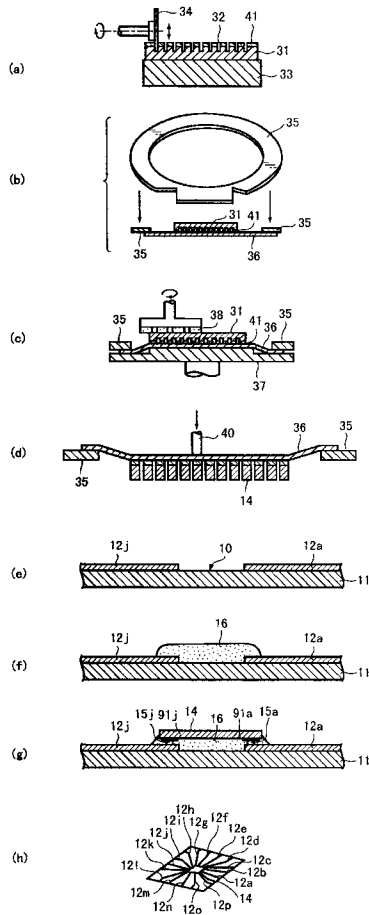
【図6】



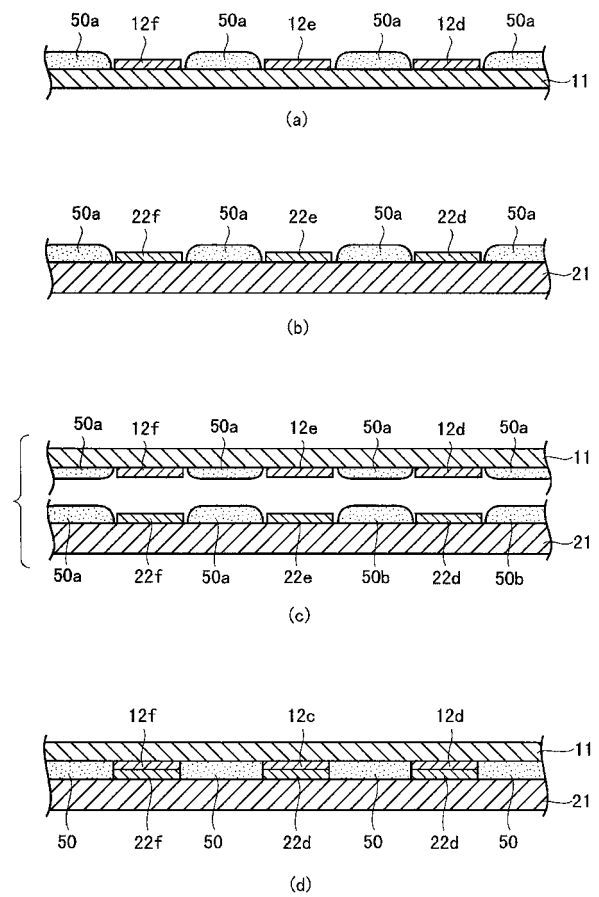
【図7】



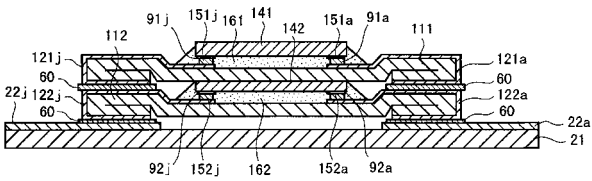
【 図 8 】



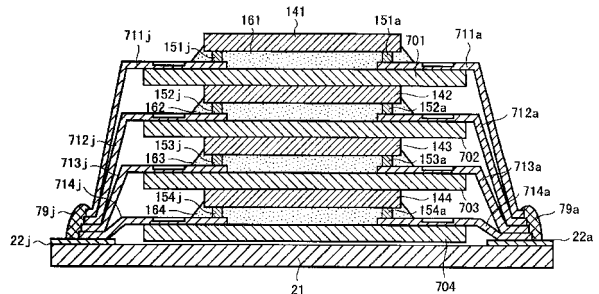
【 図 9 】



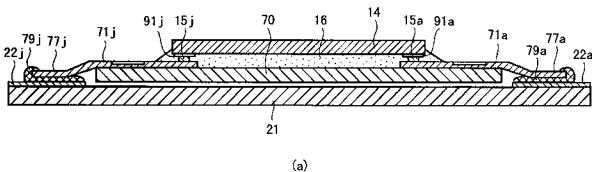
【 図 10 】



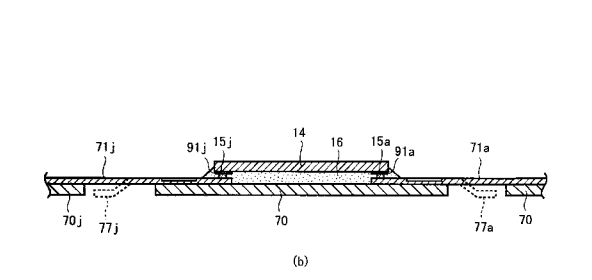
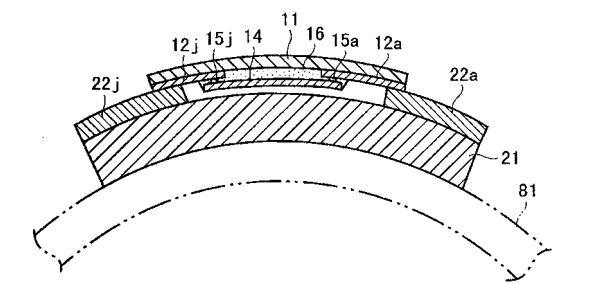
【 図 12 】



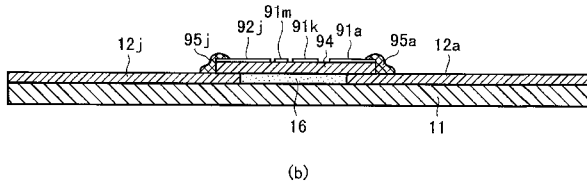
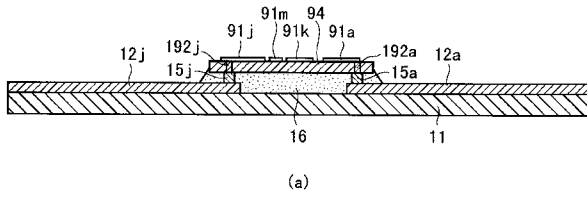
【 図 11 】



【 図 13 】



【 図 14 】



フロントページの続き

(56)参考文献 特開平09 - 134975 (JP, A)
実開平06 - 060169 (JP, U)
特表平11 - 503565 (JP, A)
特開昭64 - 044030 (JP, A)
実開昭58 - 051471 (JP, U)
特開平05 - 041571 (JP, A)
特開昭59 - 124323 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12,
H05K 1/14, 3/36