



(10) **DE 10 2011 006 760 B4** 2018.10.31

(12) **Patentschrift**

(21) Aktenzeichen: **10 2011 006 760.4**  
 (22) Anmeldetag: **05.04.2011**  
 (43) Offenlegungstag: **20.10.2011**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **31.10.2018**

(51) Int Cl.: **H03M 1/38** (2006.01)  
**H03M 1/40** (2006.01)  
**H03M 1/46** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2010-93944**      **15.04.2010**    **JP**

(72) Erfinder:  
**Makihara, Tetsuya, Kariya-city, Aichi-pref., JP;**  
**Horie, Masakiyo, Kariya-city, Aichi-pref., JP**

(73) Patentinhaber:  
**DENSO CORPORATION, Kariya-city, Aichi-pref., JP**

(56) Ermittelter Stand der Technik:

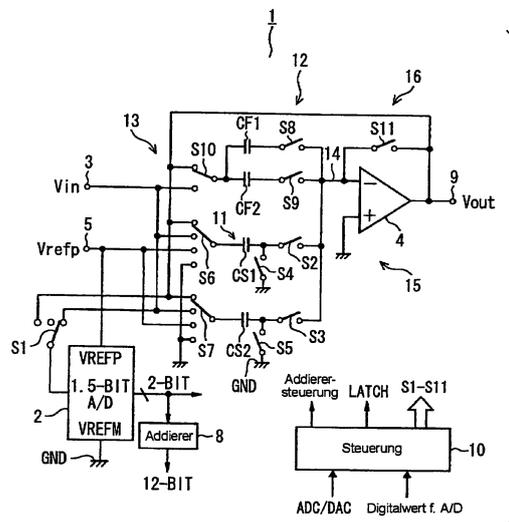
(74) Vertreter:  
**Winter, Brandl, Fürniss, Hübner, Röss, Kaiser,**  
**Polte Partnerschaft mbB, Patentanwälte, 85354**  
**Freising, DE**

DE	29 46 335	C2
US	2005 / 0 140 537	A1
US	2009 / 0 033 535	A1
US	2009 / 0 322 577	A1
US	4 622 536	A
JP	4 284 851	B2

(54) Bezeichnung: **A/D-Wandlervorrichtung und Signalverarbeitungseinheit hiermit**

(57) Hauptanspruch: Eine A/D-Wandlervorrichtung, aufweisend:  
 eine A/D-Wandlerschaltung (2);  
 eine Restspannungserzeugungsschaltung (12, 33, 45), welche eine Restspannung durch Verstärken einer Differenzspannung zwischen einer Eingangsspannung und einer vorbestimmten Analogspannung zu erzeugen vermag; und  
 eine Eingangsschalterschaltung (13, S31, S31p, S31m), welche eine externe Signalspannung oder eine von der Restspannungserzeugungsschaltung ausgegebene Spannung der A/D-Wandlerschaltung und der Restspannungserzeugungsschaltung einzugeben vermag, gekennzeichnet weiterhin durch:  
 eine Steuerschaltung (10, 44), welche die Durchführung eines A/D-Wandervorgangs und eines D/A-Wandervorgangs zu steuern vermag, wobei der A/D-Wandervorgang eine A/D-Umwandlung aufweist, welche eine Analogspannung in der Restspannungserzeugungsschaltung als einen D/A-Wandlerwert eines digitalen Umwandlungswerts setzt, der von der A/D-Wandlerschaltung ausgegeben wird, sowie die externe Signalspannung durch die Eingangsschalterschaltung, die A/D-Wandlerschaltung und die Restspannungserzeugungsschaltung zirkuliert, und  
 der D/A-Wandervorgang eine D/A-Umwandlung aufweist, welche eine Analogspannung in der Restspannungserzeugungsschaltung als eine Spannung entsprechend einem binären Codewert setzt, der von außen zugeführt wird, die Analogspannung, welche von der Restspannungser-

zeugungsschaltung ausgegeben wird, durch die Eingangsschalterschaltung und die Restspannungserzeugungsschaltung zirkuliert und von der Restspannungserzeugungsschaltung ...



## Beschreibung

**[0001]** Die vorliegende Erfindung betrifft eine zyklische A/D-Wandlervorrichtung und eine Signalverarbeitungseinheit, welche mit der zyklischen A/D-Wandlervorrichtung ausgestattet ist.

**[0002]** Als übliches Ausgangsformat von Sensorvorrichtungen, beispielsweise einem Drucksensor oder einem Stromsensor, gibt es das analoge Ausgangsformat und das digitale Ausgangsformat. Das erstere Format gibt ein von einem Sensorelement ausgegebenes Signal als ein analoges Signal (üblicherweise als Spannungswert) an die Außenseite der Sensorvorrichtung aus, nachdem eine analoge Signalverarbeitung, beispielsweise eine Verstärkung, durchgeführt wurde. Das letztere Format gibt ein Signal, das von einem Sensorelement ausgegeben wird, als einen digitalen Wert zur Außenseite der Sensorvorrichtung aus, nachdem eine Analog/Digital-Umwandlung (A/D-Umwandlung) durchgeführt worden ist. Für gewöhnlich ändert sich das notwendige Ausgangs- oder Ausgabeformat einer Sensorvorrichtung abhängig von dem Anwendungsfall, für den die Sensorvorrichtung eingesetzt wird. Daher wurde in der Vergangenheit eine Schaltung in der Ausgangsstufe gemäß dem benötigten Ausgangsformat geeignet ausgelegt oder nach Anordnung einer Schaltung der Ausgangsstufe, welche in beiden Formaten arbeiten kann (einer Schaltung für analoge Ausgabe und einer Schaltung für digitale Ausgabe), wird die Schaltung abhängig von dem benötigten Ausgabeformat wahlweise verwendet. Aus diesem Grund steigen die Kosten zur Schaltungsentwicklung und die Kosten zur Herstellung eines Chips, auf dem sich die Schaltung befindet, an und auch die Entwicklungsdauer nimmt zu.

**[0003]** Die JP 4284851 B2 beschreibt eine Sensorvorrichtung, welche eine A/D-Wandlervorrichtung mit sukzessivem Vergleich verwendet, was es möglich macht, eine analoge Ausgabeschaltung und eine digitale Ausgabeschaltung in einer Vorrichtung unter Verwendung einer Digital/Analog-Wandlerschaltung (D/A-Wandler) zu integrieren, welche Bestandteil der A/D-Wandlervorrichtung ist. Wenn eine solche Sensorvorrichtung verwendet wird, ist es möglich, sowohl ein analoges Ausgabeformat als auch ein digitales Ausgabeformat zu unterstützen. Folglich ist es möglich, eine kleine Sensorvorrichtung zu realisieren.

**[0004]** Üblicherweise gibt es abhängig von dem Typ einer Sensorvorrichtung und dem Anwendungsfall, für den die Sensorvorrichtung verwendet wird, eine Vielzahl von Spezifikationen hinsichtlich der Auflösung der A/D-Umwandlung und D/A-Umwandlung. Eine A/D-Wandlervorrichtung mit sukzessiver Annäherung kann jedoch ihre Auflösung nicht ändern, ohne dass die Schaltungskonfiguration verändert wird. Wenn daher die Technologie gemäß der obigen JP 4284851 B2 verwendet wird, ist es notwendig,

die Schaltungskonfiguration einer D/A-Wandlerschaltung in der A/D-Wandlervorrichtung abhängig von der benötigten Auflösung zu ändern. Das heißt, die Technologie gemäß obiger Druckschrift macht es notwendig, die Schaltungskonfiguration abhängig von den Spezifikationen der Auflösung in der A/D-Umwandlung und D/A-Umwandlung zu ändern. Die Entwicklungskosten und die Entwicklungsdauer nehmen daher notwendigerweise zu.

**[0005]** Aus der DE 2946335 C2 ist eine A/D-Wandlervorrichtung bekannt, aufweisend: eine A/D-Wandlerschaltung; eine Restspannungserzeugungsschaltung, welche eine Restspannung durch Verstärken einer Differenzspannung zwischen einer Eingangsspannung und einer vorbestimmten Analogspannung zu erzeugen vermag; eine Eingangsschaltung, welche eine externe Signalspannung oder eine von der Restspannungserzeugungsschaltung ausgegebene Spannung der A/D-Wandlerschaltung und der Restspannungserzeugungsschaltung einzugeben vermag; eine Steuerschaltung, welche die Durchführung eines A/D-Wandlervorgangs und eines D/A-Wandlervorgangs zu steuern vermag; wobei der A/D-Wandlervorgang eine A/D-Umwandlung aufweist, welche eine Analogspannung in der Restspannungserzeugungsschaltung als einen D/A-Wandlerwert eines digitalen Umwandlungswerts setzt, der von der A/D-Wandlerschaltung ausgegeben wird, und der D/A-Wandlervorgang eine D/A-Umwandlung aufweist, welche eine Analogspannung in der Restspannungserzeugungsschaltung als eine Spannung entsprechend einem binären Codewert setzt.

**[0006]** Die US 2009/0322577 A1 offenbart einen A/D-Wandler mit einer Multiplizierschaltung, welche analoge Ausgangssignale generiert, und einem Sub-A/D-Wandler, welcher die analogen Ausgangssignale in Teile eines digitalen N-Bit-Codes umwandelt.

**[0007]** Die US 2005/0140537 A1 offenbart einen A/D-Wandler, welcher eine Abtast-Halte-Schaltung und eine Steuerschaltung aufweist, wobei die Abtast-Halte-Schaltung und die Steuerschaltung parallel arbeiten und sich einen Operationsverstärker teilen.

**[0008]** Aus der US 4622536 A ist ein kombinierter A/D- und D/A-Wandler bekannt.

**[0009]** Die US 2009/0033535 A1 offenbart schließlich noch einen variablen Verstärker, welcher eine Eingangsspannung mit einem Faktor verstärkt, der durch einen Binärkode definiert ist.

**[0010]** Aufgabe der vorliegenden Erfindung ist es, eine A/D-Wandlervorrichtung zu schaffen, welche eine D/A-Wandlerfunktion hat und eine A/D-Wandlerschaltung aufweist, die in der Lage ist, die Auflösung bei der A/D-Umwandlung und D/A-Umwandlung ohne Änderung der Schaltungskonfiguration zu ändern.

**[0011]** Ferner ist es Aufgabe der vorliegenden Erfindung, eine Signalverarbeitungseinheit zu schaffen, welche eine derartige A/D-Wandlervorrichtung enthält.

**[0012]** Die Lösung der Aufgabe erfolgt durch die Merkmale der Ansprüche 1, 9 oder 11.

**[0013]** Gemäß einem Aspekt der vorliegenden Erfindung weist eine A/D-Wandlervorrichtung eine A/D-Wandlerschaltung, eine Restspannungserzeugungsschaltung, eine Eingangsschalterschaltung und eine Steuerschaltung auf. Die Restspannungserzeugungsschaltung ist in der Lage, eine Restspannung zu erzeugen, indem eine Differenzspannung zwischen Eingangsspannung und vorbestimmter Analogspannung verstärkt wird. Die Eingangsschalterschaltung ist betreibbar, um entweder eine externe Signalspannung oder eine von der Restspannungserzeugungsschaltung ausgegebene Spannung in die A/D-Wandlerschaltung und die Restspannungserzeugungsschaltung einzugeben. Die Steuerschaltung ist in der Lage, die Durchführung eines A/D-Wandlervorgangs und eines D/A-Wandlervorgangs zu steuern. Der A/D-Wandlervorgang enthält eine A/D-Umwandlung, welche eine Analogspannung in der Restspannungserzeugungsschaltung als einen D/A-Wandlerwert eines digitalen Umwandlungswerts setzt, der von der A/D-Wandlerschaltung ausgegeben wird, und die externe Signalspannung durch die Eingangsschalterschaltung, die A/D-Wandlerschaltung und die Restspannungserzeugungsschaltung zirkuliert. Der D/A-Wandlervorgang enthält eine D/A-Umwandlung, welche eine Analogspannung in der Restspannungserzeugungsschaltung als eine Spannung entsprechend einem binären Codewert setzt, der von einer externen Seite zugeführt wird, die von der Restspannungserzeugungsschaltung ausgegebene Analogspannung durch die Eingangsschalterschaltung und die Restspannungserzeugungsschaltung zirkuliert und aus der Restspannungserzeugungsschaltung die Analogspannung entsprechend dem binären Codewert ausgibt.

**[0014]** Weitere Einzelheiten, Aspekte und Vorteile der vorliegenden Erfindung ergeben sich besser aus der nachfolgenden Beschreibung von Ausführungsformen anhand der Zeichnung.

**[0015]** Es zeigt

**Fig. 1** einen Schaltungsaufbau einer zyklischen A/D-Wandlervorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

**Fig. 2** einen Schaltungsaufbau einer 1.5-Bit-A/D-Wandlerschaltung;

**Fig. 3A, Fig. 3B** und **Fig. 3C** jeweils Schaltungsaufbauten von Schaltzuständen eines jeden Schalters bei einem A/D-Wandlervorgang;

**Fig. 4** ein Zeitdiagramm des zeitlichen Ablaufs im A/D-Wandlervorgang;

**Fig. 5** eine Tabelle einer Beziehung zwischen 1.5-Bit-Wandlerergebnissen und einer Ausgangsspannung;

**Fig. 6A, Fig. 6B, Fig. 6C** und **Fig. 6D** jeweils Schaltungsaufbauten von Schaltzuständen eines jeden Schalters in einem D/A-Wandlervorgang;

**Fig. 7** ein Zeitdiagramm von Zeitabläufen im D/A-Wandlervorgang;

**Fig. 8** ein Blockdiagramm des Aufbaus einer Sensorvorrichtung, welche eine zyklische A/D-Wandlervorrichtung verwendet;

**Fig. 9** ein Zeitdiagramm eines ersten Betriebszeitablaufs einer Sensorvorrichtung mit analogem Ausgabeformat;

**Fig. 10** ein Zeitdiagramm eines zweiten Betriebszeitablaufs einer Sensorvorrichtung mit analogem Ausgabeformat;

**Fig. 11** den Schaltungsaufbau einer zyklischen A/D-Wandlervorrichtung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;

**Fig. 12A, Fig. 12B** und **Fig. 12C** jeweils Schaltungsaufbauten der Schaltzustände eines jeden Schalters bei einem A/D-Wandlervorgang in der zweiten Ausführungsform;

**Fig. 13** ein Zeitdiagramm des Betriebszeitablaufs bei dem A/D-Wandlervorgang der zweiten Ausführungsform;

**Fig. 14A, Fig. 14B, Fig. 14C** und **Fig. 14D** jeweils Schaltungsaufbauten der Schaltzustände eines jeden Schalters bei einem D/A-Wandlervorgang der zweiten Ausführungsform;

**Fig. 15** ein Zeitdiagramm des Betriebszeitablaufs im D/A-Wandlervorgang der zweiten Ausführungsform;

**Fig. 16** den Schaltungsaufbau einer zyklischen A/D-Wandlervorrichtung gemäß einer dritten Ausführungsform der vorliegenden Erfindung;

**Fig. 17** ein Blockdiagramm des Aufbaus einer Sensorvorrichtung, welche eine zyklische A/D-Wandlervorrichtung gemäß einer vierten Ausführungsform der vorliegenden Erfindung verwendet;

**Fig. 18** ein Zeitdiagramm eines ersten Betriebszeitablaufs einer Sensorvorrichtung mit analogem Ausgabeformat bei der vierten Ausführungsform; und

**Fig. 19** ein Blockdiagramm des Aufbaus einer Sensorvorrichtung, welche eine zyklische A/D-Wandervorrichtung gemäß einer fünften Ausführungsform der vorliegenden Erfindung verwendet

<Erste Ausführungsform>

**[0016]** Bezug nehmend auf **Fig. 1** ist eine zyklische A/D-Wandervorrichtung 1 in einer integrierten Halbleitervorrichtung (IC) vorgesehen, welche beispielsweise in einer elektronischen Steuereinheit (ECU) zum Einsatz in einem Fahrzeug angeordnet ist. Die zyklische A/D-Wandervorrichtung 1 vermag einen A/D-Wandervorgang und einen D/A-Wandervorgang durchzuführen. Die zyklische A/D-Wandervorrichtung 1 wird z.B. mittels eines CMOS-Prozesses hergestellt.

**[0017]** Ein Eingangsanschluss einer parallelen A/D-Wandlerschaltung 2 mit einer Auflösung von 1.5 Bit ( $m = 1.5$ ) ist wahlweise über einen Schalter S1 mit einem Signaleingangsanschluss 3 oder einem Ausgangsanschluss eines Operationsverstärkers 4 oder in eine verbindungsfreie Position schaltbar. Der Signaleingangsanschluss 3 wird mit einer Eingangssignalspannung (externe Signalspannung)  $V_{in}$  als Ziel oder Soll einer A/D-Umwandlung versorgt. Wenn ein A/D-Wandervorgang durchgeführt wird, wird der Eingangsanschluss der A/D-Wandlerschaltung 2 selektiv über den Schalter S1 mit entweder dem Signaleingangsanschluss 3 oder dem Ausgangsanschluss des Operationsverstärkers 4 verbunden. Wenn ein D/A-Wandervorgang durchgeführt wird, wird der Eingangsanschluss der A/D-Wandlerschaltung 2 verbindungsfrei (offen) geschaltet.

**[0018]** Referenzspannungseingangsanschlüsse VREFP und VREFM der A/D-Wandlerschaltung 2 sind entsprechend mit einem Referenzspannungsanschluss (Referenzspannungsleitung) 5, auf der eine Referenzspannung  $V_{refp}$  liegt, und einem Masseanschluss (Referenzspannungsleitung) GND verbunden, wo eine Referenzspannung  $V_{refm}$  (0 V) anliegt. Hierbei ist die Referenzspannung  $V_{refp}$  auf 5 V gesetzt und der Operationsverstärker 4 arbeitet mit einer Energieversorgung von 5 V.

**[0019]** Die A/D-Wandlerschaltung 2 ist elektrisch wie in **Fig. 2** gezeigt aufgebaut. Das heißt, Widerstände R0 bis R2 sind in Serie zwischen die Referenzspannungseingangsanschlüsse VREFM und VREFP der A/D-Wandlerschaltung 2 geschaltet. Gemeinsame Knoten der Widerstände R0 und R1 und der Widerstände R1 und R2 sind mit invertierenden Eingangsanschlüssen (-) von Komparatoren CMP1 bzw. CMP2 verbunden. Nichtinvertierende Eingangsanschlüsse (+) der Komparatoren CMP1 und CMP2 sind mit dem Eingangsanschluss der A/D-Wandlerschaltung 2 verbunden. Die Widerstandswerte der

Widerstände R0, R1 und R2 sind hierbei auf ein Verhältnis von 3/8, 2/8 und 3/8 gesetzt. Referenzspannungen von  $3/8 \cdot V_{ref}$  (1.875 V) und  $5/8 \cdot V_{ref}$  (3.125 V) werden den nichtinvertierenden Eingangsanschlüssen der Komparatoren CMP1 und CMP2 eingegeben.

**[0020]** Ausgangssignale von hohem Pegel (H oder „1“) oder niedrigem Pegel (L oder „0“), die von den Komparatoren CMP1 und CMP2 ausgegeben werden, werden einer Latcheschaltung 6 eingegeben. Wenn ein Latchsignal auf einen hohen Pegel gesetzt ist, hält die Latcheschaltung 6 die Ausgangssignale der Komparatoren CMP1 und CMP 2 und gibt die gehaltenen Ausgangssignale an einen Encoder 7 aus. Der Encoder 7 erzeugt einen von A/D-Wandlercodes „00“, „01“ und „10“ basierend auf dem Signal von der Latcheschaltung 6 und gibt diesen aus. Diese A/D-Wandlercodes entsprechen „0“, „1“ und „2“ in dezimal. Die A/D-Wandlercodes werden in einer Addierschaltung 8 gemäß **Fig. 1** zusammenaddiert. Die Addierschaltung 8 enthält auch ein Register zum Halten des Additionsergebnisses.

**[0021]** In **Fig. 1** sind auf der rechten Seite liegende Elektroden (untere, gemeinsame Elektroden) von Kondensatoren CS1 und CS2 über Schalter S2 bzw. S3 mit einer gemeinsamen Leitung 14 verbunden sowie über Schalter S4 und S5 jeweils mit einem Masseanschluss GND. Die gemeinsame Leitung 14 ist mit einem invertierenden Eingangsanschluss (-) des Operationsverstärkers 4 verbunden. Linke Elektroden (obere, nicht gemeinsame Elektroden) der Kondensatoren CS1 und CS2 sind über Schalter S6 bzw. S7 selektiv mit dem Signaleingangsanschluss 3 oder dem Ausgangsanschluss des Operationsverstärkers 4 oder dem Referenzspannungsanschluss 5 oder dem Masseanschluss GND verbindbar. Rechte Elektroden (untere, gemeinsame Elektroden) der Kondensatoren CF1 und CF2 sind über Schalter S8 bzw. S9 mit der gemeinsamen Leitung 14 verbunden. Linke Elektroden (obere, nicht gemeinsame Elektroden) der Kondensatoren CF1 und CF2 sind über einen Schalter S10 mit dem Signaleingangsanschluss 3 oder dem Ausgangsanschluss des Operationsverstärkers 4 verbindbar.

**[0022]** Zwischen den invertierenden Eingangsanschluss und den Ausgangsanschluss des Operationsverstärkers 4 ist ein Schalter S11 geschaltet. Der Ausgangsanschluss des Operationsverstärkers 4 ist mit einem Signalausgangsanschluss 9 verbunden. Der Signalausgangsanschluss 9 dient zur Ausgabe einer Analogspannung nach einer D/A-Umwandlung. Die Kondensatoren CS1, CS2, CF1 und CF2 haben jeweils gleiche Kapazitäten C. Die Schalter S1 bis S11 sind bevorzugt durch Analogschalter gebildet.

**[0023]** Die zyklische A/D-Wandervorrichtung 1 kann abhängig von einem von außen zugeführten ADC/

DAC-Funktionsschaltssignal selektiv entweder einen A/D-Wandlervorgang oder einen D/A-Wandlervorgang durchführen. Der A/D-Wandlervorgang führt eine A/D-Umwandlung einer Eingangssignalspannung  $V_{in}$ , welche über den Signaleingangsanschluss **3** kommt, durch und gibt einen A/D-Wandlerwert von 12 Bit (12-Bit-Digitalwert) aus. Der D/A-Wandlervorgang führt eine D/A-Umwandlung eines digitalen Werts (binärer Codewert) durch, der von außen zugeführt wird, und gibt die Analogspannung  $V_{out}$  über den Signalausgangsanschluss **9** aus. Eine Steuerschaltung **10** steuert die Durchführung des A/D-Wandlervorgangs und des D/A-Wandlervorgangs, von denen jeder eine Mehrzahl von Schritten enthält. Die Steuerschaltung **10** wird von außen mit dem ADC/DAC-Funktionsschaltssignal und einem Digitalwert als Sollwert oder Ziel der D/A-Umwandlung versorgt. Die Steuerschaltung **10** steuert die Schaltvorgänge der Schalter **S1** bis **S11**, gibt das Latchsignal aus und steuert auch den Additionsvorgang durch die Addierschaltung **8**.

**[0024]** In der vorliegenden Ausführungsform entspricht der Kondensator **CS1** einem ersten Kondensator, der Kondensator **CS2** entspricht einem zweiten Kondensator, und die Kondensatoren **CF1** und **CF2** entsprechen einem dritten Kondensator. Obgleich die beiden Kondensatoren **CF1** und **CF2** zum Zeitpunkt des A/D-Wandlervorgangs als dritter Kondensator wirken, arbeitet nur der Kondensator **CF1** als dritter Kondensator, wenn der D/A-Wandlervorgang durchgeführt wird.

**[0025]** Eine Kondensatorarray- oder -feldschaltung **11** wird durch die Kondensatoren **CS1** und **CS2** gebildet. Eine Restspannungserzeugungsschaltung **12** wird durch den Operationsverstärker **4**, die Kondensatorfeldschaltung **11**, die Kondensatoren **CF1** und **CF2** und die Schalter **S2** bis **S5**, **S8**, **S9** und **S11** gebildet. Die Restspannungserzeugungsschaltung **12** erzeugt eine Restspannung durch Verstärken einer Differenzspannung aus Eingangsspannung und bestimmter Analogspannung. Eine Eingangsschaltung **13** wird durch die Schalter **S1**, **S6**, **S7** und **S10** gebildet.

**[0026]** Eine Ladungsteilerschaltung **15** wird gebildet durch den Operationsverstärker **4** und die Kondensatoren **CS1** und **CS2**. Die Ladungsteilerschaltung **15** speichert zunächst eine Ladung entsprechend der Referenzspannung  $V_{ref}$  im Kondensator **CS1**, dividiert die gespeicherte Ladung durch ein vorher festgesetztes Verhältnis ( $1/2$ ) und speichert die Ladung wieder in den Kondensatoren **CS1** und **CS2**. Eine Ladungsintegrierschaltung **16** wird gebildet vom Operationsverstärker **4** und den Kondensatoren **CS2** und **CF1**. Die Ladungsintegrierschaltung **16** initialisiert zunächst eine gespeicherte Ladung des Kondensators **CF1** auf null, addiert die gespeicherte Ladung und eine gespeicherte Ladung des Kondensa-

tors **CS2** der Ladungsteilerschaltung **15** und speichert das Ergebnis erneut.

**[0027]** Nachfolgend wird ein A/D-Wandlervorgang, bei dem eine 1.5-Bit-A/D-Umwandlung 12-mal (in 12 Stufen) durch die A/D-Wandlerschaltung **2** wiederholt wird und ein A/D-Wandlerschaltungswert von 12 Bit erzeugt wird, unter Bezug auf die **Fig. 3A**, **Fig. 3B**, **Fig. 3C** und **Fig. 4** beschrieben. Die **Fig. 3A**, **Fig. 3B** und **Fig. 3C** zeigen Schaltzustände der Schalter **S1** bis **S11**. **Fig. 4** zeigt den Betriebszeitablauf oder die Zeitabläufe während des Betriebs in der zyklischen A/D-Wandlervorrichtung **1**. Es sei angenommen, dass ein ADC/DAC-Funktionsschaltssignal, welches die Durchführung des A/D-Wandlervorgangs anweist, bereits vor dem Start des A/D-Wandlervorgangs zugeführt worden ist und dass die Schalter **S8** und **S9** in einem eingeschalteten Zustand (EIN) sind.

Von der Zeit  $t_0$  zur Zeit  $t_1$  (erster Schritt)

**[0028]** Wenn zum Zeitpunkt  $t_0$  ein A/D-Wandlerstartsignal eingegeben wird, wird die Addierschaltung **8** gelöscht und der erste Schritt beginnt. In der Zeit  $t_0$  bis  $t_1$  wird die A/D-Wandlervorrichtung **1** durch den folgenden Vorgang in den in **Fig. 3A** gezeigten Zustand A geschaltet. Die Steuerschaltung **10** schaltet den Schalter **S1** in eine Position, die zum Signaleingangsanschluss **3** führt. Die A/D-Wandlerschaltung **2** beginnt die erste A/D-Umwandlung (erster Schritt), indem die Eingangssignalspannung  $V_{in}$  als Wandlereingangsspannung genommen wird. In der A/D-Wandlerschaltung **2** gibt, wenn die Ausgangssignale der Komparatoren **CMP1** und **CMP2** bestimmt sind, die Steuerschaltung **10** ein Latchsignal aus, und das Umwandlungsergebnis wird in der Latchschaltung **6** gehalten. Dann wird ein 1.5-Bit-A/D-Wandlercode, der vom Encoder **7** ausgegeben wird, in der Addierschaltung **8** addiert.

**[0029]** In der zyklischen A/D-Wandlervorrichtung **1** mit der 1.5-Bit-A/D-Wandlerschaltung **2** ist es notwendig, zur Vorbereitung der Ladungsneuverteilung eine Ladungsfestsetzung an den Kondensatoren durchzuführen, welche eine Kapazität der Größe **4C** bilden. Daher werden zur Vorbereitung der Ladungsneuverteilung im zweiten Schritt von der Steuerschaltung **10** die Schalter **S2**, **S3** und **S11** eingeschaltet und die Schalter **S6**, **S7** und **S10** in eine Abtastposition geschaltet (eine Position, die zum Signaleingangsanschluss **3** führt). In diesem Fall werden die Schalter **S4** und **S5** in einen ausgeschalteten Zustand (AUS) versetzt. Folglich arbeitet der Operationsverstärker **4** als Spannungsfolger, und die Ausgangsspannung (Restspannung)  $V_{out}(1)$  und die Spannung am invertierenden Eingangsanschluss des Operationsverstärkers **4** werden beide auf  $0$  V gesetzt. Dann werden die Kondensatoren **CS1** und **CS2** (Kapazitätswert **2C**) und die Kondensatoren **CF1** und **CF2** (Kapazitätswert **2C**) von der Eingangs-

signalspannung  $V_{in}$  geladen, und eine kombinierte Ladung von  $4C \cdot V_{in}$  wird aufgebaut.

Von der Zeit  $t_1$  zur Zeit  $t_2$  (zweiter Schritt)

**[0030]** In der Zeit  $t_1$  bis  $t_2$  wird die A/D-Wandlervorrichtung **1** in einen Zustand B gemäß **Fig. 3B** mit dem folgenden Ablauf geschaltet. Zu einer Zeit  $t_1$  nach Halten des ersten A/D-Wandlercodes schaltet die Steuerschaltung **10** den Schalter **S1** in eine Position, die zum Signalausgangsanschluss **9** führt (Ausgangsanschluss des Operationsverstärkers **4**), und schaltet den Schalter **S11** aus. Nachdem der Schalter **S11** vollständig ausgeschaltet worden ist, schaltet die Steuerschaltung **10** die Schalter **S6** und **S7** von der Position des Ab tastens in eine Position, die zu dem Referenzspannungsanschluss **5** führt, oder in eine Position, die zu dem Masseanschluss GND führt.

**[0031]** Das vorliegende Schalten der Schalter **S6** und **S7** wird basierend auf einem A/D-Wandlercode wie in **Fig. 5** gezeigt durchgeführt. Das heißt, wenn die Eingangssignalspannung  $V_{in}$  (Ausgangsspannung  $V_{out}$  im zweiten und nachfolgenden Schritt) kleiner als 1.875 V ist, wird der A/D-Wandlercode (A/D-Wandlerergebnis, das von der A/D-Wandlerschaltung **2** ausgegeben wird) zu „00“. Wenn der A/D-Wandlercode „00“ ist, werden die Schalter **S6** und **S7** beide in die Position geschaltet, die zu dem Masseanschluss GND führt. Folglich wird die Referenzspannung  $V_{refm}$  (0 V) an die oberen Elektroden der Kondensatoren **CS1** und **CS2** angelegt.

**[0032]** Wenn die Eingangssignalspannung  $V_{in}$  (Ausgangsspannung ( $V_{out}$ ) gleich oder größer als 1.875 V und kleiner als 3.125 V ist, wird der ausgegebene A/D-Wandlercode „01“. Wenn der A/D-Wandlercode „01“ ist, wird einer der Schalter **S6** und **S7** in die Position geschaltet, die zu dem Referenzspannungsanschluss **5** führt, und der andere Schalter in die Position, die zu dem Masseanschluss GND führt. Folglich wird die Referenzspannung  $V_{refp}$  an eine der oberen Elektroden der Kondensatoren **CS1** und **CS2** angelegt, und die Referenzspannung  $V_{refm}$  (0 V) wird an die andere der oberen Elektroden angelegt. Wenn die Eingangssignalspannung  $V_{in}$  (Ausgangsspannung  $V_{out}$ ) gleich oder größer als 3.125 V ist, wird der ausgegebene A/D-Wandlercode „10“. Wenn der A/D-Wandlercode „10“ ist, werden die Schalter **S6** und **S7** beide in die Position geschaltet, die zu dem Referenzspannungsanschluss **5** führt. Folglich wird die Referenzspannung  $V_{refp}$  an die oberen Elektroden der Kondensatoren **CS1** und **CS2** angelegt.

**[0033]** Vor und nach dem Umschalten der Schalter **S6** und **S7** wird eine Ladung des invertierenden Eingangsanschlusses vom Operationsverstärker **4** konserviert. Daher erfolgt nach dem Schalten eine Rückkopplungssteuerung des Operationsverstärkers **4** über die Kondensatoren **CF1** und **CF2**, so dass

die Spannung am invertierenden Eingangsanschluss auf 0 V gesetzt wird. Folglich wird eine Ladungsverteilung zwischen den Kondensatoren **CS1** und **CS2** und den Kondensatoren **CF1** und **CF2** durchgeführt. Die Beziehung der Ladungskonservierung im vorliegenden Fall ergibt sich durch folgende Gleichung (1) unter der Annahme, dass die Ausgangsspannung des Operationsverstärkers **4**  $V_{out}(2)$  beträgt und dass der erste A/D-Wandlercode  $D(1)$  in dezimal ist

$$4C \cdot (0 - V_{in}) = D(1) \cdot C \cdot (0 - V_{refp}) + 2C \cdot (0 - V_{out}(2)) \quad (\text{Gl. 1})$$

**[0034]** Aus Gleichung (1) kann Gleichung (2) wie folgt abgeleitet werden.

$$V_{out}(2) = 2 \cdot (V_{in} - D(1) \cdot V_{refp}) / 4 \quad (\text{Gl. 2})$$

**[0035]** Folglich wird im zweiten Schritt die Ausgangsspannung (Restspannung)  $V_{out}(2)$ , welche gleich der Eingangssignalspannung  $V_{in}$ , subtrahiert mit einer D/A-Wandlerspannung entsprechend dem ersten A/D-Wandlercode  $D(1)$  und multipliziert mit 2, ist, am Ausgangsanschluss des Operationsverstärkers **4** ausgegeben.

**[0036]** Eine Ausgangsspannung  $V_{out}(N)$  im dritten und folgenden Schritt ergibt sich durch die folgende Gleichung (3) unter der Annahme, dass eine Ausgangsspannung im vorherigen Schritt  $V_{out}(N-1)$  ist und dass ein A/D-Wandlercode in dezimal im vorherigen Schritt  $D(N-1)$  ist

$$V_{out}(N) = 2 \cdot (V_{out}(N-1) - D(N-1) \cdot V_{refp}) / 4 \quad (\text{Gl. 3})$$

**[0037]** Die Beziehung zwischen dem A/D-Wandlercode und der Ausgangsspannung  $V_{out}(N)$  ist in **Fig. 5** gezeigt. Das heißt, die Ausgangsspannung  $V_{out}(N)$  für den A/D-Wandlercode von „00“ („0“ in dezimal) ergibt sich durch Gleichung (4) oder Gleichung (5).

$$V_{out}(N) = 2 \cdot V_{in} \quad (\text{Gl. 4})$$

$$V_{out}(N) = 2 \cdot V_{out}(N-1) \quad (\text{Gl. 5})$$

**[0038]** Die Ausgangsspannung  $V_{out}(N)$  für den A/D-Wandlercode von „01“ („1“ in dezimal) ergibt sich durch Gleichung (6) oder Gleichung (7).

$$V_{out}(N) = 2 \cdot V_{in} - V_{refp} / 2 \quad (\text{Gl. 6})$$

$$V_{out}(N) = 2 \cdot V_{out}(N-1) - V_{refp} / 2 \quad (\text{Gl. 7})$$

**[0039]** Die Ausgangsspannung  $V_{out}(N)$  für den A/D-Wandlercode von „10“ („2“ in dezimal) ergibt sich durch Gleichung (8) oder Gleichung (9).

$$V_{out}(N) = 2 \cdot V_{in} - V_{refp} \quad (\text{Gl. 8})$$

$$V_{out}(N) = 2 \cdot V_{out}(N-1) - V_{refp} / 2 \quad (\text{Gl. 9})$$

**[0040]** Nachdem die Ladungsneuverteilung abgeschlossen ist und wenn die Ausgangsspannung des Operationsverstärkers **4** stabilisiert ist (beispielsweise zu einem Zeitpunkt, zu dem eine vorher festgesetzte Zeit nach der Zeit  $t_1$  verstrichen ist), beginnt die A/D-Wandlerschaltung **2** die 1.5-Bit-A/D-Umwandlung für den zweiten Schritt. Nach Abschluss der Umwandlung wird der zweite A/D-Wandlercode in der Latcheschaltung **6** synchron mit dem Latchsignal gehalten. Die Addierschaltung **8** addiert den zweiten A/D-Wandlercode zum ersten A/D-Wandlercode, um ein Bit zu überlappen.

Von der Zeit  $t_2$  zur Zeit  $t_{22}$  (vom dritten Schritt zum zwölften Schritt)

**[0041]** In der Zeit  $t_2$  bis  $t_3$  wird die A/D-Wandervorrichtung **1** in einen Zustand C gemäß **Fig. 3C** durch den folgenden Vorgang geschaltet. In der Ladungsneuverteilung des dritten Schritts ist es notwendig, eine Ladung von  $4C \cdot V_{out}(2)$  vorab in allen Kondensatoren **CS1**, **CS2**, **CF1** und **CF2** zu setzen. Eine Initialisierung der Kondensatoren **CS1** und **CS2** wird nicht durchgeführt. Zu einer Zeit  $t_2$ , nachdem der zweite A/D-Wandlercode gehalten wurde, schaltet die Steuerschaltung **10** die Schalter **S2** und **S3** aus und hält den Ausgangsspannungswert  $V_{out}(2)$  des Operationsverstärkers **4**. Während des Haltevorgangs wird eine Ladung  $C \cdot V_{out}(2)$  in den Kondensatoren **CF1** und **CF2** gehalten. Wenn in diesem Zustand die Schalter **S4** und **S5** eingeschaltet werden und die Schalter **S6** und **S7** in eine Position geschaltet werden, welche zu dem Signalausgangsanschluss führt, werden Kondensatoren **CS1** und **CS2** durch die Ausgangsspannung  $V_{out}(2)$  des Operationsverstärkers **4** geladen (Ladungseinrichtung).

**[0042]** Zu einer Zeit  $t_3$  nach Abschluss der Ladungseinrichtung der Kondensatoren **CS1** und **CS2** führt die Steuerschaltung **10** die Ladungsneuverteilung auf gleiche Weise wie im zweiten Schritt durch. Wenn die Ladungsneuverteilung oder -umverteilung abgeschlossen ist, beginnt die A/D-Wandlerschaltung **2** die dritte 1.5-Bit-A/D-Umwandlung, und der dritte A/D-Wandlercode wird nach Abschluss der Umwandlung in der Latcheschaltung **6** synchron mit dem Latch-

signal gehalten. Die Addierschaltung **8** addiert den dritten A/D-Wandlercode zu dem Wert, zu dem die ersten und zweiten A/D-Wandlercodes addiert wurden, um ein Bit zu überlappen.

**[0043]** Ein A/D-Wandervorgang vom vierten Schritt bis zum zwölften Schritt zur Zeit  $t_4$  und später ist gleich wie der A/D-Wandervorgang des obigen dritten Schritts. Wenn der zwölfte A/D-Wandlercode in der Latcheschaltung **6** synchron mit dem Latchsignal im zwölften Schritt gehalten wird, addiert die Addierschaltung **8** den zwölften A/D-Wandlercode zu einem Wert, zu dem die ersten bis elften A/D-Wandlercodes bereits addiert wurden, um ein Bit zu überlappen. Folglich erhält die zyklische A/D-Wandervorrichtung **1** den letztendlichen 12-Bit-A/D-Wandlercode durch Trunkieren des Bits mit geringstem Stellenwert (LSB) nach der Addition.

**[0044]** Nachfolgend wird ein D/A-Wandervorgang durch die zyklische A/D-Wandervorrichtung **1** unter Bezug auf die **Fig. 6A**, **Fig. 6B**, **Fig. 6C**, **Fig. 6D** und **Fig. 7** beschrieben. Die **Fig. 6A** bis **Fig. 6D** zeigen Schaltzustände der Schalter **S1** bis **S11**. **Fig. 7** zeigt den Betriebszeitablauf oder Zeitabläufe während des Betriebs der zyklischen A/D-Wandervorrichtung **1**. Das Folgende sei angenommen: Vor einem Beginn eines D/A-Wandervorgangs wurde ein ADC/DAC-Funktionsschaltsignal, welches die Durchführung des D/A-Wandervorgangs anweist, bereits zugeführt, der Schalter **S1** ist in eine Position ohne Verbindung (offen) gesetzt, der Schalter **S10** in eine Position, welche zum Signalausgangsanschluss **9** führt, und die Schalter **S4** und **S5** sind AUS. Der Ausgang der A/D-Wandlerschaltung **2** ist während des D/A-Wandervorgangs undefiniert (nicht festgelegt).

**[0045]** Die **Fig. 6A** bis **Fig. 6D** zeigen einen Abtastzustand A der Referenzspannung  $V_{refp}$ , einen Ladungsverteilungszustand B zwischen den Kondensatoren **CS1** und **CS2**, einen Ladungsadditionszustand C vom Kondensator **CS2** nach **CF1** und einen Ladungsinitialisierungszustand D des Kondensators **CS2**. Ein Pfeil stellt in den Figuren den Übergang zwischen den Zuständen dar, die in dem D/A-Prozess auftreten können.

**[0046]** **Fig. 7** ist ein Zeitdiagramm für den Fall, dass eine D/A-Umwandlung an einem 3-Bit-Digitalwert (binärer Codewert) „111“ durchgeführt wird und eine analoge Ausgangsspannung  $V_{out}$  von  $7/8 \cdot V_{refp}$  erzeugt wird. Zuerst sind die Schalter **S2**, **S3**, **S8**, **S9** und **S11** eingeschaltet, der Schalter **S6** ist in eine Position geschaltet, die zum Referenzspannungsanschluss **5** führt, und der Schalter **S7** ist in eine Position geschaltet, die zum Signalausgangsanschluss **9** führt. Im vorliegenden Abtastzustand A wird eine Ladung  $C \cdot V_{refp}$  proportional zur Referenzspannung  $V_{refp}$  am Kondensator **CS1** gesammelt und die Ladungen der Kondensatoren **CS2**, **CF1** und **CF2** wer-

den auf null initialisiert. Die Ausgangsspannung  $V_{out}$  zu dieser Zeit (1) beträgt 0 V.

[0047] Dann wird, nachdem die Schalter **S8**, **S9** und **S11** ausgeschaltet wurden, der Schalter **S6** in eine Position geschaltet, die zum Signalausgangsanschluss **9** führt, und der Abtastzustand A verschiebt sich in den Ladungsverteilungszustand B. Im Ladungsverteilungszustand B wird die Ladung des Kondensators **CF1** konserviert. Da die Kondensatoren **CS1** und **CS2**, welche gleichen Kapazitätswert haben, zwischen den Ausgangsanschluss und den invertierenden Eingangsanschluss des Operationsverstärkers **4** geschaltet sind, wird die Ladung gleichmäßig zwischen den Kondensatoren **CS1** und **CS2** aufgeteilt (Ladungsteilvorgang durch die Ladungsteilerschaltung **15**). Eine Ladung der Kondensatoren **CS1** und **CS2** ist durch die folgende Gleichung (10) gegeben, wobei die Ausgangsspannung  $V_{out}(2)$  vorliegt.

$$\text{Ladung von CS1(CS2)} = C \cdot V_{out}(2) = (1/2) \cdot C \cdot V_{refp} \quad (\text{Gl. 10})$$

[0048] Danach wird der digitale Wert eines binären Codewerts Bit für Bit von einem Bit höherer Ordnung her bearbeitet. Wenn das betreffende Bit  $K$  auf „0“ ist (erster logischer Pegel), wird der Schalter **S2** auf AUS gesetzt und der Schalter auf EIN, und der Ladungsverteilungszustand B als Ausgangspunkt verschiebt sich in den Ladungsinitialisierungszustand D. In dem vorliegenden Ladungsinitialisierungszustand D verbleibt die Ladung an den Kondensatoren **CS1** und **CF1** konserviert (gehalten) und die Ladung des Kondensators **CS2** wird auf null initialisiert. In diesem Fall ist die Ausgangsspannung  $V_{out}$  0 V.

[0049] Wenn andererseits das betreffende Bit  $K$  den Wert „1“ hat (zweiter logischer Pegel), wird der Schalter **S2** auf AUS gesetzt, der Schalter **S8** auf EIN und der Schalter **S7** in eine Position, die zum Masseanschluss GND führt. Der Ladungsverteilungszustand B als Startpunkt verschiebt sich zu dem Ladungsadditionszustand C. In dem vorliegenden Ladungsadditionszustand C verbleibt die Ladung des Kondensators **CS1** konserviert und die Ladungsverteilung wird zwischen den Kondensatoren **CS2** und **CF1** durchgeführt. Die Ladung des Kondensators **CF1** wird die Summe einer Ladung, welche der Kondensator **CF1** selbst hat, und der Ladung des Kondensators **CS2** (Ladungsadditionsvorgang durch die Ladungsintegrationsschaltung **16**).

[0050] Da im vorliegenden Fall alle drei Bits „1“ sind, wird die Betriebsumschaltung oder -verschiebung von dem Ladungsverteilungszustand B als Ausgangspunkt zum Ladungsadditionszustand C dreimal wiederholt, was schließlich in dem Ladungsadditionszustand C endet. Die Ladung des Kondensators **CF1** in der ersten Verschiebung ergibt sich durch eine La-

dung **0**, welche der Kondensator **CF1** selbst hat, plus einer Ladung  $1/2 \cdot C \cdot V_{refp}$  des Kondensators **CS2**, was zu der Summe  $1/2 \cdot C \cdot V_{refp}$  führt. In der zweiten Verschiebung ergibt sich die Ladung des Kondensators **CF1** durch die Ladung  $1/2 \cdot C \cdot V_{refp}$ , welche der Kondensator **CF1** selbst hat, plus einer Ladung  $1/4 \cdot C \cdot V_{refp}$  des Kondensators **CS2**, was zu der Summe  $3/4 \cdot C \cdot V_{refp}$  führt. In der dritten Verschiebung ergibt sich die Ladung des Kondensators **CF1** durch die Ladung  $3/4 \cdot C \cdot V_{refp}$ , welche der Kondensator **CF1** selbst hat, plus einer Ladung  $1/8 \cdot C \cdot V_{refp}$  des Kondensators **CS2**, was zu der Summe  $7/8 \cdot C \cdot V_{refp}$  führt.

[0051] Allgemein gesagt, eine Analogspannung  $V_{out}$ , die erzeugt wird durch Durchführung der D/A-Umwandlung in einen digitalen Wert (binärer Codewert) „ $K_1K_2K_3 \dots K_n-1K_n$ “ von „ $n$ “ Bits ist durch Gleichung (11) gegeben. Wenn in diesem Fall  $K_i$  „1“ ist und sämtliche  $K_{i+1}$ ,  $K_{i+2}$ , ...,  $K_n$  „0“ sind, kann der Ablauf beendet werden, wenn die  $i$ -te Verschiebung vom Ladungsverteilungszustand B als Ausgangspunkt zu dem Ladungsadditionszustand C stattfindet

$$V_{out} = \left( K_1 \cdot \frac{1}{2} + K_2 \cdot \left(\frac{1}{2}\right)^2 + K_3 \cdot \left(\frac{1}{2}\right)^3 + \dots + K_n \cdot \left(\frac{1}{2}\right)^n \right) \cdot v_{refp} \quad (\text{Gl. 11})$$

[0052] Nachfolgend wird der Fall erläutert, bei dem die zyklische A/D-Wandlervorrichtung **1** mit obiger Ausgestaltung bei einer Sensorvorrichtung angewendet wird, wobei eine bestimmte Signalverarbeitung an einem Ausgangssignal eines Sensors erfolgt und das Ergebnis ausgegeben wird.

[0053] Eine derartige Sensorvorrichtung hat beispielsweise den Aufbau gemäß **Fig. 8**. Die Sensorvorrichtung ist insgesamt mit **21** bezeichnet und umfasst im Wesentlichen ein Sensorelement **22** beispielsweise in Form eines Drucksensors und eine Signalverarbeitungseinheit **23**. Die Signalverarbeitungseinheit **23** umfasst eine Verstärkerschaltung **24**, die zyklische A/D-Wandlervorrichtung **1** und eine digitale Signalverarbeitungsschaltung (DSP) **25** (entsprechend einer Signalverarbeitungsschaltung).

[0054] Die Verstärkerschaltung **24** verstärkt ein Analogsignal (Spannung) von dem Sensorelement **22** um einen bestimmten Faktor und gibt das verstärkte Signal aus. Eine Ausgangsspannung von der Verstärkerschaltung **24** wird der A/D-Wandlervorrichtung **1** zugeführt. Wenn ein ADC/DAC-Funktionsschaltssignal, welches die Durchführung einer A/D-Umwandlung anweist, zugeführt wird, führt die A/D-Wandlervorrichtung **1** den A/D-Wandlungsvorgang durch, um an der Ausgangsspannung der Verstärkerschaltung **24** die A/D-Umwandlung durchzuführen. Ein digitaler Umwandlungswert (A/D-Wandlerwert oder digitales Signal), der von der A/D-Wandlervorrichtung **1** aus-

gegeben wird, wird der digitalen Signalverarbeitungsschaltung **25** zugeführt.

**[0055]** Die digitale Signalverarbeitungsschaltung **25** führt eine bestimmte Signalverarbeitung an dem digitalen Umwandlungswert entsprechend der Ausgangsspannung des Sensorelements **22** durch, der von der A/D-Wandlervorrichtung **1** ausgegeben wird. Beispielsweise führt die digitale Signalverarbeitungsschaltung **25** eine Korrektur zweiter Ordnung zur Verbesserung der Ausgangslinearität des Sensorelements **22**, eine Offsetkorrektur etc. durch. Die Signalverarbeitung kann nach Bedarf vorgegeben oder eingestellt werden, was sehr vorteilhaft insbesondere bei der Durchführung der Verarbeitung eines digitalen Formats ist, was für eine Signalverarbeitung bevorzugt ist. Ein digitales Signal nach der Korrektur, das von der digitalen Signalverarbeitungsschaltung **25** ausgegeben wird, wird sowohl aus der Sensorvorrichtung **21** herausgeführt als auch der A/D-Wandlervorrichtung **1** zurückgeführt. Wenn ein ADC/DAC-Funktionsschaltssignal zugeführt wird, das die Durchführung eines D/A-Wandlervorgangs anweist, führt die A/D-Wandlervorrichtung **1** die D/A-Umwandlung durch, um eine D/A-Umwandlung an dem digitalen Signal durchzuführen, welches von der digitalen Signalverarbeitungsschaltung **25** ausgegeben wird, und um eine Analogspannung auszugeben. Die von der A/D-Wandlervorrichtung **1** ausgegebene Analogspannung wird dann aus der Sensorvorrichtung **21** herausgeführt.

**[0056]** Durch Verwendung der A/D-Wandlervorrichtung **1** derart, dass der A/D-Wandlervorgang stets durchgeführt werden kann, arbeitet die Sensorvorrichtung **21** mit obigem Aufbau als eine Sensorvorrichtung mit digitalem Ausgabeformat, welche einen digitalen Ausgabevorgang durchführt, um ein digitales Signal auszugeben, nachdem eine digitale Korrektur an einem Ausgang des Sensorelements **22** erfolgt ist. Durch Verwendung der A/D-Wandlervorrichtung **1** derart, dass der A/D-Wandlervorgang und der D/A-Wandlervorgang abwechselnd im Timesharing-Betrieb durchgeführt werden können, arbeitet die Sensorvorrichtung **21** als Sensorvorrichtung mit analogem Ausgabeformat, welche einen analogen Ausgabevorgang durchführt, um eine Analogspannung auszugeben, nachdem eine digitale Korrektur am Ausgang des Sensorelements **22** erfolgt ist.

**[0057]** Das ADC/DAC-Funktionsschaltssignal gemäß obiger Beschreibung wird von einer nicht dargestellten Steuerschaltung ausgegeben. Das heißt, das Umschalten zwischen digitalem Ausgabeformat und analogem Ausgabeformat der Sensorvorrichtung **21** wird von dieser Steuerschaltung gesteuert. Das Ausgangssignal (Digitalwert oder Analogspannung) der Sensorvorrichtung **21** wird der Steuerschaltung zugeführt.

**[0058]** Die Sensorvorrichtung **21** arbeitet als eine Vorrichtung mit analogem Ausgabeformat gemäß nachfolgender Beschreibung unter Bezugnahme auf die **Fig. 9** und **Fig. 10**, welche den Betriebszeitablauf der A/D-Wandlervorrichtung **1** und der digitalen Signalverarbeitungsschaltung **25** zeigen.

#### Erstes Betriebsmuster (Fig. 9)

**[0059]** Zuerst wird die A/D-Wandlervorrichtung **1** gesteuert, um eine Ausgangsspannung der Verstärkerschaltung **24** zu erhalten und einen A/D-Wandlervorgang durchzuführen (Zeit  $t_0$  bis  $t_1$ ). Danach wird die digitale Signalverarbeitungsschaltung **25** gesteuert, um die Signalverarbeitung an dem digitalen Umwandlungswert durchzuführen, der von der A/D-Wandlervorrichtung **1** ausgegeben wird (Zeit  $t_1$  bis  $t_2$ ). Dann wird die A/D-Wandlervorrichtung **1** gesteuert, um das Ausgangssignal von der digitalen Signalverarbeitungsschaltung **25** zu erhalten und einen D/A-Wandlervorgang durchzuführen (Zeit  $t_2$  bis  $t_3$ ). Die von der A/D-Wandlervorrichtung **1** ausgegebene Analogspannung wird dann nach außen ausgegeben. Zu einer Zeit  $t_3$  und später werden wie im Fall der Zeit  $t_0$  bis  $t_3$  der A/D-Wandlervorgang durch die A/D-Wandlervorrichtung **1**, die Signalverarbeitung durch die digitale Signalverarbeitungsschaltung **25** und der D/A-Wandlervorgang durch die A/D-Wandlervorrichtung **1** in dieser Reihenfolge wiederholt.

#### Zweites Betriebsmuster (Fig. 10)

**[0060]** Zunächst wird die A/D-Wandlervorrichtung **1** gesteuert, um eine Ausgangsspannung der Verstärkerschaltung **24** zu erhalten und einen A/D-Wandlervorgang durchzuführen (Zeit  $t_0$  bis  $t_1$ ). Danach wird die digitale Signalverarbeitungsschaltung **25** gesteuert, um die Signalverarbeitung an dem digitalen Umwandlungswert durchzuführen, der von der A/D-Wandlervorrichtung **1** ausgegeben wird (Zeit  $t_1$  bis  $t_2$ ). In der Zeit  $t_3$  bis  $t_5$  werden wie im Fall der Zeit  $t_0$  bis  $t_2$  die A/D-Wandlervorgang durch die A/D-Wandlervorrichtung **1** und die Signalverarbeitung durch die digitale Signalverarbeitungsschaltung **25** durchgeführt. Das heißt, der A/D-Wandlervorgang und die Signalverarbeitung werden abwechselnd dreimal in der Zeit  $t_0$  bis  $t_8$  durchgeführt.

**[0061]** Nach Beendigung der dritten Signalverarbeitung berechnet die digitale Signalverarbeitungsschaltung **25** einen Durchschnittswert (Mittelwert) Dave dreier Digitalwerte basierend auf der folgenden Gleichung (12). Hierbei ist angenommen, dass ein in der Zeit  $t_0$  bis  $t_2$  erzeugter Digitalwert  $D(N-2)$  ist, ein in der Zeit  $t_3$  bis  $t_5$  erzeugter Digitalwert  $D(N-1)$  ist und ein in der Zeit in der Zeit  $t_6$  bis  $t_8$  erzeugter Digitalwert  $D(N)$  ist.

$$\text{Dave} = (D(N) + D(N-1) + D(N-2)) / 3$$

(Gl. 12)

**[0062]** Die digitale Signalverarbeitungsschaltung **25** gibt an die A/D-Wandlervorrichtung **1** den Durchschnittswert Dave von drei Digitalwerten gemäß Gleichung (12) aus. Dann wird die A/D-Wandlervorrichtung **1** gesteuert, um den Durchschnittswert Dave von der digitalen Signalverarbeitungsschaltung **25** zu erhalten und einen D/A-Wandlervorgang durchzuführen (Zeit **t8** bis **t9**). Hierbei wird eine von der A/D-Wandlervorrichtung **1** ausgegebene Analogspannung nach außen ausgegeben. Zu einer Zeit **t9** und später wird wie im Fall der Zeit **t0** bis **t9** der folgende Schritt wiederholt, das heißt, der A/D-Wandlervorgang durch die A/D-Wandlervorrichtung **1** und die Signalverarbeitung durch die digitale Signalverarbeitungsschaltung **25** werden abwechselnd dreimal wiederholt und dann wird der D/A-Wandlervorgang durch die A/D-Wandlervorrichtung **1** einmal durchgeführt.

**[0063]** Die digitale Signalverarbeitungsschaltung **25** kann so ausgestaltet werden, dass sie den Durchschnittswert von drei Digitalwerten auf der Grundlage der obigen Gleichung (12) berechnet, wann immer die Signalverarbeitung durchgeführt wird. Was hierbei für die A/D-Wandlervorrichtung **1** notwendig ist, ist die Durchführung eines D/A-Wandlervorgangs zu einer bestimmten Zeit und die Ausgabe einer Ausgangsspannung nach außen. Diese bestimmte Zeit kann als eine Zeit bestimmt werden, zu der ein bestimmter Befehl von einer externen Steuerschaltung zugeführt wird. Alternativ kann die bestimmte Zeit als eine Zeit bestimmt werden, zu der der Durchschnittswert Dave berechnet wird. Das heißt, es ist auch vorteilhaft, den berechneten Mittelwert Dave auszugeben, wann immer er berechnet wurde.

**[0064]** Wie oben beschrieben, schafft die erste Ausführungsform unter anderem die folgenden Vorteile:

**[0065]** Die zyklische A/D-Wandlervorrichtung **1** ist in der Lage, selektiv den A/D-Wandlervorgang und den D/A-Wandlervorgang durch Betrieb der Steuerschaltung **10** durchzuführen, welche das Schalten der Schalter **S1** bis **S11** gemäß dem ADC/DAC-Funktionsschaltsignal steuert, welches von außen zugeführt wird. Der A/D-Wandlervorgang führt eine A/D-Umwandlung der Eingangsspannung  $V_{in}$  durch, welche von außen über den Signaleingangsanschluss **3** erhalten wird, und gibt den A/D-Wandlervorgangswert von 12 Bit aus. Der D/A-Wandlervorgang gibt eine Analogspannung  $V_{out}$  aus, welche erzeugt wird durch Durchführung des D/A-Wandlervorgangs an einem binären Codewert (Digitalwert), der von außen über den Signalausgangsanschluss **9** zugeführt wird. Das heißt, die zyklische A/D-Wandlervorrichtung **1** ist in der Lage, einen D/A-Wandlervorgang zusätzlich zu einem A/D-Wandlervorgang unter Verwendung

der Restspannungserzeugungsschaltung **12** durchzuführen, welche hauptsächlich zur Durchführung des A/D-Wandlervorgangs vorgesehen ist. Damit ist es möglich, eine zyklische A/D-Wandlervorrichtung zu realisieren, welche auch eine D/A-Wandlerfunktion hat, ohne dass die Schaltungsgröße zunimmt. Die zyklische A/D-Wandlervorrichtung **1** gemäß obiger Beschreibung kann einen A/D-Wandlervorgang und einen D/A-Wandlervorgang mit beliebigen Auflösungen problemlos durchführen, indem nur die Anzahl der zyklischen Betriebsabläufe geändert wird. Auch in einem Fall, wo sich die Spezifikation hinsichtlich der Auflösung ändert, ist es möglich, eine A/D-Umwandlung und D/A-Umwandlung mit der nötigen Auflösung durchzuführen, ohne dass sich die Schaltungskonfiguration abhängig von der geänderten Spezifikation ändern muss. Wenn die A/D-Wandlervorrichtung **1** als eine integrierte Schaltung auf einem Chip (IC) hergestellt wird, ist es möglich, die Größe des IC-Chips zu verringern, da der Schaltungsaufbau reduziert werden kann.

**[0066]** Wenn der D/A-Wandlervorgang durchgeführt wird, teilt die Ladungsteilerschaltung **15** die gespeicherte Eigenladung, welche zu Beginn gemäß der Referenzspannung gebildet worden ist, durch ein vorab festgesetztes Verhältnis und speichert die geteilte Ladung erneut. Die Ladungsintegrationsschaltung **16** addiert die gespeicherte Eigenladung, welche zu Beginn initialisiert wurde, zu der gespeicherten Ladung der Ladungsteilerschaltung und speichert das Ergebnis erneut. Entsprechend einem jeden Bit sequenziell von dem Bit mit höchstem Stellenwert (MSB) des von außen kommenden binären Codes führt die Ladungsteilerschaltung **15** den Divisionsvorgang einer Ladung durch, und gemäß einem Datenwert des betreffenden Bits führt die Ladungsintegrierschaltung **16** den Additionsvorgang einer Ladung durch. Damit ist es möglich, einen D/A-Wandlervorgang mit einer Auflösung entsprechend der Anzahl von Bits des binären Codes durchzuführen, ohne dass die Schaltungskonfiguration abhängig von der Auflösung erhöht werden muss.

**[0067]** Durch Verwendung der A/D-Wandlervorrichtung **1** so, dass ein A/D-Wandlervorgang stets durchgeführt werden kann, führt die Signalverarbeitungseinheit **23** der Sensorvorrichtung **21** die A/D-Umwandlung des vom Sensorelement **22** ausgegebenen Analogsignals durch und führt dann die bestimmte digitale Signalverarbeitung durch und gibt das digitale Signal als Ergebnis aus. Folglich ist es möglich, die Sensorvorrichtung **21** als eine Vorrichtung mit digitalem Ausgabeformat arbeiten zu lassen. Durch Verwenden der A/D-Wandlervorrichtung **1** so, dass der A/D-Wandlervorgang und der D/A-Wandlervorgang im Timesharing-Betrieb abwechselnd durchgeführt werden können, führt die Signalverarbeitungseinheit **23** die A/D-Umwandlung des vom Sensorelement **22** ausgegebenen Analogsignals durch und

führt dann eine bestimmte digitale Signalverarbeitung durch und weiterhin eine D/A-Umwandlung an dem digitalen Ergebnissignal und gibt schließlich die erzeugte Analogspannung aus. Folglich ist es möglich, die Sensorvorrichtung **21** als eine Vorrichtung arbeiten zu lassen, welche analoges Ausgabeformat hat. Wenn die Sensorvorrichtung **21** mit der Signalverarbeitungseinheit **23** gemäß obiger Auslegung verwendet wird, ist es möglich, sowohl ein analoges Ausgabeformat als auch ein digitales Ausgabeformat zu unterstützen. Gemäß der obigen Ausgestaltungsform ist es möglich, eine Größenverringerung der Sensorvorrichtung im Vergleich zu einer Sensorvorrichtung zu erreichen, die dafür ausgelegt ist, sowohl ein digitales Ausgabeformat als auch ein analoges Ausgabeformat dadurch zu unterstützen, dass eine zyklische A/D-Wandlervorrichtung und eine zyklische D/A-Wandlervorrichtung gemeinsam vorgesehen werden.

<Zweite Ausführungsform>

**[0068]** Eine zweite Ausführungsform der vorliegenden Erfindung wird nachfolgend unter Bezugnahme auf die **Fig. 11** bis **Fig. 15** beschrieben, wobei gleiche Bezugszeichen gleiche oder einander entsprechende Teile oder Elemente wie in der ersten Ausführungsform bezeichnen.

**[0069]** Gemäß **Fig. 11** ist eine zyklische A/D-Wandlervorrichtung **31** vorgesehen, um einen A/D-Wandlervorgang und einen D/A-Wandlervorgang durchzuführen, wie bei der zyklischen A/D-Wandlervorrichtung **1** von **Fig. 1**. Ein Eingangsanschluss einer A/D-Wandlerschaltung **2** ist selektiv entweder mit einem Signaleingangsanschluss **3** oder einem Ausgangsanschluss eines Operationsverstärkers **4** über einen Schalter **S31** verbindbar. Jede von unteren Elektroden (rechte Elektroden in **Fig. 11** bzw. gemeinsam geschaltete Elektroden) von Kondensatoren **CS1** und **CS2** ist mit einer gemeinsamen Leitung **32** verbunden. Die gemeinsame Leitung **32** ist mit einem invertierenden Eingangsanschluss des Operationsverstärkers **4** über einen Schalter **32** und mit einem Masseanschluss GND über einen Schalter **S33** verbunden. Obere Elektroden (linke Elektroden in **Fig. 11** bzw. nicht gemeinsame Elektroden) der Kondensatoren **CS1** und **CS2** sind selektiv mit einem gemeinsamen Kontakt des Schalters **S31** oder einem Referenzspannungsanschluss **5** oder dem Masseanschluss GND über Schalter **S34** bzw. **S35** verbindbar.

**[0070]** Zwischen den invertierenden Eingangsanschluss und den Ausgangsanschluss des Operationsverstärkers **4** ist ein Schalter **S36** gesetzt. Ein Kondensator CF ist zwischen den Schalter **S31** und den invertierenden Eingangsanschluss des Operationsverstärkers **4** gesetzt. Ein nichtinvertierender Eingangsanschluss des Operationsverstärkers **4** ist mit dem Masseanschluss GND verbunden. Der Kondensator

CF hat die doppelte Kapazität (**2C**) der Kapazität (**C**) eines jeden der Kondensatoren **CS1** und **CS2**. Der Kondensator CF ist zwischen den Eingangsanschluss und den Ausgangsanschluss des Operationsverstärkers **4** dann geschaltet, wenn der Schalter **S36** auf AUS gesetzt ist und der Schalter **S31** in eine Position gesetzt ist, welche zum Ausgangsanschluss des Operationsverstärkers **4** führt. Das Schalten der Schalter **S31** bis **S36** wird durch eine Steuerschaltung **10** gesteuert.

**[0071]** In der zweiten Ausführungsform entspricht der Kondensator CF dem dritten Kondensator und der Schalter **S31** entspricht der Eingangsschalterschaltung. Eine Restspannungserzeugungsschaltung **33** ist gebildet durch den Operationsverstärker **4**, die Kondensatorreihenanzordnung **11**, den Kondensator CF und die Schalter **S32** bis **S36**. Eine Ladungsintegrierschaltung **34** und eine Ladungsteilerschaltung **35** sind gebildet durch den Operationsverstärker **4** und die Kondensatoren **CS1**, **CS2** und CF. Die Ladungsintegrierschaltung **34** und die Ladungsteilerschaltung **35** sind betriebsmäßig nahe miteinander verwandt. Die Ladungsintegrierschaltung **34** initialisiert eine gespeicherte Ladung des Kondensators CF und addiert dann kumulativ zu der gespeicherten Ladung des Kondensators CF eine Ladung entsprechend einem Bitdatenwert eines binären Codes oder eine Ladung entsprechend einer bestimmten Referenzspannung  $V_{refm}$  (**0 V**). Die Ladungsteilerschaltung **35** dividiert die gespeicherte Ladung des Kondensators CF durch ein Verhältnis (**1/2**), das vorab gesetzt worden ist, und speichert die geteilte Ladung erneut.

**[0072]** Nachfolgend wird unter Bezugnahme auf die **Fig. 12A** bis **Fig. 12C** und **Fig. 13** ein A/D-Wandlervorgang zur Erzeugung eines A/D-Wandlerausgangswerts von 12 Bit beschrieben. Die **Fig. 12A**, **Fig. 12B** und **Fig. 12C** zeigen Schaltzustände der Schalter **S31** bis **S36**. **Fig. 13** zeigt den Betriebszeitablauf der zyklischen A/D-Wandlervorrichtung **31**. Es sei angenommen, dass vor Beginn eines A/D-Wandlervorgangs ein ADC/DAC-Funktionsschaltersignal, welches die Durchführung eines A/D-Wandlervorgangs anweist, bereits zugeführt worden ist.

Von der Zeit  $t_0$  zur Zeit  $t_1$  (erster Schritt)

**[0073]** Wenn zur Zeit  $t_0$  ein A/D-Wandlerstartsignal eingegeben wird, wird die Addierschaltung **8** gelöscht und der erste Schritt beginnt. In einer Zeit  $t_0$  bis  $t_1$  wird die A/D-Wandlervorrichtung **31** in einen Zustand A gemäß **Fig. 12A** durch den folgenden Ablauf geschaltet. Die Steuerschaltung **10** schaltet den Schalter **S31** in eine Position, die zum Signaleingangsanschluss **3** führt, und die A/D-Wandlerschaltung **2** beginnt die erste A/D-Umwandlung. Ein A/D-Wandlercode als Umwandlungsergebnis wird in der Addierschaltung **8** addiert.

**[0074]** In der zyklischen A/D-Wandlervorrichtung 31 ist es notwendig, eine Ladungseinrichtung an Kondensatoren, welche eine Kapazität in der Größe von  $4C$  bilden, zur Vorbereitung der Ladungsneuverteilung durchzuführen. Zur Vorbereitung der Ladungsneuverteilung im zweiten Schritt schaltet daher die Steuerschaltung 10 die Schalter S32 und S36 ein und die Schalter S34 und S35 in eine Abtastposition (Position, die zum Schalter S31 führt). In diesem Fall ist der Schalter S33 auf AUS. Folglich arbeitet der Operationsverstärker 4 als Spannungsfolger, und die Ausgangsspannung und die Spannung auf die gemeinsame Leitung 32 sind beide auf 0 V gesetzt. Dann werden die Kondensatoren CS1 und CS2 (Kapazitätswert  $2C$ ) und der Kondensator CF (Kapazitätswert  $2C$ ) durch die Eingangsspannung  $V_{in}$  geladen und eine kombinierte Ladung von  $4C \cdot V_{in}$  wird eingerichtet.

Von der Zeit  $t_1$  zur Zeit  $t_2$  (zweiter Schritt)

**[0075]** In der Zeit  $t_1$  bis  $t_2$  wird die A/D-Wandlervorrichtung 1 durch den folgenden Ablauf in den Zustand B gemäß Fig. 12B versetzt: Zu einer Zeit  $t_1$  nach Halten des ersten A/D-Wandlercodes schaltet die Steuerschaltung 10 den Schalter S31 in die Position, die zum Signalausgangsanschluss 9 führt, und schaltet den Schalter S36 aus. Nachdem der Schalter S36 völlig abgeschaltet worden ist, schaltet die Steuerschaltung 10 die Schalter S34 und S35 von der Abtastposition in die Position, die zu dem Referenzspannungsanschluss 5 führt, oder in die Position, welche zum Masseanschluss GND führt, um die Ladungsneuverteilung durchzuführen. Ein Ausdruck des Verhältnisses der Ladungskonservierung in den vorliegenden Fällen ergibt sich durch die obigen Gleichungen (1) und (2).

**[0076]** Wenn die Ladungsneuverteilung abgeschlossen ist und die Ausgangsspannung des Operationsverstärkers 4 gemäß Gleichung (2) stabilisiert ist, beginnt die A/D-Wandlerschaltung 2 die zweite 1.5-Bit-A/D-Umwandlung, und nach Abschluss der Umwandlung wird der zweite A/D-Wandlercode in der Latcheschaltung 6 synchron mit einem Latchsignal gehalten. Die Addierschaltung 8 addiert den zweiten A/D-Wandlercode zum ersten A/D-Wandlercode, um ein Bit zu überlappen.

Von der Zeit  $t_2$  zur Zeit  $t_{22}$  (vom dritten Schritt zum zwölften Schritt)

**[0077]** In der Zeit  $t_2$  bis  $t_3$  wird die A/D-Wandlervorrichtung 31 in den Zustand C von Fig. 12 durch den folgenden Ablauf geschaltet. In der Ladungsneuverteilung im dritten Schritt ist es notwendig, eine Ladung von  $4C \cdot V_{out}(2)$  vorab in allen Kondensatoren CS1, CS2 und CF zu setzen. Eine Initialisierung der Kondensatoren CS1 und CS2 erfolgt nicht. Zu einer Zeit  $t_2$  nach Halten des zweiten A/D-Wandlercodes

schaltet die Steuerschaltung 10 den Schalter S32 aus und hält die Ausgangsspannung  $V_{out}(2)$  des Operationsverstärkers 4. Während des Haltevorgangs wird im Kondensator CF eine Ladung  $2C \cdot V_{out}(2)$  gehalten. Wenn der Schalter S33 eingeschaltet wird und die Schalter S34 und S35 in die Abtastposition geschaltet werden, werden die gemeinsam angeordneten Kondensatoren CS1 und CS2 von der Ausgangsspannung  $V_{out}(2)$  des Operationsverstärkers 4 geladen (Ladungseinrichtung).

**[0078]** Zu einer Zeit  $t_3$  nach Ladungseinrichtung der Kondensatoren CS1 und CS2 bzw. deren Abschluss führt die Steuerschaltung 10 die Ladungsneuverteilung wie im zweiten Schritt durch. Wenn die Ladungsneuverteilung abgeschlossen ist, beginnt die A/D-Wandlerschaltung 2 mit der dritten 1.5-Bit-A/D-Umwandlung, und der dritte A/D-Wandlercode wird nach Abschluss der Umwandlung in der Latcheschaltung 6 synchron mit dem Latchsignal gehalten. Die Addierschaltung 8 addiert den dritten A/D-Wandlercode zu dem Wert, zu dem die ersten und zweiten A/D-Wandlercodes bereits addiert wurden, um ein Bit zu überlappen.

**[0079]** Ein A/D-Wandlervorgang vom vierten Schritt zum zwölften Schritt nach der Zeit  $t_4$  ist gleich dem A/D-Wandlervorgang des obigen dritten Schritts. Wenn der zwölfte A/D-Wandlercode in der Latcheschaltung 6 synchron mit dem Latchsignal im zwölften Schritt gehalten wird, addiert die Addierschaltung 8 den zwölften A/D-Wandlercode zu einem Wert, zu dem die ersten bis elften A/D-Wandlercodes addiert wurden, um ein Bit zu überlappen. Folglich erzeugt die zyklische A/D-Wandlervorrichtung 1 den letztendlichen 12-Bit-A/D-Wandlercode durch Trunkieren des Bits mit geringstem Stellenwert (LSB) nach der Addition.

**[0080]** Nachfolgend wird ein D/A-Wandlervorgang durch die zyklische A/D-Wandlervorrichtung 31 unter Bezugnahme auf die Fig. 14A bis Fig. 14D und Fig. 15 beschrieben. Die Fig. 14A, Fig. 14B, Fig. 14C und Fig. 14D zeigen Schaltzustände der Schalter S31 bis S36. Fig. 15 zeigt den Betriebszeitablauf in der zyklischen A/D-Wandlervorrichtung 31. Es sei angenommen, dass ein ADC/DAC-Funktionsschalt-signal, welches die Durchführung eines D/A-Wandlervorgangs anweist, bereits vor Beginn des D/A-Wandlervorgangs zugeführt worden ist und dass der Schalter S31 in eine Position versetzt ist, welche zum Signalausgangsanschluss 9 führt. Der Ausgang der A/D-Wandlerschaltung 2 ist während des D/A-Wandlervorgangs undefiniert.

**[0081]** Im Vergleich zu der zyklischen A/D-Wandlervorrichtung 1 von Fig. 1, welche die Verarbeitung in der Reihenfolge von MSB nach LSB eines binären Codes durchführt, führt die zyklische A/D-Wandlervorrichtung 31 der zweiten Ausführungsform die Verarbeitung in der Reihenfolge von LSB nach MSB

eines binären Codes durch, wobei der Integriervorgang einer Ladung durch Ladungsintegrierschaltung **34** und der Divisionsvorgang einer Ladung durch die Ladungsteilerschaltung **35** entsprechend einem jeden Bitdatenwert durchgeführt werden. Insoweit unterscheidet sich die zyklische A/D-Wandlervorrichtung 31 der zweiten Ausführungsform von der zyklischen A/D-Wandlervorrichtung **1** von **Fig. 1**.

**[0082]** Die **Fig. 14A**, **Fig. 14B**, **Fig. 14C** und **Fig. 14D** zeigen einen Abtastzustand A, der als Initialisierung den Kondensator CF (ladungsmäßig) verdoppelt, einen Ladungsverteilungszustand B zwischen dem Kondensator CF und den Kondensatoren **CS1** und **CS2** (Ladungsintegrationsvorgang, Ladungsteilvorgang), einen Abtastzustand C der Referenzspannung  $V_{refp}$  an die Kondensatoren **CS1** und **CS2** und einen Abtastzustand D der Referenzspannung  $V_{refm}$  (0 V) an die Kondensatoren **CS1** und **CS2**. Ein Pfeil in den Figuren zeigt den Übergang zwischen den Zuständen, die im D/A-Wandlervorgang auftreten können.

**[0083]** **Fig. 15** zeigt ein Zeitdiagramm der A/D-Wandlervorrichtung 31, wenn ein digitaler Wert „K1K2K3“ als binärer Codewert „101“ ist. Im ersten Abtastzustand A sind, da ein Datenwert des LSB im binären Code „K1K2K3“ = „101“ „1“ ist, die Schalter **S33** und **S36** auf EIN und der Schalter **S32** auf AUS, und die Schalter **S34** und **S35** sind in eine Position geschaltet, die zum Referenzspannungsanschluss **5** führt. Folglich wird eine Ladung  $C \cdot V_{refp}$  entsprechend der Referenzspannung  $V_{refp}$  von den Kondensatoren **CS1** und **CS2** abgetastet (aufgenommen). Dieser Abtastzustand A verdoppelt als Initialisierung einer Ladung des Kondensators CF, und die Ladung des Kondensators CF wird null.

**[0084]** Wenn danach die Schalter **S33** und **S36** abgeschaltet werden, der Schalter **S32** eingeschaltet wird und die Schalter **S34** und **S35** in die Position geschaltet werden, die zum Signalausgangsanschluss **9** führt, verschiebt sich der Abtastzustand A zu dem Ladeverteilungszustand B. Der Kondensator CF und die Kondensatoren **CS1** und **CS2**, welche gleichen Kapazitätswert haben, werden zwischen den Ausgangsanschluss und den invertierenden Eingangsanschluss des Operationsverstärkers **4** geschaltet. Der Kapazitätswert des Kondensators **CF** beträgt  $2C$ , und der Kapazitätswert der Kondensatoren **CS1** und **CS2** beträgt  $C$ . Addition einer Ladung und Division einer Ladung werden gleichzeitig zwischen dem Kondensator **CF** und den Kondensatoren **CS1** und **CS2** durchgeführt. Im Ergebnis wird die Ladung des Kondensators CF zu  $2 \cdot C \cdot V_{out}(2)$ , und die Ladung der Kondensatoren **CS1** und **CS2** wird zu  $C \cdot V_{out}(2)$ .

**[0085]** Da das nächste Bit **K2** „0“ ist, wird der Schalter **S32** ausgeschaltet, der Schalter **S33** eingeschaltet, und die Schalter **S34** und **S35** werden in eine Po-

sition geschaltet, welche zum Masseanschluss GND führt, und der Zustand geht zum Abtastzustand D. Folglich wird eine Nullladung entsprechend der Referenzspannung  $V_{refm}$  (0 V) auf die Kondensatoren **CS1** und **CS2** geladen. Danach geht der Zustand zum Ladeverteilungszustand B, und Addition einer Ladung und Division einer Ladung werden gleichzeitig zwischen dem Kondensator CF und den Kondensatoren **CS1** und **CS2** durchgeführt. Im Ergebnis ergibt sich die Ladung am Kondensator CF durch folgende Gleichung (13) und die Ladung der Kondensatoren **CS1** und **CS2** durch folgende Gleichung (14) mit der Ausgangsspannung von  $V_{out}(3)$ .

$$\text{Ladung von CF} = 2C \cdot V_{out}(3) = (1/2) \cdot C \cdot V_{refp} \quad (\text{Gl. 13})$$

$$\text{Ladung von CS1(CS2)} = C \cdot V_{out}(3) = (1/4) \cdot C \cdot V_{refp} \quad (\text{Gl. 14})$$

**[0086]** Da das nächste Bit **K1** (MSB) „1“ ist, wird der Schalter **S32** ausgeschaltet, der Schalter **S33** eingeschaltet, und die Schalter **S34** und **S35** werden in eine Position geschaltet, welche zum Referenzspannungsanschluss **5** führt, und der Zustand geht zum Abtastzustand C. Folglich wird eine Ladung  $C \cdot V_{refp}$  entsprechend der Referenzspannung  $V_{refp}$  von den Kondensatoren **CS1** und **CS2** abgetastet. Danach geht der Zustand zum Ladeverteilungszustand B, und Addition einer Ladung und Division einer Ladung werden gleichzeitig zwischen dem Kondensator CF und den Kondensatoren **CS1** und **CS2** durchgeführt. Im Ergebnis ergibt sich die Ladung am Kondensator CF durch nachfolgende Gleichung (15) und die Ladung der Kondensatoren **CS1** und **CS2** durch nachfolgende Gleichung (16) mit der Ausgangsspannung  $V_{out}(4)$ .

$$\text{Ladung von CF} = 2 \cdot C \cdot V_{out}(4) = (5/4) \cdot C \cdot V_{refp} \quad (\text{Gl. 15})$$

$$\text{Ladung von CS1(CS2)} = C \cdot V_{out}(4) = (5/8) \cdot C \cdot V_{refp} \quad (\text{Gl. 16})$$

**[0087]** Es sei angenommen, dass ein binärer Code  $K$  ausgedrückt ist durch „K1K2K3“, ..., „Kn-1Kn“, wie durch folgende Gleichung (17) ausgedrückt die Ausgangsspannung  $V_{out}(n)$  entsprechend der Initialisierung des Kondensators CF ist auf „0“ gesetzt, wie durch folgende Gleichung (18) ausgedrückt, und die Ausgangsspannung  $V_{out}(n-1)$ , die durch Addition und Division der ersten Ladung entsprechend dem LSB erzeugt wird, ergibt sich als  $(V_{out}(n) + K_n \cdot V_{refp}) / 2$ . Die Steuerschaltung **10** führt zyklische Durchführung der Addition von Ladungen des Kondensators CF und der Kondensatoren **CS1** und **CS2** und der Division  $(1/2)$  von Ladungen des Kondensators

CF und der Kondensatoren **CS1** und **CS2** entsprechend jedem Bit in der Reihenfolge von LSB nach MSB durch. Die Ausgangsspannung  $V_{out}(0)$ , welche durch Addition und Division der letzten Ladung entsprechend dem MSB erzeugt wird, ergibt sich als  $(V_{out}(1) + K_n \cdot V_{refp})/2$ . Dies ist die letztendliche Ausgangsspannung  $V_{out}$ . Folglich kann gemäß dem binären Code  $K$  die Ausgangsspannung  $V_{out}$  in analogem Format erzeugt werden, wie sie durch nachfolgende Gleichung (19) angegeben ist

$$K = \sum_{i=1}^n 2^{n-1} \cdot K_i \quad (\text{Gl. 17})$$

**[0088]**  $K$ : Digitaler Wert des Codes

$$V_{out}(i-1) = \frac{1}{2} \{ V_{out}(i) + k_i \cdot V_{refp} \}$$

$$(i = n, n-1, n-2, \dots, 1)$$

$$V_{out}(n) = 0$$

$$V_{out} = V_{out}(0)$$

(Gl. 18)

$$V_{out} = \left\{ K_1 \left( \frac{1}{2} \right) + K_2 \left( \frac{1}{2} \right)^2 + K_3 \left( \frac{1}{2} \right)^3 + \dots + K_n \left( \frac{1}{2} \right)^n \right\} \cdot V_{refp}$$

(Gl. 19)

**[0089]** Wie oben beschrieben, werden bei der vorliegenden Ausführungsform unter anderem die folgenden Vorteile erhalten.

**[0090]** Die zyklische A/D-Wandlervorrichtung 31 ist in der Lage, selektiv den A/D-Wandlervorgang und den D/A-Wandlervorgang durch Betrieb der Steuerungsschaltung 10 durchzuführen, welche das Schalten der Schalter **S31** bis **S36** gemäß dem ADC/DAC-Funktionsschaltensignal steuert, welches von außen zugeführt wird. Hierbei führt der A/D-Wandlervorgang die A/D-Umwandlung der Eingangsspannung  $V_{in}$ , die über den Signaleingangsanschluss 3 von außen her zugeführt wird, durch und gibt den A/D-Wandlerwert von 12 Bit aus, und der D/A-Wandlervorgang gibt die Analogspannung  $V_{out}$  über den Signalausgangsanschluss 9 aus, welche durch Durchführung der D/A-Umwandlung des binären Codewerts (digitalen Werts) erzeugt wird, der von außen zugeführt wird. Das heißt, wie bei der zyklischen A/D-Wandlervorrichtung 1 der ersten Ausführungsform ist die zyklische A/D-Wandlervorrichtung 31 in der Lage, den D/A-Wandlervorgang zusätzlich zu einem A/D-Wandlervorgang unter Verwendung der Restspannungserzeugungsschaltung 33 durchzuführen, welche primär zur Durchführung des A/D-Wandlervorgangs vorgesehen ist. Damit können die gleichen Vorteile wie bei der ersten Ausführungsform auch bei der zweiten Ausführungsform erhalten werden.

**[0091]** Wenn der D/A-Wandlervorgang durchgeführt wird, initialisiert die Ladungsintegrierschaltung 34 eine gespeicherte Ladung, addiert dann kumulativ die gespeicherte Ladung mit einer Ladung entsprechend einem Bitdatenwert eines binären Codes oder einer Ladung entsprechend der Referenzspannung  $V_{refm}$  (0 V), und die Ladungsteilerschaltung 35 teilt die gespeicherte Ladung der Ladungsintegrierschaltung 34 durch einen vorab gesetzten Wert (1/2) und speichert die geteilte Ladung erneut. Entsprechend einem jeden Bit in der Reihenfolge vom LSB des binären Codes werden der Integriervorgang einer Ladung durch die Ladungsintegrierschaltung 34 und der Divisionsvorgang einer Ladung durch die Ladungsteilerschaltung 35 durchgeführt. Damit ist es bei der zweiten Ausführungsform möglich, einen D/A-Wandlervorgang mit einer Auflösung entsprechend der Anzahl von Bits des binären Codes durchzuführen, ohne dass abhängig von der Auflösung ohne dem Auflösungsbedarf die Schaltungskonfiguration erhöht werden muss.

<Dritte Ausführungsform>

**[0092]** Eine dritte Ausführungsform der vorliegenden Erfindung wird nachfolgend unter Bezugnahme auf **Fig. 16** beschrieben, wobei gleiche Bezugszeichen gleiche oder einander entsprechende Teile oder Abschnitte wie in den voranstehenden Ausführungsformen bezeichnen.

**[0093]** Gemäß **Fig. 16** ist eine zyklische A/D-Wandlervorrichtung 41 in der Lage, einen Differenzialbetrieb durchzuführen. Die zyklische A/D-Wandlervorrichtung 41 ist eine Differenzialkonfiguration der zyklischen A/D-Wandlervorrichtung 31 von **Fig. 11**. Eine parallel geschaltete A/D-Wandlerschaltung 42 mit einer Auflösung von 1.5 Bit ist in der Lage, einen Differenzialvorgang durchzuführen, und ein Operationsverstärker 43 ist in der Lage, einen Differenzialausgang zu liefern. Ein nichtinvertierender Eingangsanschluss der A/D-Wandlerschaltung 42 ist selektiv mit entweder einem nichtinvertierenden Signaleingangsanschluss 3p oder einem nichtinvertierenden Ausgangsanschluss des Operationsverstärkers 43 über einen Schalter S31p verbindbar. Auf ähnliche Weise ist ein invertierender Eingangsanschluss der A/D-Wandlerschaltung 42 selektiv entweder mit einem invertierenden Signaleingangsanschluss 3m oder einem invertierenden Ausgangsanschluss des Operationsverstärkers 43 über einen Schalter S31m verbindbar.

**[0094]** Wie im Fall der Einzelkonfiguration von **Fig. 11** sind zwischen einem gemeinsamen Kontakt des Schalters S31p und einem invertierenden Eingangsanschluss des Operationsverstärkers 43 ein Kondensator CFp, Kondensatoren **CS1p** und **CS2p**, welche eine Kondensatorreihenschaltung oder Kondensatoranordnungsschaltung 11p bilden, Schalter

**S34p** und **S35p**, welche die Verbindung von oberen Elektroden der Kondensatoren **CS1p** und **CS2p** schalten, und ein Schalter **S32p** gesetzt. Ein Schalter **S33p** ist zwischen eine gemeinsame Leitung **32p** und einen Masseanschluss GND geschaltet, und ein Schalter **S36p** ist zwischen den invertierenden Eingangsanschluss und den nichtinvertierenden Ausgangsanschluss des Operationsverstärkers **43** geschaltet.

**[0095]** Auf ähnliche Weise sind zwischen einen gemeinsamen Kontakt des Schalters **S31m** und den nichtinvertierenden Eingangsanschluss des Operationsverstärkers **43** ein Kondensator **CFm**, Kondensatoren **CS1m** und **CS2m**, welche eine Kondensatoranordnungsschaltung **11m** bilden, Schalter **S34m** und **S35m**, welche die Verbindung von oberen Elektroden der Kondensatoren **CS1m** und **CS2m** schalten, und ein Schalter **S32m** geschaltet, Ein Schalter **S33m** ist zwischen eine gemeinsame Leitung **32m** und den Masseanschluss GND geschaltet, und ein Schalter **S36m** ist zwischen den nichtinvertierenden Eingangsanschluss und den invertierenden Ausgangsanschluss des Operationsverstärkers **43** geschaltet.

**[0096]** Bei der zweiten Ausführungsform ist eine Restspannungserzeugungsschaltung **45** gebildet durch den Operationsverstärker **43**, die Kondensatoranordnungsschaltungen **11p** und **11m**, die Kondensatoren **CFp** und **CFm** und die Schalter **S32p**, **S32m** bis **S36p**, **S36m**. Eine Ladungsintegrierschaltung **34p** und eine Ladungsteilerschaltung **35p** sind gebildet durch den Operationsverstärker **43** und die Kondensatoren **CS1p**, **CS2p** und **CFp**. Eine Ladungsintegrierschaltung **34m** und eine Ladungsteilerschaltung **35m** sind gebildet durch den Operationsverstärker **43** und die Kondensatoren **CS1m**, **CS2m** und **CFm**.

**[0097]** Eine Steuerschaltung **44** steuert den A/D-Wandlervorgang und den D/A-Wandlervorgang, von denen jeder eine Mehrzahl von Schritten enthält Die Steuerschaltung **44** wird von außen her mit einem ADC/DAC-Funktionsschaltsignal versorgt, sowie einem digitalen Wert (binärer Codewert) als ein Ziel der D/A-Umwandlung. Die Steuerschaltung **44** steuert das Schalten der Schalter **S31p**, **S31m** bis **S36p**, **S36m**, gibt ein Latchsignal aus und steuert einen Additionsvorgang durch eine Addierschaltung (nicht gezeigt). Es ist bevorzugt, das Layout der vorliegenden Schaltung als einen symmetrischen Aufbau bezüglich der nichtinvertierenden Signalseite und der invertierenden Signalseite auszulegen.

**[0098]** Wenn ein A/D-Wandlercode, der vom nichtinvertierenden Ausgangsanschluss der A/D-Wandlerschaltung **42** ausgegeben wird,  $n$  ist (dezimale Notation), wird ein A/D-Wandlercode von  $(2-n)$  vom invertierenden Ausgangsanschluss ausgegeben. Der A/D-Wandlercode  $n$  wird in einer Addierschaltung (nicht

gezeigt) durch das oben beschriebene Verfahren addiert. Spannungen, welche entsprechend zur Plusseite und zur Minusseite bezüglich einer geeigneten Spannung, beispielsweise  $(V_{refp}+V_{refm})/2$ , abweichen, werden am nichtinvertierenden Ausgangsanschluss und invertierenden Ausgangsanschluss des Operationsverstärkers **43** des Differenzial-Eingangs/Ausgangs-Typs ausgegeben.

**[0099]** Ein Schaltzustand und der Betriebszeitablauf eines jeden Schalters, wenn ein A/D-Wandlervorgang von der zyklischen A/D-Wandlervorrichtung **41** mit obigem Aufbau durchgeführt wird, sind im Wesentlichen gleich den Schaltzuständen gemäß den **Fig. 12A** bis **Fig. 12C** und dem Betriebszeitablauf von **Fig. 13**. Jedoch werden zum Zeitpunkt der Ladungsneuverteilung die Schalter **S34p** und **S35p** basierend auf dem A/D-Wandlercode  $n$  geschaltet, der von dem nichtinvertierenden Ausgangsanschluss der A/D-Wandlerschaltung **42** ausgegeben wird, und die Schalter **S34m** und **S35m** werden basierend auf dem A/D-Wandlercode  $(2-n)$  geschaltet, der von dem invertierenden Ausgangsanschluss der A/D-Wandlerschaltung **42** ausgegeben wird. Wenn beispielsweise der A/D-Wandlercode  $n$  „1“ ist, wird einer der Schalter **S34p** und **S35p** zu der Position geschaltet, welche zu dem Referenzspannungsanschluss **5** führt, und der andere zu der Position, welche zu dem Masseanschluss GND führt Einer der Schalter **S34m** und **S35m** wird der Position geschaltet, die zu dem Referenzspannungsanschluss **5** führt, und der andere zu der Position, welche zu dem Masseanschluss GND führt. In einer Reihe solcher Vorgänge erfolgt das Schalten der Schalter an der nichtinvertierenden Signalseite und der invertierenden Signalseite gleichzeitig.

**[0100]** Ein Schaltzustand und ein Betriebszeitablauf eines jeden Schalters, wenn ein D/A-Wandlervorgang von der zyklischen A/D-Wandlervorrichtung **41** mit obigen Aufbau durchgeführt wird, sind im Wesentlichen gleich den Schaltzuständen gemäß den **Fig. 14A** bis **Fig. 14D** und dem Betriebszeitablauf gemäß **Fig. 15**.

**[0101]** Wie oben beschrieben, kann gemäß der zyklischen A/D-Wandlervorrichtung **41** vom Differenzialtyp im Wesentlichen die gleiche Reihe von Vorteilen wie bei der zweiten Ausführungsform erreicht werden. Da die zyklische A/D-Wandlervorrichtung **41** vom Differenzialtyp die A/D-Umwandlung der Differenzspannung der Eingangssignalspannungen  $V_{inp}$  und  $V_{inm}$  durchführt, ist es möglich, ein Common-mode-Rauschen wirksam zu entfernen, welches von außen eintritt, und das fehlerhafte Umwandeln dieses Rauschens zu verhindern. Da weiterhin im D/A-Wandlervorgang die Analogspannung entsprechend einem binären Codewert in einem Differenzialmodus ausgegeben wird, ist es ebenfalls möglich, das Common-mode-Rauschen effektiv zu entfernen. Die

nichtinvertierende Signalseite und die invertierende Signalseite haben symmetrische Auslegung und arbeiten weiterhin mit gleichem Zeitverhalten. Selbst wenn es daher das Einschließen einer unerwünschten Ladung aufgrund von Schaltvorgängen eines jeden Schalters, um ein Beispiel zu nennen, gibt, kann ein Fehler aufgrund der einschließenden Ladung durch den Differenzialvorgang aufgehoben werden. Folglich ist es möglich, die Genauigkeit der A/D-Umwandlung bzw. D/A-Umwandlung zu verbessern.

<Vierte Ausführungsform>

**[0102]** Eine vierte Ausführungsform der vorliegenden Erfindung wird nachfolgend unter Bezugnahme auf die **Fig. 17** und **Fig. 18** beschrieben, wobei gleiche Bezugszeichen wieder gleiche Teile oder Abschnitte wie in den voranstehenden Ausführungsformen bezeichnen.

**[0103]** Gemäß **Fig. 17** unterscheidet sich eine Sensorvorrichtung **51** der vierten Ausführungsform von der Sensorvorrichtung **21** der ersten Ausführungsform dahingehend, dass die Sensorvorrichtung **51** anstelle der Signalverarbeitungseinheit **23** eine Signalverarbeitungseinheit **52** enthält. Die Signalverarbeitungseinheit **52** umfasst eine Verstärkerschaltung **24**, eine zyklische A/D-Wandlervorrichtung **1**, eine digitale Signalverarbeitungsschaltung **25** und eine Abtast/Halte- oder S/H-Schaltung 53 (SHC). Eine Analogspannung, die von der A/D-Wandlervorrichtung **1** ausgegeben wird, wird über die S/H-Schaltung 53 aus der Sensorvorrichtung **51** ausgegeben. Die S/H-Schaltung 53 tastet oder sammelt eine eingegebene Analogspannung und hält die aufgenommene Analogspannung eine bestimmte Zeitdauer lang.

**[0104]** Nachfolgend wird unter Bezug auf **Fig. 18**, welche den Betriebszeitablauf der A/D-Wandlervorrichtung **1**, der digitalen Signalverarbeitungsschaltung **25** und der S/H-Schaltung 53 zeigt, die Arbeitsweise der A/D-Wandlervorrichtung **1** für den Fall beschrieben, dass die Sensorvorrichtung **51** als eine Vorrichtung mit einem analogen Ausgangsformat arbeitet.

**[0105]** Zunächst wird die A/D-Wandlervorrichtung **1** gesteuert, um eine Ausgangsspannung von der Verstärkerschaltung **24** aufzunehmen und einen A/D-Wandlervorgang durchzuführen (Zeit **t0** bis **t1**). Danach wird die digitale Signalverarbeitungsschaltung **25** gesteuert, um die Signalverarbeitung am A/D-Wandlerwert (digitalen Wert) vorzunehmen, der von der A/D-Wandlervorrichtung **1** ausgegeben wird (Zeit **t1** bis **t2**). Dann wird die A/D-Wandlervorrichtung **1** gesteuert, um das Ausgangssignal der digitalen Signalverarbeitung **25** aufzunehmen und einen D/A-Wandlervorgang durchzuführen (Zeit **t2** bis **t3**).

**[0106]** Die S/H-Schaltung 53 tastet die von der A/D-Wandlervorrichtung **1** ausgegebene Analogspannung ab und gibt die abgetastete Analogspannung nach außen aus (Zeit **t3** bis **t4**). Die Ausgangsspannung von der S/H-Schaltung 53 wird eine bestimmte Zeitdauer gehalten, bis der nächste Abtastvorgang abgeschlossen ist (Zeit **t4** bis **t9**). Zur Zeit **t4** und später werden wie im Fall der Zeit **t0** bis **t4** der A/D-Wandlervorgang durch die A/D-Wandlervorrichtung **1**, die Signalverarbeitung durch die digitale Signalverarbeitungsschaltung **25**, der D/A-Wandlervorgang durch die A/D-Wandlervorrichtung **1** und der S/H-Vorgang durch die S/H-Schaltung 53 in dieser Reihenfolge wiederholt.

**[0107]** In der Sensorvorrichtung **21** der ersten Ausführungsform wird, wenn die Signalverarbeitungseinheit **23** als eine Vorrichtung mit analogem Ausgabeformat arbeitet, die A/D-Wandlervorrichtung **1** mittels Timesharing zwischen dem Zustand eines A/D-Wandlervorgangs und dem Zustand eines D/A-Wandlervorgangs umgeschaltet. Obgleich während des A/D-Wandlervorgangs eine Analogspannung von der A/D-Wandlervorrichtung **1** ausgegeben wird, ist diese Analogspannung ein Zwischenverarbeitungsprodukt und nicht der endgültige Ausgang. Daher ist es in einer Schaltung einer Folgestufe, welche den Ausgang der Signalverarbeitungseinheit **23** empfängt, notwendig, eine Funktion bereitzustellen, welche nur die Analogspannung des nötigen Endausgangs entnimmt. Um dieses Erfordernis zu erfüllen, enthält die Signalverarbeitungseinheit **52** der Sensorvorrichtung **51** bei der vierten Ausführungsform die S/H-Schaltung 53, welche eine Analogspannung sammelt, die ausgegeben wird, wenn der D/A-Wandlervorgang von der A/D-Wandlervorrichtung **1** durchgeführt wird, die abgetastete oder gesammelte Analogspannung eine bestimmte Dauer lang hält und dann diese Analogspannung nach außen abgibt. Durch Bereitstellung der S/H-Schaltung 53 wird nur eine Analogspannung, welche von dem D/A-Wandlervorgang ausgegeben wird und die eine Analogspannung ist, welche primär nach außen auszugeben ist, abgetastet und eine Dauer des A/D-Wandlervorgangs lang gehalten, und die gehaltene Analogspannung wird dann ausgegeben. Damit ist es möglich, nur den finalen oder endgültigen Ausgang nach außen auszugeben. Folglich ist es möglich, die Verarbeitung in einer Schaltung in der Endstufe der Sensorvorrichtung **51** zu vereinfachen.

<Fünfte Ausführungsform>

**[0108]** Eine fünfte Ausführungsform der vorliegenden Erfindung wird nachfolgend unter Bezugnahme auf **Fig. 19** beschrieben, wobei gleiche Bezugszeichen wieder gleiche oder einander entsprechende Teile wie in den voranstehenden Ausführungsformen bezeichnen.

**[0109]** Bezug nehmend auf **Fig. 19** unterscheidet sich eine Sensorvorrichtung **61** der fünften Ausführungsform von der Sensorvorrichtung **21** der ersten Ausführungsform dahingehend, dass die Sensorvorrichtung **61** anstelle der Signalverarbeitungseinheit **23** eine Signalverarbeitungseinheit **62** aufweist. Die Signalverarbeitungseinheit **62** enthält die Verstärkerschaltung **24** und die zyklische A/D-Wandlervorrichtung **1**, jedoch keine digitale Signalverarbeitungsschaltung **25**. Das heißt, die Sensorvorrichtung **61** führt an einem Ausgangssignal des Sensorelements **22** keine Signalverarbeitung durch, sondern gibt ein digitales Signal (digitalen Umwandlungswert) entsprechend dem Ausgangssignal aus. Damit wird der digitale Umwandlungswert von der A/D-Wandlervorrichtung **1** aus der Sensorvorrichtung **61** ausgegeben.

**[0110]** Wenn ein ADC/DAC-Funktionsschaltssignal zugeführt wird, welches die Durchführung eines D/A-Wandlervorgangs anweist, führt die A/D-Wandlervorrichtung **1** einen D/A-Wandlervorgang durch, der ein analoges Spannungssignal ausgibt, welches durch Durchführung einer D/A-Umwandlung am digitalen Wert (binärer Codewert) erzeugt wird, welcher der Sensorvorrichtung **61** von außen zugeführt wird. Dieser digitale Wert kann einem Ausgangssignal des Sensorelements **22** zugeordnet oder vollständig nicht zugeordnet sein. Die Analogspannung, welche von der A/D-Wandlervorrichtung **1** ausgegeben wird, wird aus der Sensorvorrichtung **61** ausgegeben.

**[0111]** Durch Verwendung der A/D-Wandlervorrichtung **1** so, dass ein A/D-Wandlervorgang stets durchgeführt werden kann, kann die Signalverarbeitungseinheit **62** der Sensorvorrichtung **61** einen digitalen Ausgabevorgang durchführen, der ein digitales Signal ausgibt, welches durch A/D-Umwandlung am analogen Signal erzeugt wird, welches von dem Sensorelement **22** ausgegeben wird. Folglich ist es möglich, dass die Sensorvorrichtung **61** als eine Vorrichtung mit digitalem Ausgabeformat arbeitet. Durch Verwendung der A/D-Wandlervorrichtung **1** so, dass ein D/A-Wandlervorgang stets durchgeführt werden kann, kann die Signalverarbeitungseinheit **62** einen analogen Ausgabevorgang durchführen, der ein digitales Signal (binären Codewert), der von außen zugeführt wird, in eine Analogspannung umwandelt, wonach die umgewandelte Analogspannung ausgegeben wird. Folglich ist es möglich, die Sensorvorrichtung **61** mit der D/A-Wandlerfunktion zu konfigurieren.

**[0112]** In der Sensorvorrichtung **61** wird ein Ausgangssignal vom Sensorelement **22** A/D-gewandelt, und das A/D-gewandelte Digitalsignal wird einer externen Signalverarbeitungsschaltung (nicht gezeigt) eingegeben. In der externen Signalverarbeitungsschaltung wird an dem digitalen Signal eine bestimmte digitale Signalverarbeitung durchgeführt und das

digitale Signal wird nach der Signalverarbeitung in die Sensorvorrichtung **61** eingegeben. In der Sensorvorrichtung **61** wird das digitale Signal nach der Signalverarbeitung D/A-gewandelt und die D/A-gewandelte Analogspannung wird nach außen ausgegeben. Die Sensorvorrichtung **61** kann somit als eine Sensorvorrichtung mit analogem Ausgabeformat zusammen mit der externen Signalverarbeitungsschaltung betrieben werden.

<Andere Ausführungsformen>

**[0113]** Die vorliegende Erfindung ist nicht auf die exemplarischen Ausführungsformen gemäß obiger Erläuterung beschränkt, sondern kann auf verschiedene Arten abgewandelt werden.

**[0114]** Beispielsweise kann bei Durchführung eines D/A-Wandlervorgangs in der A/D-Wandlervorrichtung **1** der Kondensator **CF2** anstelle des Kondensators **CF1** als dritter Kondensator arbeiten. Die Auflösung der A/D-Wandlerschaltung **2** ist nicht auf 1.5 Bit beschränkt, sondern kann nach Bedarf geändert werden.

**[0115]** Die Signalverarbeitungsschaltungen **23**, **52** und **62** können mit den zyklischen A/D-Wandlervorrichtungen **31** oder **41** anstelle der zyklischen A/D-Wandlervorrichtung **1** konfiguriert werden.

**[0116]** Wenn das zweite Betriebsmuster des analogen Ausgabeformats durchgeführt wird, ist der Durchschnittswert Dave, der von der digitalen Signalverarbeitungsschaltung **25** berechnet wird, nicht auf den Durchschnitt von drei Digitalwerten beschränkt, sondern kann auch der Durchschnitt aus zwei Digitalwerten oder der Durchschnitt von mehr als drei Digitalwerten sein.

**[0117]** Wenn die Sensorvorrichtung **21** als eine Vorrichtung mit analogem Ausgabeformat betrieben wird, kann die Sensorvorrichtung **21** in Betriebsmustern anders den ersten und zweiten Betriebsmustern betrieben werden. Beispielsweise kann es auch vorteilhaft sein, die Schritte zu wiederholen, bei denen, nachdem der A/D-Wandlervorgang einmal durchgeführt wurde, zwei oder mehr zueinander unterschiedliche Signalverarbeitungen durchgeführt werden und dann ein D/A-Wandlervorgang durchgeführt wird.

**[0118]** Die zyklische A/D-Wandlervorgang **1** der ersten Ausführungsform kann so konfiguriert werden, dass ein Differenzialbetrieb möglich wird, wie im Fall der zyklischen A/D-Wandlervorrichtung **41** der dritten Ausführungsform.

**[0119]** Die vorliegende Erfindung ist weiterhin nicht nur bei einer Signalverarbeitungseinheit in einer Sensorvorrichtung anwendbar, sondern bei unterschiedlichen Arten von Signalverarbeitungseinheiten, wel-

che eine Signalverarbeitungsschaltung haben, welche bestimmte Signalverarbeitungen an einem digitalen Signal durchführen.

**[0120]** Eine erfindungsgemäße A/D-Wandlervorrichtung weist somit - die obige Offenbarung im Wesentlichen zusammenfassend - eine D/A-Wandlerfunktion auf und ändert die Auflösung bei einer A/D-Umwandlung und einer D/A-Umwandlung. Die A/D-Wandlervorrichtung kann selektiv einen A/D-Wandlervorgang und einen D/A-Wandlervorgang durch Betrieb einer Steuerschaltung durchführen, welche Schaltvorgänge von Schaltern gemäß einem ADC/DAC-Funktionsschaltssignal zu steuern vermag, welches von außen zugeführt wird. Der A/D-Wandlervorgang führt eine A/D-Umwandlung an einer Eingangssignalspannung durch, welche über einen Signaleingangsanschluss von außen zugeführt wird, und gibt einen A/D-Wandlerwert von 12 Bit aus. Der D/A-Wandlervorgang gibt über einen Signalausgangsanschluss eine Analogspannung aus, welche durch Durchführung einer D/A-Umwandlung an einem Digitalwert erzeugt wird, der von außen zugeführt wird.

### Patentansprüche

1. Eine A/D-Wandlervorrichtung, aufweisend:  
eine A/D-Wandlerschaltung (2);  
eine Restspannungserzeugungsschaltung (12, 33, 45), welche eine Restspannung durch Verstärken einer Differenzspannung zwischen einer Eingangsspannung und einer vorbestimmten Analogspannung zu erzeugen vermag; und  
eine Eingangsschalterschaltung (13, S31, S31p, S31m), welche eine externe Signalspannung oder eine von der Restspannungserzeugungsschaltung ausgegebene Spannung der A/D-Wandlerschaltung und der Restspannungserzeugungsschaltung einzugeben vermag,  
gekennzeichnet weiterhin durch:  
eine Steuerschaltung (10, 44), welche die Durchführung eines A/D-Wandlervorgangs und eines D/A-Wandlervorgangs zu steuern vermag, wobei der A/D-Wandlervorgang eine A/D-Umwandlung aufweist, welche eine Analogspannung in der Restspannungserzeugungsschaltung als einen D/A-Wandlerwert eines digitalen Umwandlungswerts setzt, der von der A/D-Wandlerschaltung ausgegeben wird, sowie die externe Signalspannung durch die Eingangsschalterschaltung, die A/D-Wandlerschaltung und die Restspannungserzeugungsschaltung zirkuliert, und der D/A-Wandlervorgang eine D/A-Umwandlung aufweist, welche eine Analogspannung in der Restspannungserzeugungsschaltung als eine Spannung entsprechend einem binären Codewert setzt, der von außen zugeführt wird, die Analogspannung, welche von der Restspannungserzeugungsschaltung ausgegeben wird, durch die Eingangsschalterschaltung und die Restspannungserzeugungsschaltung zirkuliert und von der Restspannungserzeugungsschal-

lung die Analogspannung entsprechend dem binären Codewert ausgibt.

2. Die A/D-Wandlervorrichtung nach Anspruch 1, wobei die Restspannungserzeugungsschaltung (12, 33, 45) aufweist:  
eine Kondensatoranordnungsschaltung (11, 11p, 11m) mit einem ersten Kondensator (CS1, CS1p, CS1m) und einem zweiten Kondensator (CS2, CS2p, CS2m), wobei die einen Enden des ersten Kondensators und des zweiten Kondensators mit einer gemeinsamen Leitung (14, 32, 32p, 32m) als gemeinsamseitige Elektroden verbunden sind und die anderen Enden mit einer aus einer Mehrzahl von Referenzspannungsleitungen (5, GND) und der Eingangsschalterschaltung als nicht gemeinsamseitige Elektroden verbunden sind;  
einen Operationsverstärker (4, 43), der eine Spannung der gemeinsamen Leitung erhält, um die Restspannung auszugeben; und  
einen dritten Kondensator (CF1, CF2, CF, CFp, CFm), der zwischen einem Eingangsanschluss und einem Ausgangsanschluss des Operationsverstärkers schaltbar ist, wobei die Steuerschaltung (10, 44) die Durchführung des A/D-Wandlervorgangs steuert durch  
Einrichten einer Ladung entsprechend der externen Signalspannung an einem Kondensator, ausgewählt aus drittem Kondensator, erstem Kondensator und zweitem Kondensator, über die Eingangsschalterschaltung,  
Initialisieren der verbleibenden Kondensatoren, welche nicht der ausgewählte Kondensator sind,  
Durchführen einer Ladungsneuverteilung zwischen dem ersten Kondensator und dem zweiten Kondensator und dem dritten Kondensator durch Verbinden der nicht gemeinsamseitigen Elektroden des ersten Kondensators und des zweiten Kondensators mit einer der entsprechenden Referenzspannungsleitungen gemäß einem Umwandlungsergebnis der A/D-Wandlerschaltung in einem Zustand, in welchem der dritte Kondensator zwischen den Eingangsanschluss und den Ausgangsanschluss des Operationsverstärkers geschaltet ist, und  
nachfolgendes Wiederholen der Ladungseinrichtung entsprechend der Restspannung, die von dem Operationsverstärker ausgegeben wird, sowie der Initialisierung und der Ladungsneuverteilung eine notwendige Anzahl von Malen.

3. Die A/D-Wandlervorrichtung nach Anspruch 2, wobei die Restspannungserzeugungsschaltung (12, 33, 45) aufweist  
eine Ladungsteilerschaltung (15, 35, 35p, 35m), welche eine Ladung zu speichern vermag, die gespeicherte Ladung mit einem vorab gesetzten Verhältnis zu dividieren vermag und die Ladung erneut zu speichern vermag; und

eine Ladungsintegrierschaltung (16, 34, 34p, 34m), die eine Ladung zu speichern vermag, die gespeicherte Ladung zu der gespeicherten Ladung der Ladungsteilerschaltung zu addieren vermag und die aufaddierte Ladung erneut zu speichern vermag, wobei

die Steuerschaltung (10) die Durchführung des D/A-Wandlervorgangs, in welchem eine Referenzspannung in eine Analogspannung entsprechend einem binären Codewert gewandelt und die gewandelte Analogspannung ausgegeben wird, dadurch zu steuern vermag, dass

eine Ladung entsprechend einer Referenzspannung an der Ladungsteilerschaltung gespeichert wird und eine gespeicherte Ladung der Ladungsintegrierschaltung zu Beginn initialisiert wird, und

ein Ladungsteilvorgang durch die Ladungsteilerschaltung gemäß jedem Bit in der Reihenfolge ausgehend vom MSB des binären Codes durchgeführt wird und ein Ladungsadditionsvorgang durch die Ladungsintegrierschaltung entsprechend dem Datenwert eines jeden Bits durchgeführt wird.

4. Die A/D-Wandlervorrichtung nach Anspruch 3, wobei

die Ladungsteilerschaltung (15, 35, 45) aufweist den Operationsverstärker (4, 43);

den ersten Kondensator (CS1, CS1p, CSm1), der zwischen dem Eingangsanschluss und dem Ausgangsanschluss des Operationsverstärkers verbindbar ist und eine Ladung entsprechend der Referenzspannung aufzubauen vermag; und

den zweiten Kondensator (CS2, CS2p, CS2m), der zwischen dem Eingangsanschluss und dem Ausgangsanschluss des Operationsverstärkers verbindbar ist und eine bestimmte Ladung aufzubauen vermag, ohne die gespeicherte Ladung des ersten Kondensators zu beeinflussen, wobei

die Steuerschaltung (10, 44) die Durchführung eines Ladungsteilvorgangs durch die Ladungsteilerschaltung dadurch steuert, dass der erste Kondensator und der zweite Kondensator zwischen den Eingangsanschluss und den Ausgangsanschluss des Operationsverstärkers geschaltet werden.

5. Die A/D-Wandlervorrichtung nach Anspruch 4, wobei

die Ladungsintegrierschaltung (16, 34, 34p, 34m) aufweist:

den Operationsverstärker (4, 43);

den ersten oder zweiten Kondensator (CS1 oder CS2, CS1p oder CS2p, CS1m oder CS2m); und

den dritten Kondensator (CF1, CF2, CF, CFp, CFm), der betreibbar ist, um eine bestimmte Ausgangsladung aufzubauen, wobei

die Steuerschaltung (10, 44) die Durchführung des Ladungsadditionsvorgangs durch die Ladungsintegrierschaltung durch Übertragen einer im ersten oder zweiten Kondensator gespeicherten Ladung auf den dritten Kondensator steuert.

6. Die A/D-Wandlervorrichtung nach Anspruch 2, wobei

die Restspannungserzeugungsschaltung (12, 33, 45) aufweist

eine Ladungsintegrierschaltung (16, 34, 34p, 34m), welche eine Ladung zu speichern vermag und kumulativ zu der gespeicherten Ladung eine Ladung entsprechend einer Referenzspannung oder eine bestimmte Ladung unterschiedlich zu der Ladung gemäß einem Bitdatenwert des binären Codes zu addieren vermag; und

eine Ladungsteilerschaltung (15, 35, 35p, 35m), die betreibbar ist, um die gespeicherte Ladung der Ladungsintegrierschaltung durch ein vorab gesetztes Verhältnis zu teilen und die Ladung erneut zu speichern, wobei

die Steuerschaltung (10, 44) die Durchführung des D/A-Wandlervorgangs, bei dem eine Referenzspannung in eine Analogspannung entsprechend einem binären Codewert gewandelt wird und die umgewandelte Analogspannung ausgegeben wird, zu steuern vermag, indem

eine gespeicherte Ladung der Ladungsintegrierschaltung initialisiert wird, und

ein Ladungsintegriervorgang durch die Ladungsintegrierschaltung und ein Ladungsteilvorgang durch die Ladungsteilerschaltung gemäß einem Datenwert eines jeden Bits ausgehend vom LSB des binären Codes durchgeführt wird.

7. Die A/D-Wandlervorrichtung nach Anspruch 6, wobei die Ladungsintegrierschaltung (16, 34, 34p, 34p) und die Ladungsteilerschaltung (15, 35, 35p, 35m) aufweisen:

den Operationsverstärker;

den ersten Kondensator und den zweiten Kondensator, die zwischen dem Eingangsanschluss und dem Ausgangsanschluss des Operationsverstärkers schaltbar sind und betreibbar sind, eine Ladung entsprechend einer Referenzspannung oder eine bestimmte Ladung unterschiedlich zu der Ladung aufzubauen; und

den dritten Kondensator, der zwischen dem Eingangsanschluss und dem Ausgangsanschluss des Operationsverstärkers schaltbar ist und eine Ladung zu initialisieren vermag, wobei

die Steuerschaltung (10, 44) Addition und Division der gespeicherten Ladung des ersten Kondensators und des zweiten Kondensators und des dritten Kondensators durchführt, indem

zu Beginn eine Ladung des dritten Kondensators initialisiert wird,

im ersten Kondensator und zweiten Kondensator gemäß einem jeden Bit in der Reihenfolge ausgehend vom LSB des binären Codes eine Ladung entsprechend der Referenzspannung oder eine bestimmte Ladung unterschiedlich zu der betreffenden Ladung entsprechend dem Datenwert eines jeden betreffenden Bits aufgebaut wird, und

der erste Kondensator und der zweite Kondensator und der dritte Kondensator zwischen den Eingangsanschluss und den Ausgangsanschluss des Operationsverstärkers geschaltet werden.

8. Die A/D-Wandlervorrichtung nach einem der Ansprüche 1 bis 7, wobei die A/D-Wandlerschaltung (2), die Restspannungserzeugungsschaltung (45) und die Eingangsschalterschaltung (S31p, S31m) betreibbar sind, um einen Differenzialbetrieb durchzuführen.

9. Eine Signalverarbeitungseinheit, aufweisend: die A/D-Wandlervorrichtung (1, 44) nach einem oder mehreren der Ansprüche 1 bis 8; und eine Signalverarbeitungsschaltung (52, 62), welche eine bestimmte Signalverarbeitung an einem eingegebenen digitalen Signal durchzuführen vermag, wobei die Signalverarbeitungsschaltung (52, 62) einen digitalen Ausgabevorgang und einen analogen Ausgabevorgang durchzuführen vermag, wobei im digitalen Ausgabevorgang nach Versetzen der A/D-Wandlervorrichtung in einen A/D-Wandlervorgang ein von außen zugeführtes Analogsignal der A/D-Wandlervorrichtung eingegeben wird, ein digitaler Umwandlungswert, der von dem betreffenden A/D-Wandlervorgang ausgegeben wird, der Signalverarbeitungsschaltung eingegeben wird und ein von der betreffenden Signalverarbeitung ausgegebenes digitales Signal nach außen ausgegeben wird, und wobei in dem analogen Ausgabevorgang nach Versetzen der A/D-Wandlervorrichtung in einen A/D-Wandlervorgang ein analoges Signal, das von außen zugeführt wird, der A/D-Wandlervorrichtung eingegeben wird, ein digitaler Umwandlungswert, der von dem A/D-Wandlervorgang ausgegeben wird, der Signalverarbeitungsschaltung eingegeben wird und nach Versetzen der A/D-Wandlervorrichtung in den D/A-Wandlervorgang ein von der betreffenden Signalverarbeitung ausgegebenes digitales Signal der A/D-Wandlervorrichtung eingegeben wird und eine von dem betreffenden D/A-Wandlervorgang ausgegebene Analogspannung nach außen ausgegeben wird.

10. Die Signalverarbeitungseinheit nach Anspruch 9, weiterhin aufweisend: eine S/H-Schaltung (53), welche eine Analogspannung abzutasten vermag, die ausgegeben wird, wenn von der A/D-Wandlervorrichtung der D/A-Wandlervorgang durchgeführt wird, und welche die abgetastete Analogspannung eine bestimmte Zeitdauer lang zu halten vermag und die gehaltene Analogspannung nach außen abzugeben vermag.

11. Eine Signalverarbeitungseinheit, aufweisend: die A/D-Wandlervorrichtung (1, 44) nach einem oder mehreren der Ansprüche 1 bis 8; und eine Signalverarbeitungsschaltung (52, 62), welche einen digitalen Ausgabevorgang und einen analogen Ausgabevorgang durchzuführen vermag,

wobei im digitalen Ausgabevorgang nach Versetzen der A/D-Wandlervorrichtung in einen A/D-Wandlervorgang ein von außen zugeführtes Analogsignal der A/D-Wandlervorrichtung eingegeben wird und ein digitaler Umwandlungswert, der von dem betreffenden A/D-Wandlervorgang ausgegeben wird, nach außen ausgegeben wird, und

wobei in dem analogen Ausgabevorgang nach Versetzen der A/D-Wandlervorrichtung in einen D/A-Wandlervorgang ein digitales Signal, das von außen zugeführt wird, der A/D-Wandlervorrichtung eingegeben wird und eine von dem betreffenden D/A-Wandlervorgang ausgegebene Analogspannung nach außen ausgegeben wird.

Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

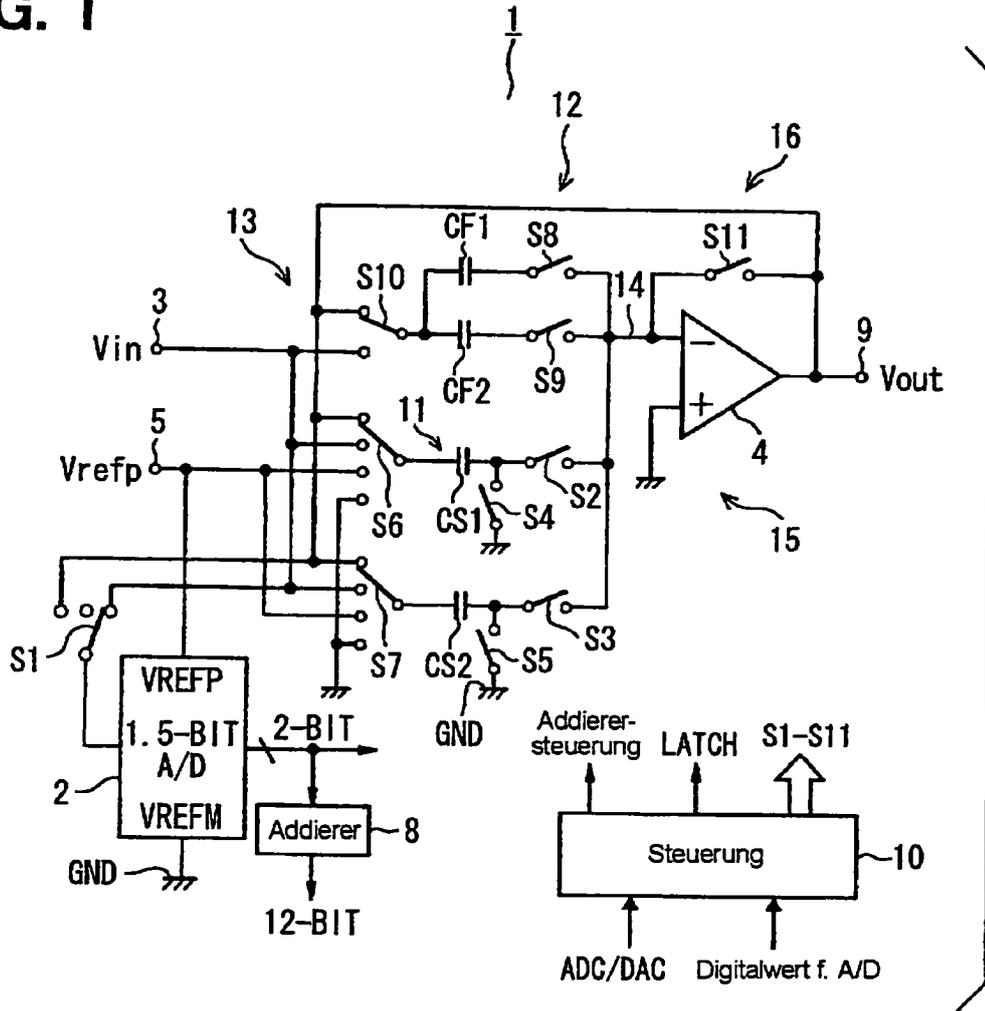
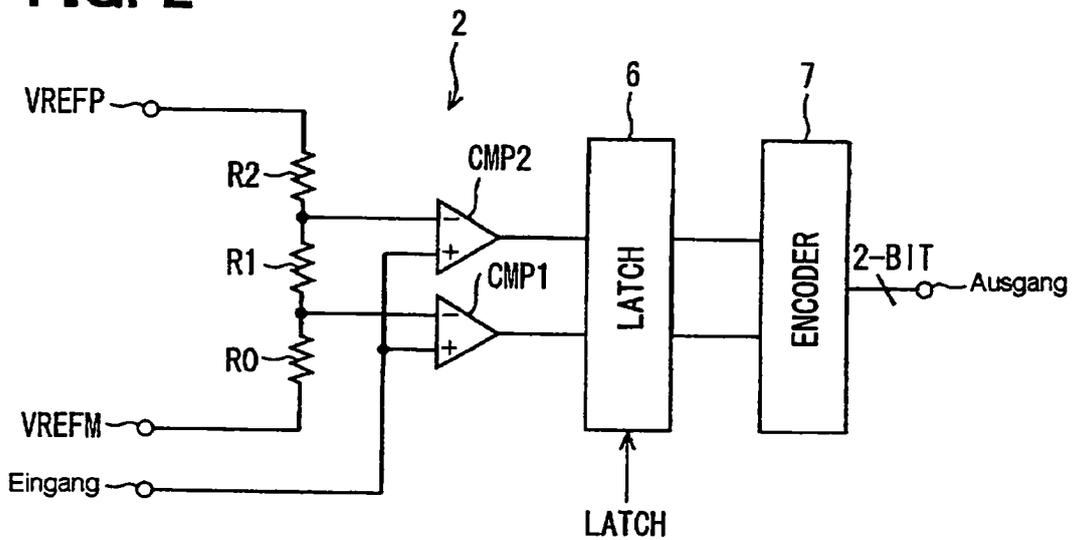
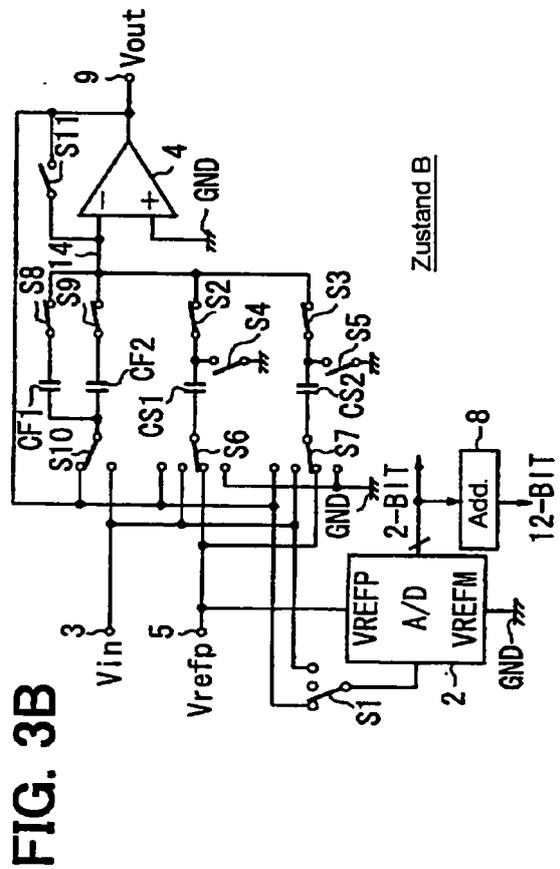
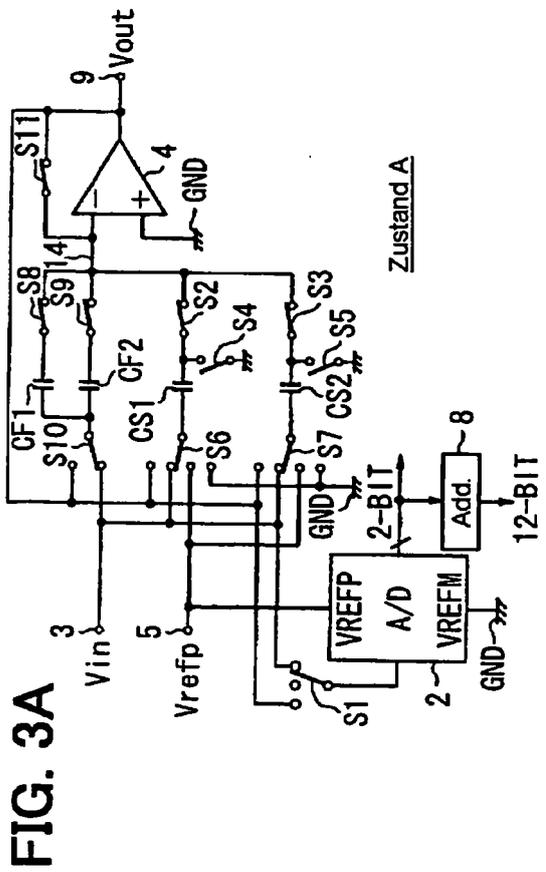
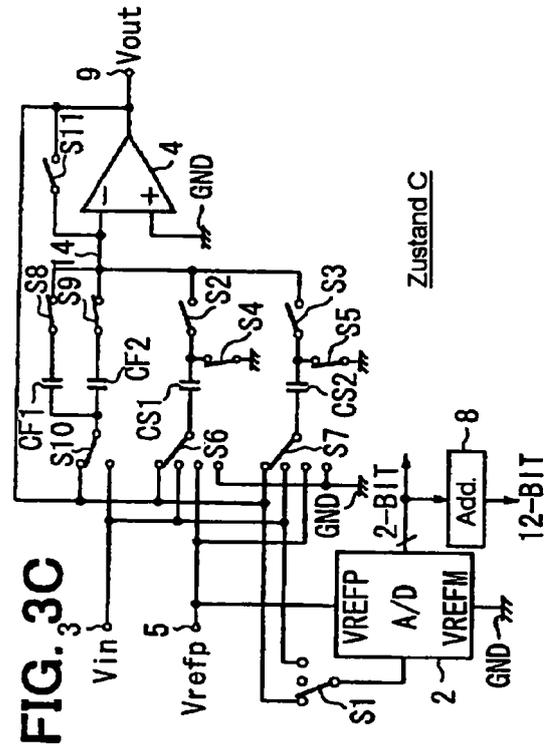
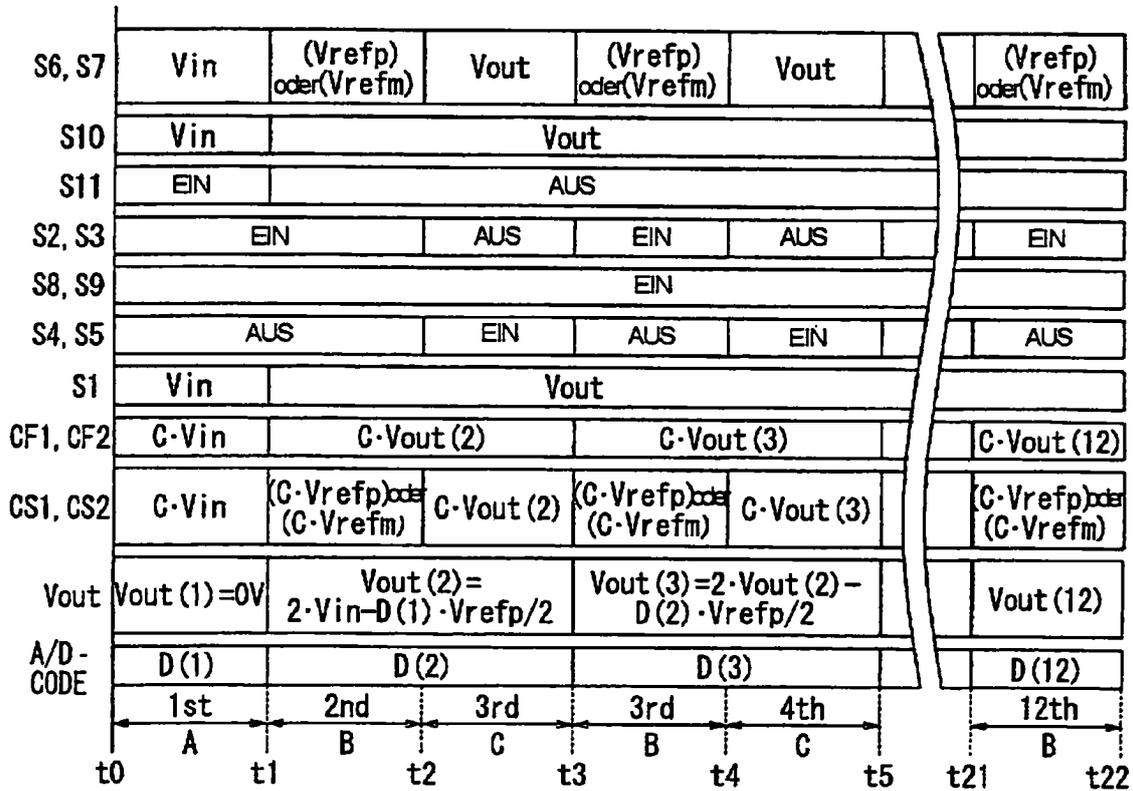


FIG. 2



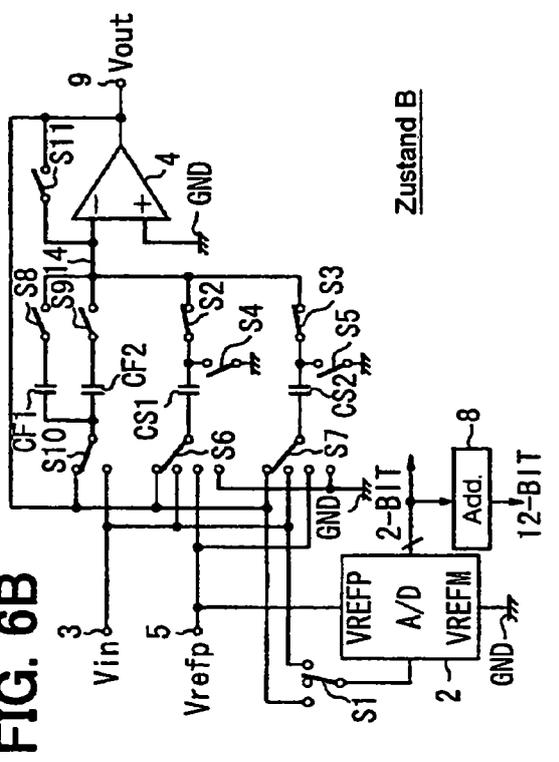
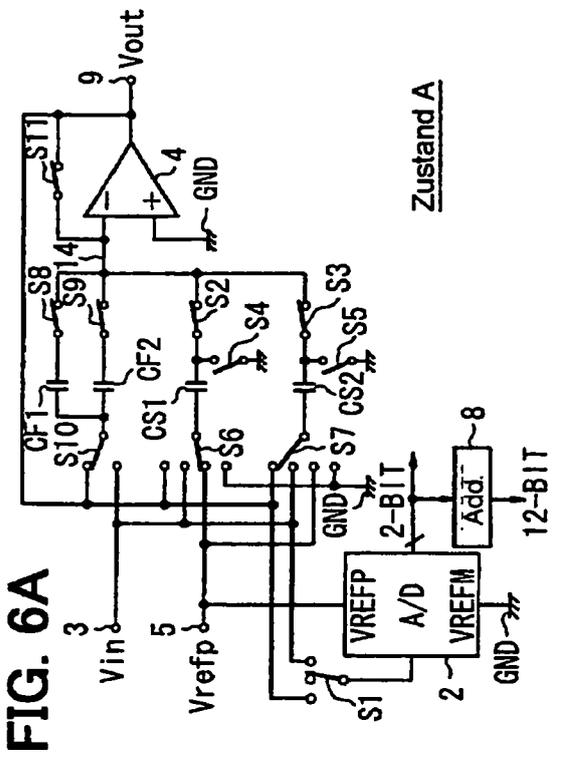
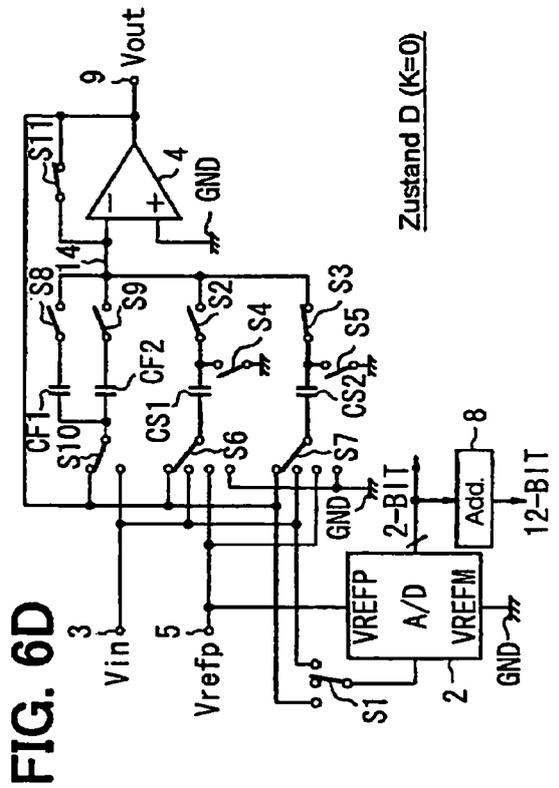
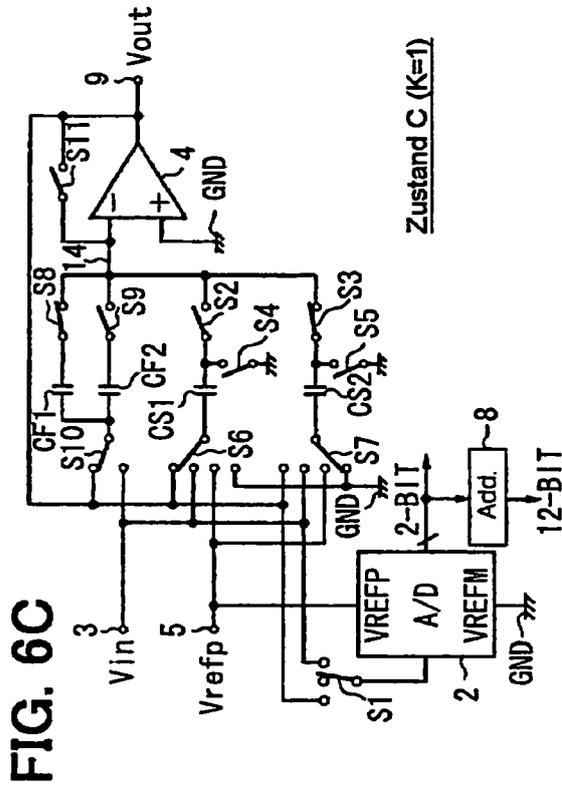


**FIG. 4**



**FIG. 5**

	1.5-BIT A/D CODE		Spg. an CS1	Spg. an CS2	Vout (N)
	binär	dez.			
$V_{in}$ (oder $V_{out}$ ) < 1.875V	00	0	$V_{refm}$	$V_{refm}$	$2 \cdot V_{in}$ oder $2 \cdot V_{out}(N-1)$
$1.875V < V_{in}$ (oder $V_{out}$ ) < 3.125V	01	1	$V_{refp}$	$V_{refm}$	$2 \cdot V_{in} - V_{refp}/2$ oder $2 \cdot V_{out}(N-1) - V_{refp}/2$
			$V_{refm}$	$V_{refp}$	
$V_{in}$ (oder $V_{out}$ ) > 3.125V	10	2	$V_{refp}$	$V_{refp}$	$2 \cdot V_{in} - V_{refp}$ oder $2 \cdot V_{out}(N-1) - V_{refp}$



**FIG. 7**

	A	B	C	B	C	B	C
S6	Vrefp	Vout					
S7	Vout	Vout	Vrefm	Vout	Vrefm	Vout	Vrefm
S10	Vout						
S11	EIN	AUS					
S2	EIN		AUS	EIN	AUS	EIN	AUS
S3	EIN						
S8	EIN	AUS	EIN	AUS	EIN	AUS	EIN
S9	AUS						
S4, S5	AUS						
S1	offen						
CS1	C·Vrefp	C·Vout (2)		C·Vout (4)		C·Vout (6)	
CS2	0	C·Vout (2)	0	C·Vout (4)	0	C·Vout (6)	0
CF1	0		C·Vout (3)		C·Vout (5)		C·Vout (7)
CF2	0						
Vout	Vout (1) = 0V	Vout (2) = Vrefp/2	Vout (3) = Vrefp/2	Vout (4) = Vrefp/4	Vout (5) = (3/4)Vrefp	Vout (6) = Vrefp/8	Vout (7) = (7/8)Vrefp
A/D-CODE	undefiniert						
	Abtast	K1=1		K2=1		K3=1	

FIG. 8

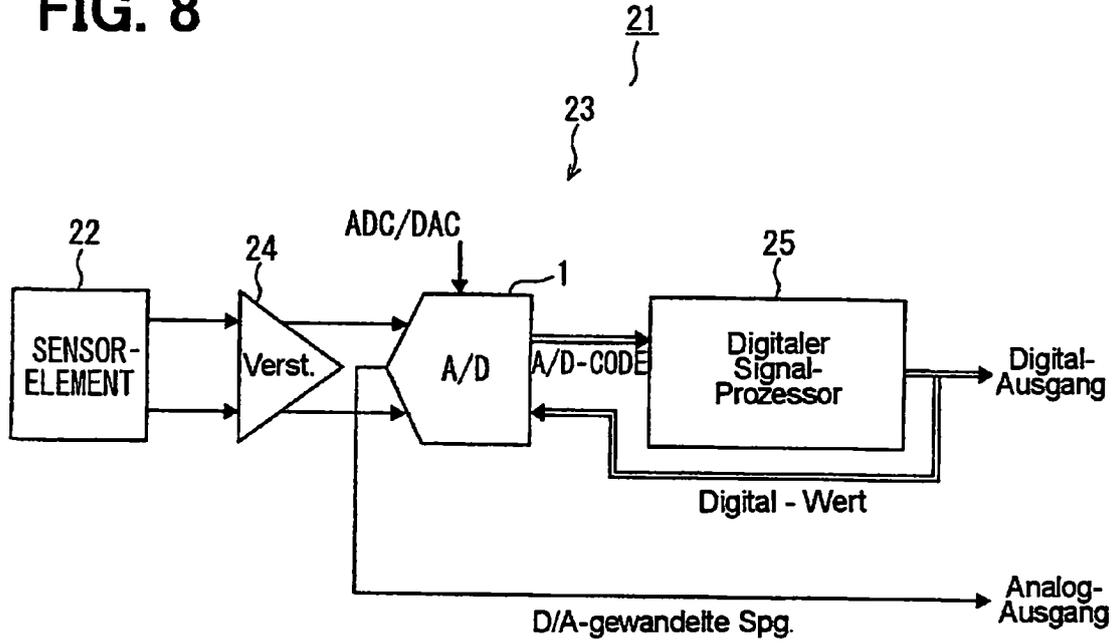


FIG. 9

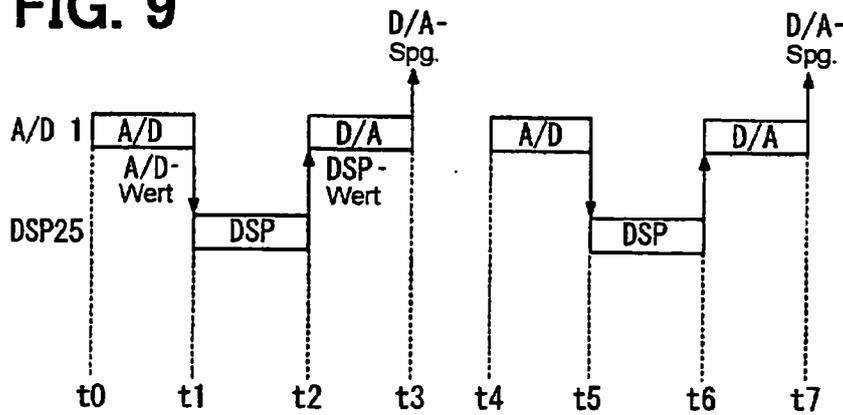


FIG. 10

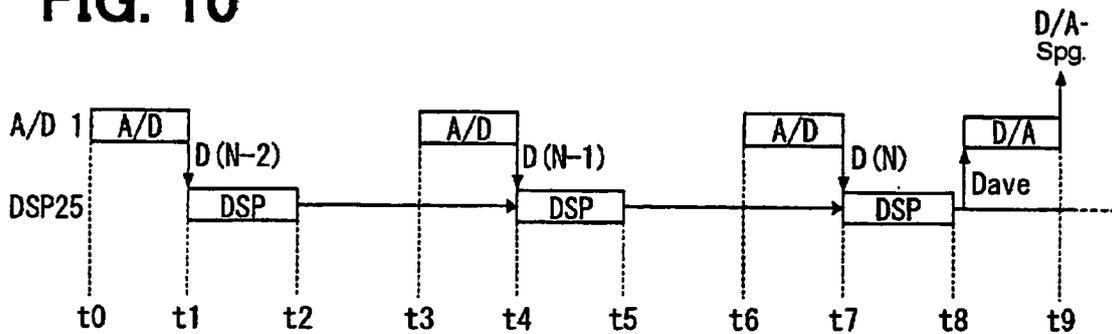
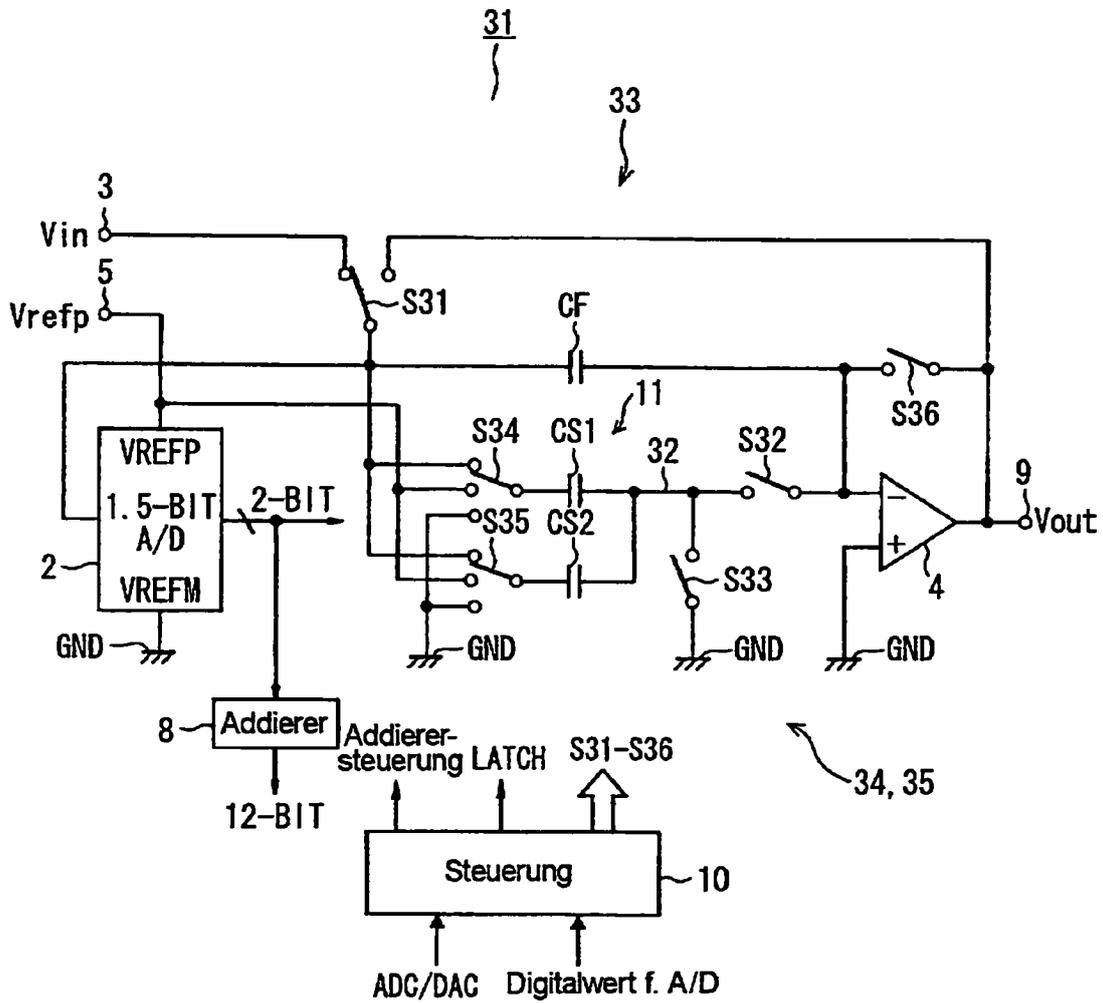


FIG. 11



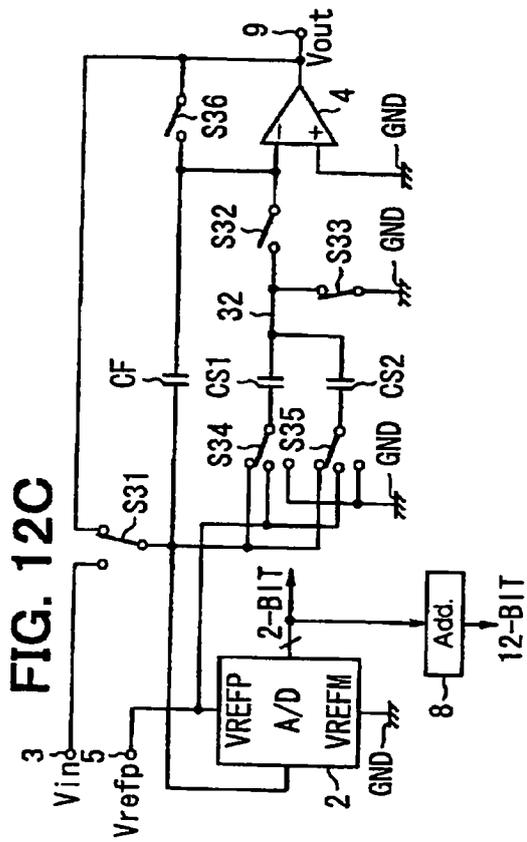
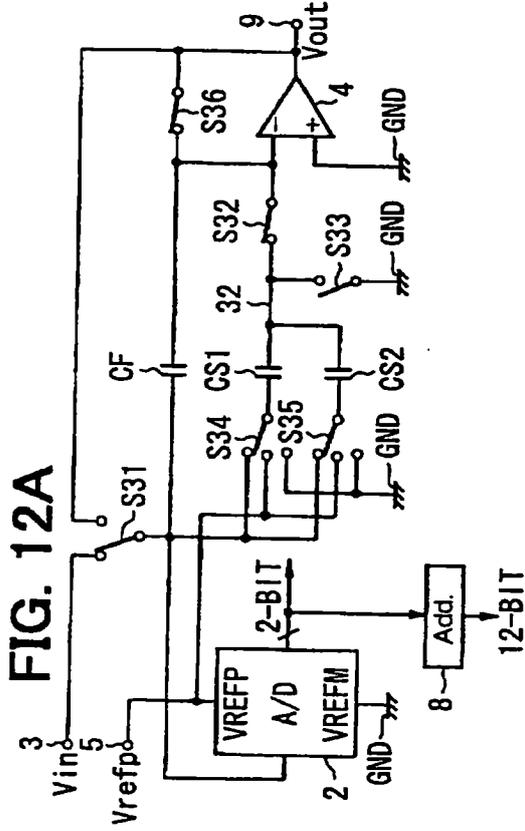
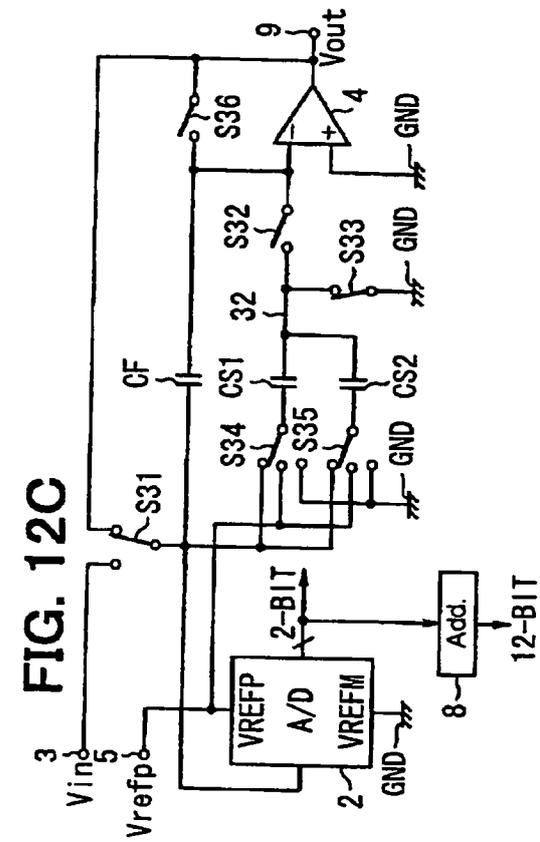
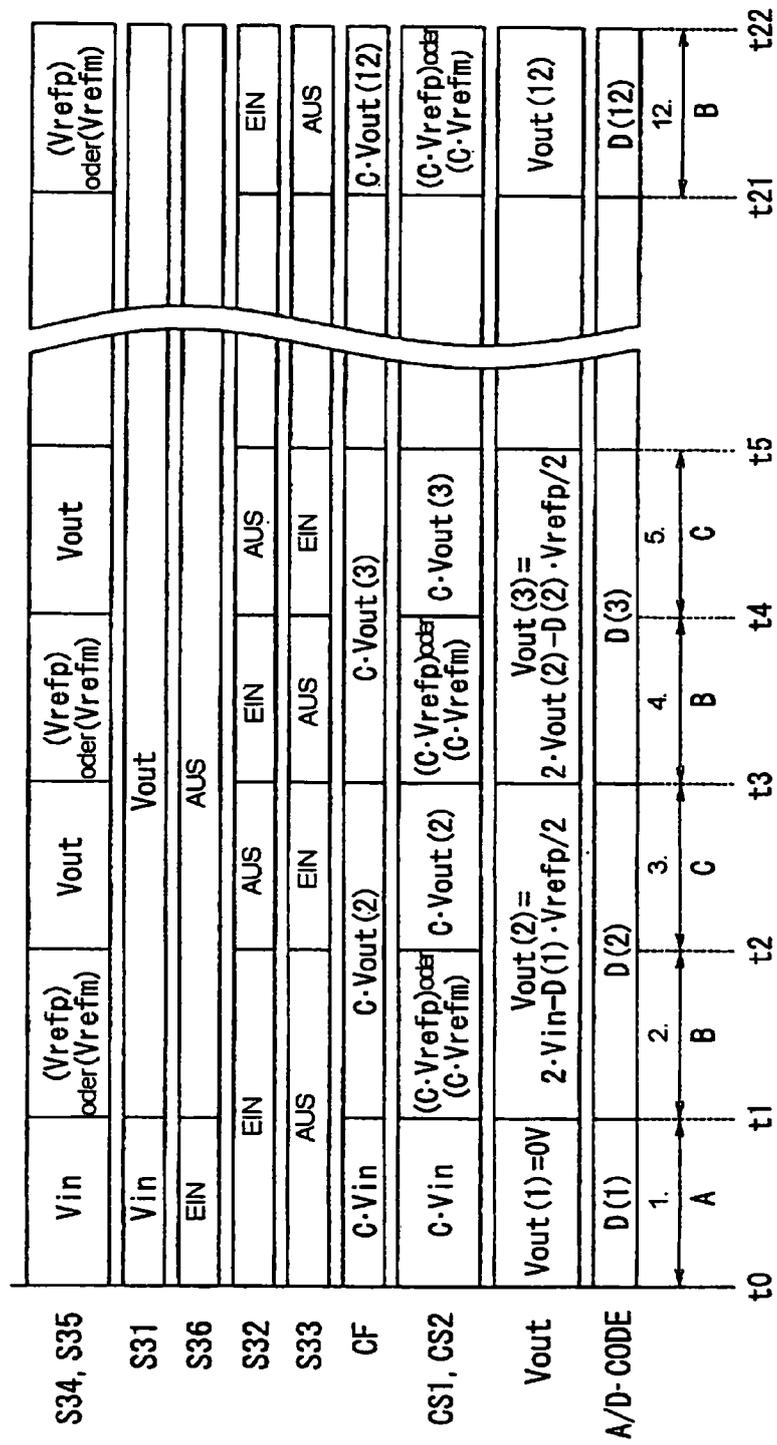


FIG. 13





**FIG. 15**

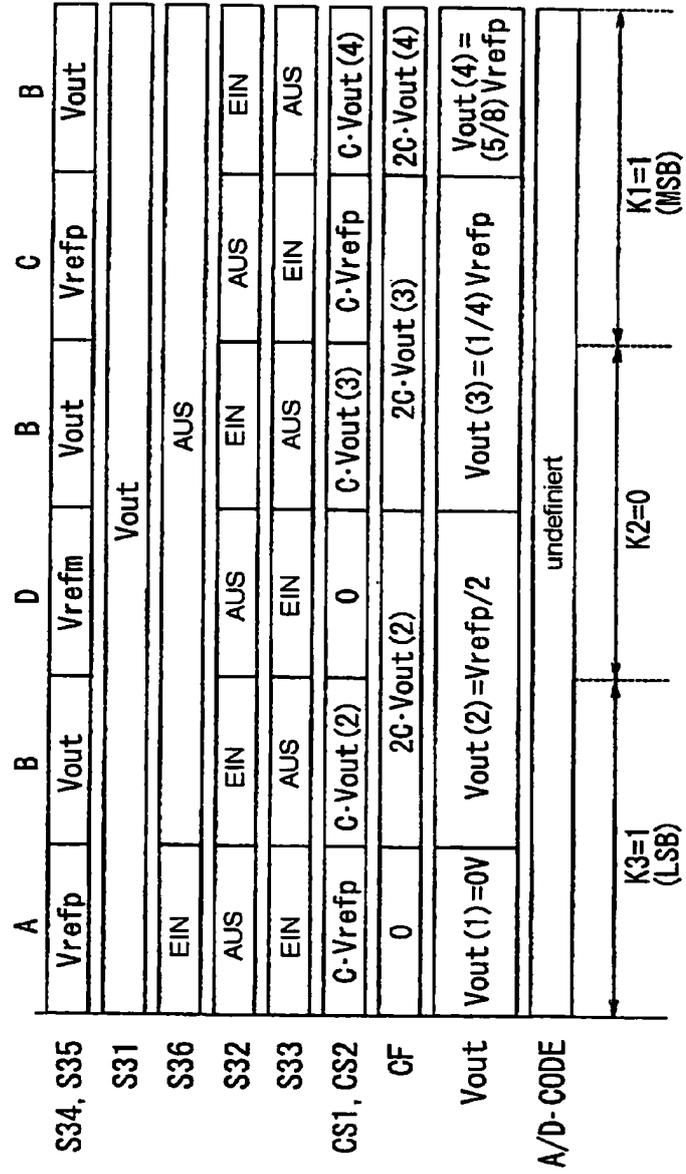


FIG. 16

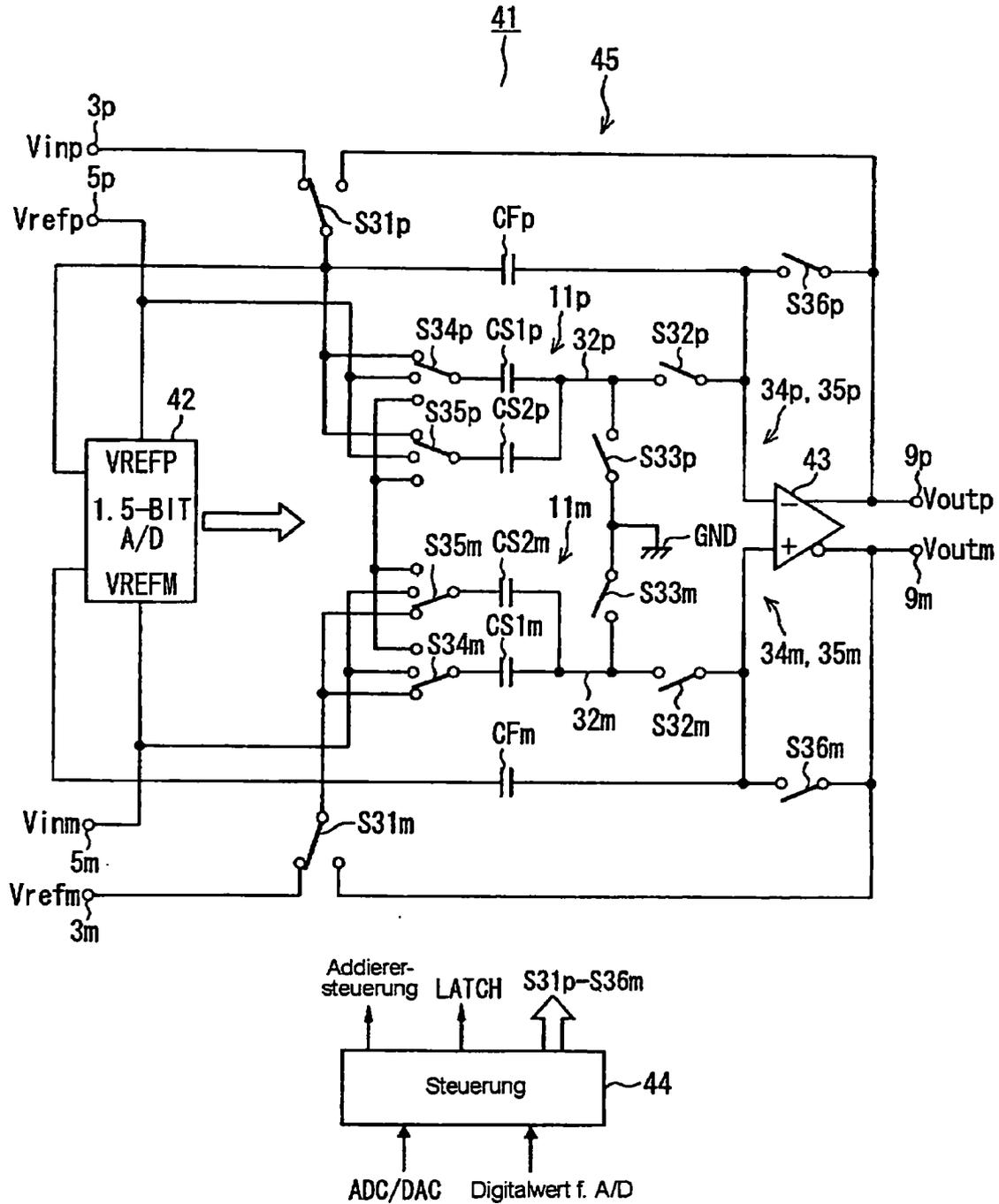


FIG. 17

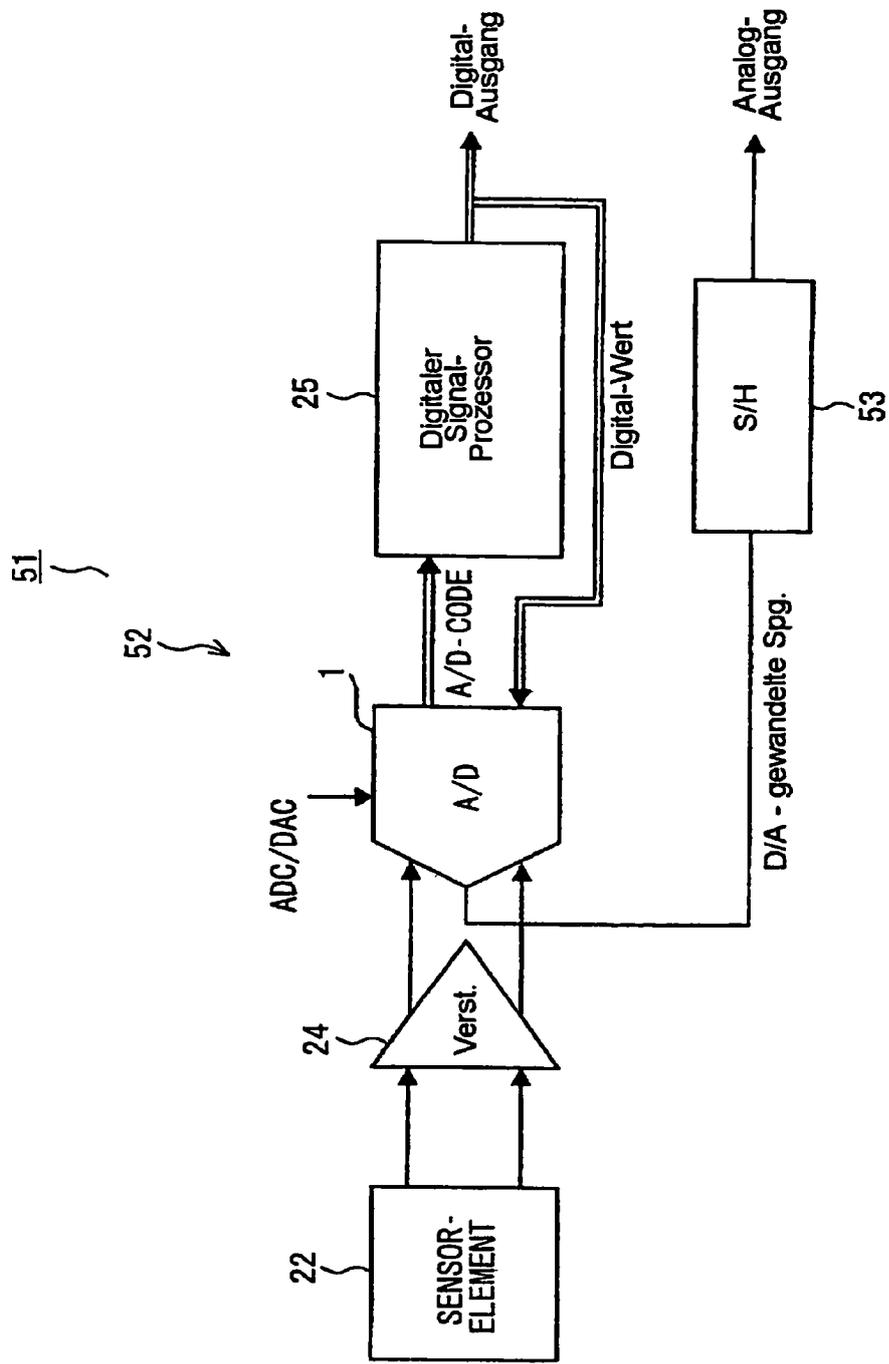


FIG. 18

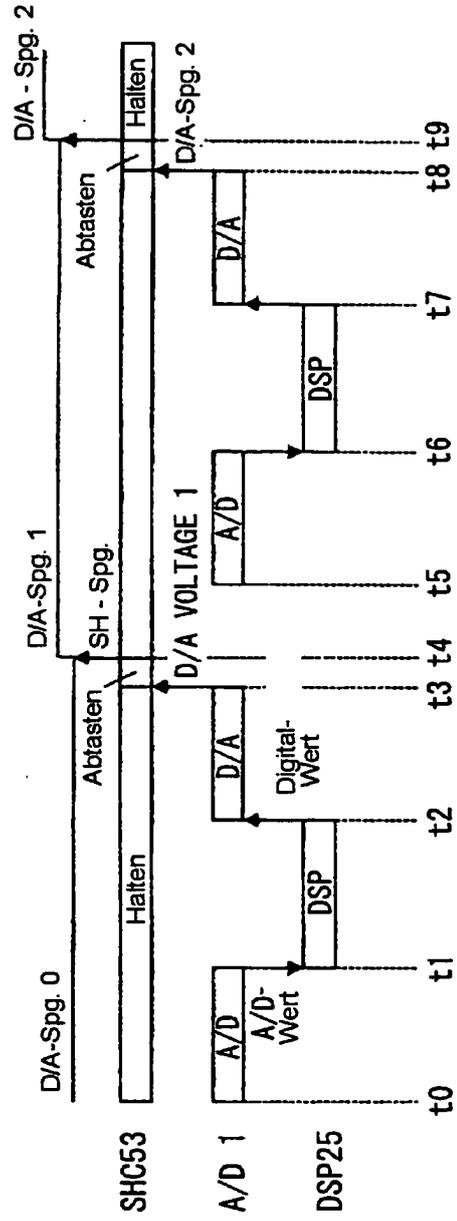


FIG. 19

