

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6897139号
(P6897139)

(45) 発行日 令和3年6月30日(2021.6.30)

(24) 登録日 令和3年6月14日(2021.6.14)

(51) Int.Cl.		F I			
H05K	3/46	(2006.01)	H05K	3/46	Q
H01L	23/12	(2006.01)	H05K	3/46	N
H01L	25/00	(2006.01)	H01L	23/12	B
			H01L	25/00	Z

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2017-24160 (P2017-24160)	(73) 特許権者	000003067
(22) 出願日	平成29年2月13日 (2017.2.13)		TDK株式会社
(65) 公開番号	特開2018-133363 (P2018-133363A)		東京都中央区日本橋二丁目5番1号
(43) 公開日	平成30年8月23日 (2018.8.23)	(74) 代理人	100088155
審査請求日	令和1年10月9日 (2019.10.9)		弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100124062
			弁理士 三上 敬史
		(72) 発明者	富川 満広
			東京都港区芝浦三丁目9番1号 TDK株式会社内
		(72) 発明者	角田 晃一
			東京都港区芝浦三丁目9番1号 TDK株式会社内

最終頁に続く

(54) 【発明の名称】 電子部品内蔵基板及び基板実装構造体

(57) 【特許請求の範囲】

【請求項1】

第1主面及び前記第1主面の反対側に第2主面を有する基板と、
前記基板に内蔵され、前記第1主面側に設けられた第1端子、前記第2主面側に設けられた第2端子、及び前記第1端子と前記第2端子との間に設けられた容量部を有する電子部品と、

前記基板に含まれる絶縁層内に形成され、前記第1端子と電氣的に接続されると共に前記第1主面側に延びる第1ビア導体と、

前記基板に含まれる絶縁層内に形成され、前記第2端子と電氣的に接続されると共に前記第2主面側に延びる第2ビア導体と、

を有し、

前記第1端子の数 $N1$ と前記第2端子の数 $N2$ とは、 $N1 > N2$ を満たし、

前記第1ビア導体と前記第1端子との接触面積 $S1$ と、前記第2ビア導体と前記第2端子の端面との接触面積 $S2$ と、は、 $S1 \geq S2$ を満たし、

前記第1端子の厚み $T1$ と前記第2端子の厚み $T2$ とが、 $T1 < T2$ を満たす、電子部品内蔵基板。

【請求項2】

1つの前記第1端子に対して複数の前記第1ビア導体が接続している、もしくは、1つの前記第2端子に対して複数の前記第2ビア導体が接続している、請求項1に記載の電子部品内蔵基板。

【請求項 3】

前記基板は、コアを含まずに構成される、請求項 1 又は 2 に記載の電子部品内蔵基板。

【請求項 4】

前記第 1 端子及び前記第 2 端子は、どちらも複数である、請求項 1 ~ 3 のいずれか一項に記載の電子部品内蔵基板。

【請求項 5】

請求項 1 ~ 4 のいずれか一項に記載の電子部品内蔵基板を含む基板実装構造体であって、前記第 1 端子は能動部品に接続され、前記第 2 端子は電源側に接続されている、基板実装構造体。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、電子部品内蔵基板及びこの電子部品内蔵基板を含む基板実装構造体に関する。

【背景技術】

【0002】

能動部品に接続される受動部品が内蔵されている電子部品内蔵基板が知られている。特許文献 1 では、チップコンデンサが内蔵された部品内蔵基板が示されている。近年、電子機器の小型化等のニーズから電子部品の薄膜化が進んでいて、薄膜の電子部品が内蔵された電子部品内蔵基板についても検討が進められている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2009 - 194096 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

電子部品内蔵基板では、能動部品に接続される電子部品の低 E S L (等価直列インダクタンス) 化が求められる。そこで、本願発明者らは、低 E S L 化を図るために、電子部品のうち能動部品側の電極を複数に分割し、分割された電極それぞれに対して能動部品と接続するための端子を設ける多端子構造を検討している。しかしながら、能動部品に接続する側の電極を複数に分割して多端子構造とした場合、能動部品に接続される側の電極近傍と逆側の電極近傍とにおいて内部応力の差が生じ、特に能動部品側の端子と電極との間での接続信頼性が低下する可能性が考えられる。

30

【0005】

本発明は上記に鑑みてなされたものであり、電子部品の接続信頼性の低下を抑制することが可能な電子部品内蔵基板及びこの電子部品内蔵基板を含む基板実装構造体を提供することを目的とする。

【課題を解決するための手段】

【0006】

40

上記目的を達成するため、本発明に係る電子部品内蔵基板は、第 1 主面及び前記第 1 主面の反対側に第 2 主面を有する基板と、前記基板に内蔵され、前記第 1 主面側に設けられた第 1 端子、前記第 2 主面側に設けられた第 2 端子、及び前記第 1 端子と前記第 2 端子との間に設けられた容量部を有する電子部品と、前記基板に含まれる絶縁層内に形成され、前記第 1 端子と電氣的に接続されると共に前記第 1 主面側に延びる第 1 ピア導体と、前記基板に含まれる絶縁層内に形成され、前記第 2 端子と電氣的に接続されると共に前記第 2 主面側に延びる第 2 ピア導体と、を有し、前記第 1 端子の数 N_1 と前記第 2 端子の数 N_2 とは、 $N_1 > N_2$ を満たし、前記第 1 ピア導体と前記第 1 端子との接地面積 S_1 と、前記第 2 ピア導体と前記第 2 端子の端面との接地面積 S_2 と、は、 $S_1 \geq S_2$ を満たす。

【0007】

50

上記の電子部品内蔵基板によれば、第1端子は数が多く、第2端子は数が少ない状態である場合に、第1ビア導体の第2のビア導体の関係をS1 S2とすることで、内部応力に由来する電子部品の変形を抑制することができる。したがって、第1端子と第1ビア導体との境界における接続信頼性、及び、第2端子と第2ビア導体との境界における接続信頼性が向上する。

【0008】

ここで、1つの前記第1端子に対して複数の前記第1ビア導体が接続している、もしくは、1つの前記第2端子に対して複数の前記第2ビア導体が接続している態様としてもよい。

【0009】

このように、1つの端子に対して複数のビア導体が接続している場合でも、上記の関係を満たすことで、電子部品の接続信頼性の低下を抑制することが可能となる。

【0010】

また、前記第1端子の厚みT1と前記第2端子の厚みT2とが、 $T1 < T2$ を満たす態様としてもよい。

【0011】

上記のように、数が多い第1端子の厚みが小さく、数が少ない第2端子の厚みが大きい状態である場合に、第1ビア導体の第2のビア導体の関係をS1 S2とすることで、内部応力に由来する電子部品の変形を好適に抑制することができる。

【0012】

また、本発明の一形態に係る基板実装構造体は、上記の電子部品内蔵基板を含む基板実装構造体であって、前記第1端子は能動部品側に接続され、前記第2端子は電源側に接続されている。

【0013】

上記の基板実装構造体では、電子部品内蔵基板の第1端子は能動部品側に接続され、電子部品内蔵基板の第2端子は電源側に接続されているため、電子部品の低ESL化を実現しつつ、電子部品の接続信頼性の低下を抑制することを可能としている。

【発明の効果】

【0014】

本発明によれば、電子部品の接続信頼性の低下を抑制することが可能な電子部品内蔵基板及びこの電子部品内蔵基板を含む基板実装構造体が提供される。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態に係る電子部品内蔵基板を用いた基板実装構造体を概略的に示す断面図である。

【図2】本発明の一実施形態に係る電子部品内蔵基板の一部を概略的に示す断面図である。

【図3】図2に示す電子部品内蔵基板の製造方法を説明するための図である。

【図4】図2に示す電子部品内蔵基板の製造方法を説明するための図である。

【図5】図2に示す電子部品内蔵基板の製造方法を説明するための図である。

【発明を実施するための形態】

【0016】

以下、添付図面を参照して、本発明を実施するための形態を詳細に説明する。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

【0017】

図1は、本発明の一実施形態に係る電子部品内蔵基板を用いた基板実装構造体を概略的に示す断面図である。また、図2は、本発明の一実施形態に係る電子部品内蔵基板の一部を概略的に示す断面図である。

【0018】

図1に示すように、基板実装構造体100は、例えば、通信端末等に使用される実装構

10

20

30

40

50

造体である。電子部品内蔵基板 1 は、絶縁層 1 1 を含む基板 1 0 と、基板 1 0 に内蔵された電子部品 2 0 と、を備えている。基板 1 0 の一方側の第 1 主面 1 0 A には、電子部品 2 0 の一方側の電極である第 1 端子 2 1 から延びる第 1 外部端子 3 1 が設けられている。また、第 1 主面 1 0 A とは逆側の第 2 主面 1 0 B には、電子部品 2 0 の第 1 端子 2 1 とは逆側の第 2 端子 2 2 から延びる第 2 外部端子 3 2 が設けられている。

【 0 0 1 9 】

基板実装構造体 1 0 0 のうち電子部品内蔵基板 1 の基板 1 0 の第 1 主面 1 0 A 側において、電子部品内蔵基板 1 の第 1 外部端子 3 1 に対して、導体材料 4 1 (パンプ) を介して能動部品 4 2 が接続されている。能動部品 4 2 については、特に限定されないが、例えば、LSI (大規模集積回路)、ASIC (Application Specific Integrated Circuit、10

【 0 0 2 0 】

基板実装構造体 1 0 0 のうち電子部品内蔵基板 1 の第 2 主面 1 0 B 側において、電子部品内蔵基板 1 の第 2 外部端子 3 2 に対して、導体材料 4 3 を介して電源側の回路基板 4 4 が接続される。回路基板 4 4 とは、例えば、マザーボード等である。回路基板 4 4 に代えて、他の電子部品等が接続されていてもよい。少なくとも、電子部品内蔵基板 1 においては、第 1 主面 1 0 A 側の第 1 外部端子 3 1 は能動部品 4 2 側に接続され、第 2 主面 1 0 B 側の第 2 外部端子 3 2 は電源側に接続されている。

【 0 0 2 1 】

20

図 2 を参照しながら、電子部品内蔵基板 1 の詳細構造について、説明する。電子部品内蔵基板 1 は、絶縁層 1 1 及びコア 1 2 を含む基板 1 0 と、基板 1 0 に内蔵された電子部品 2 0 と、絶縁層 1 1 内に形成されたビア導体 3 0 (第 1 ビア導体 3 3 , 第 2 ビア導体 3 4) と、を備えている。基板 1 0 は、第 1 主面 1 0 A 及び第 1 主面 1 0 A の反対側の第 2 主面 1 0 B を有している。電子部品 2 0 は、第 1 主面 1 0 A 側に設けられた複数の第 1 端子 2 1、第 2 主面 1 0 B 側に設けられた複数の第 2 端子 2 2、及び、第 1 端子 2 1 と第 2 端子 2 2 との間に設けられた容量部 2 3 を有している。また、電子部品内蔵基板 1 は、電子部品 2 0 の第 1 端子 2 1 と電氣的に接続される第 1 外部端子 3 1 と、電子部品 2 0 の第 2 端子 2 2 と電氣的に接続される第 2 外部端子 3 2 と、を備えている。ここで、電子部品 2 0 が基板 1 0 に「内蔵されている」とは、電子部品 2 0 が基板 1 0 の第 1 主面 1 0 A 及び第 2 主面 1 0 B から露出していない状態をいう。30

【 0 0 2 2 】

基板 1 0 は、いわゆる多層回路基板である。本実施形態においては、基板 1 0 は絶縁層 1 1 及びコア 1 2 を含んでいる。コア 1 2 は絶縁層 1 1 に内蔵されており、基板 1 0 の第 1 主面 1 0 A 及び第 2 主面 1 0 B は絶縁層 1 1 の主面に相当する。コア 1 2 には、第 1 主面 1 0 A 側から第 2 主面 1 0 B 側へ貫通する貫通孔 1 3 が設けられており、電子部品 2 0 は、貫通孔 1 3 内に配置されている。また、絶縁層 1 1 は貫通孔 1 3 内にも充填されている。その結果、電子部品 2 0 とコア 1 2 との間には絶縁層 1 1 が介在している。絶縁層 1 1 は、例えばエポキシ樹脂、アクリル樹脂、又はフェノール樹脂等の絶縁性材料によって構成される。なお、絶縁層 1 1 を構成する絶縁性材料は、例えば、熱硬化性樹脂又は光硬化性樹脂等、特定の処理によって硬度が変化する材料であることが好ましい。コア 1 2 は、例えばシリコン (Si)、ガラス (SiO₂)、又は樹脂基板等によって構成される。基板 1 0 の全体の厚みは、例えば 40 μm ~ 1000 μm 程度とすることができる。また、絶縁層 1 1 の厚みは、例えば 1 μm ~ 200 μm 程度、コア 1 2 の厚みは、例えば 20 μm ~ 400 μm 程度とすることができる。なお、基板 1 0 の全体の厚み、絶縁層 1 1 の厚み、及びコア 1 2 の厚みは特に限定されない。40

【 0 0 2 3 】

電子部品 2 0 は、複数の第 1 端子 2 1、複数の第 2 端子 2 2、及び複数の第 1 端子 2 1 と複数の第 2 端子 2 2 との間に設けられた容量部 2 3 を有するキャパシタである。本実施形態では、電子部品 2 0 が、第 1 端子 2 1 及び第 2 端子 2 2 が金属薄膜により構成され、50

容量部 2 3 が誘電体膜により構成されたいわゆる T F C P (Thin Film Capacitor: 薄膜キャパシタ) である場合について説明する。なお、第 1 端子 2 1 側の金属薄膜から構成される電極層には、第 1 端子 2 1 として機能する領域とは異なる領域が含まれていてもよい。第 2 端子 2 2 側の金属薄膜から構成される電極層には、第 2 端子 2 2 として機能する領域とは異なる領域が含まれていてもよい。

【 0 0 2 4 】

図 2 に示す例では、第 1 端子 2 1 は 5 つに分割され、第 2 端子 2 2 は 2 つに分割されている。分割された第 1 端子 2 1 のそれぞれは、第 1 主面 1 0 A 側の端面 2 1 a と、側面 2 1 b と、有している。端面 2 1 a 及び側面 2 1 b の周囲には、絶縁層 1 1 が充填されている。また、分割された第 2 端子 2 2 のそれぞれは、第 2 主面 1 0 B 側の端面 2 2 a と、側面 2 2 b と、有している。端面 2 2 a 及び側面 2 2 b の周囲には、絶縁層 1 1 が充填されている。分割された第 1 端子 2 1 及び第 2 端子 2 2 の数 (分割数) 及び形状は適宜変更することができる。

10

【 0 0 2 5 】

電子部品 2 0 の 3 層 (第 1 端子 2 1、第 2 端子 2 2、及び容量部 2 3) の厚みの合計は、例えば $5 \mu\text{m} \sim 650 \mu\text{m}$ 程度であり、第 1 端子 2 1 の厚みを $0.1 \mu\text{m} \sim 50 \mu\text{m}$ 程度とし、容量部 2 3 の厚みを $0.05 \mu\text{m} \sim 100 \mu\text{m}$ 程度とし、第 2 端子 2 2 の厚みを $5 \mu\text{m} \sim 500 \mu\text{m}$ 程度とすることができる。なお、本実施形態で説明する電子部品 2 0 では、第 1 端子 2 1 の厚みよりも第 2 端子 2 2 の厚みが大きい。したがって、上記の厚みの範囲内で、第 1 端子 2 1 の厚みよりも第 2 端子 2 2 が大きくなるように適宜選択される。つまり、第 1 端子 2 1 の厚みを $T 1$ とし、第 2 端子 2 2 の厚みを $T 2$ とすると、 $T 1 < T 2$ となる。

20

【 0 0 2 6 】

第 1 端子 2 1 及び第 2 端子 2 2 を構成する材料としては、主成分がニッケル (Ni)、銅 (Cu)、アルミニウム (Al)、白金 (Pt)、これらの金属を含有する合金、又は金属間化合物である材料が好適に用いられる。ただし、第 1 端子 2 1 及び第 2 端子 2 2 の材料は、導電性材料であれば特に限定されない。本実施形態では、第 1 端子 2 1 が銅を主成分とすると共に、第 2 端子 2 2 がニッケルを主成分とする場合について説明する。なお、「主成分」であるとは、当該成分の占める割合が 50 質量% 以上であることをいう。また、第 1 端子 2 1 及び第 2 端子 2 2 の態様としては、合金や金属間化合物を形成する場合のほか、2 種類以上からなる積層体構造である場合も含む。例えば、Ni 薄膜上に Cu 薄膜を設けた 2 層構造として電極層を形成してもよい。また、第 1 端子 2 1 及び / 又は第 2 端子 2 2 として純ニッケルを使用する場合、そのニッケルの純度は 99.99% 以上が好ましい。更に、ニッケルを含有する合金の場合、ニッケル以外の金属として含まれる金属は、白金 (Pt)、パラジウム (Pd)、イリジウム (Ir)、ロジウム (Rh)、ルテニウム (Ru)、オスミウム (Os)、レニウム (Re)、タングステン (W)、クロム (Cr)、タンタル (Ta)、銀 (Ag)、銅 (Cu) からなる群より選ばれる少なくとも一種とすれば好適である。

30

【 0 0 2 7 】

なお、第 2 端子 2 2 が 2 種類以上の材料を含む場合、第 2 端子 2 2 は、いわゆる T S V (Through Silicon Via) 構造等、シリコン (Si) 又はガラス (SiO_2) 等に貫通孔が形成され、貫通孔内に他の導電性材料が埋め込まれた構造を有していてもよい。

40

【 0 0 2 8 】

容量部 2 3 は、ペロブスカイト系の誘電体材料から構成される。ここで、本実施形態におけるペロブスカイト系の誘電体材料としては、 BaTiO_3 (チタン酸バリウム)、 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ (チタン酸バリウムストロンチウム)、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 、 PbTiO_3 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 、などのペロブスカイト構造を持った (強) 誘電体材料や、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ などに代表される複合ペロブスカイトリラクサー型強誘電体材などが含まれる。ここで、上記のペロブスカイト構造、ペロブスカイトリラクサー型誘電体材料において、A サイトと B サイトとの比は、

50

通常整数比であるが、特性向上のために意図的に整数比からずらしてもよい。なお、容量部 2 3 の特性制御のため、容量部 2 3 に適宜、副成分として添加物質が含有されていてもよい。

【 0 0 2 9 】

第 1 外部端子 3 1 は、複数の第 1 端子 2 1 のそれぞれに対応して設けられている。本実施形態においては、5 つの第 1 外部端子 3 1 が設けられている例を示している。第 1 外部端子 3 1 のそれぞれは、基板 1 0 の第 1 主面 1 0 A に対して積層されており、ビア導体 3 0 (後述する第 1 ビア導体 3 3) を介して第 1 端子 2 1 と電氣的に接続されている。電子部品 2 0 の第 1 端子 2 1 は、第 1 ビア導体 3 3 及び第 1 外部端子 3 1 を介して外部の電子部品又は配線等と電氣的に接続可能に構成されている。第 1 外部端子 3 1 は、例えば銅 (C u) 等の導電性材料によって構成されている。

10

【 0 0 3 0 】

第 2 外部端子 3 2 は、複数の第 2 端子 2 2 のそれぞれに対応して設けられている。本実施形態においては、2 つの第 2 外部端子 3 2 が設けられている例を示している。第 2 外部端子 3 2 のそれぞれは、基板 1 0 の第 2 主面 1 0 B に対して積層されており、ビア導体 3 0 (後述する第 2 ビア導体 3 4) を介して第 2 端子 2 2 と電氣的に接続されている。電子部品 2 0 の第 2 端子 2 2 は、第 2 ビア導体 3 4 及び第 2 外部端子 3 2 を介して外部の電子部品又は配線等と電氣的に接続可能に構成されている。第 2 外部端子 3 2 は、例えば銅 (C u) 等の導電性材料によって構成されている。

【 0 0 3 1 】

ビア導体 3 0 は、第 1 端子 2 1 と第 1 外部端子 3 1 とを電氣的に接続する第 1 ビア導体 3 3 と、第 2 端子 2 2 と第 2 外部端子 3 2 とを電氣的に接続する第 2 ビア導体 3 4 とを含んでいる。第 1 ビア導体 3 3 は第 1 端子 2 1 と第 1 外部端子 3 1 との間において絶縁層 1 1 を貫通している。また、第 2 ビア導体 3 4 は第 2 端子 2 2 と第 2 外部端子 3 2 との間において絶縁層 1 1 を貫通している。第 1 ビア導体 3 3 及び第 2 ビア導体 3 4 は、基本的に積層方向 (基板 1 0 の厚さ方向) に対して延びる円筒状であるが、図 2 等に示すように、外側 (第 1 主面 1 0 A もしくは第 2 主面 1 0 B 側) の断面積が大きく、内側 (電子部品 2 0 側) の断面積が小さくなるように、側面が傾斜していてもよい。

20

【 0 0 3 2 】

第 1 外部端子 3 1 から連続する第 1 ビア導体 3 3 と、第 1 端子 2 1 の端面 2 1 a とが接する面積は、第 2 外部端子 3 2 から連続する第 2 ビア導体 3 4 と、第 2 端子 2 2 の端面 2 2 a とが接する面積よりも小さい。つまり、第 1 外部端子 3 1 から連続する第 1 ビア導体 3 3 と、第 1 端子 2 1 の端面 2 1 a とが接する面積を接地面積 S_1 とし、第 2 外部端子 3 2 から連続する第 2 ビア導体 3 4 と、第 2 端子 2 2 の端面 2 2 a とが接する面積を接地面積 S_2 とすると、 $S_1 > S_2$ を満たす。なお、 S_1 、 S_2 は、それぞれ 1 つのビア導体の接地面積を指しているものである。ビア導体が複数設けられている場合には、接地面積は、ビア導体毎に求められる接地面積の平均を算出し、 S_1 、 S_2 とする。

30

【 0 0 3 3 】

このように、電子部品 2 0 では、能動部品 4 2 側に接続される第 1 端子 2 1 の数 (分割数) を N_1 とし、電源側に接続される第 2 端子 2 2 の数 (分割数) を N_2 とすると、 $N_1 > N_2$ となっている。また、第 1 端子 2 1 の厚みを T_1 とし、第 2 端子 2 2 の厚みを T_2 とすると、 $T_1 < T_2$ となっている。また、第 1 ビア導体 3 3 と第 1 端子 2 1 の端面 2 1 a とが接する面積を S_1 とし、第 2 ビア導体 3 4 と第 2 端子 2 2 の端面 2 2 a とが接する面積を S_2 とすると、 $S_1 > S_2$ となっている。

40

【 0 0 3 4 】

次に、図 3 ~ 図 5 を参照して、本実施形態に係る電子部品内蔵基板 1 の製造方法について説明する。図 3 ~ 図 5 は、図 1 に示す電子部品内蔵基板の製造方法を説明するための図である。なお、図 3 ~ 図 5 では、一つの電子部品内蔵基板 1 の製造方法を示しているが、実際には複数の電子部品内蔵基板 1 を一枚の支持基板上で形成した後に、それぞれの電子部品内蔵基板 1 に個片化する。したがって、図 3 ~ 図 5 は、一枚の支持基板上の一部を拡

50

大して示しているものである。

【0035】

まず、図3に示すように、電子部品20を準備する。電子部品20は公知の方法で製造することができる。電子部品20の第1端子21は5つに分割され、第2端子22は2つに分割されている。

【0036】

次に、図4(a)に示すように、貫通孔13が設けられたコア12を準備する。貫通孔13は、例えばエッチング等の公知のプロセスによって形成することができる。その後、図4(b)に示すように、支持基板Wを準備し、コア12を支持基板Wに仮固定する。更に、コア12の貫通孔13内に電子部品20を配置して仮固定する。支持基板Wとしては、例えば粘着性を有する搭載用仮固定材等を用いることができる。

10

【0037】

次に、図5(a)に示すように、絶縁層11を形成する。絶縁層11は、例えば、支持基板Wに仮固定されたコア12及び電子部品20に対して未硬化の状態の樹脂材料を塗布し、樹脂材料を硬化させた後に支持基板Wを取り除くことによって形成される。これにより、コア12及び電子部品20が絶縁層11に埋め込まれた状態となる。

【0038】

次に、図5(b)に示すように、第1ビア導体33を形成するための孔33A及び第2ビア導体34を形成するための孔34Aを形成する。孔33Aは、それぞれの第1端子21に対応した箇所に形成され、第1主面10Aと第1端子21との間において絶縁層11を貫通している。孔34Aは、それぞれの第2端子22に対応した箇所に形成され、第2主面10Bと第2端子22との間において絶縁層11を貫通している。孔33A、44Aは、例えばレーザーアブレーションによって形成することができる。

20

【0039】

次に、メッキ又はスパッタ等によって孔33A内に第1ビア導体33を形成し、孔34A内に第2ビア導体34を形成する。その後、第1主面10A及び第2主面10B上に形成された金属層に対してパターンニングを行う。これにより、複数の第1外部端子31及び複数の第2外部端子32が形成される。最後に、ダイシング等によって個片化を行うことにより、図1に示す電子部品内蔵基板1が得られる。なお、導体材料41、43を用いて、電子部品内蔵基板1と、能動部品42と、回路基板44と、を接続すると、図1に示す基板実装構造体100が得られる。

30

【0040】

ここで、本実施形態に係る基板実装構造体100の電子部品内蔵基板1に含まれる電子部品20は、第1端子21の数(分割数)N1と、第2端子22の数(分割数)N2と、が $N1 > N2$ を満たし、第1端子21の厚みT1と第2端子22の厚みT2とが $T1 < T2$ を満たしている。また、電子部品20は、第1ビア導体33と第1端子21の端面21aとの接地面積S1と、第2ビア導体34と第2端子22の端面22aとの接地面積S2と、が $S1 > S2$ となっている。これらの特徴を有していることで、電子部品内蔵基板1では、第1端子21と第1ビア導体33との境界における第1端子21と第1ビア導体33との接続信頼性、及び、第2端子22と第2ビア導体34との境界における第2端子22と第2ビア導体34との接続信頼性が向上するという効果を奏する。

40

【0041】

近年、図1に示す基板実装構造体100のように、電子部品内蔵基板1に内蔵された電子部品20上に能動部品42を配置する構成が検討されている。このような構成において、ESL(等価直列インダクタンス)を低くするためには、電子部品20における能動部品42側の端子を分割して複数にし、他方側の端子よりも数(分割数)を多くすることが有効である。そのため、電子部品20と同様に、能動部品42側の第1端子21を複数に分割し、分割後の複数の第1端子21それぞれの表面から厚み方向に延びるビア導体を設ける構成が検討されている。しかしながら、第1端子の分割数を多くすると、分割された端子毎にビア導体(図1等では第1ビア導体33)が設けられる。また、第1端子の分割

50

数を多くするためには、分割後の端子間の短絡を防ぐために、第1端子を構成する電極層自体の厚みを小さくする必要がある。その結果、電子部品の容量部よりも上方では、厚みが薄く複数に分割された第1端子が設けられ、分割された第1端子のそれぞれの上方には、従来よりも断面積が小さくされたビア導体が設けられることとなる。

【0042】

一方、能動部品側とは異なる側の第2端子側では、端子の数を第1端子よりも少なくされる。したがって、端子に設けられるビア導体の数も異なる。その結果、容量部を挟み、能動部品側の端子及びその周辺の構造と、逆側の端子及びその周辺の構造とでは、端子の厚み、ビアの数等が異なることになる。このような構造を有していると、能動部品側と逆側とで端子近傍に生じる応力に差が生じる。具体的には、能動部品側の第1端子側では、隣接する端子同士が近づく向きの内向きの応力がかかるようになり、逆側の第2端子側では、第1端子側と比較して外向きの応力がかかる状態となる。この結果、第2端子側が反るように電子部品が変形する可能性がある。また、電子部品が変形しないとしても、端子とビアとの間の接触性が低下する可能性があり、接続信頼性が低下することが考えられた。

10

【0043】

これに対して、本実施形態に係る電子部品内蔵基板1では、第1端子21の数(分割数)N1と、第2端子22の数(分割数)N2と、が $N1 > N2$ を満たし、第1端子21の厚みT1と第2端子22の厚みT2とが $T1 < T2$ を満たしている。また、電子部品20は、第1ビア導体33と第1端子21の端面21aとの接地面積S1と、第2ビア導体34と第2端子22の端面22aとの接地面積S2と、が $S1 > S2$ となっている。

20

【0044】

本願発明者らは、容量部を挟んだ第1端子21側と第2端子22側で生じる応力の差はビア導体の数に関係すると考えた。つまり、端子の端面から厚さ方向に延びるビア導体と、ビア導体の周囲に設けられる絶縁材料(本実施形態では、絶縁層11)と、の間での材料の違いが、端子同士が近づく内向きの応力に影響すると、本願発明者らは考えた。また、内向きの応力がかかった場合に、第1端子21側では、厚みが小さな第1端子21が、第2端子22と比較して細かく分割されているため、応力がかかるとその分変形しやすいと考えられた。

【0045】

そこで、第2端子22側において、第1端子21と比較して端子の厚みを大きくして、応力に対する変形を抑制可能な構造としている。さらに、第2端子22の端面22aから延びる第2ビア導体34の端面22aに対する接地面積を、第1端子21の端面21aと第1ビア導体33との接地面積よりも大きくする。この結果、第2端子22側においても、第2ビア導体34が設けられることにより内向きの応力が生じるため、第1端子21側と第2端子22側での応力の差が小さくなる。また、第2ビア導体34の接地面積が第1ビア導体33よりも大きくされているため、第1ビア導体33側よりもビア導体の数は少なくなるものの、各ビア導体により生じる内向きの応力が大きくなる。そのため、第2ビア導体34側(第2端子22側)と第1ビア導体33側(第1端子21側)での応力の差が小さくなると共に、第1ビア導体33側が受ける応力につられた第1ビア導体33側の変形が抑制される。このように、第1ビア導体33側に応力が集中することを防ぐことで、電子部品20の変形が抑制される。

30

40

【0046】

また、電子部品20の変形が抑制されることで、第1端子21の端面21aと第1ビア導体33との間での接続が十分に確保され、その結果、電子部品の接続信頼性の低下を抑制することができる。また、電子部品20の変形が抑制されると、第2端子22の端面22aと第2ビア導体34との間での接続も十分に確保されることとなる。以上のように、本実施形態に係る電子部品内蔵基板1及びこの電子部品内蔵基板1を含む基板実装構造体100によれば、能動部品42側の第1端子21の分割数が増えた場合であっても、電子部品20が変形することを防ぐことができ、電子部品20の接続信頼性の低下を抑制する

50

ことができる。

【0047】

また、基板実装構造体100では、電子部品内蔵基板1の第1端子21は能動部品42側に接続され、第2端子22は電源側の回路基板44に接続されているため、電子部品20の低ESL化を実現しつつ、電子部品20の接続信頼性の低下を抑制することを可能としている。

【0048】

なお、第1端子21の数(分割数) N_1 と、第2端子22の数(分割数) N_2 とが $N_1 > N_2$ の関係を満たす例として、上記実施形態では、 $N_1 = 5$ (第1端子21は5つに分割されている)且つ $N_2 = 2$ (第2端子22は2つに分割されている)である場合について説明した。しかしながら、 N_1 、 N_2 の組み合わせは適宜変更することができる。つまり、分割後の端子がそれぞれ有効に機能する範囲で変更することができ、例えば、 $N_1 = 25$ 、 $N_2 = 1$ というように N_1 と N_2 との差を大きくしてもよい。また、 $N_1 = 25$ 、 $N_2 = 4$ というように、第2端子22側の分割数を大きくしてもよい。この分割数は、第1端子21及び第2端子22として機能する領域の面積にも応じて適宜設定される。

10

【0049】

また、第1端子21の厚み T_1 と第2端子22の厚み T_2 とが $T_1 < T_2$ の関係を満たすが、 T_1 と T_2 との差に関しても、第1端子21及び第2端子22が分割後も端子として機能する範囲で、適宜変更することができる。

【0050】

また、第1ビア導体33と第1端子21の端面21aとの接地面積 S_1 と、第2ビア導体34と第2端子22の端面22aとの接地面積 S_2 と、は $S_1 = S_2$ の関係を満たすが、 S_1 と S_2 との差に関しても、第1ビア導体33及び第2ビア導体34がビア導体として適切に機能し、且つ短絡等が生じない範囲で、適宜変更することができる。ただし、ビア導体の数の差が大きい場合には、上述のようにビア導体が設けられることによる応力が電子部品20の変形に影響するため、応力の差を抑制するために $S_1 = S_2$ とするよりも $S_1 < S_2$ としたほうが、電子部品の変形を抑制することができる。

20

【0051】

また、上記実施形態では、分割後の複数の第1端子21及び複数の第2端子22それぞれについて、1つの端子に対して1つのビア導体が設けられる構造となっているが、分割後の1つの端子に対してビア導体が複数設けられていてもよい。ビア導体の数は、端子を流れる電流の接続先に応じて適宜変更される。ただし、第1端子21側の第1ビア導体33の数が増える場合には、上述のように、内向きの応力がより大きくなるため、第2端子22側での第2ビア導体34の大きさ(第2端子22との接地面積)や第2端子22の厚み等を調整することが好ましい。

30

【0052】

なお、上記実施形態では、電子部品20における第1端子21の数(分割数) N_1 と、第2端子22の数(分割数) N_2 と、が $N_1 > N_2$ を満たし、第1端子21の厚み T_1 と第2端子22の厚み T_2 とが $T_1 < T_2$ を満たしている場合について説明した。しかしながら、電子部品20が、 $T_1 < T_2$ を満たしていない場合(すなわち、 $T_1 = T_2$ である場合)であっても、上記のように第1ビア導体33と第1端子21の端面21aとの接地面積 S_1 と、第2ビア導体34と第2端子22の端面22aとの接地面積 S_2 と、が $S_1 = S_2$ の関係を満たすことで、ビア導体の数の差に由来して電子部品20が変形することを防ぐことができ、電子部品20の接続信頼性の低下を抑制することができる効果が得られる。

40

【0053】

以上、本発明の実施形態について説明してきたが、本発明は上記の実施形態に限定されず、種々の変更を行うことができる。

【0054】

例えば、電子部品内蔵基板1に含まれる電子部品20、ビア導体30(第1ビア導体3

50

3、第2ビア導体34)、及び絶縁層11とは異なる部分の構造は、適宜変更することができる。また、基板10はコア12を含まずに構成されていてもよい。

【0055】

また、上記実施形態では、絶縁層11が単層であり、絶縁層11が基板10の第1主面10A及び第2主面10Bを形成している例を説明したが、基板10内には複数の絶縁層が含まれていてもよい。この場合、例えば、第1端子21の端面21aから延びる第1ビア導体33は一の絶縁層内に設けられ、第2端子22の端面22aから延びる第2ビア導体34は一の絶縁層とは異なる他の絶縁層内に設けられていてもよい。この場合、2つの絶縁層の間は、絶縁層を形成する材料とは異なる材料により構成されていてもよい。また、絶縁層11は図2等を示すように単層となるように存在していても、複数種類の材料が層状に積層していてもよい。

10

【0056】

また、上記実施形態では、電子部品20の能動部品42側に接続される第1端子21の数(分割数)をN1とし、電源側に接続される第2端子22の数(分割数)をN2とした場合に、N1 > N2となっている例について説明したが、電子部品20の第1端子21及び第2端子22の接続対象は上記に限定されない。すなわち、例えば、第1端子21が電源側に接続され、第2端子22が能動部品側に接続されていてもよい。

【符号の説明】

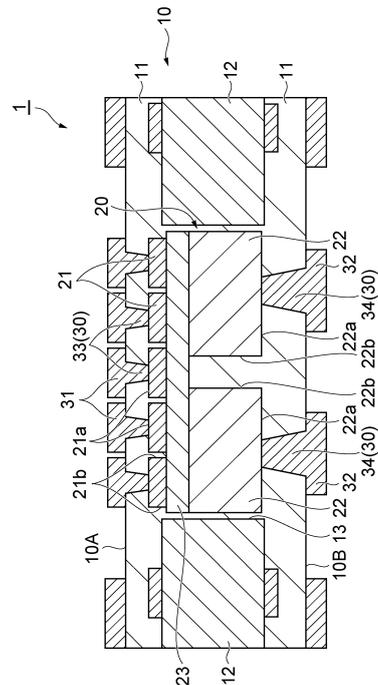
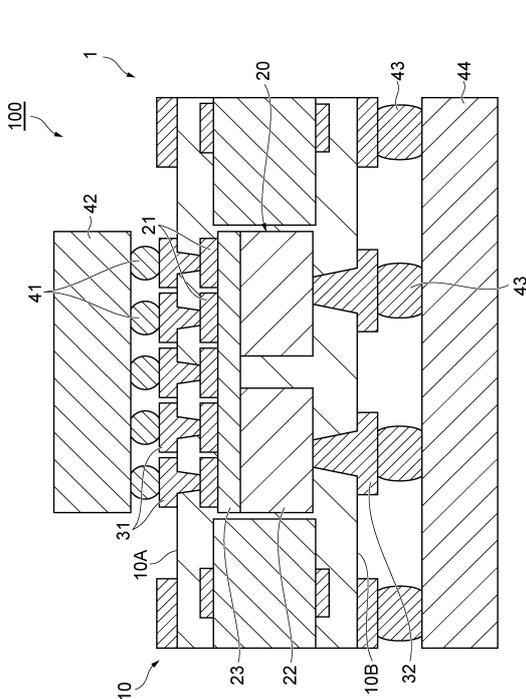
【0057】

1...電子部品内蔵基板、10...基板、10A...第1主面、10B...第2主面、11...絶縁層、12...コア、13...貫通孔、20...電子部品、21...第1端子、22...第2端子、22a...端面、23...容量部、30...ビア導体、31...第1外部端子、32...第2外部端子、33...第1ビア導体、34...第2ビア導体、42...能動部品、44...回路基板。

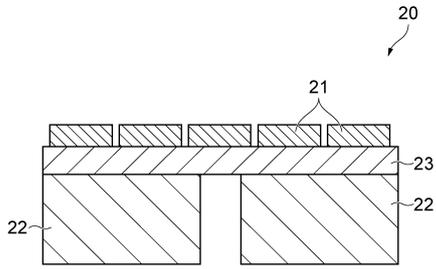
20

【図1】

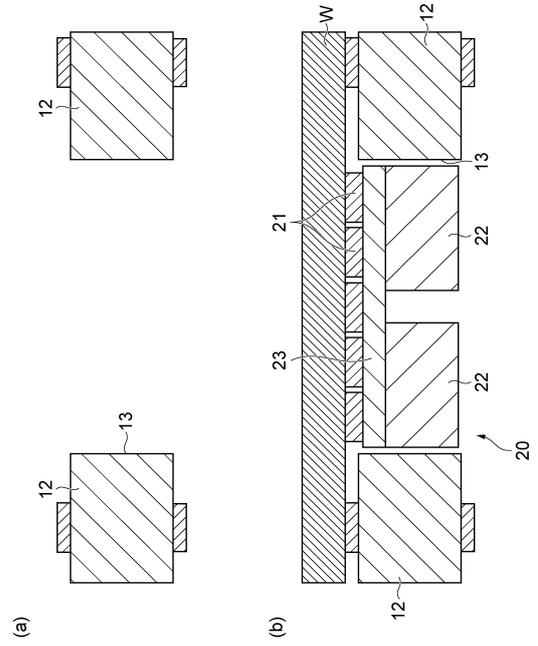
【図2】



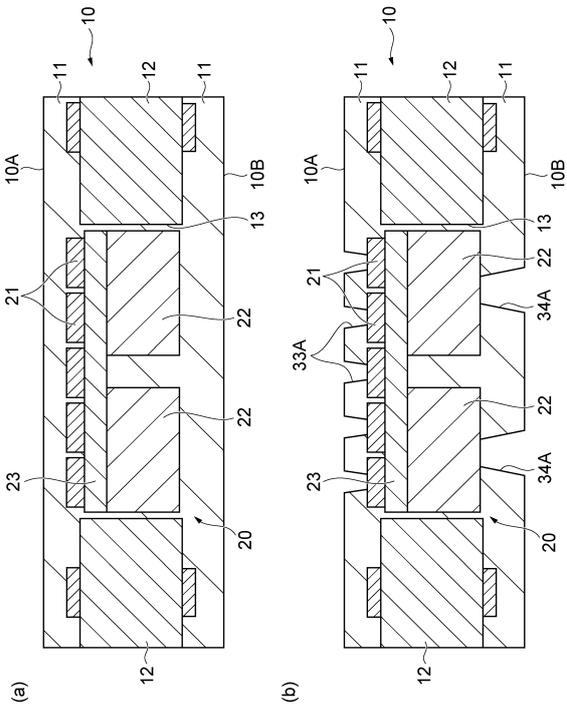
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 吉川 和弘
東京都港区芝浦三丁目9番1号 TDK株式会社内
- (72)発明者 吉田 健一
東京都港区芝浦三丁目9番1号 TDK株式会社内

審査官 齊藤 健一

- (56)参考文献 特開2008-227177(JP,A)
特開2010-251530(JP,A)
特開2013-4866(JP,A)
特開2014-131039(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L23/12 23/15, 25/00
H05K1/00 3/46