



(12) 发明专利申请

(10) 申请公布号 CN 117712173 A

(43) 申请公布日 2024.03.15

(21) 申请号 202311733974.6

(22) 申请日 2023.12.15

(71) 申请人 派恩杰半导体(杭州)有限公司

地址 311215 浙江省杭州市萧山区宁围街  
道悦盛国际中心603室

(72) 发明人 黄兴 谢思思

(74) 专利代理机构 杭州五洲普华专利代理事务  
所(特殊普通合伙) 33260

专利代理师 姚宇吉

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

H01L 29/423 (2006.01)

H01L 29/16 (2006.01)

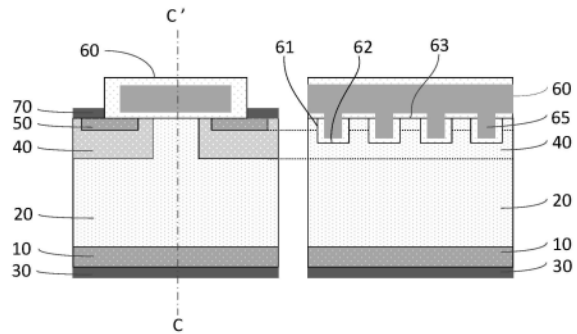
权利要求书2页 说明书6页 附图7页

(54) 发明名称

多面栅碳化硅MOSFET晶体管及其制备方法、  
芯片

(57) 摘要

本发明涉及半导体技术,特别涉及一种多面栅碳化硅MOSFET晶体管及其制备方法、芯片,所述多面栅碳化硅MOSFET晶体管的所述源区、对应的阱区和碳化硅漂移区内形成有梳齿状第一栅结构,所述梳齿状第一栅结构具有梳齿侧壁面、梳齿顶面、梳齿底面三个面与沟道区接触,增加了沟道区的宽度,且所述梳齿侧壁面与现有的衬底平面垂直或形成一定倾斜角度,使得所述梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率,提高了器件整体的综合迁移率。



1. 一种多面栅碳化硅MOSFET晶体管,其特征在于,包括:

半导体衬底、位于所述半导体衬底第一表面的碳化硅漂移区、位于所述半导体衬底第二表面的漏电极;

位于所述碳化硅漂移区内的阱区,位于所述阱区内的源区,所述半导体衬底、碳化硅漂移区和源区为第一掺杂类型,所述阱区为第二掺杂类型;

位于所述源区表面的源电极;

位于所述源区、阱区和碳化硅漂移区表面的栅极机构,所述栅极结构相接触的部分阱区作为沟道区;

所述栅极结构包括梳齿状第一栅结构,所述梳齿状第一栅结构位于所述源区、对应的阱区和碳化硅漂移区内,所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致,且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道的沟道迁移率。

2. 如权利要求1所述的多面栅碳化硅MOSFET晶体管,其特征在于,所述梳齿的侧壁面与衬底平面垂直,或者所述梳齿的侧壁面与衬底平面倾斜呈一个夹角。

3. 如权利要求1所述的多面栅碳化硅MOSFET晶体管,其特征在于,所述梳齿侧壁面为碳化硅m-face、a-face或者(0 $\bar{3}$ 3 $\bar{8}$ )斜面。

4. 如权利要求4所述的多面栅碳化硅MOSFET晶体管,其特征在于,当所述梳齿的侧壁面为(0 $\bar{3}$ 3 $\bar{8}$ )斜面时,所述梳齿的剖面形状为倒三角形或倒梯形。

5. 如权利要求1所述的多面栅碳化硅MOSFET晶体管,其特征在于,所述梳齿的数量为一个或多个。

6. 如权利要求1所述的多面栅碳化硅MOSFET晶体管,其特征在于,所述梳齿的深度范围为0.1微米~1.5微米,且所述梳齿的深度小于所述阱区的深度。

7. 如权利要求1所述的多面栅碳化硅MOSFET晶体管,其特征在于,还包括位于碳化硅漂移区内且与阱区相邻的JFET电流增强层,所述JFET电流增强层具有第一掺杂类型且掺杂浓度大于碳化硅漂移区。

8. 如权利要求1所述的多面栅碳化硅MOSFET晶体管,其特征在于,还包括位于沟道区的第一掺杂类型轻掺杂沟道。

9. 一种多面栅碳化硅MOSFET晶体管的制备方法,其特征在于,包括:

提供半导体衬底,在所述半导体衬底的第一表面形成碳化硅漂移区,所述半导体衬底和碳化硅漂移区具有第一掺杂浓度;

在所述碳化硅漂移区内形成阱区和源区,其中,所述阱区位于所述碳化硅漂移区内,所述源区位于所述阱区内,所述源区为第一掺杂类型,所述阱区为第二掺杂类型;

对所述源区、阱区和碳化硅漂移区进行刻蚀,形成梳齿状沟槽;

在所述梳齿状沟槽表面形成栅极结构,所述栅极结构相接触的部分阱区作为沟道区,所述栅极结构包括位于所述梳齿状沟槽内的梳齿状第一栅结构,所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致,且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率;

在所述源区表面形成源电极；

在所述半导体衬底的第二表面形成漏电极。

10. 一种具有如权利要求1~8任意一项所述的多面栅碳化硅MOSFET晶体管的芯片。

## 多面栅碳化硅MOSFET晶体管及其制备方法、芯片

### 技术领域

[0001] 本发明涉及半导体方法,具体涉及一种多面栅碳化硅MOSFET晶体管及其制备方法、芯片。

### 背景技术

[0002] 碳化硅功率器件正在越来越多的被使用在新能源领域,如充电桩、电动汽车、光伏逆变器、储能等领域。现有的碳化硅MOSFET晶体管结构主要包含平面栅结构和沟槽栅结构。

[0003] 现有碳化硅MOSFET晶体管不论是平面栅结构还是沟槽栅结构都有各自的缺点。例如,平面栅结构的碳化硅MOSFET晶体管虽然可靠性非常优秀,但是其沟道所在平面垂直于4H-SiC的c轴,该平面的沟道迁移率较低(一般小于 $30\text{cm}^2/\text{V}\cdot\text{s}$ )带来了额外的导通损耗。而沟槽栅结构的碳化硅MOSFET晶体管的沟道所在平面平行于c轴,其沟道迁移率较高(可达 $120\text{cm}^2/\text{V}\cdot\text{s}$ ),但是由于碳化硅材料的刻蚀非常困难,一般很难刻蚀超过 $1.5\mu\text{m}$ 深度的沟槽,导致该工艺步骤的良率成为器件大规模生产中极大的挑战,同时由于碳化硅较高的击穿电场( $>2.5\text{MV}/\text{cm}$ )也使得沟槽底部的栅极氧化物的保护成为了结构设计和工艺实现的主要难点。

### 发明内容

[0004] 为解决背景技术中提到的问题,本发明实施例提供了一种多面栅碳化硅MOSFET晶体管及其制备方法、芯片,既兼容现有的平面栅碳化硅MOSFET工艺,有利于在大规模量产的时候保持较高的良率和应用端的可靠性,也具有较高的沟道迁移率。

[0005] 一种多面栅碳化硅MOSFET晶体管,包括:

[0006] 半导体衬底、位于所述半导体衬底第一表面的碳化硅漂移区、位于所述半导体衬底第二表面的漏电极;

[0007] 位于所述碳化硅漂移区内的阱区,位于所述阱区内的源区,所述半导体衬底、碳化硅漂移区和源区为第一掺杂类型,所述阱区为第二掺杂类型;

[0008] 位于所述源区表面的源电极;

[0009] 位于所述源区、阱区和碳化硅漂移区表面的栅极机构,所述栅极结构相接触的部分阱区作为沟道区;

[0010] 所述栅极结构包括梳齿状第一栅结构,所述梳齿状第一栅结构位于所述源区、对应的阱区和碳化硅漂移区内,所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致,且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道的沟道迁移率。

[0011] 可选的,所述梳齿的侧壁面与衬底平面垂直,或者所述梳齿的侧壁面与衬底平面倾斜呈一个夹角。

[0012] 可选的,所述梳齿侧壁面为碳化硅m-face、a-face或者 $(0\bar{3}3\bar{8})$ 斜面。

[0013] 可选的,当所述梳齿的侧壁面为 $(0\bar{3}3\bar{8})$ 斜面时,所述梳齿的剖面形状为倒三角形

或倒梯形。

[0014] 可选的,所述梳齿的数量为一个或多个。

[0015] 可选的,所述梳齿的深度范围为0.1微米~1.5微米,且所述梳齿的深度小于所述阱区的深度。

[0016] 可选的,还包括位于碳化硅漂移区内且与阱区相邻的JFET电流增强层,所述JFET电流增强层具有第一掺杂类型且掺杂浓度大于碳化硅漂移区。

[0017] 可选的,还包括位于沟道区的第一掺杂类型轻掺杂沟道。

[0018] 本发明实施例还提供了一种多面栅碳化硅MOSFET晶体管的制备方法,包括:

[0019] 提供半导体衬底,在所述半导体衬底的第一表面形成碳化硅漂移区,所述半导体衬底和碳化硅漂移区具有第一掺杂浓度;

[0020] 在所述半导体衬底的第二表面形成漏电极;

[0021] 在所述碳化硅漂移区内形成阱区和源区,其中,所述阱区位于所述碳化硅漂移区内,所述源区位于所述阱区内,所述源区为第一掺杂类型,所述阱区为第二掺杂类型;

[0022] 对所述源区、阱区和碳化硅漂移区进行刻蚀,形成梳齿状沟槽;

[0023] 在所述梳齿状沟槽表面形成栅极结构,所述栅极结构相接触的部分阱区作为沟道区,所述栅极结构包括位于所述梳齿状沟槽内的梳齿状第一栅结构,所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致,且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率;

[0024] 在所述源区表面形成源电极。

[0025] 本发明实施例还提供了一种具有所述多面栅碳化硅MOSFET晶体管的芯片。

[0026] 综上所述,本申请具有如下优点:

[0027] 所述多面栅碳化硅MOSFET晶体管的所述源区、对应的阱区和碳化硅漂移区内形成有梳齿状沟槽,并对应形成梳齿状第一栅结构,所述梳齿状第一栅结构具有梳齿侧壁面、梳齿顶面、梳齿底面三个面与沟道区接触,增加了沟道区的宽度,且所述梳齿侧壁面与现有的衬底平面垂直或形成一定倾斜角度,通过合理调整所述梳齿侧壁面的晶面,使得所述梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率,提高了整体的综合迁移率。

[0028] 且所述多面栅碳化硅MOSFET晶体管与现有的平面栅碳化硅MOSFET晶体管的工艺兼容,成本较低。

## 附图说明

[0029] 图1是本发明一实施例的多面栅碳化硅MOSFET晶体管的沿AA'面剖面结构示意图;

[0030] 图2是本发明一实施例的多面栅碳化硅MOSFET晶体管的沿BB'面剖面结构示意图;

[0031] 图3是本发明一实施例的多面栅碳化硅MOSFET晶体管的立体结构图(去除栅极结构);

[0032] 图4是本发明一实施例的多面栅碳化硅MOSFET晶体管的沿CC'面剖面结构示意图;

[0033] 图5是本发明一实施例的多面栅碳化硅MOSFET晶体管的沿DD'面剖面结构示意图;

[0034] 图6是本发明一实施例的多面栅碳化硅MOSFET晶体管的沿EE'面剖面结构示意图;

- [0035] 图7是本发明另一实施例的多面栅碳化硅MOSFET晶体管的沿FF'面剖面结构示意图；
- [0036] 图8是本发明另一实施例的多面栅碳化硅MOSFET晶体管的沿GG'面剖面结构示意图；
- [0037] 图9是本发明另一实施例的多面栅碳化硅MOSFET晶体管的沿HH'面剖面结构示意图；
- [0038] 图10是本发明又一实施例的多面栅碳化硅MOSFET晶体管的剖面结构示意图；
- [0039] 图11是本发明另一实施例的多面栅碳化硅MOSFET晶体管的沿II'面剖面结构示意图；
- [0040] 图12是本发明另一实施例的多面栅碳化硅MOSFET晶体管的沿JJ'面剖面结构示意图；
- [0041] 图13是本发明另一实施例的多面栅碳化硅MOSFET晶体管的沿KK'面剖面结构示意图。

### 具体实施方式

[0042] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0043] 请参考图1~图6,为本发明一实施例的多面栅碳化硅MOSFET晶体管的结构示意图,其中图1是本发明实施例的多面栅碳化硅MOSFET晶体管的沿AA'面剖面结构示意图,图2是本发明一实施例的多面栅碳化硅MOSFET晶体管的沿BB'面剖面结构示意图,图3是本发明实施例的多面栅碳化硅MOSFET晶体管的立体结构图(去除栅极结构),图4是本发明实施例的多面栅碳化硅MOSFET晶体管的沿CC'面剖面结构示意图,图5是本发明实施例的多面栅碳化硅MOSFET晶体管的沿DD'面剖面结构示意图,图6是本发明一实施例的多面栅碳化硅MOSFET晶体管的沿EE'面剖面结构示意图。

[0044] 本发明实施例的所述多面栅碳化硅MOSFET晶体管包括:

[0045] 半导体衬底10、位于所述半导体衬底10第一表面的碳化硅漂移区20、位于所述半导体衬底10第二表面的漏电极30;

[0046] 位于所述碳化硅漂移区20内的阱区40,位于所述阱区40内的源区50,所述半导体衬底10、碳化硅漂移区20和源区50为第一掺杂类型,所述阱区40为第二掺杂类型;

[0047] 位于所述源区50表面的源电极70;

[0048] 位于所述源区50、阱区40和碳化硅漂移区20表面的栅极机构60,所述栅极结构60相接触的部分阱区作为沟道区55;

[0049] 所述栅极结构60包括梳齿状第一栅结构65,所述梳齿状第一栅结构65位于所述源区50、对应的阱区40和碳化硅漂移区20内,所述梳齿状第一栅结构65的梳齿长度方向与沟道区电流方向一致,且所述梳齿状第一栅结构65的梳齿侧壁面61对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面63、梳齿底面62对应的沟道区的沟道迁移率,其中的梳齿长度方向即为方向aa'。

[0050] 由于碳化硅材料在不同的晶面上对应的沟道迁移率差异很大,现有的平面栅碳化硅MOSFET晶体管其沟道所在平面垂直于4H-SiC的c轴,该平面的沟道迁移率较低(一般小于 $30\text{cm}^2/\text{V s}$ ),会带来额外的导通损耗。而采用沟槽栅结构的碳化硅MOSFET晶体管的沟道由于平行于c轴,其迁移率较高,可达 $120\text{cm}^2/\text{V s}$ ,但是由于沟槽栅结构的沟槽深度较大,碳化硅材料的刻蚀非常困难,一般很难刻蚀超过 $1.5\mu\text{m}$ 深度的沟槽,导致该工艺步骤的良率成为器件大规模生产中极大的挑战。

[0051] 而在本发明实施例,在所述源区50、对应的阱区40和碳化硅漂移区20内形成梳齿状沟槽21,并对应形成梳齿状第一栅结构65,所述梳齿状第一栅结构具有梳齿侧壁面61、梳齿顶面63、梳齿底面62三个面与沟道区接触,其中梳齿顶面63、梳齿底面62与现有的衬底平面平行,所述梳齿侧壁面61与现有的衬底平面垂直或形成一定倾斜角度,通过合理调整所述梳齿侧壁面61的晶向,使得所述梳齿侧壁面61对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面63、梳齿底面62对应的沟道区的沟道迁移率。

[0052] 在本实施例中,所述多面栅碳化硅MOSFET晶体管的梳齿顶面63、梳齿底面62所在平面垂直于4H-SiC的c轴,梳齿侧壁面61所在平面平行于4H-SiC的c轴。

[0053] 由于碳化硅在衬底平面上的沟道迁移率低( $\sim 25\text{cm}^2/\text{V s}$ ),而在平行于4H-SiC的c轴的竖直方向上的a-face和m-face的沟道迁移率较高( $50 \sim 120\text{cm}^2/\text{V s}$ ),本发明实施例的多面栅碳化硅MOSFET晶体管的多面沟道所得到的综合迁移率较传统平面栅结构更高。

[0054] 且由于本发明的梳齿状第一栅结构65具有梳齿侧壁面61、梳齿顶面63、梳齿底面62三个面,相较引入现有技术引入了侧面MOS界面,本发明实施例的多面栅碳化硅MOSFET晶体管有效的沟道宽长比( $W_{\text{ch}}/L_{\text{ch}}$ )比传统平面栅的沟道宽长比更高(若沟槽21深宽比为1,则本发明的 $W_{\text{ch}}/L_{\text{ch}}$ 的比值是传统平面栅的2倍),这使得沟道电阻(其倒数 $1/R_{\text{ch}} = \mu_n * W_{\text{ch}}/L_{\text{ch}} * C_{\text{ox}} * (V_G - V_{\text{TH}})$ )可以大幅降低。

[0055] 本发明实施例可以通过调整沟槽的深宽比调整梳齿侧壁面61与梳齿顶面63、梳齿底面62的比例,改善沟道电阻,同时通过调整梳齿侧壁面61相应的晶面,改善本发明的多面栅碳化硅MOSFET晶体管的综合沟道迁移率。

[0056] 且由于本发明沟道区的电流方向总体是在与衬底平面平行的水平方向内,依然可以算是平面结构,且与传统平面栅工艺兼容(仅仅在形成栅极结构之前在碳化硅内部刻蚀垂直于栅极布局方向的条形沟槽),成本较低。

[0057] 在本发明实施例中,所述梳齿状第一栅结构65的梳齿的高度(即梳齿侧壁面的高度)小于阱区40的深度但大于源区50的深度,作为一个实施例,所述梳齿的高度为0.2微米,阱区深度为0.8微米,源区的深度为0.3微米或者0.15微米。

[0058] 在其他实施例中,所述梳齿的高度范围为0.1微米 $\sim$ 1.5微米,优选为0.1微米 $\sim$ 0.5微米。

[0059] 相较于传统沟槽栅结构,本发明的阱区深度较梳齿沟槽底部更深,阱区底部位置与碳化硅漂移区形成的较深的PN结能有效的保护栅氧,降低栅氧在漏极高压偏置下所形成的高电场,提高栅氧寿命。从工艺实现角度,传统沟槽栅的沟槽刻蚀深度需要严格控制,一般在 $1 \sim 1.5\mu\text{m}$ 左右,且沟道刻蚀的深度需要比沟道电流在阱区的出口处深,但又要比用于雪崩钳位的深PN结要浅。这里面临的工艺难度包括:沟槽栅刻蚀工艺难度较大,做钳位保护的深结的工艺难度也很大。由于本发明的沟槽深度可以控制在0.5微米以内,只要控制好沟

槽结构的深宽比以保证足够的侧面栅宽度,本发明甚至能在仅0.1微米的深度下也可以工作。对碳化硅刻蚀工艺的要求较低,且较浅的沟槽内形成高质量的栅氧化层的工艺难度也较小,这大大降低了工艺难度,有利于形成高质量的栅极结构,保证了产品在量产中有较高的良率。

[0060] 在高压应用方面,传统的沟槽栅MOSFET结构的沟道电流方向是垂直于衬底平面的,平行于漂移区的电场方向,导致在关断情况下,沟道区受到漏端引入的势垒降低(DIBL, Drain Induced Barrier Lowering)效应的影响,导致在漏极高压偏置下,沟道漏电流较高。本发明的沟道电流方向仍然平行与衬底平面,与漂移区电场垂直,导致沟道不易受到DIBL效应影响,可以大大减小高压应用下的漏电流。

[0061] 在其他实施例中,请参考图7~图9,所述梳齿状第一栅结构65的梳齿的高度小于阱区40的深度且小于源区50的深度。由于沟槽深度是否比源区深并不关键,本发明对于沟槽刻蚀的深度有较高的工艺冗余。

[0062] 在本实施例中,所述梳齿的数量为一个或多个,可以根据沟道的宽度合理设置合适的梳齿数量。

[0063] 在本实施例中,所述栅极结构60包括位于所述源区、对应的阱区和碳化硅漂移区内的梳齿状第一栅结构65和位于所述梳齿状第一栅结构表面的第二栅结构。

[0064] 请参考图1和图2,在本实施例中,一个元胞结构包括两个多面栅碳化硅MOSFET晶体管,其中载流子从沟道出来后,需要经过两个邻近阱区形成的JFET区域才能到达碳化硅漂移区。

[0065] 在其他实施例中,一个元胞结构也可以仅包括例如图3所示的一个多面栅碳化硅MOSFET晶体管。

[0066] 在本实施例中,所述半导体衬底为重掺杂的碳化硅衬底,在其他实施例中,所述半导体衬底也可以为其他合适的衬底,例如硅衬底、金刚石衬底、氮化铝衬底、氮化镓衬底等。

[0067] 在本实施例中,所述多面栅碳化硅MOSFET晶体管为N型沟道MOSFET晶体管,所述第一掺杂类型为N型,所述第二掺杂类型为P型,其中半导体衬底10为N型重掺杂衬底,所述碳化硅漂移区20为N型轻掺杂漂移区,所述阱区40为P型轻掺杂阱区,所述源区50为N型重掺杂源区。

[0068] 在其他实施例中,所述多面栅碳化硅MOSFET晶体管也可以为P型沟道MOSFET晶体管,所述第一掺杂类型为P型,所述第二掺杂类型为N型,其中半导体衬底10为P型重掺杂衬底,所述碳化硅漂移区20为P型轻掺杂漂移区,所述阱区40为N型轻掺杂阱区,所述源区50为P型重掺杂源区。

[0069] 请参考图10,与传统平面栅结构类似的,载流子从沟道区出来后,需要经过两个邻近阱区形成的JFET区域才能到达漂移区。为了降低JFET区域的电阻,碳化硅MOSFET可以进一步在JFET区域引入较漂移区高的第一掺杂类型掺杂,形成JFET电流增强层25。

[0070] 进一步的,所述JFET电流增强层25的N型掺杂的深度大于阱区的深度,有利于电流在漂移区内横向扩散。

[0071] 请参考图11,所述多面栅碳化硅MOSFET晶体管的沟道区也可以为第一掺杂类型的轻掺杂沟道45。由于梳齿状第一栅结构使得碳化硅沟道体形成一个三面环栅的结构,使得栅极控制能力增强,以至于轻掺杂的第一掺杂类型沟道掺杂依然可以让器件工作在增强型



模式(即,若器件为N沟道增强型MOSFET,其阈值电压 $V_{th}>0$ )。可以通过选用不同功函数的栅极材料和调节沟道内N型掺杂的浓度来实现对阈值电压的调节。

[0072] 请参考图12和图13,为本发明的另外两种实施例的多面栅碳化硅MOSFET晶体管的结构示意图,其中所述梳齿侧壁面61所在的平面为 $(0\bar{3}3\bar{8})$ 斜面,与衬底平面倾斜形成 $54.7^\circ$ 夹角,由于 $(0\bar{3}3\bar{8})$ 斜面对应的沟道迁移率较高,因此多面栅碳化硅MOSFET晶体管的综合迁移率较高。

[0073] 请参考图12,所述梳齿的剖面形状为倒三角形,倒三角形的两个侧壁为 $(0\bar{3}3\bar{8})$ 斜面,且所述梳齿没有底面。

[0074] 请参考图13,所述梳齿的剖面形状为倒梯形,倒梯形的两个侧壁为 $(0\bar{3}3\bar{8})$ 斜面,且所述梳齿有底面62。

[0075] 本发明实施例还提供了一种具有上述多面栅碳化硅MOSFET晶体管的芯片。

[0076] 本发明实施例还提供了一种多面栅碳化硅MOSFET晶体管的制备方法,包括:

[0077] 提供半导体衬底,在所述半导体衬底的第一表面形成碳化硅漂移区,所述半导体衬底和碳化硅漂移区具有第一掺杂浓度;

[0078] 在所述碳化硅漂移区内形成阱区和源区,其中,所述阱区位于所述碳化硅漂移区内,所述源区位于所述阱区内,所述源区为第一掺杂类型,所述阱区为第二掺杂类型;

[0079] 对所述源区、阱区和碳化硅漂移区进行刻蚀,形成梳齿状沟槽;

[0080] 在所述梳齿状沟槽表面形成栅极结构,所述栅极结构相接触的部分阱区作为沟道区,所述栅极结构包括位于所述梳齿状沟槽内的梳齿状第一栅结构,所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致,且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率;

[0081] 在所述源区表面形成源电极;

[0082] 在所述半导体衬底的第二表面形成漏电极。

[0083] 本发明实施例的多面栅碳化硅MOSFET晶体管与传统平面栅工艺兼容,仅仅在形成栅极结构之前在碳化硅内部刻蚀形成栅极布局方向的梳齿状沟槽,并填充形成栅极结构,工艺成本较低。

[0084] 其中形成梳齿状沟槽的刻蚀工艺可以采用现有的碳化硅刻蚀工艺制备,在此不做赘述。

[0085] 最后说明,任何依靠本发明装置结构以及所述实施例的技术方案,进行的部分或者全部技术特征的修改或者等同替换,所得到的本质不脱离本发明的相应技术方案,都属于本发明装置结构以及所述实施方案的专利范围。

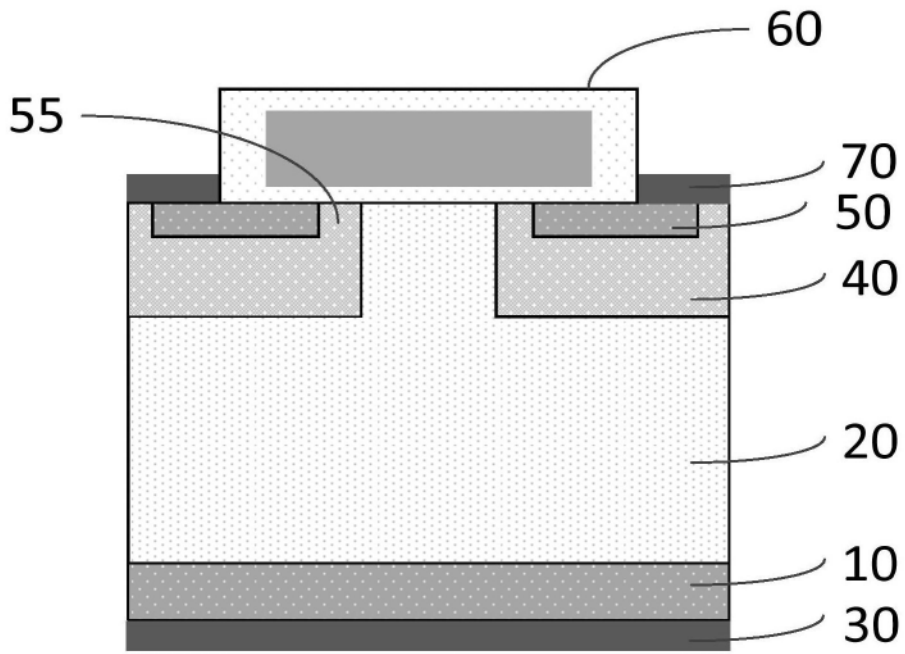


图1

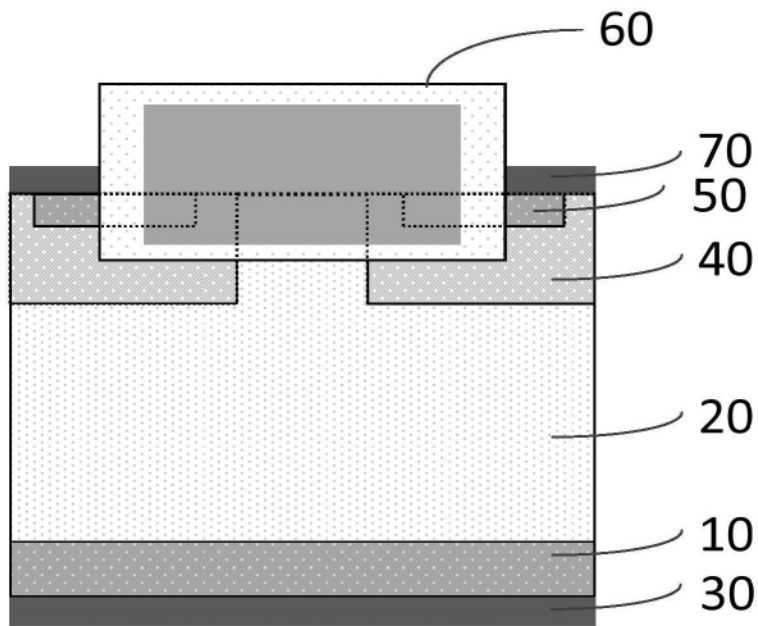


图2

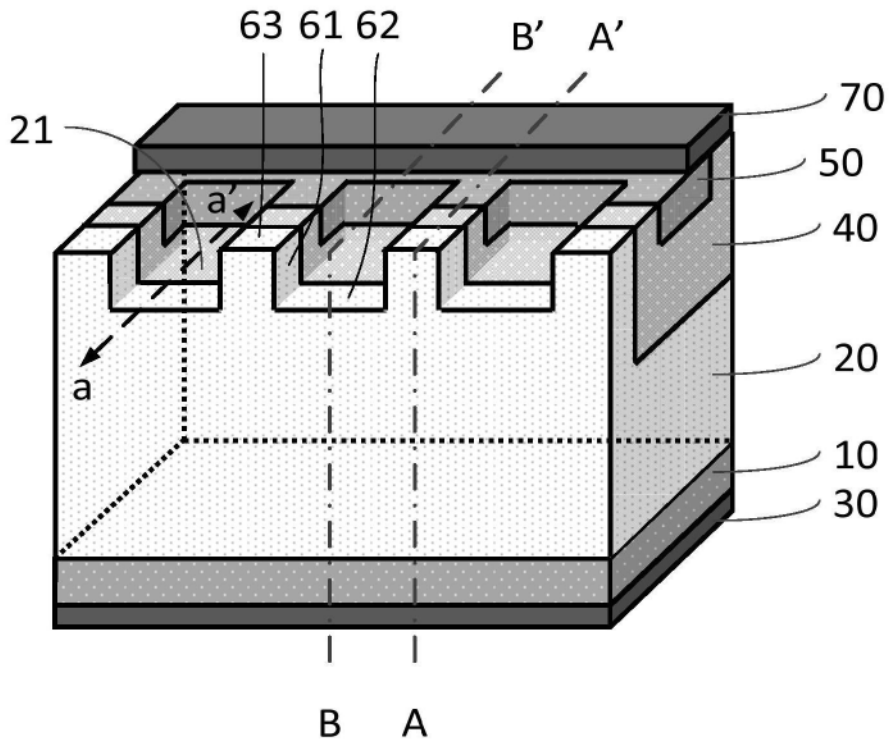


图3

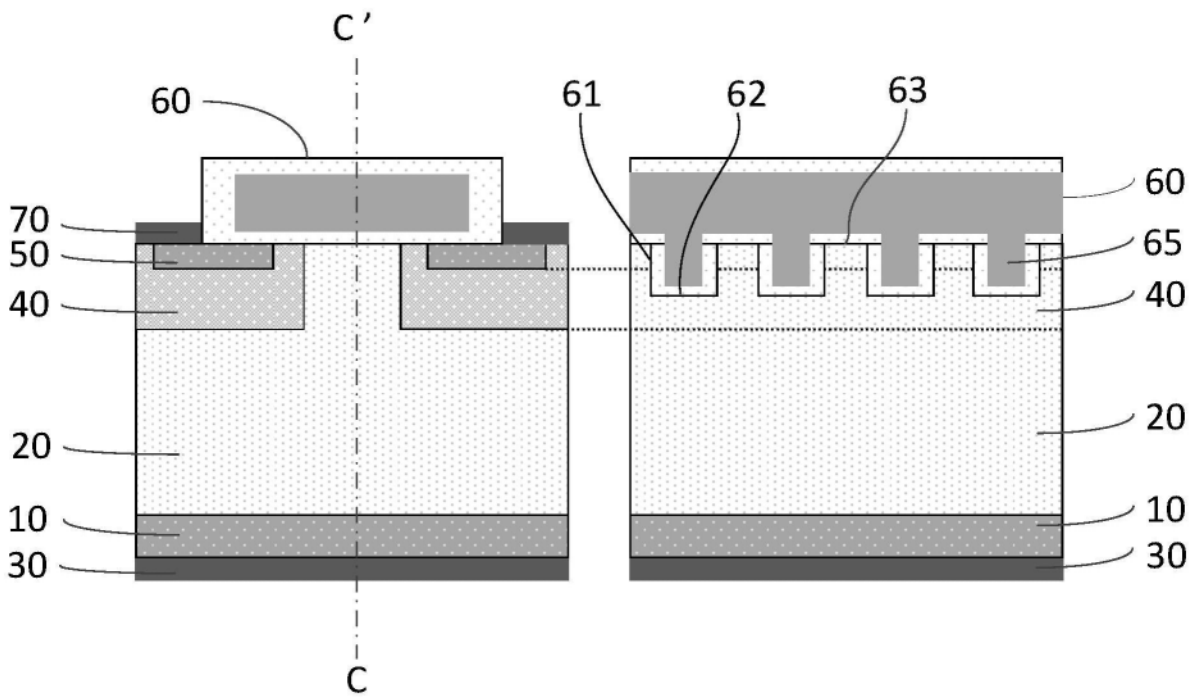


图4

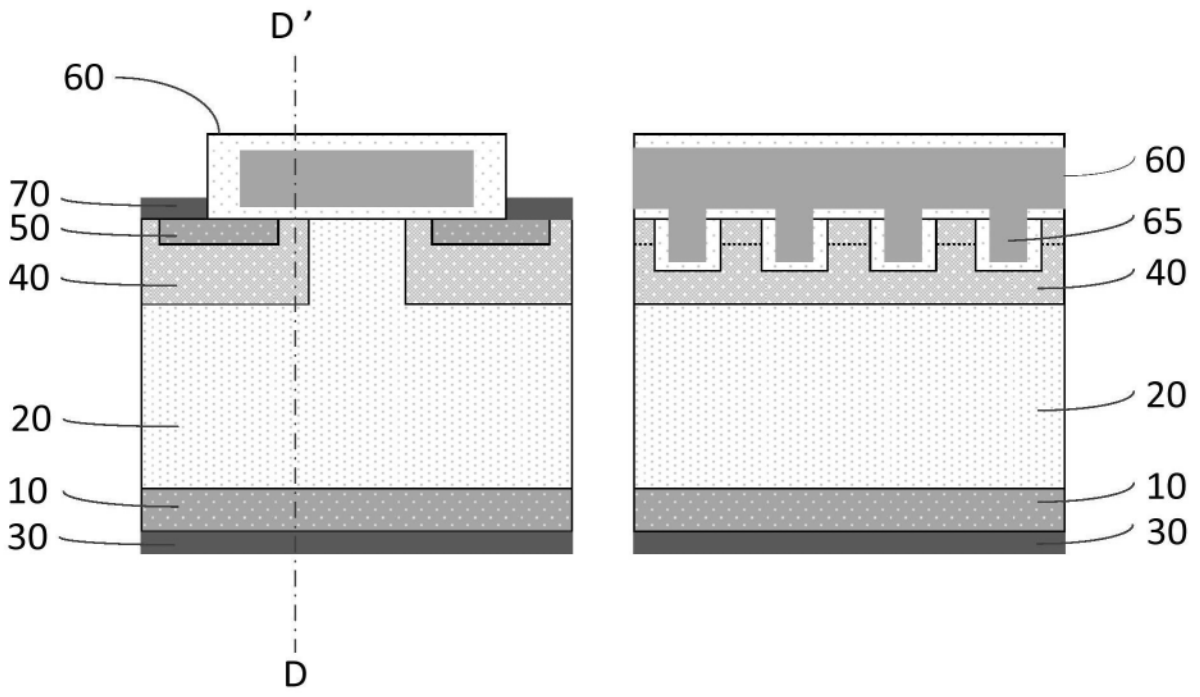


图5

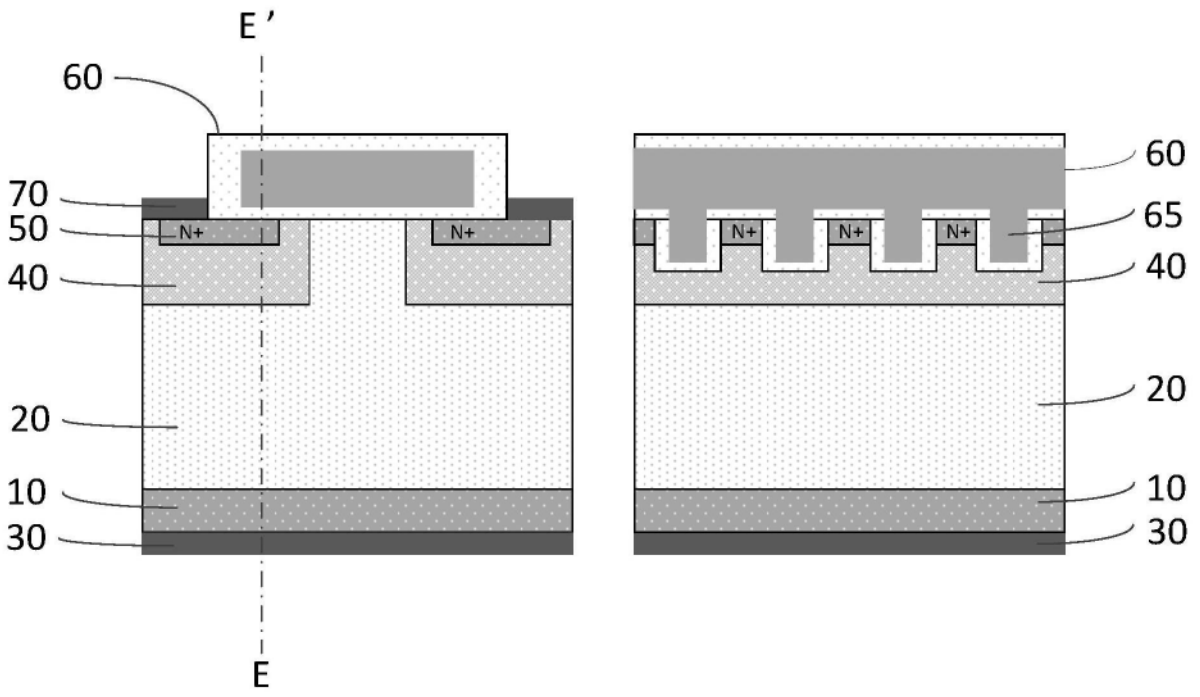


图6

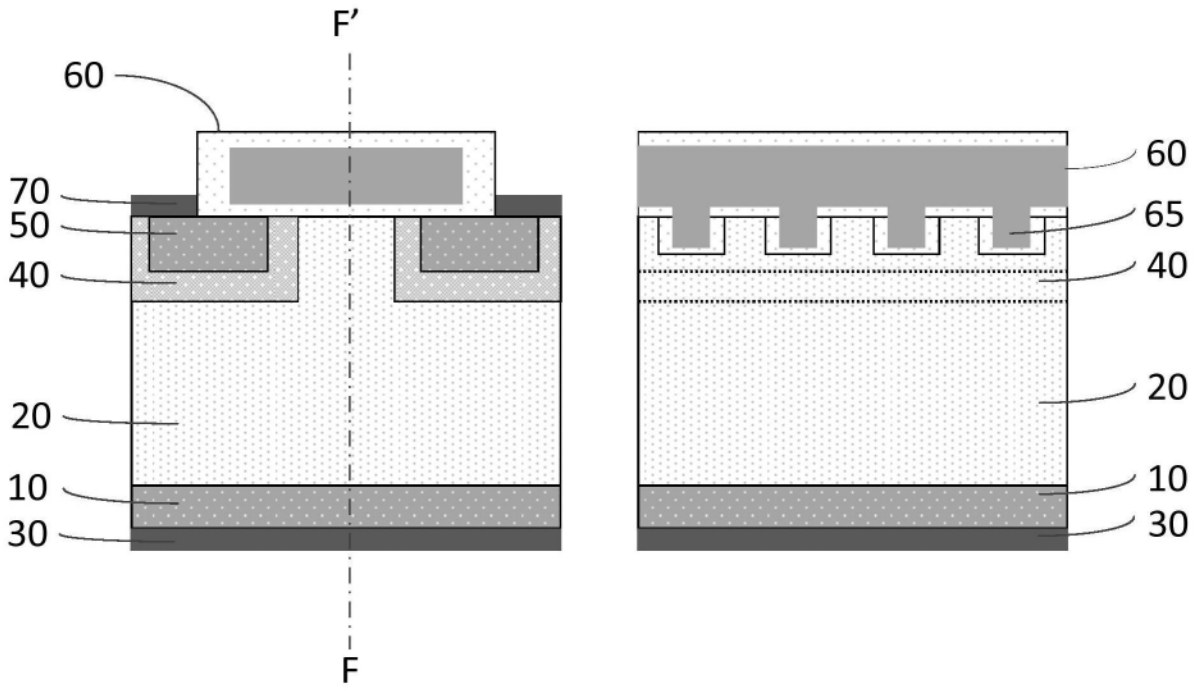


图7

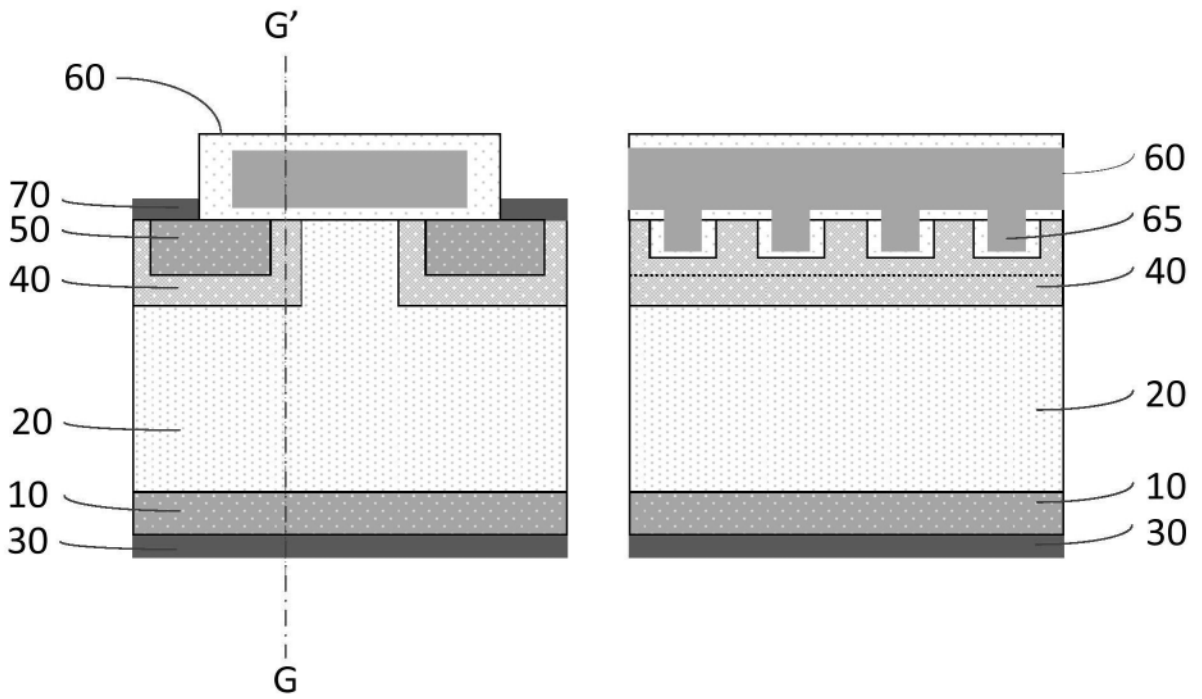


图8

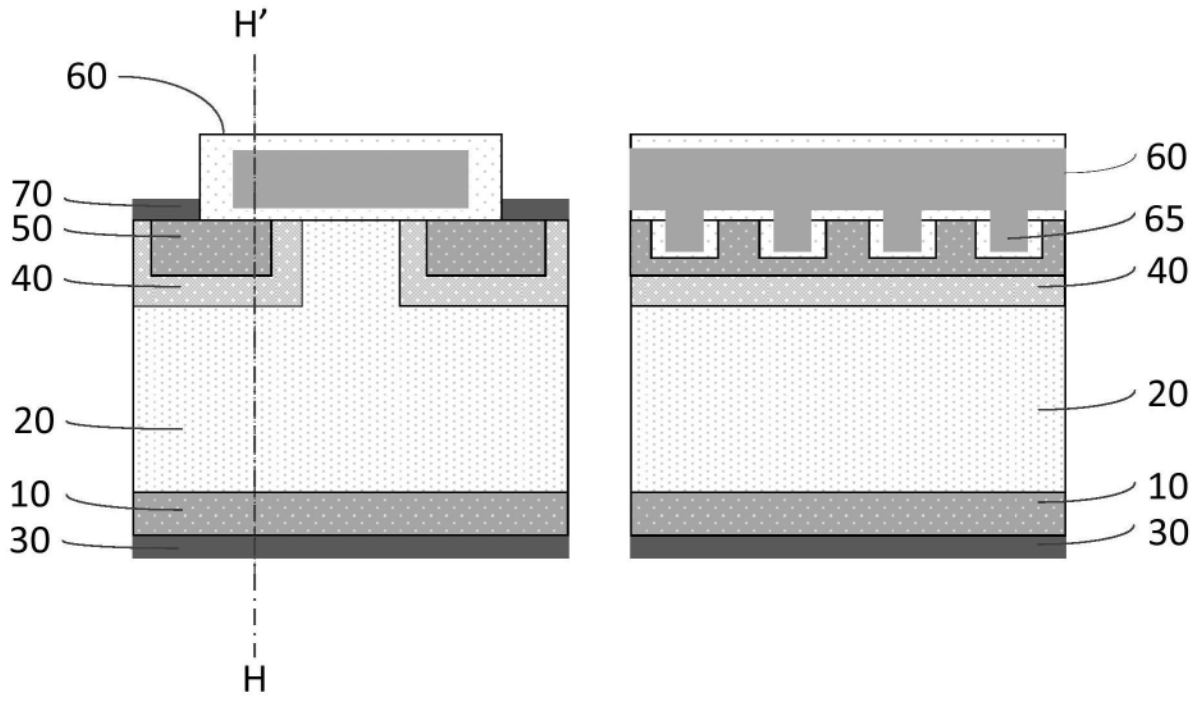


图9

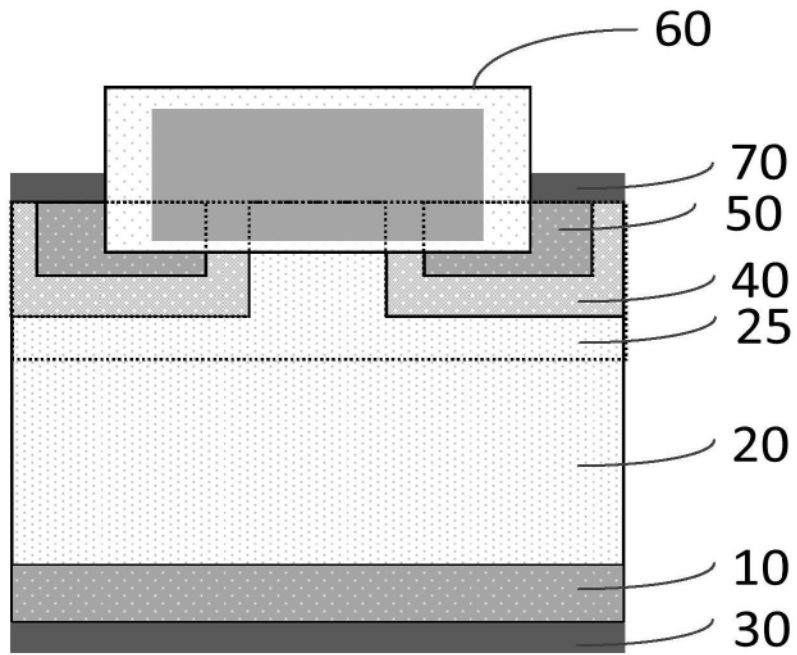


图10

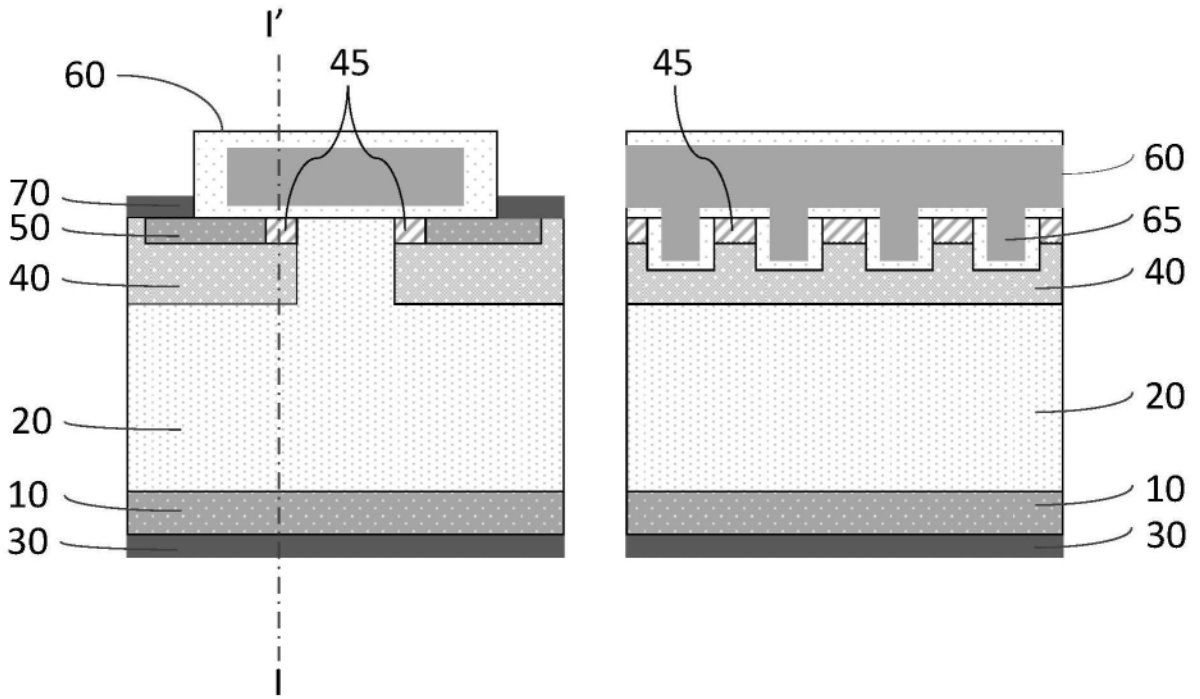


图11

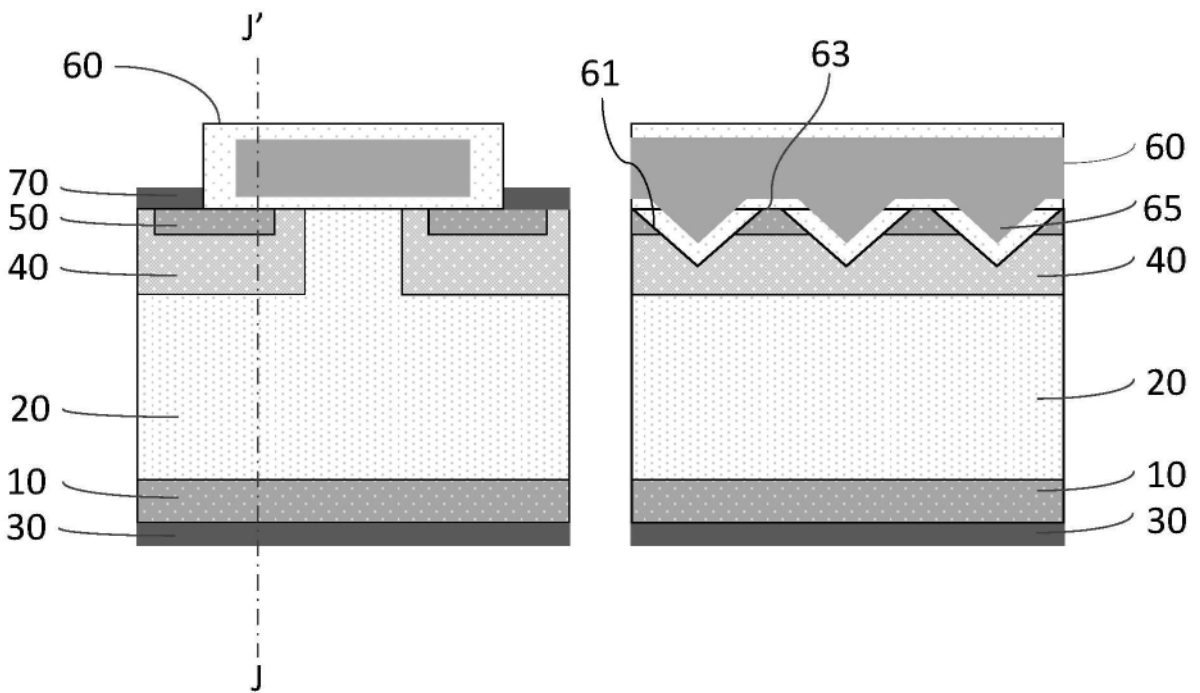


图12

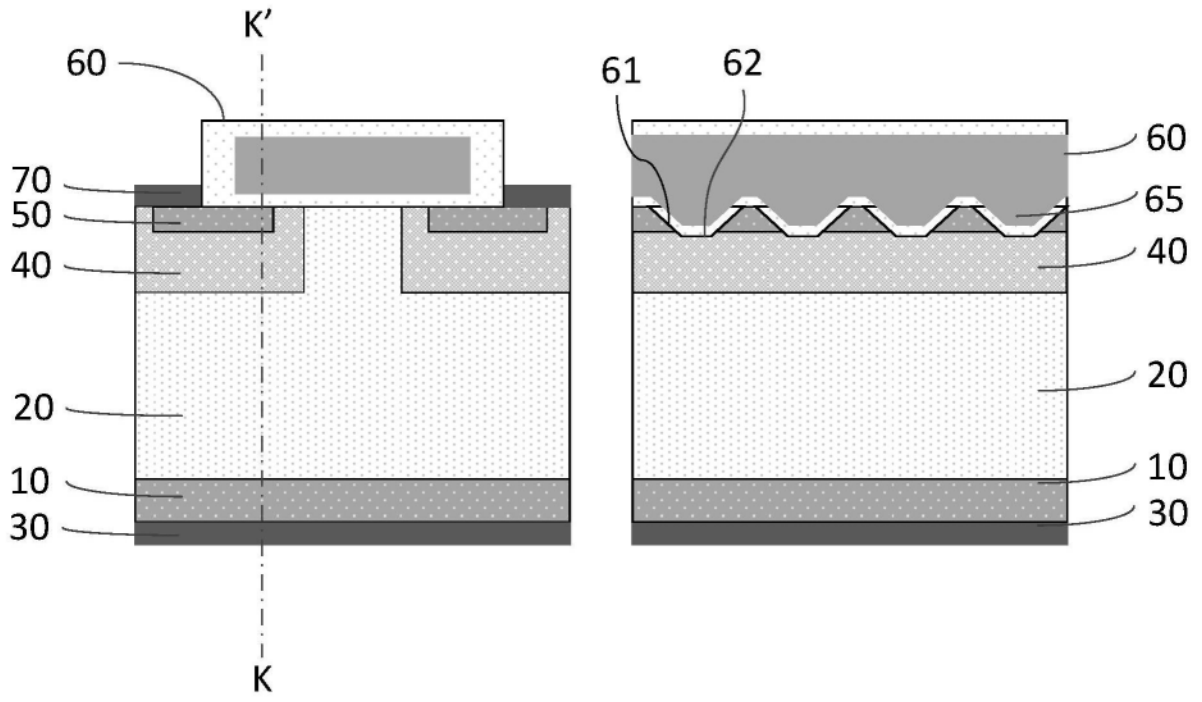


图13