

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6982127号
(P6982127)

(45) 発行日 令和3年12月17日(2021.12.17)

(24) 登録日 令和3年11月22日(2021.11.22)

(51) Int.Cl.	F I				
G 1 1 C 16/26	(2006.01)	G 1 1 C	16/26	1 4 0	
G 1 1 C 7/10	(2006.01)	G 1 1 C	16/26	1 0 0	
G 1 1 C 8/12	(2006.01)	G 1 1 C	7/10	4 0 5	
G O 6 F 12/06	(2006.01)	G 1 1 C	8/12	2 0 0	
G O 6 F 12/00	(2006.01)	G O 6 F	12/06	5 2 3 C	
請求項の数 12 (全 12 頁) 最終頁に続く					

(21) 出願番号 特願2020-74498 (P2020-74498)
 (22) 出願日 令和2年4月20日(2020.4.20)
 (65) 公開番号 特開2021-174561 (P2021-174561A)
 (43) 公開日 令和3年11月1日(2021.11.1)
 審査請求日 令和2年4月20日(2020.4.20)

(73) 特許権者 511062254
 ウィンボンド エレクトロニクス コーポ
 レーション
 台湾台中市 4 2 8 大雅區科雅一路8號
 (74) 代理人 100098497
 弁理士 片寄 恭三
 (72) 発明者 葛西 央倫
 神奈川県横浜市港北区新横浜 2 丁目 3 - 1
 2 新横浜スクエアビル ウィンボンド・
 エレクトロニクス株式会社内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

複数の N A N D 型フラッシュメモリのチップを含む半導体記憶装置であって、

各チップは、

他のチップとアドレス空間を異にするメモリセルアレイと、

ページの連続読出しを行う読出し手段と、

前記読出し手段で読み出されたデータをクロック信号に同期して出力バスに出力する出力手段と、

前記読出し手段による読出しページが当該チップの最終ページであることを検出する検出手段とを有し、

前記読出し手段によりチップ間を跨ぐ最終ページと先頭ページのアドレスを異にする連続読出しが行われる場合に、前記出力手段は、前記検出手段の検出結果に応答して、最終ページのデータを第 1 の出力インピーダンスで出力した後に、当該最終ページのデータを第 1 の出力インピーダンスよりも高い第 2 の出力インピーダンスで出力または保持させる、半導体記憶装置。

【請求項 2】

前記出力手段は、前記第 1 の出力インピーダンスをもつ第 1 の出力バッファと、前記第 2 の出力インピーダンスをもつ第 2 の出力バッファとを含み、

前記出力手段は、前記検出手段からの検出信号に基づき第 1 の出力バッファまたは第 2 の出力バッファを選択的に動作させる、請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記出力手段は、最終ページが検出されたことに応答して第 1 の期間で前記第 1 の出力バッファを動作させ、第 1 の期間の経過後の第 2 の期間で前記第 2 の出力バッファを動作させる、請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 の期間は、前記第 2 の期間よりも大きい、請求項 3 に記載の半導体記憶装置。

【請求項 5】

第 1 のチップの最終ページのデータを出力する期間と、第 2 のチップの先頭ページのデータを出力する期間とが部分的に重複するとき、最終ページのデータが第 2 の出力インピーダンスで出力バス上に出力され、先頭ページのデータが第 1 の出力インピーダンスで出力バス上に出力される、請求項 1 に記載の半導体記憶装置。

10

【請求項 6】

前記検出手段は、行アドレスカウンタのカウンタ情報とチップのアドレス空間とを比較することにより最終ページを検出する、請求項 1 に記載の半導体記憶装置。

【請求項 7】

複数のチップは、同一の構成を有し、複数のチップは、共通の外部端子にそれぞれ接続される、請求項 1 ないし 6 いずれか 1 つに記載の半導体記憶装置。

【請求項 8】

複数の NAND 型フラッシュメモリのチップを含む半導体記憶装置の読出し方法であって、

20

クロック信号に同期してチップ間を跨ぐ最終ページと先頭ページのアドレスを異にする連続読出しが行われるとき、読み出されているチップの最終ページを検出する第 1 のステップと、

最終ページの検出に応答して、最終ページのデータを第 1 の出力インピーダンスで出力バスに出力した後に、当該最終ページのデータを第 1 の出力インピーダンスよりも高い第 2 の出力インピーダンスで出力バスに出力または保持させる第 2 のステップと、

を有する読出し方法。

【請求項 9】

前記第 2 のステップは、第 1 の期間で第 1 の出力バッファにより最終ページのデータを出力させ、第 1 の期間の経過後の第 2 の期間で第 2 の出力バッファにより最終ページのデータを出力または保持させる、請求項 8 に記載の読出し方法。

30

【請求項 10】

前記第 1 の期間は、前記第 2 の期間よりも大きい、請求項 9 に記載の読出し方法。

【請求項 11】

第 1 のチップの最終ページのデータを出力する期間と、第 2 のチップの先頭ページのデータを出力する期間とが部分的に重複するとき、最終ページのデータが第 2 の出力インピーダンスで出力バス上に出力され、先頭ページのデータが第 1 の出力インピーダンスで出力バス上に出力される、請求項 8 に記載の読出し方法。

【請求項 12】

前記検出するステップは、行アドレスカウンタのカウンタ情報とチップのアドレス空間とを比較することにより最終ページを検出する、請求項 8 に記載の読出し方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、NAND 型のフラッシュメモリ等に関し、特に、複数のチップを含むフラッシュメモリの読出し方法に関する。

【背景技術】**【0002】**

NAND 型フラッシュメモリには、NOR 型フラッシュメモリとの互換性を図るため、外部からのコマンドに応答して複数のページを連続で読み出す機能を搭載するものがある

50

。例えば、特許文献1のNAND型フラッシュメモリは、外部制御信号CLEに应答して読出しモードのコマンドを入力し、次に外部制御信号ALEに应答してアドレスを入力し、次に外部制御信号CLEに应答してページ読出しのためのコマンドを入力し、メモリセルアレイからのページの連続読出しを可能にしている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2014-078301号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0004】

NAND型フラッシュメモリは、NOR型フラッシュメモリと比較して読出し速度が遅いため、大きなサイズのデータを連続的に読み出すことでデータの転送レートの低下を防いでいる。また、NAND型フラッシュメモリには、メモリ容量の増大を図るため1つのパッケージ内に複数のチップ(ダイ)をスタックさせたマルチチップ製品(MCP)がある。

【0005】

こうしたMCP製品において、チップ間を跨いでより大きなサイズのデータの連続読出しをすることが求められている。しかしながら、従来のMCP製品では、物理的に離間されたチップ間の情報を共有しておらず、他のチップが読み出しているアドレスを認識していないため、チップ全体の連続読出しを行うことができない。つまり、チップ間を跨ぐ連続読出しを行う場合には、現在のチップの連続読出しのためにコマンドを入力し、現在のチップの読出し終了後に、次のチップの連続読出しのためにコマンドを入力しなければならない。

20

【0006】

図1は、2つのチップをスタックしたフラッシュメモリのアドレス空間を示す図である。チップ#0は、\$00000~\$0FFFFのアドレス空間を有し、チップ#1は、\$10000~\$1FFFFのアドレス空間を有する。このようなフラッシュメモリで連続読出しを行う場合、連続読出しのコマンドおよびアドレス(行アドレスおよび列アドレス)が入力されると、各チップは、入力されたアドレスに基づき自身が選択されたか否かを判定する。例えば、チップ#0は、入力されたアドレスが\$00000~\$0FFFFのアドレス空間に該当すれば、自身が選択されたと判定し、チップ#1は、入力されたアドレスが\$10000~\$1FFFFのアドレス空間に該当すれば、自身が選択されたと判定する。

30

【0007】

選択されたチップは、入力されたアドレスで指定される行アドレスを先頭ページとして読出しを開始し、その後、行アドレスを自動的にインクリメントし、行アドレスが最終ページに到達すると連続読出しを終了する。最終ページは、例えば、選択されたチップのアドレス空間の最終アドレス、またはユーザーにより指定されたアドレスにより決定される。仮に、チップ#0とチップ#1とを跨ぐ連続読出しを行う場合、ユーザーは、チップ#0の連続読出しのためのコマンドおよびアドレスを入力し、次にチップ#1の連続読出しのためのコマンドおよびアドレスを入力しなければならない。

40

【0008】

このように従来の複数のチップを含むフラッシュメモリでは、チップ間を跨ぐような連続読出しに対応しておらず、全体のチップの連続読出しをシームレスに行うことができないという課題がある。

【0009】

本発明は、このような従来の課題を解決するのであり、複数のチップ間を跨ぐ連続読出しを高速で行うことができる半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

50

【0010】

本発明に係る半導体記憶装置は、複数のNAND型フラッシュメモリのチップを含むものであって、各チップは、ページの連続読出しを行う読出し手段と、前記読出し手段で読み出されたデータをクロック信号に同期して出力バスに出力する出力手段と、前記読出し手段による読出しページが当該チップの最終ページであることを検出する検出手段とを有し、前記読出し手段によりチップ間を跨ぐ連続読出しが行われる場合に、前記出力手段は、前記検出手段の検出結果に応答して、最終ページのデータを第1の出力インピーダンスで出力した後に、当該最終ページのデータを第1の出力インピーダンスよりも高い第2の出力インピーダンスで出力または保持させる。

【0011】

ある実施態様では、前記出力手段は、前記第1の出力インピーダンスをもつ第1の出力バッファと、前記第2の出力インピーダンスをもつ第2の出力バッファとを含み、前記出力手段は、前記検出手段からの検出信号に基づき第1の出力バッファまたは第2の出力バッファを選択的に動作させる。ある実施態様では、前記出力手段は、最終ページが検出されたことに応答して第1の期間で前記第1の出力バッファを動作させ、第1の期間の経過後の第2の期間で前記第2の出力バッファを動作させる。

【0012】

ある実施態様では、前記第1の期間は、前記第2の期間よりも大きい。ある実施態様では、第1のチップの最終ページのデータを出力する期間と、第2のチップの先頭ページのデータを出力する期間とが部分的に重複するとき、最終ページのデータが第2の出力インピーダンスで出力バス上に出力され、先頭ページのデータが第1の出力インピーダンスで出力バス上に出力される。ある実施態様では、前記検出手段は、行アドレスカウンタのカウント情報とチップのアドレス空間とを比較することにより最終ページを検出する。ある実施態様では、複数のチップは、同一の構成を有し、複数のチップは、共通の外部端子にそれぞれ接続される。

【0013】

本発明に係る半導体記憶装置の読出し方法は、複数のNAND型フラッシュメモリのチップを含むものであって、クロック信号に同期してチップ間を跨ぐ連続読出しが行われるとき、読み出されているチップの最終ページを検出する第1のステップと、最終ページの検出に応答して、最終ページのデータを第1の出力インピーダンスで出力バスに出力した後に、当該最終ページのデータを第1の出力インピーダンスよりも高い第2の出力インピーダンスで出力バスに出力または保持させる第2のステップとを有する。

【0014】

ある実施態様では、前記第2のステップは、第1の期間で第1の出力バッファにより最終ページのデータを出力させ、第1の期間の経過後の第2の期間で第2の出力バッファにより最終ページのデータを出力または保持させる。ある実施態様では、前記第1の期間は、前記第2の期間よりも大きい。ある実施態様では、第1のチップの最終ページのデータを出力する期間と、第2のチップの先頭ページのデータを出力する期間とが部分的に重複するとき、最終ページのデータが第2の出力インピーダンスで出力バス上に出力され、先頭ページのデータが第1の出力インピーダンスで出力バス上に出力される。ある実施態様では、前記検出するステップは、行アドレスカウンタのカウント情報とチップのアドレス空間とを比較することにより最終ページを検出する。

【発明の効果】

【0015】

本発明によれば、チップ間を跨ぐ連続読出しが行われる場合に、最終ページのデータを第1の出力インピーダンスで出力した後に、当該最終ページのデータを第1の出力インピーダンスよりも高い第2の出力インピーダンスで出力または保持させるようにしたので、チップ間の連続読出しをシームレスに高速で行うことができる。

【図面の簡単な説明】

【0016】

【図 1】従来の複数のチップを搭載するフラッシュメモリのアドレス空間を示す図である。

【図 2】本発明の実施例に係る NAND 型フラッシュメモリのパッケージ内にスタックされたチップの内部パッドと外部端子との接続関係を示す図である。

【図 3】本発明の実施例に係る NAND 型フラッシュメモリに搭載されるチップ間の接続関係を示す図である。

【図 4】本発明の実施例に係る NAND 型フラッシュメモリの 1 つのチップの内部構成を示す図である。

【図 5】本発明の実施例に係る NAND 型フラッシュメモリの入出力回路の構成を示す図である。

【図 6】本発明の実施例に係る出力バッファ部の内部構成を示す図である。

【図 7】本発明の実施例に係る NAND 型フラッシュメモリにおいて連続読出しがチップの境界に差し掛かったときの動作を説明する図である。

【発明を実施するための形態】

【0017】

本発明に係る半導体記憶装置は、複数のチップを搭載する NAND 型フラッシュメモリ、あるいは、このようなフラッシュメモリを埋め込むマイクロプロセッサ、マイクロコントローラ、ロジック、ASIC、画像や音声処理するプロセッサ、無線信号等の信号を処理するプロセッサなどであることができる。

【実施例】

【0018】

次に、本発明の実施例について図面を参照して詳細に説明する。図 2 は、本発明の実施例に係る NAND 型フラッシュメモリのパッケージ内にスタックされたチップの内部パッドと外部端子との接続関係を示す図である。本実施例のフラッシュメモリ 100 は、1 つのパッケージ内にスタックされた複数のメモリチップを含む。例えば、複数のメモリチップは、BGA または CSP などのパッケージ内に実装される。図 2 は、2 つのメモリチップ 100A、100B をスタックする例を示している。2 つのメモリチップ 100A、100B は、同一構成のチップであることができ、チップ 100A は、例えば、図 1 に示すようなアドレス空間（\$00000 ~ \$0FFFF）を有するチップ #0 に対応し、チップ 100B は、アドレス空間（\$10000 ~ \$1FFFF）を有するチップ #1 に対応する。

【0019】

フラッシュメモリ 100 は、外部との入出力インターフェースとして機能する複数の外部端子 110 を含む。外部端子 110 は、CSP や BGA 等のパッケージに形成される。外部端子 110 は、図示しないホストコンピュータからコマンド（読出し、プログラム、消去等）、アドレス、データ等を入力したり、あるいは読み出したデータ等を入力する。フラッシュメモリ 100 が SPI（Serial Peripheral Interface）機能を搭載する場合には、外部端子 110 は、クロック信号を入力するためのクロック端子を含む。外部端子 110 はさらに、アドレスラッチイネーブルやコマンドラッチイネーブル等の制御信号を入力するための制御端子を含むことができる。

【0020】

外部端子 110 は、内部配線 112 を介してチップ 100A の対応する内部パッド 120A にそれぞれ電氣的に接続され、かつチップ 100B の対応する内部パッド 120B にそれぞれ電氣的に接続される。こうして、外部端子 110 は、チップ 100A および 100B の内部パッド 120A および 120B に共通に電氣的に接続される。

【0021】

図 3 は、本実施例のフラッシュメモリ 100 の各チップの内部構成を示すブロック図である。チップ 100A は、複数の NAND ストリングが形成されたメモリセルアレイ 210A、行選択回路やページバッファ/センス回路等が形成された周辺回路 220A、チップ 100A の動作を制御するコントローラ 230A、内部パッド 120A に接続された入

10

20

30

40

50

出力回路240Aを含む。もう1つのチップ100Bは、チップ100Aと同一の構成を有する。

【0022】

チップ100Aおよびチップ100Bは、外部端子110を介してホストコンピュータ50に接続される。ホストコンピュータ50から出力されるコマンド（読み出し、プログラム、消去等）、アドレス等は、外部端子110を介してチップ100Aおよびチップ100Bに共通に入力される。ユーザーは、チップ100A、100Bを認識することなく、あたかも1つのフラッシュメモリとして取り扱うことができる。

【0023】

1つの実施態様では、コントローラ230A/230Bは、ホストコンピュータ50から入出力回路240A/240Bを介して入力されるアドレスを監視し、そのアドレスに基づき自身が選択されたか否かを判定する。例えば、コントローラ230Aは、入力されたアドレスが自身のメモリアレイ210Aのアドレス空間に一致すれば、自身が選択されたと判定し、コントローラ230Bは、入力されたアドレスがメモリアレイ210Bのアドレス空間に一致すれば、自身が選択されたと判定する。チップ100Aおよび100Bは、自身が選択されたチップであるとき、入力したコマンドを実行する。

【0024】

図4は、チップ100Aの内部構成を示す図である。チップ100Aは、複数のメモリアレイが行列状に配列されたメモリアレイ210Aと、外部端子110を介してデータの入出力を行う入出力回路240Aと、入出力回路240Aを介してアドレスを受け取るアドレスレジスタ250Aと、入出力回路240Aを介して受け取ったコマンド等に基づき各部を制御するコントローラ230Aと、アドレスレジスタ240Aから受け取った行アドレス情報Axに基づきブロックの選択やワード線の選択等を行うワード線選択回路260Aと、ワード線選択回路260Aによって選択されたページから読み出されたデータを保持したり、選択されたページへプログラムするデータを保持するページバッファ/センス回路270Aと、アドレスレジスタ240Aから受け取った列アドレス情報Ayに基づきページバッファ/センス回路270Aの列を選択する列選択回路280Aとを含んで構成される。チップ100Bは、チップ100Aと同様に構成されるので、その説明を省略する。

【0025】

メモリアレイ110は、列方向に配置されたm個のブロックBLK(0)、BLK(1)、・・・、BLK(m-1)を含み、1つのブロックには、複数のNANDストリングが形成される。1つのNANDストリングは、直列に接続された複数のメモリアレイセル、ビット線側選択トランジスタおよびソース線側選択トランジスタを含む。NANDストリングは、基板表面上に2次元的に形成されてもよいし、基板表面上に3次元的に形成されてもよい。また、メモリアレイセルは、1ビット（2値データ）を記憶するタイプでもよいし、多ビットを記憶するタイプであってもよい。

【0026】

読み出し動作では、ビット線に或る正の電圧を印加し、選択ワード線に或る電圧（例えば0V）を印加し、非選択ワード線にパス電圧Vpass（例えば4.5V）を印加し、ビット線側選択トランジスタおよびソース線側選択トランジスタをオンし、共通ソース線に0Vを印加する。プログラム動作では、選択ワード線に高電圧のプログラム電圧（例えば15~20V）を印加し、非選択ワード線に中間電位（例えば10V）を印加し、ビット線側選択トランジスタをオンさせ、ソース線側選択トランジスタをオフさせ、「0」または「1」のデータに応じた電位をビット線に供給する。消去動作では、ブロック内の選択ワード線に0Vを印加し、Pウエルに高電圧（例えば20V）を印加する。

【0027】

ページバッファ/センス回路270Aは、それぞれが1ページのデータを保持可能な2つのラッチL1、L2を含み、ラッチL1、L2間で双方向のデータ転送が可能である。1つのラッチは、それぞれが独立して動作可能な第1のキャッシュC1と第2のキャッシ

10

20

30

40

50

ュC2とを含み、1つのキャッシュは1/2ページのデータを保持可能であり、つまり、ラッチL1、L2間で1/2ページ単位でデータの転送が可能である。

【0028】

コントローラ230Aは、入出力回路240Aを介して連続読出しのコマンドを受け取ったとき、先頭ページから終了ページまでの連続読出し動作を制御する。連続読出しが行われるとき、ラッチL2に保持されたページデータが外部クロック信号CLKに同期して出力されている間に、次のページがメモリセルアレイ210Aから読み出され、このページデータがラッチL1に保持される。ラッチL1、L2のパイプライン処理によりページの連続読出しが行われる。本実施例では、クロック信号CLKの周波数を低下させることなく、かつ連続読出しがチップ間を跨ぐときにコマンドの入力を必要とすることなく、シームレスな連続読出しを可能にする。

10

【0029】

次に、本実施例の入出力回路240Aの出力部について図5を参照して説明する。ページバッファ/センス回路270Aに保持されたデータを出力するとき、ページバッファ/センス回路270AのラッチL2に保持されたページデータの中からnビットのデータが列選択回路280Aの列選択信号YSにより選択される。列選択信号YSは、列アドレスAyをデコードした列デコーダ282Aにより生成される。選択されたnビットのデータは、差動データとしてn個の差動センスアンプ284Aのビット線対BT/BBに入力される。差動センスアンプ284Aは、センスしたnビットのデータをnビット幅のデータバス286Aを介してパラレル/シリアル変換回路242Aに出力される。

20

【0030】

パラレル/シリアル変換回路242Aは、直列に接続した複数のフリップフロップを含み、フリップフロップは、外部から供給されたクロック信号CLKまたはこれを分周したクロック信号に同期して、並列に入力されたデータを直列に変換し、変換した直列データを出力バッファ部244Aに出力する。出力バッファ部244Aは、入力されたデータを入出力バス246Aに出力する。入出力バス246Aは、内部パッド120Aを介して外部端子110に接続される。外部端子110がmビット(例えば、x2、x4、x8など)のデータを出力する場合、出力バッファ部244Aおよび入出力バス246Aはm個である。

【0031】

30

チップ100Bの入出力回路240Bも同様に構成され、出力バッファ部244Bは、入力されたデータを入出力バス246B上に出力する。入出力バス246Bは、内部パッド120Bを介して外部端子110に接続される。1つの外部端子110は、上記したようにチップ100A、100Bの入出力バス246Aおよび入出力バス246Bに共通である。

【0032】

図6は、メモリチップ100Aと100Bのそれぞれの出力バッファ部244A、244Bの内部構成を示す図である。メモリチップ100Aの出力バッファ部244Aは、連続読出し動作時にメモリセルアレイ210Aの最終ページを検出する最終ページ検出部300Aと、パラレル/シリアル変換回路242Aからデータを受け取り、受け取ったデータを入出力バス246Aに出力する駆動能力の大きい第1の出力バッファ310Aと、パラレル/シリアル変換回路242Aからデータを受け取り、受け取ったデータを入出力バス246Aに出力する駆動能力の小さい第2の出力バッファ320Aとを有する。最終ページ検出部300Aは、最終ページを検出したときHレベル、最終ページを検出しないときLレベルの検出信号DT_Aを第1および第2の出力バッファ310A、320Bに出力し、第1および第2の出力バッファ310A、320Aの動作を切替える。メモリチップ100Bの出力バッファ部244Bも同様に構成される。

40

【0033】

最終ページ検出部300Aは、行アドレスカウンタ252Aのカウント情報に基づき最終ページを検出する。行アドレスカウンタ252Aは、連続読出しが行われるときのペー

50

ジを指定する。連続読出しが行われるとき、行アドレスカウンタ252Aには、先頭ページのアドレスがセットされ、ページの読出しが終了されるたびに行アドレスカウンタ252Aがインクリメントされ、次のページが指定される。最終ページ検出部300Aは、メモリセルアレイ210Aのアドレス空間の最終アドレスを保持するレジスタと、当該最終アドレスと行アドレスカウンタ252Aのカウント値とを比較する比較器とを含み、カウント値と最終アドレスとが一致したとき、最終ページを検出する。

【0034】

最終ページ検出部300Aはさらに、最終ページを検出したとき、Hレベルの検出信号DT_Aを出力するタイミングを調整する遅延回路を含む。具体的には、遅延回路は、第1の出力バッファ310Aにより出力されたデータがホストコンピュータ50により確実に受信できたであろう時間を経過したタイミングで検出信号DT_AをLレベルからHレベルに遷移させる。

10

【0035】

検出信号DT_AがLレベルのとき、第1の出力バッファ310Aがイネーブル、第2の出力バッファ320Aがディスエーブルされ、パラレル/シリアル変換回路242Aから出力されたデータは、駆動能力の大きい第1の出力バッファ310Aにより入出力バス246Aに出力される。検出信号DT_AがHレベルのとき、第1の出力バッファ310Aがディスエーブル、第2の出力バッファ320Aがイネーブルされ、パラレル/シリアル変換回路242Aから出力されたデータは、駆動能力の小さい第2の出力バッファ320Aにより保持される。つまり、出力バッファ320Aは、入出力バス246Aを駆動するには十分な駆動能力ではなく、事実上データを保持する程度である。例えば、第1の出力バッファ310Aは、入出力バス246Aに接続される出力ラインのインピーダンスを25オームに設定し、第2の出力バッファ320Aは、入出力バス246Aに接続される出力ラインのインピーダンスを250オームに設定する。このような出力インピーダンスの比は一例であり、これよりも大きな比または小さな比であってもよい。

20

【0036】

ここで留意すべきは、チップ100Aの出力バッファ部244Aが接続される入出力バス246Aとチップ100Bの出力バッファ部244Bが接続される入出力バス246Bとが電氣的に短絡されていることである。チップ間を跨ぐ連続読出しを行う場合、理想的には、チップ100Aの最終ページの読出しデータとチップ100Bの先頭ページの読出しデータとが入出力バス246A、246B上で衝突しないことである。しかしながら、実際には、物理的に異なる2つのチップ100A、100Bを入出力バス246A、246Bに接続するための配線抵抗のバラツキや、チップ間の製造バラツキ等によりチップ100Aの最終ページの読出しデータとチップ100Bの先頭ページの読出しデータとが衝突する可能性がある。論理レベルの異なるデータが衝突すれば、出力バッファ244Aと出力バッファ244Bとの間に大きな貫通電流が流れ、回路が破損したり、読出しデータに誤りを生じさせるおそれがある。本実施例では、このような事態を防止するため、最終ページのデータを出力するとき、第1の出力バッファ310Aから第2の出力バッファ320Aに動作を切替える。仮にデータが衝突しても、第2の出力バッファ320Aのインピーダンスが高いため、出力バッファ部244Aと出力バッファ部244Bとの間の貫通電流は抑制される。

30

40

【0037】

次に、本実施例によるチップ間を跨ぐ連続読出し動作について説明する。連続読出しのためのコマンドは、チップ100Aおよびチップ100Bに共通に入力され、チップ100A、100Bのコントローラ230A、230Bは、連続読出しのコマンドを解読し、連続読出しの動作を開始する。コントローラ230A、230Bは、自身のアドレス空間をそれぞれ認識することでチップの境界を自動的に判定する。例えば、チップ100A、100Bのメモリセルアレイ210A、210Bのメモリサイズはそれぞれ1Gビット、チップ100A、100Bの行アドレスカウンタ252A、252Bは、2Gビットのアドレス空間をカウントする。チップ100Aの特定アドレスから連続読出しが開始された

50

場合、チップ100Aは、読出し動作を伴って行アドレスカウンタ252Aをインクリメントし、チップ100Bは、読出し動作を行わずに行アドレスカウンタ252Bをインクリメントし、チップ100A、100Bの境界を監視する。チップ100Aは、読出しが境界に差し掛かると読出しを停止し、チップ100Aは読出しを開始する。

【0038】

図7(A)は、連続読出しがチップの境界に差し掛かったときの出力バッファ部244A、244Bの第1および第2の出力バッファ310A、320A(310B、320B)の切替え示し、図7(B)は、入出力バス246A、246Bに出力されるデータのタイミングを示し図である。ここでは、上記したようにチップ100Aの特定のアドレスから連続読出しが開始され、チップ100Bの特定のアドレスで連続読出しが終了するものとする。連続読出しの終了は、例えば、ホストコンピュータ50からのコマンドまたは最終アドレスの指定により実施される。

10

【0039】

ページの連続読出しが開始されると、出力バッファ部244Aは、クロック信号CLKに同期して読み出されたページのデータを入出力バス246Aに出力する。この間、最終ページ検出部300Aの検出信号DT_AはLレベルであり、駆動能力の大きい第1の出力バッファ310Aを用いてデータが出力される。図7(A)に示すように最終ページのアドレス「\$0FFFF」に到達する前まで、出力インピーダンスは25オームである。チップ100Aの最終ページが検出されると、ホストコンピュータ50によってデータの受信が確実に行われたであろう時間が経過したタイミングで、検出信号DT_AがLレベルからHレベルに遷移される。従って、最終ページの読出しデータは、駆動能力の大きい第1の出力バッファ310Aにより出力された後に、駆動能力の小さい第2の出力バッファ320Aにより保持される。

20

【0040】

図7(B)において、「tCxQV」は、クロック信号CLKの立ち上がりエッジまたは立下りエッジから入出力バス246Aにデータが出力されるまでの最大許容時間であり、「tCxQV'」は、クロック信号CLKの立ち上がりエッジまたは立下りエッジから入出力バス246Bにデータが出力されるまでの最大許容時間である。

【0041】

時刻t0に応答して、最終ページの1つ前のページ(\$0FFFE)のデータが入出力バス246Aに出力され、時刻t1に応答して最終ページ(\$0FFFF)のデータが入出力バス246Aに出力される。最終ページのデータは、上記したように、Tpの期間で駆動能力の大きい第1のバッファ310Aで出力され、Tqの期間(Tp>Tq)で駆動能力の小さい第2のバッファ320Aでデータが保持される。時刻t2に応答してチップ100Bの先頭ページ(\$10000)のデータが入出力バス246Bに出力され、時刻t3に応答して次のページ(\$10001)のデータが入出力バス246Bに出力される。

30

【0042】

ここで、チップ100Aが最終ページのデータを出力する期間と、チップ100Bが先頭ページのデータを出力する期間とが一部オーバーラップするおそれがある。しかし、チップ100Aは、期間Tqで出力バッファ部244Aを高インピーダンス状態にされるため、チップ100Bの先頭ページのデータが損失したり、あるいはチップ100Bの出力バッファ部244Bと出力バッファ部244Aとの間で入出力バス246A、246Bを介して貫通電流が生じるのを抑制することができる。これにより、チップ間を跨ぐ連続読出し動作において、クロック信号CLKの周波数を低下させることなくシームレスな高速アクセスが可能になる。

40

【0043】

上記実施例では、2つのチップをスタックする例を示したが、スタックされるチップの数は3つ以上であってもよい。

【0044】

50

本発明の好ましい実施の形態について詳述したが、本発明は、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

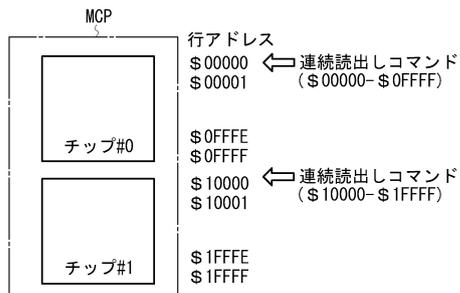
【0045】

- 100：フラッシュメモリ
- 100A、100B：チップ
- 110：外部端子
- 112：内部配線
- 120A、120B：内部パッド
- 210A、210B：メモリセルアレイ
- 220A、220B：周辺回路
- 230A、230B：コントローラ
- 240A、240B：入出力回路
- 242A、242B：パラレル/シリアル変換回路
- 244A、244B：出力バッファ部
- 250A、250B：アドレスレジスタ
- 252A、252B：行アドレスカウンタ
- 260A、260B：ワード線選択回路
- 270A、270B：ページバッファ/センス回路
- 280A、280B：列選択回路
- 300A、300B：最終ページ検出部
- 310A、310B：第1の出力バッファ
- 320A、320B：第2の出力バッファ

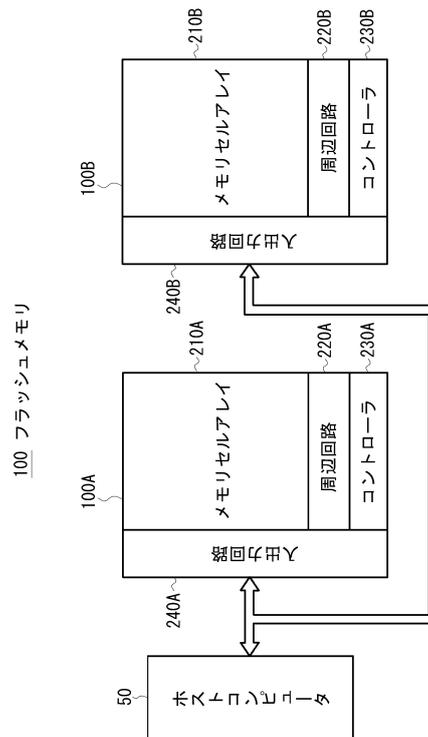
10

20

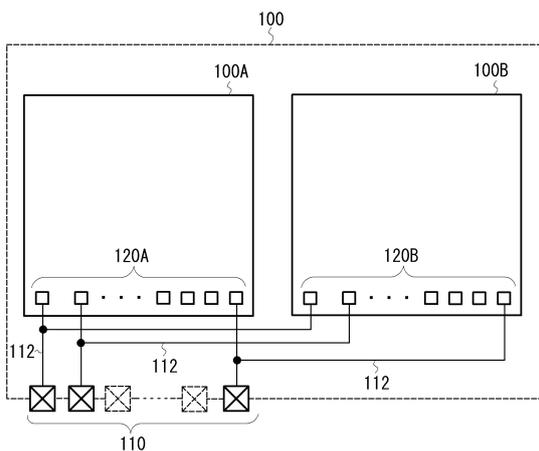
【図1】



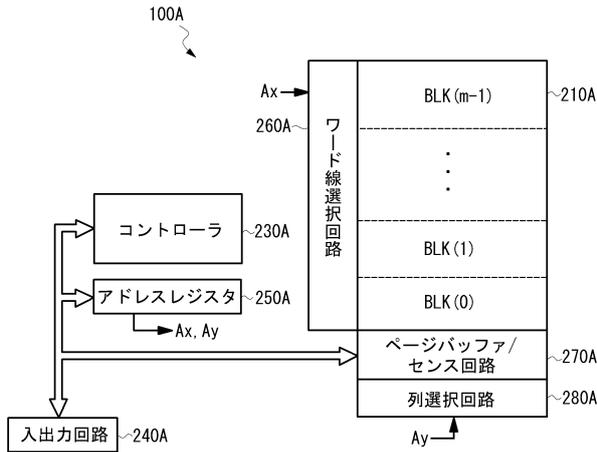
【図3】



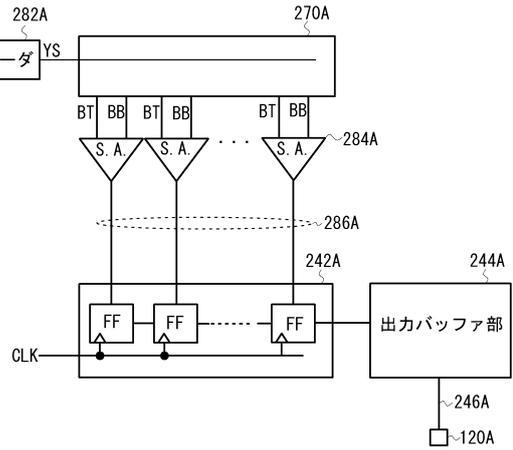
【図2】



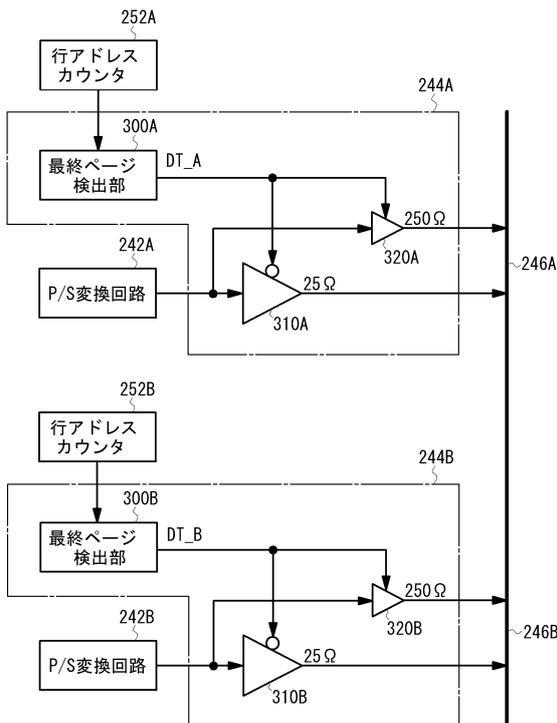
【図4】



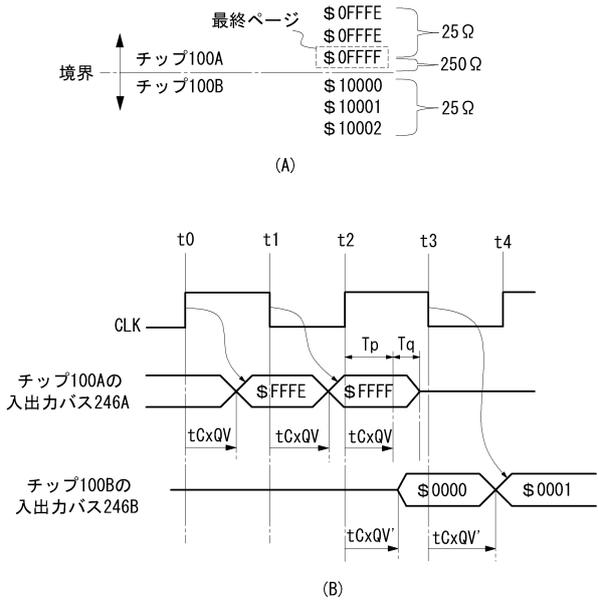
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl. F I
G 0 6 F 12/00 5 9 7 U

(56)参考文献 特開平 1 1 - 1 7 6 1 6 5 (J P , A)
特開昭 6 3 - 1 4 3 9 7 (J P , A)
特開 2 0 1 5 - 7 6 1 0 9 (J P , A)
特開 2 0 0 4 - 3 9 2 1 1 (J P , A)
特開平 5 - 4 7 1 8 5 (J P , A)

(58)調査した分野(Int.Cl. , DB名)
G 1 1 C 1 6 / 2 6
G 1 1 C 7 / 1 0
G 1 1 C 8 / 1 2
G 0 6 F 1 2 / 0 6
G 0 6 F 1 2 / 0 0