

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97112299

※ 申請日期：97年04月03日

※IPC分類：H01L27/04(2006.01)
H01L21/8242(2006.01)

一、發明名稱：(中文/英文)

溝渠結構及形成此溝渠結構的方法

A TRENCH STRUCTURE AND METHOD OF FORMING THE
TRENCH STRUCTURE

二、申請人：(共1人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

琳奈 D 安德森 / ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文)

美國 / US

三、發明人：(共1人)

姓名 (中文/英文)

程慷果 / CHENG, KANGGUO

國籍 (中文/英文)

中國大陸 / CN

四、 聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、西元 2007 年 04 月 18 日、11/736,796

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明具體實施例一般有關溝渠電容器，尤其有關深溝渠電容器結構及以絕緣體上半導體(SOI)技術形成該結構的方法。

【先前技術】

溝渠電容器廣泛用於各種半導體的應用。例如，使用溝渠電容器的內建動態隨機存取記憶體(DRAM)技術在新興的晶片上系統(SoC)產品中，向來佔有舉足輕重的地位。藉由在相同晶片上整合內建 DRAM 及邏輯單元，已證實可以顯著提高系統效能。由於內建 DRAM 技術在塊狀矽基板上的運用極為成功，因此用絕緣體上半導體(SOI)技術整合內建 DRAM 可進一步提升高階 SOI 伺服器晶片的效能。

【發明內容】

鑑於上述，本文揭示改良之深溝渠電容器結構及併入此深溝渠電容器結構之記憶體裝置(如，DRAM 裝置或內建 DRAM 裝置(eDRAM))的具體實施例。深溝渠電容器及記憶體裝置具體實施例形成於絕緣體上半導體(SOI)晶圓上，致使絕緣體層在深溝渠蝕刻製程後保持原封不動，及視情況致使深溝渠電容器的深溝渠在不同的深度具有不同的形狀及大小。藉由形成深溝渠在不同的深度具有不同

的形狀及大小，可以使電容器的電容選擇性地有所變化及降低連接電容器與另一裝置(如，記憶體裝置中的電晶體，諸如 DRAM 或內建 DRAM 裝置中的傳遞電晶體)之導電帶的電阻。

本發明亦揭示形成深溝渠電容器及併入此深溝渠電容器之記憶體裝置的方法具體實施例。明確地說，在深溝渠電容器形成製程期間，以間隔物保護絕緣體上半導體(SOI)晶圓的絕緣體層。然而，藉由在形成間隔物之前拉回 SOI 及絕緣體層，在襯墊層中生成突出物。此突出物防止其後形成的間隔物受到電漿及離子的衝擊及在深溝渠反應性離子蝕刻(RIE)製程期間破裂。在 RIE 製程之前藉由在間隔物的頂面上形成保護薄層，可進一步保護間隔物。由於保護層對於深溝渠 RIE 製程具有更大的耐受性，因此底下的間隔物保持原封不動。另外，可以使蝕刻 SOI 晶圓每一層所用的製程選擇性地有所變化，以使不同層內及不同深度處之深溝渠的大小及形狀選擇性地有所變化，進而使深溝渠電容器的電容及連接深溝渠電容器與另一裝置(如，記憶體裝置中的電晶體)之埋藏帶的電阻選擇性地有所變化。

尤其，本發明揭示包含深溝渠之半導體結構的具體實施例。明確地說，半導體結構包含絕緣體上半導體(SOI)結構(如，SOI 晶圓)，其包含半導體層、半導體層下的絕緣體層、及絕緣體層下的半導體基板。

深溝渠包含至少三個不同區段並可用導電填充材料來填充。深溝渠的第一區段可延伸穿過半導體層。深溝渠的第二區段可延伸穿過絕緣體層。深溝渠的第三區段可延伸至基板中。溝渠在不同的深度可具有不同的形狀及/或不同的寬度。也就是說，溝渠的不同區段以及第三區段的不同部分在不同的深度可具有不同的形狀及/或不同的寬度。

例如，在一具體實施例中，深溝渠之第一區段、第二區段、及第三區段的上方部分可全部具有相同的形狀，諸如橢圓形(即，相同的第一形狀)。第三區段在上方部分下的中間部分可具有與第一形狀不同的第二形狀(如，八邊形或矩形)。最後，第三區段在中間部分下的下方部分可具有亦與第一形狀不同的第三形狀(如，矩形)。在此具體實施例中，每一區段可具有相同的寬度。然而，深溝渠的寬度在區段之間及在區段內的不同部分之間亦可有所不

同。例如，第三區段可以比第一及第二區段窄或比第一及第二區段寬。或者，第一區段、第二區段、及第三區段的上方部分可各具有相同的寬度(即，相同的第一寬度)，及深溝渠之第三區段的中間及下方部分可以比第一寬度寬或比第一寬度窄。

在另一具體實施例中，第一區段及第三區段的上方部分可各具有大約相同的第二形狀(諸如矩形)，及第二區段可具有與第一形狀不同的第二形狀(諸如橢圓形)。另外，第三區段在上方部分下的中間部分可具有與第二形狀不同及與第一形狀相同或不同的第三形狀(如，矩形或八邊形)。最後，第三區段在中間部分下的下方部分亦可具有與第二形狀不同的形狀(如，與第一區段及第三區段之上方部分相同的矩形)。如同先前所述的具體實施例，在此具體實施例中，每一區段可具有相同的寬度。然而，深溝渠的寬度在區段之間及在區段內的不同部分之間亦可有所不同。例如，第三區段可以比第一及第二區段寬或比第一及第二區段窄。或者，第一區段、第二區段、及第三區段的上方部分可各具有相同的寬度(即，相同的第一寬度)，及深溝渠之第三區段的中間及下方部分可以比第一寬度寬。

在這兩個具體實施例中，半導體結構在基板中可包含電容器，尤其，可使用深溝渠的第三區段形成此電容器。明確地說，此電容器包含加襯以下項目的介電襯料：深溝渠、第一導電板(如，在以 n 型或 p 型摻雜物完全摻雜時為基板本身，或在以 n 型或 p 型摻雜物摻雜時為基板內圍繞溝渠之第三區段的區域)、及在深溝渠的第三區段內包含導電填充材料的第二導電板。

在這兩個具體實施例中，半導體結構可進一步包含記憶體裝置(如，內建的動態存取記憶體(DRAM)裝置)。此記憶體裝置可包含形成於相同晶圓上且電連接至電容器的電晶體。明確地說，記憶體裝置可包含電晶體，其在半導體層中包含鄰接深溝渠之第一區段且經由導電帶(即，在深溝渠之第一區段及第二區段中的導電填充材料)電連接至電容器的源極/汲極區域。另外，如果深溝渠的第一區段包含橢圓以外的形狀(如，具有角落的矩形)，則源極/汲極區域可與角落之一相吻合，以儘量增大在導電帶及源極/汲極區域之間的面積接觸，及藉此儘量減小在電晶體及電容器之間的電阻。

本發明亦揭示形成上述半導體結構的方法具體實施例。方法具體實施例各包含在基板(如，絕緣體上半導體(SOI)晶圓)上提供在絕緣體層上包含半導體層的結構。然後，在半導體層上形成襯墊層(如，可選的襯墊氧化物層及襯墊氮化物層)，及在襯墊層上形成硬遮罩層。

接下來，執行需要蝕刻通過硬遮罩層、通過襯墊層、通過半導體層、及通過絕緣體層以暴露基板的第一蝕刻製程。視情況，在此第一蝕刻製程期間，亦可蝕刻在絕緣體層正下方的基板頂面。執行此第一蝕刻製程可在半導體層中形成深溝渠的第一區段，在絕緣體層中形成深溝渠的第二區段，及如果適用，可在基板中形成深溝渠之第三區段的過度蝕刻上方部分。

然後，可將半導體層中之溝渠第一區段的側壁及絕緣體層中之溝渠第二區段的側壁拉回(即，平行於基板表面進行蝕刻，以移除半導體層及絕緣體層的部分及使溝渠的第一及第二區段變寬)，致使襯墊層的邊緣突出於第一及第二區段之上。此突出物保護其後形成的間隔物在後續深溝渠蝕刻製程期間不會受到損壞(其論述如下)。另外，如果在第一蝕刻製程期間過度蝕刻基板頂面，致使在基板中

形成溝渠第三區段的上方部分，則亦可將此上方部分的側壁拉回(即，平行於基板表面進行蝕刻，以移除基板的部分及使溝渠第三區段的此上方部分變寬)，以進一步確保在後續蝕刻製程期間利用間隔物保護絕緣體層。

接下來，可視情況以襯料加襯第一區段、第二區段、及(如果適用)深溝渠第三區段的上方部分，以提高黏著性及釋放應力(如，在半導體層及其後形成的間隔物之間)。然後，在溝渠第一及第二區段的側壁(及如果適用，如果在第一蝕刻製程期間蝕刻基板頂面，則在基板內的任何暴露側壁)上形成間隔物(如，氮化物間隔物)。為進一步確保間隔物在後續深溝渠蝕刻製程期間受到保護(其論述如下)，可在間隔物上形成保護層，以形成多層間隔物。此保護層可包含大體上比間隔物具有較高抗蝕刻性的材料(如，氧化物)，且可如藉由沈積或藉由轉換間隔物頂面來形成此保護層。

接下來，可執行第二蝕刻製程(即，深溝渠蝕刻製程)。此第二蝕刻製程可包含蝕刻基板，致使間隔物保持原封不動且溝渠的第三區段完全在基板中形成。視情況，在執行第二蝕刻製程後，將暴露基板在第三區段內的側壁

拉回(即，平行於基板表面進行蝕刻，以移除基板的部分及使溝渠第三區段變寬)。結果，根據所執行的各種蝕刻製程及拉回製程，深溝渠的不同區段(即，第一、第二、及第三區段)以及第三區段的不同部分(即，上方、中間、及下方部分)可在不同的深度具有不同的形狀及/或不同的寬度。

例如，在一示範性方法具體實施例中，在第一蝕刻製程期間，蝕刻半導體層、絕緣體層、及基板的頂面全部。然後，使用各向同性蝕刻製程(如，化學濕式蝕刻)拉回半導體層中之溝渠第一區段的側壁、絕緣體層中之溝渠第二區段的側壁、及基板中之溝渠第三區段之上方部分的側壁全部，致使其具有大約相同的形狀，諸如橢圓形(即，相同的第一形狀)，並具有大約相同的寬度(即，相同的第一寬度)。如上述，形成多層間隔物，然後，在第二蝕刻製程及可選基板拉回製程期間蝕刻基板，致使基板中溝渠第三區段的部分在不同的深度具有不同的形狀及視情況具有不同的寬度。也就是說，在第二蝕刻及拉回製程期間，利用間隔物保護溝渠第三區段之上方部分的側壁，且蝕刻暴露的基板及視情況拉回暴露的基板，致使溝渠第三區段的中間部分具有與第一形狀不同且比第一形狀寬的第二

形狀(如，矩形或八邊形)。亦可蝕刻及拉回基板，致使溝渠第三區段的下方部分具有與第一形狀不同且比第一形狀寬及與第二形狀相同或不同的第三形狀(如，矩形)。

在另一示範性方法具體實施例中，在第一蝕刻製程期間，同樣蝕刻半導體層、絕緣體層、及基板的頂面。然而，在此具體實施例中，並不藉由執行各向同性蝕刻製程，拉回溝渠第一區段及溝渠第三區段之上方部分的側壁，而是執行非等向性蝕刻製程(如，使用含有氫氧化銨之蝕刻劑的濕式蝕刻)。因此，半導體層中之深溝渠第一區段及基板中之溝渠第三區段的過度蝕刻上方部分將具有第一形狀(如，矩形)，及絕緣體層中之深溝渠第二區段將具有與第一形狀不同的第二形狀(如，橢圓形)。

然後，如同先前所述的具體實施例，形成多層間隔物，且在第二蝕刻製程及可選基板拉回製程期間蝕刻基板，致使深溝渠第三區段的部分在不同的深度具有不同的形狀及視情況具有不同的寬度。也就是說，在第二蝕刻及拉回製程期間，以多層間隔物保護溝渠第三區段之上方部分的側壁，然後蝕刻基板致使基板中之溝渠第三區段的中間部分具有與第二形狀不同且與第一形狀相同或不同的

第三形狀(如，矩形或八邊形)。可進一步蝕刻基板致使溝渠第三區段的下方部分具有與第一區段及第三區段之上方部分相同的第一形狀(如，矩形)。

一旦形成深溝渠，即可在基板中形成電容器。明確地說，如果基板尚未以 n 型或 p 型摻雜物進行高濃度摻雜以形成第一導電板，則可(如，以 n 型或 p 型摻雜物)摻雜基板中鄰接第三區段的區域，以形成第一導電板(即，埋藏板)。可在拉回暴露基板以調整第三區段寬度的可選製程之前或之後執行此摻雜製程。然後，以介電襯料加襯深溝渠並以導電填充材料填充深溝渠，以在深溝渠的第三區段中形成第二導電板。

亦可鄰接電容器形成電晶體，以形成記憶體裝置(如，內建動態隨機存取記憶體(DRAM)裝置)。明確地說，可形成電晶體致使電晶體的源極/汲極區域在半導體層中位置鄰接深溝渠的第一區段，且經由導電帶(即，深溝渠之第一區段及第二區段中的電填充材料)電連接至第三區段中的電容器。另外，如果以橢圓形以外的形狀(如，具有角落的矩形，見上述第二結構具體實施例)形成深溝渠的第一區段，則可形成源極/汲極區域致使其與矩形第一

區段的角落之一相吻合，以儘量增大在導電帶及源極/汲極區域之間的面積接觸，及藉此儘量減小在電晶體及電容器之間的電阻。

參考以下說明及附圖，即可更加瞭解本發明各項具體實施例的以上及其他方面。然而，應明白，雖然以下說明指出本發明較佳具體實施例及其許多特定細節，但僅是用來解說而非限制。在本發明各項具體實施例的範疇內且不背離其精神下，可進行許多變更及修改，及本發明的各項具體實施例包括所有此類修改。

【實施方式】

將參考附圖所示並於下列說明詳細解說的非限制具體實施例，詳細說明本發明的各項具體實施例及其各種特色與有利的細節。請注意，圖式所示特色未必按照比例繪製。將省略已知組件與處理技術的說明，以免混淆本發明的各項具體實施例。此處所用範例的目的僅在促進瞭解實施本發明各項具體實施例的方式，並進一步使熟習本技術者能夠實施本發明的各項具體實施例。因此，不應將這些範例視為限制本發明各項具體實施例的範疇。

如上所提，內建動態隨機存取記憶體(eDRAM)技術在新興的晶片上系統(SoC)產品中佔有舉足輕重的地位。參考圖 1，eDRAM 單元 100 一般包含例如藉由埋藏於淺溝渠隔離區域 170 內的導電帶 130 連接至傳遞電晶體 120(即，傳遞閘極電晶體、存取電晶體等)之源極/汲極區域 129 的深溝渠電容器 110；傳遞電晶體 120 進一步包含通道區域 126、閘極介電質 124、及閘極導體 122。電容器 110 儲存電荷，及電晶體 120 經由導電帶 130 傳輸電荷至電容器 110 及從電容器 110 傳輸電荷。在儲存電容器 110 中之電荷的有無代表資料位元。

藉由在相同晶片上整合 eDRAM 及邏輯單元，已證實可以顯著提高系統效能。由於 eDRAM 技術在塊狀矽基板上的運用極為成功，因此用絕緣體上半導體(SOI)技術整合 eDRAM 可進一步提升高階 SOI 伺服器晶片的效能。然而，SOI eDRAM 技術的發展也造成了顯著的困難度。明確地說，早期嘗試對此技術的研發由於在 SOI 晶圓的矽層 103 下之埋藏氧化物(BOX)層 102 的強烈底切 190，因而無法產生牢靠的 SOI eDRAM 晶片。BOX 層 102 的此底切 190 造成相鄰裝置間的短路及/或裝置可靠性上的疑慮。

Radens 等人於 2003 年 5 月 20 日的美國專利第 6,566,177 號，標題「絕緣體上矽垂直陣列裝置溝渠電容器 (Silicon-on-insulator vertical array device trench capacitor DRAM)」(以提及方式併入本文中)，教示藉由在蝕刻深溝渠前在初始溝渠側壁上形成氮化物側壁間隔物來保護 BOX 層的方法。然而，因為氮化物間隔物厚度的限制及由於矽及氮化物之間有限的蝕刻選擇性，此氮化物間隔物可能在深溝渠蝕刻期間破裂。明確地說，增加氮化物間隔物厚度可降低間隔物在後續深溝渠反應性離子蝕刻 (RIE) 破裂的機會，但這實際上將減少溝渠開口的大小。但並不希望溝渠變窄，因這對將增加深溝渠 RIE 的困難度。此外，這還降低溝渠深度，因而降低溝渠電容。隨著溝渠大小縮減為 150nm 以下，增加氮化物間隔物厚度即使可能也會變得極不切實際。一般而言，氮化物間隔物厚度的限制約為 15 奈米 (nm)。另一方面，溝渠深度通常為若干微米 (μm)。如此高的縱橫比(即，深溝渠深度及氮化物間隔物厚度間的比率)表示矽及氮化物之間的蝕刻選擇性必須高到足以在深溝渠蝕刻期間保留氮化物間隔物。不幸的是，目前的技術很難達到高選擇性。簡言之，薄的氮化物間隔物以及矽及氮化物之間有限的蝕刻選擇性，使得氮化物間隔物很難在深溝渠蝕刻後保留下來。結

果，將因破裂的氮化物間隔物而對 BOX 層發生強烈的底切。

鑑於上述，本文揭示改良之深溝渠電容器結構及併入此深溝渠電容器結構之記憶體裝置(如，動態隨機存取記憶體(DRAM)或內建 DRAM 裝置(eDRAM))的具體實施例。深溝渠電容器及記憶體裝置具體實施例形成於絕緣體上半導體(SOI)晶圓上，致使絕緣體層在深溝渠蝕刻製程後保持原封不動，及視情況致使深溝渠電容器的深溝渠在不同的深度具有不同的形狀及大小。藉由形成深溝渠在不同的深度具有不同的形狀及大小，可以使電容器的電容選擇性地有所變化及降低連接電容器與另一裝置(如，記憶體裝置中的電晶體，諸如 DRAM 或 eDRAM 裝置中的傳遞電晶體)之導電帶的電阻。

本發明亦揭示形成深溝渠電容器及併入此深溝渠電容器之記憶體裝置的方法具體實施例。明確地說，在深溝渠電容器形成製程期間，以間隔物(如，氮化物間隔物)保護絕緣體上半導體(SOI)晶圓的絕緣體層。然而，藉由在形成間隔物之前拉回 SOI 及絕緣體層，在襯墊層中生成突出物。此突出物防止其後形成的間隔物受到電漿及離子的

衝擊及在深溝渠反應性離子蝕刻(RIE)製程期間破裂。可藉由在 RIE 製程之前在間隔物頂面上形成保護薄層，從而形成多層間隔物，來進一步保護間隔物。由於保護層對於深溝渠 RIE 製程具有更大的耐受性，因此底下的間隔物保持原封不動。另外，可使蝕刻 SOI 晶圓每一層使用的製程選擇性地有所變化，以使溝渠大小及形狀在不同層內且在不同深度選擇性地有所變化，以使溝渠電容器的電容以及連接深溝渠電容器與另一裝置(如，記憶體裝置中的電晶體，諸如 DRAM 或 eDRAM 裝置中的傳遞電晶體)之埋藏導電帶的電阻選擇性地有所變化。

尤其，參考圖 2a 及 3a，本發明揭示包含深溝渠 250、350 之半導體裝置 295、395 的若干具體實施例。明確地說，此結構可包含絕緣體上半導體(SOI)結構(如，SOI 晶圓)，其包含：半導體層 203、303；半導體層 203、303 下的絕緣體層 202、302；及絕緣體層 202、302 下的半導體基板 201、301。

半導體層 203、303 及基板 201、301 可包含一或多個半導體材料，其包括但不限於：矽、鍺、矽鍺、碳化矽，這些材料實質上由 III-V 族化合物半導體組成，其具有以

下化學式所定義的組成物： $Al_{X1}Ga_{X2}In_{X3}As_{Y1}P_{Y2}N_{Y3}Sb_{Y4}$ ，其中 $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、及 $Y4$ 代表相對比例，各大於或等於零，且 $X1+X2+X3+Y1+Y2+Y3+Y4=1$ (1 為總相對莫耳量)，且這些材料實質上由一或多個 II-VI 族化合物半導體組成，其具有組成物 $Zn_{A1}Cd_{A2}Se_{B1}Te_{B2}$ ，其中 $A1$ 、 $A2$ 、 $B1$ 、及 $B2$ 為相對比例，各大於或等於零，且 $A1+A2+B1+B2=1$ (1 為總莫耳量)。

另外，整個半導體層 203、303 或其一部分及基板 201、301 可為非晶、多晶、或單晶。整個半導體層 203、303 或其一部分及基板 201、301 可受到應變。最後，半導體層 203、303 及基板 201、301 可包含相同或不同材料並可具有相同或不同晶向。

絕緣體層 202、302 可包含一或多個介電材料，其包括但不限於：氧化矽、氮化矽、氮氧化矽、及合適的高 k 材料。高 k 材料的範例包括但不限於：金屬氧化物，諸如氧化鈣、氧化鈣矽、氮氧化鈣矽、氧化鋁、氧化鋁鎂、氧化鋇、氧化鋇矽、氮氧化鋇矽、氧化鈦、氧化鈦、氧化鋇鈦、氧化鋇鈦、氧化鋇鈦、氧化鈦、氧化鋁、氧化鉛鈦鈦、及鈦酸鉛鋅。

在一具體實施例中，絕緣體上半導體結構可包含絕緣體上矽晶圓，其具有：半導體層 203、303、及包含矽的基板 201、301、及包含埋藏氧化矽(BOX)層的絕緣體層 202、302。

深溝渠 250、350 可包含至少三個不同區段 251-253、351-353 並可以導電填充材料 215、315 來填充。導電填充材料 215、315 可例如包含多晶或非晶矽、鍺、矽鍺、金屬(如，鎢、鈦、鈮、鈟、鈷、銅、鋁、鉛、鉑、錫、銀、金)、導電金屬化合物材料(如，氮化鈮、氮化鈦、矽化鎢、氮化鎢、氮化鈦、氮化鈮、氧化鈟、矽化鈷、矽化鎳)、或以上材料的任何合適組合。導電填充材料 215、315 可進一步以 p 型摻雜物(如，硼(B)、鎵(Ga)、銦(In)、及/或銻(Tl))進行摻雜，或以 n 型摻雜物(如，磷(P)、砷(As)及/或銻(Sb))進行高濃度摻雜。

深溝渠 250、350 的第一區段 251、351 延伸穿過半導體層 203、303。深溝渠 250、350 的第二區段 252、352 延伸穿過絕緣體層 202、302。深溝渠 250、350 的第三區段 253、353 延伸穿過基板 201、301。不同區段 251-253、

351-353 以及第三區段 253、353 的不同部分 261-263、361-363 在不同的深度可具有不同的形狀及/或不同的寬度。

例如，分別結合參考圖 2a 及 2b 之半導體結構 295 的截面圖及平面圖，在一具體實施例中，深溝渠 250 鄰接絕緣體層 202 之第一區段 251、第二區段 252 及第三區段 253 的上方部分 261(即，第一部分)可全部具有相同的形狀(即，相同的第一形狀)。明確地說，其可各具有橢圓形形狀(見形狀 B1-B1、C1-C1、及 D1-D1)。第三區段 253 在上方部分 261 下的中間部分 262(即，第二部分)可具有與第一形狀不同的第二形狀。明確地說，中間部分 262 可具有八邊形(見形狀 E1-E1)或矩形形狀(見形狀 E1'-E1')。第三區段 253 在中間部分 262 下的下方部分 263(即，第三部分)可具有與第一形狀不同且與第二形狀相同或不同的第三形狀。明確地說，下方部分 263 可具有矩形形狀(見形狀 F1-F1)。

在此具體實施例中，每一區段 251-253 可具有大約相同的寬度。然而，深溝渠的寬度在區段之間及在區段內的不同部分之間亦可有所不同。例如，整個第三區段 253 可

以比第一及第二區段 251-252 寬或窄。或者，如圖 2a-2b 所示，第一區段 251、第二區段 252、及第三區段 253 的上方部分 261(即，第一部分)可各具有大約相同寬度 281(即，相同的第一寬度)，及深溝渠 250 之第三區段 253 的中間及下方部分 262-263(即，第二及第三部分)可以比較寬(即，具有大於第一寬度 281 的相同第二寬度 282)(如圖所示)或比較窄(即，具有小於第一寬度 281 的相同第二寬度 282)。

分別結合參考圖 3a 及 3b 之半導體結構 395 的截面圖及平面圖，在另一具體實施例中，第一區段 351 及視情況第三區段 353 鄰接絕緣體層 302 的上方部分 361(即，第一部分)可各具有大約相同的形狀(即，第一形狀)。明確地說，第一形狀可以是矩形(見形狀 B1-B1 及 D1-D1)。第二區段 352 可具有與第一形狀不同的第二形狀。明確地說，第二形狀可以是橢圓形(見形狀 C1-C1)。另外，第三區段 353 在上方部分 361 下的中間部分 362(即，第二部分)可具有與第二形狀不同且與第一形狀相同或不同的第三形狀。明確地說，此第三形狀可以是八邊形(見形狀 E1-E1)或矩形(見形狀 E1'-E1')。第三區段 353 在中間部分 362 下的下方部分 363(即，第三部分)可具有與第一區段 351 相

同的(矩形)形狀。最後，第三區段 353 在中間部分 362 下的下方部分 363(即，第三部分)可具有與第三區段 353 之中間部分 362 的相同形狀或不同形狀。

如同先前所述的具體實施例，在此具體實施例中，區段 351-353 的每一者可具有大約相同的寬度(如，如圖 3a-3b 所示)。然而，深溝渠的寬度在區段之間及在區段內的不同部分之間亦可有所不同。例如，整個第三區段 353 可以比第一及第二區段 351-352 寬或窄。或者，第一區段 351、第二區段 352、及第三區段 353 的上方部分 361(即，第一部分)可各具有大約相同的寬度(即，相同的第一寬度)，及深溝渠 350 之第三區段 353 的中間及下方部分 362-363(即，第二及第三部分)視製程及應用而定，可以比較窄或比較寬。

再次參考圖 2a 及 3a，在兩個具體實施例中，半導體裝置 295、395 在基板 201、301 中可包含電容器 210、310，尤其，此電容器 210、310 係使用深溝渠 250、350 的第三區段 253、353 來形成。明確地說，此電容器 210、310 可包含：加襯深溝渠 250、350 的節點介電襯料 212、312；第一導電板 211、311，其包含以 n 型或 p 型摻雜物高濃度

摻雜的基板 201、301 或在基板內的埋藏板(即，基板中鄰接深溝渠第三區段的導電區域，諸如矽基板 201、301 中圍繞深溝渠 250、350 之第三區段 253、353 的高濃度摻雜的 n 型或 p 型摻雜區域)；及第二導電板 213、313，其在深溝渠 250、350 的第三區段 253、353 內包含導電填充材料 215、315。

藉由使深溝渠的不同區段在不同深度的形狀及寬度有所變化，可以使電容器的電容選擇性地有所變化。明確地說，藉由形成深溝渠之第三區段 253、353 的至少中間及下方部分 262-263、362-363 比深溝渠的第一及第二區段 251-252、351-352 寬，可在不侵佔半導體層 203、303 中形成的其他裝置的情況下，增加電容器 210、310 的電容。

半導體裝置 295、395 可進一步併入記憶體裝置中，諸如內建動態存取記憶體(eDRAM)裝置 200(見圖 4))或 300(見圖 5)。此記憶體裝置 200、300 可包含電晶體 220、320(如，金氧半導體場效電晶體)，其形成於相同晶圓上且電連接至電容器 210、310。明確地說，記憶體裝置 200、300 可包含電晶體 220、320，其包含：半導體層 203、303

中的源極/汲極區域 229 及 229'、329 及 329'；通道區域 226、326；閘極介電質 224、324；及閘極導體 222 及 322。源極/汲極區域 229 及 329 鄰接深溝渠的第一區段 251、351 且經由導電帶 230、330(即，深溝渠之第一區段 251、351 及第二區段 252、352 中的導電填充材料 215、315)電連接至電容器 210、310。

應注意，可在記憶體裝置 200、300 形成期間，藉由在半導體層 203、303 中且尤其在第一區段 251、351 的頂部內形成淺溝渠隔離區域 270、370，埋藏此導電帶 230、330。

另外，如圖 5 所示，如果深溝渠的第一區段 351 如在半導體結構 395 中包含橢圓形以外的形狀(如，具有角落的矩形，見圖 3a-3b 的 B1-B1)，則源極/汲極區域 329 可以與矩形第一區段的角落 331 之一相吻合，以儘量增大導電帶 330 及源極/汲極區域 329 之間的面積接觸，及藉此儘量減小在電晶體 320 及電容器 310 之間的電阻。

參考圖 6，本發明亦揭示形成上述半導體結構的方法具體實施例。參考圖 6 中的 602，本方法具體實施例各包

含提供諸如絕緣體上半導體(SOI)晶圓的結構，其中半導體層 203、303 在基板 201、301 上的絕緣體層 202、302 上。然後，在半導體層 203、303 上形成包含如可選襯墊氧化物層及襯墊氮化物層的襯墊層 204、304，及在襯墊氮化物層上形成硬遮罩層 205、305(如，另一氧化物層)(見圖 7)。

晶圓結構的半導體層 203、303 及基板 201、301 可各包含一或多個半導體材料，其包括但不限於：矽、鍺、矽鍺、碳化矽，這些材料實質上由 III-V 族化合物半導體組成，其具有以下化學式所定義的組成物： $Al_{X1}Ga_{X2}In_{X3}As_{Y1}P_{Y2}N_{Y3}Sb_{Y4}$ ，其中 $X1$ 、 $X2$ 、 $X3$ 、 $Y1$ 、 $Y2$ 、 $Y3$ 、及 $Y4$ 代表相對比例，各大於或等於零，且 $X1+X2+X3+Y1+Y2+Y3+Y4=1$ (1 為總相對莫耳量)，且這些材料實質上由一或多個 II-VI 族化合物半導體組成，其具有組成物 $Zn_{A1}Cd_{A2}Se_{B1}Te_{B2}$ ，其中 $A1$ 、 $A2$ 、 $B1$ 、及 $B2$ 為相對比例，各大於或等於零，且 $A1+A2+B1+B2=1$ (1 為總莫耳量)。

另外，整個半導體層 203、303 或其一部分及基板 201、301 可為非晶、多晶、或單晶。整個半導體層 203、

303 或其一部分及基板 201、301 可受到應變。最後，半導體層 203、303 及基板 201、301 可包含相同或不同材料並可具有相同或不同晶向。

所提供晶圓結構的絕緣體層 202、302 可包含一或多個介電材料，其包括但不限於：氧化矽、氮化矽、氮氧化矽、及高 k 材料。合適高 k 材料的範例包括但不限於：金屬氧化物，諸如氧化鈣、氧化鈣矽、氮氧化鈣矽、氧化釧、氧化釧鋁、氧化鋯、氧化鋯矽、氮氧化鋯矽、氧化鈿、氧化鈦、氧化鈿鋁鈦、氧化鈿鈦、氧化鋁鈦、氧化鈦、氧化鋁、氧化鉛鈦鈿、及鈮酸鉛鋅。

在一具體實施例中，絕緣體上半導體結構可包含絕緣體上矽晶圓，其具有：半導體層 203、303、及包含矽的基板 201、301、及包含埋藏氧化矽 (BOX) 層的絕緣體層 202、302。

接下來，參考圖 6 中的 604，執行第一蝕刻製程，其需要蝕刻通過硬遮罩層 205、305；蝕刻通過襯墊層 204、304；蝕刻通過半導體層 203、303；及蝕刻通過絕緣體層 202、302，以暴露基板 201、301(見圖 8)。可使用任何圖

案化技術(如，習知的微影術)及蝕刻技術(如，蝕刻為有方向性(即，大約與基板垂直)的選擇性反應性離子蝕刻(RIE))，來完成此第一蝕刻製程。視情況，在此第一蝕刻製程 604 期間，亦可蝕刻在絕緣體層 202、302 正下方之基板 201、301 的頂面。因此，執行此第一蝕刻製程可在半導體層 203、303 中形成深溝渠 250、350 的第一區段 251、351，在絕緣體層 202、302 中形成深溝渠 250、350 的第二區段 252、352，及如果適用，在基板 201、301 中形成深溝渠 250、350 之第三區段 253、353 的上方部分 261、361(即，第一部分)。根據第一蝕刻製程的蝕刻條件，溝渠的側壁可為垂直(即，半導體層中之溝渠的第一區段及絕緣體中之溝渠的第二區段具有大體上相同的寬度)或為稍微倒錐形(即，溝渠的寬度從溝渠的第一區段逐漸向溝渠的第二區段縮小)。

然後，參考圖 6 的 606，可將半導體層中之溝渠第一區段的側壁及絕緣體層中之溝渠的第二區段拉回(即，平行於基板表面進行蝕刻，以移除半導體層及絕緣體層的部分，及藉此使溝渠的第一及第二區段變寬)。也就是說，將在溝渠之第一區段內之半導體層的部分移除(即，大約平行於基板進行蝕刻)，及將在溝渠之第二區段內之絕緣

體層的部分移除(即，大約平行於基板進行蝕刻)，致使襯墊層的邊緣突出於第一區段及第二區段之上。明確地說，拉回側壁，即可在襯墊氮化物層中生成突出物。此突出物防止其後形成的間隔物(其論述如下)及因此防止絕緣體層因後續第二蝕刻製程(即，深溝渠蝕刻製程，見以下製程 614 的論述)而受到損壞。另外，如果在第一蝕刻製程期間過度蝕刻基板頂面以在基板中形成溝渠之第三區段的上方部分，則亦可與半導體層的拉回(即，平行於基板表面進行蝕刻，以移除基板部分及使溝渠第三區段的此上方部分變寬)同時，在製程 606 拉回溝渠第三區段之上方部分的側壁，以進一步確保絕緣體層在第二蝕刻製程期間為間隔物所保護。

在執行拉回製程 606 後，視情況以襯料(如，氧化物或氮化物襯料)加襯深溝渠的第一及第二區段(及如果適用，參考圖 6 中的 608，加襯第三區段的上方部分)，以提高黏著性及釋放在半導體層(如，矽層)及其後形成的間隔物(如，氮化物間隔物，見以下製程 610 的論述)之間的應力。然後，在第一區段、第二區段的側壁及(如果適用)在基板內的任何暴露側壁(如，如果在第一蝕刻製程期間蝕刻基板頂面)(圖 6 的製程 610)上，形成間隔物(如，氮化物

間隔物)。為進一步確保保護間隔物及因此保護絕緣體層，在後續第二蝕刻製程期間(即，深溝渠蝕刻製程，見以下製程 614 的論述)，可在間隔物上形成間隔物保護層，藉此形成多層間隔物(圖 6 的製程 612)。此間隔物保護層可包含介電材料(如，氧化物)，其抗蝕刻性大體上高於用以形成間隔物的材料(如，氮化物)。

更明確地說，為在製程 610-612 中形成多層間隔物，較佳是包含氮化物材料的間隔物、及較佳是包含氧化物或氮化物材料的可選底下襯料可以任何習知技術形成，其包括但不限於：氧化、氮化、化學氣相沈積(CVD)、低壓 CVD(LPCVD)、電漿輔助 CVD(PECVD)、臭氧四乙基氧矽 (TEOS) 沈積、原子層沈積(ALD)、快速熱沈積(RTP)。氮化物材料的厚度大約 2nm 至 20nm，及更佳的是大約 10-15nm。可選的底下氧化物襯料(若存在)可具有厚度大約 2-20nm，及更佳的是大約 2-5nm。

具有抗蝕刻性大體上高於底下間隔物材料的間隔物保護層可包含一或多個材料，其包括但不限於：氧化物(如，氧化矽)、金屬(如，鎢、鈦、鈹、鈦、鈷、銅、鋁、鉛、鉑、錫、銀、金)、金屬化合物材料(如，氮化鈹、氮

化鈦、矽化鎢、氮化鎢、氮化鈦、氮化鉬、矽化鈷、矽化鎳)。間隔物保護層可以任何合適的技術形成，其包括但不限於：原子層沈積(ALD)、化學氣相沈積(CVD)、低壓化學氣相沈積(LPCVD)、電漿增強化學氣相沈積(PECVD)、高密度電漿化學氣相沈積(HDPCVD)、次大氣壓化學氣相沈積(SACVD)、快速熱化學氣相沈積(RTCVD)、高溫氧化物沈積(HTO)、低溫氧化物沈積(LTO)、限制反應處理 CVD(LRPCVD)、超高真空化學氣相沈積(UHVCVD)、金屬有機化學氣相沈積(MOCVD)、物理氣相沈積、濺鍍、電鍍、蒸發、離子束沈積、電子束沈積、及雷射輔助沈積。

如上所提，間隔物保護層可包含氧化矽材料。明確地說，氧化物間隔物保護層可以習知的沈積技術形成，諸如化學氣相沈積(LPCVD)、原子層沈積(ALD)、高溫氧化物沈積(HTO)、或低溫氧化物沈積(LTO)。或者，將底下氮化物間隔物的一部分(即，暴露表面)轉換成氧化物，即可形成氧化物間隔物保護層。這可藉由氧化來完成，諸如原位蒸汽產生(ISSG)、基於自由基的氧化、濕式氧化、乾式氧化。最後，亦可藉由首先在氮化物層上沈積非晶或多晶矽，然後再利用氧化將矽層轉換成氧化矽，來形成氧化物

間隔物保護層。

然後，可蝕刻間隔物保護層、間隔物層、及可選襯料，以形成多層間隔物，其覆蓋絕緣體上半導體(SOI)層(即，半導體層 203)中溝渠第一區段 251 的側壁、埋藏氧化物(BOX)層(即，絕緣體層 202)中溝渠第二區段 251 的側壁、及(如果適用)基板 201 中溝渠第三區段 253 之上方部分 261 的側壁。

接下來，參考圖 6 的製程 614，執行第二蝕刻製程。此第二蝕刻製程可包含垂直蝕刻至基板(即，大約與基板垂直)，致使間隔物保持原封不動，及深溝渠的第三區段完全形成於第二區段下的基板。也就是說，如果在第一蝕刻製程期間未蝕刻溝渠第三區段的上方部分，則將溝渠第三區段的上方、中間、及下方部分(即，分別為第一、第二及第三部分)蝕刻至基板中。或者，如果在第一蝕刻製程期間形成溝渠第三區段的上方部分，則在上方部分下蝕刻深溝渠第三區段的中間部分(即，第二部分)，及在中間部分下蝕刻下方部分(即，第三部分)。使用習知製程，諸如反應性離子蝕刻(RIE)製程，完成此第二蝕刻製程 614。根據蝕刻條件，藉由第二蝕刻製程生成之溝渠第三區段的

寬度大約相同，或沿著溝渠第三區段的深度而有所變化。

視情況，在製程 614 執行第二蝕刻製程後，可拉回暴露基板的側壁，以使深溝渠第三區段的寬度有所變化(製程 616)。也就是說，可將第三區段中的部分基板移除(即，大約平行於基板進行蝕刻)，以使溝渠變寬。

在第二蝕刻製程 614 及可選拉回製程 616 期間，可能消耗多層間隔物之間隔物保護層的部分或全部。然而，在間隔物保護層之氧化物及基板與襯墊層 204 之突出物耦合的矽之間的良好蝕刻選擇性，可確保底下的氮化物間隔物在製程 614-616 中完全形成深溝渠 250 後保持原封不動。結果，根據所執行的各種蝕刻製程及拉回製程，深溝渠的不同區段(即，第一、第二、及第三區段)以及第三區段的不同部分(即，上方、中間、及下方部分)可在不同的深度具有不同的形狀及/或不同的寬度。

例如，在一方法具體實施例中，在第一蝕刻製程期間，大約與基板垂直地蝕刻所有硬遮罩層 205、襯墊層 204、半導體層 203、絕緣體層 202、及基板 201 的頂面(圖 6 及圖 8 的 604)。如上所提，可使用習知的微影及選擇性

RIE 技術完成此步驟 604。然後，將半導體層 203 中溝渠 250 之第一區段 251 的側壁、絕緣體層 202 中溝渠 250 之第二區段 252 的側壁、及基板 201 中溝渠 250 之第三區段 253 的上方部分 261 的側壁全部拉回(即，大約平行於基板進行蝕刻，以移除半導體層、絕緣體層、及基板等部分，及藉此使溝渠的第一區段、第二區段、及第三區段的上方部分變寬)，致使其具有大約相同的第一形狀及大約相同的第一寬度(圖 6 的 617)。

明確地說，分別如圖 9a 及 9b 的截面圖及平面圖所示，溝渠 250 在第一蝕刻製程 604 之後通過硬遮罩層 205、通過襯墊層 204、通過半導體層 203、通過絕緣體層 202 及進入基板 201 之上方部分 261 的形狀將為橢圓形(見形狀 A0-A0、A1-A1、B1-B1、C1-C1、及 D1-D1)。使用各向同性拉回製程即可維持此橢圓形。也就是說，可使用各向同性蝕刻製程以拉回不同區段的側壁，致使溝渠形狀在半導體層 203 的第一區段 251 中、在絕緣體層 202 的第二區段 252 中、及在基板 261 中第三區段 253 的上方部分 261 中保持橢圓(見形狀 B1-B1、C1-C1、及 D1-D1)。另外，可執行各向同性拉回製程，致使形狀 B1-B1、C1-C1、及 D1-D1 的寬度保持相同，因而致使形狀 B1-B1、C1-C1、

及 D1-D1 的側壁保持對齊。因此，襯墊氮化物層 204 中的溝渠寬度(見 A1-A1)將小於區段 251、252、253 下方中的溝渠寬度，此外，襯墊層 204 的邊緣 206 將提供保護的突出物。

更明確地說，在製程 617 期間，可利用濕式矽蝕刻製程以含有硝酸氫氟酸(nitric hydrofluoric acid)的蝕刻劑，同時將 SOI 層(即，半導體層 203)中溝渠 250 之第一區段 251 的側壁及矽基板 201 中溝渠 250 之第三區段 253 之上方部分 261 的側壁拉回(即，大約平行於基板進行蝕刻，以移除 SOI 層及基板等部分，藉此使溝渠第一區段及第三區段的上方部分變寬)。或者，此拉回可使用電漿蝕刻或化學下游蝕刻(CDE)。

可使用習知的濕式氧化物蝕刻製程，以含有氫氟酸(HF)(諸如緩衝氫氟酸(BHF)或稀釋氫氟酸(DHF))的蝕刻劑，將埋藏氧化物(BOX)層(即，絕緣體層 202)中溝渠 250 之第二區段 252 的側壁拉回(即，大約平行於基板進行蝕刻，以移除絕緣體層的部分，及藉此使溝渠的第二區段變寬)。或者，可使用乾式蝕刻製程，諸如電漿蝕刻或乾式化學氧化物移除，將 BOX 層 202 拉回(即，大約平行於基

板進行蝕刻)。

可以兩個獨立的製程完成 BOX 層 202 中溝渠第二區段 252 之側壁的拉回、及 SOI 層 203 中溝渠第一區段 251 之側壁的拉回、及溝渠第三區段 253 之上方部分 261 之側壁的拉回。或者，可以包含兩個步驟的整合製程完成第二區段 252 之側壁的拉回及第一區段 251 及第三區段之上方部分 261 之側壁的拉回。例如，可使用包含 BHF 蝕刻及其後的硝酸氫氟酸蝕刻或者包含硝酸氫氟酸蝕刻及其後的 BHF 蝕刻的整合製程。藉由各向同性拉回 BOX 層 202 及 SOI 層 203(及基板 201 中第三區段 253 之過度蝕刻的上方部分 261)，在襯墊氮化物層 204 下的溝渠比較寬，但形狀保持相同形狀。較佳是，將 BOX 層 202 中第二區段 252 的側壁、SOI 層 203 中第一區段 251 的側壁、及基板 201 中第三區段 253 之上方部分 261 的側壁全部拉回(即，大約平行於基板進行蝕刻)大約相同的量，致使深溝渠 250 中第一區段 251 的側壁、深溝渠 250 中第二區段 252 的側壁、及深溝渠 250 中第三區段 253 之上方部分 261 的側壁對齊。

參考圖 10，在第一蝕刻製程 604 後，可形成可選襯

料 240(如，氧化物或氮化物襯料)，接著形成間隔物 241(如，氮化物間隔物層)及間隔物保護層 242(如，氧化物間隔物保護層)，如以上針對步驟 608-612 所述。在一具體實施例中，可選襯料 240 包含以熱氧化或化學氧化所形成的氧化矽。在一具體實施例中，可選襯料 240 包含以熱氮化所形成的氮化矽。在一具體實施例中，在間隔物 241 下方未形成任何襯料。在一具體實施例中，間隔物 241 包含以化學氣相沈積(CVD)或以 CVD 形成的熱氮化所形成的氮化矽。在一具體實施例中，間隔物保護層 242 包含以基於自由基的氧化或原位蒸汽產生(ISSG)氧化所形成的氧化矽，以將氮化物間隔物的一部分轉換成氧化物。在一具體實施例中，利用化學氣相沈積(CVD)形成間隔物保護層 242。視情況，可在形成每一或所有層後，執行一或多個退火製程。

參考圖 11，圖中可選襯料 240 已省略(即未顯示)，蝕刻間隔物保護層 242 及間隔物層 241，致使剩餘的材料 241-242 形成多層間隔物以覆蓋 SOI 層(即，半導體層 203)中溝渠 250 之第一區段 251 的側壁、埋藏氧化物(BOX)層(即，絕緣體層 202)中溝渠之第二區段 251 的側壁、及基板 201 中溝渠之第三區段 253 之上方部分 261 的側壁(見

圖 6 的步驟 608-612)。

然後，在此方法具體實施例的第二蝕刻及拉回製程 614-616 期間，蝕刻基板 201 致使深溝渠 250 之第三區段 253 的部分 261-263 在不同的深度具有不同的形狀(見步驟 618)。也就是說，如上所提，在製程 617 期間，第一區段 251、第二區段 252 及第三區段 253 之上方部分 261 的第一形狀可包含橢圓形。然而，參考圖 2a-2b，在第二蝕刻製程 614 期間蝕刻基板 201，致使溝渠 250 之第三區段 253 的中間部分 262(即，溝渠第三區段在上方部分 261 下的第二部分)具有與第一形狀不同的第二形狀，及致使溝渠 250 中第三區段 253 的下方部分 263(即，第三區段在中間部分下的第三部分)具有與第一形狀不同且與第二形狀相同或不同的第三形狀。

由於不同晶向的不同蝕刻速率，可以完成在不同的深度以不同的形狀蝕刻溝渠 250。例如，參考圖 2b，可以八邊形形狀(見形狀 E1-E1)形成溝渠 250 中第三區段 253 的中間部分 262，其中瓶頸下區域(即，在上方部分 261 下)的 $\{110\}$ 及 $\{100\}$ 平面交替；或可以矩形形狀(見形狀 E1'-E1')形成，其中全部是 $\{100\}$ 平面。溝渠 250 的形狀可

進一步維持相同或有所改變，例如，從八邊形改為矩形(見形狀 F1-F1)，其中晶圓表面屬於{100}平面之一時，接近溝渠底部的區域全部是{110}平面。也就是說，如上述，第一蝕刻製程 604 可以在溝渠 250 中第一區段 251、第二區段 252 及第三區段 253 的上方部分 261 分別產生橢圓形(見形狀 B1-B1、C1-C1、及 D1-D1)，而由於不同的蝕刻速率，可以八邊形(見形狀 E1-E1)形成第三區段 253 的中間部分 262，及可以矩形(見形狀 F1-F1)形成第三區段 253 的下方部分 263。

另外，參考圖 12，在蝕刻深溝渠 250 中第三區段 253 的中間及下方部分 262、263(即，第二及第三部分)後，可視情況將中間及下方部分的側壁拉回(即，平行於基板表面進行蝕刻，以移除基板的部分及使溝渠第三區段的中間及下方部分變寬)，致使其比第三區段 253 的上方部分 261(即，第一部分)寬以及比第一及第二區段 251-252 寬。可以使用各向同性蝕刻製程，將中間及下方部分 262、263 的側壁拉回(即，大約平行於基板進行蝕刻)，致使其形狀能夠維持(見圖 2b 的形狀 E1-E1)(即，致使中間部分維持八邊形及致使下方部分維持矩形)。可藉由濕式蝕刻製程，利用含有硝酸氫氟酸的蝕刻劑，完成此各向同性蝕

刻，各向同性矽蝕刻則可使用電漿蝕刻及化學下游蝕刻(CDE)。或者，可使用不同晶向具有不同蝕刻速率的非等向性蝕刻製程，將中間及下方部分 262、263 的側壁拉回(即，大約平行於基板進行蝕刻)。結果，中間部分 262 的形狀從八邊形改變為矩形(見圖 2b 的形狀 E1'-E1')。可藉由濕式製程(如，含有氫氧化銨、氫氧化四甲基銨(TMAH)、聯氨、乙二胺磷(EDP)、鹼性溶液(如，氫氧化鉀(KOH))等之蝕刻劑的製程)或乾式蝕刻製程(如，電漿蝕刻、反應性離子蝕刻、化學乾式蝕刻等)完成非等向性矽蝕刻製程。

在另一方法具體實施例中，在第一蝕刻製程期間蝕刻半導體層 303、絕緣體層 302、及基板 301 的頂面全部，以在半導體層 303 中形成溝渠 350 的第一區段 351、在絕緣體層 302 中形成溝渠 350 的第二區段 352、及在基板 301 中形成溝渠 350 之第三區段 353 的上方部分 361(即，第一部分)(圖 6 的步驟 604，見圖 8)。如上所提，可使用習知的微影及選擇性 RIE 技術完成此步驟 604。然而，在此示範性具體實施例中，結合參考圖 13a-13b，在製程 606 使用非等向性蝕刻製程，將半導體層 303 中第一區段 351 的側壁及基板中第三區段 353 之上方部分 361 的側壁拉回

(即，大約平行於基板進行蝕刻，以移除半導體層及基板的部分，以使溝渠之第一區段及第二區段的上方部分變寬)；及使用各向同性蝕刻，將絕緣體層 302 中溝渠 350 之第二區段 352 的側壁拉回(即，大約平行於基板進行蝕刻，以移除絕緣體層的部分，以使溝渠的第二區段變寬)(圖 6 的步驟 619)。因此，深溝渠 350 之第一區段 351 及第三區段 353 的上方部分 361 具有第一形狀(如，矩形，見 B1-B1 及 D1-D1)，及深溝渠 350 的第二區段 352 具有與第一形狀不同的第二形狀(如，橢圓形，見形狀 C1-C1)。

明確地說，埋藏氧化物(BOX)層(即，絕緣體層 302)中溝渠 350 之第二區段 352 的側壁的拉回(即，平行於基板表面蝕刻絕緣體層，以移除絕緣體層的部分，及使溝渠的第二區段變寬)，可以使用拉回前述具體實施例之絕緣體層 202(見以上論述)所使用的相同濕式或乾式蝕刻製程來完成，致使維持第二區段的形狀。然而，在此示範性具體實施例中，利用在晶向上具有不同蝕刻速率的非等向性矽蝕刻製程而非各向同性矽蝕刻製程，將 SOI 層(即，半導體層 303)中溝渠 350 之第一區段 351 的側壁及基板 301 中溝渠 350 之第三區段 353 之上方部分 361 的側壁拉回(即，平行於基板表面進行蝕刻，以移除半導體層及基板

的部分，以使溝渠之第一區段及第三區段的上方部分變寬)，致使第一區段及之第三區段上方部分的形狀改變。非等向性矽蝕刻製程可包含濕式製程(如，蝕刻劑含有氫氧化銨、氫氧化四甲基銨(TMAH)、聯氨、乙二胺磷(EDP)、鹼性溶液(如，氫氧化鉀(KOH))等的製程)或乾式蝕刻製程(如，電漿蝕刻、反應性離子蝕刻、化學乾式蝕刻等)。

如同前述的方法具體實施例，在此具體實施例中，絕緣體層 302 中溝渠 350 之第二區段 352 的側壁及基板 301 中溝渠 350 之第三區段 353 之上方部分 361 的側壁的拉回(製程 606)，可以藉由執行兩個獨立的製程來完成。或者，第二區段 352 的側壁及第三區段 353 之上方部分 361 的側壁的拉回(製程 606)，可用包含兩個步驟的整合製程來完成。例如，整合製程包含緩衝氫氟酸(BHF)蝕刻及其後的氫氧化銨蝕刻，或者包含氫氧化銨蝕刻及其後的 BHF 蝕刻。

更明確地說，在此具體實施例中，由於在製程 606 拉回半導體層 303 及基板的上方部分 361 期間使用的非等向性蝕刻，矽區域中(即，在 SOI 層 303 中溝渠 350 的第一區段 351 及矽基板 301 中在 BOX 層 302 下之溝渠 350 之

第三區段 353 的上方部分 361 中)的溝渠形狀例如從橢圓形變為矩形(見形狀 B1-B1 及 D1-D1)。然而，由於在拉回絕緣體層時仍使用各向同性蝕刻，襯墊層 304 及 BOX 層 302 中的溝渠形狀保持與硬遮罩層中的橢圓形相同(見形狀 A0-A0、A1-A1、及 C1-C1)，如圖 13b 的平面圖所示。

另外，非等向性的矽拉回亦在半導體層 303 中溝渠 350 的第一區段 351 中及在基板 301 中溝渠 350 之第三區段 353 的上方部分 361(即，在 BOX 層 302 正下方)中，生成獨特的凹陷特徵 331(即，角落)。溝渠之第一區段 351 的凹口 331 將增加在半導體層 303 及其後填充溝渠 350 的導電填充材料 315 之間的接觸面積(其論述如下)。

在此具體實施例中，可以上文針對先前具體實施例所述的相同方式形成在製程 608-612 形成的可選氧化物襯料及多層間隔物(即，間隔物保護層及間隔物)。

然後，在此方法具體實施例的第二蝕刻及拉回製程 614-616 期間，亦蝕刻基板 301 致使深溝渠 350 之第三區段 353 的部分 361-363 在不同的深度具有不同的形狀(620)。參考圖 3a-3b，在第二蝕刻製程 614 期間蝕刻基板

301，致使溝渠 350 中第三區段 353 的中間部分 362(即，溝渠在上方部分 261 下之第三區段的第二部分)具有第三形狀(如，八邊形)，其與第一區段 351 的第一形狀(如，矩形)不同及與第二區段 352 的第二形狀(如，橢圓形)不同。進一步蝕刻基板 301，致使溝渠 350 中第三區段 353 的下方部分 363(即，第三區段在中間部分下的第三部分)具有與第一區段 351 及第三區段之上方部分 361 的相同第一形狀(如，矩形)。如同先前所述的具體實施例，由於不同晶向的不同蝕刻速率，可完成在不同的深度以不同的形狀蝕刻溝渠 350。例如，可以八邊形形狀(見形狀 E1-E1)形成溝渠 350 中第三區段 353 的中間部分 362，其中在上方部分 361 下之區域中的{110}及{100}平面交替。可將溝渠 350 的形狀進一步改變為矩形(見形狀 F1-F1)，其中當晶圓表面屬於{100}平面之一時，接近溝渠底部的區域全部為{110}平面。

此外，如同先前所述的具體實施例，在蝕刻深溝渠 350 之第三區段 353 的中間及下方部分 362-363(即，第二及第三部分)後，可視情況將中間及下方部分的側壁拉回(即，大約平行於基板進行蝕刻，以移除基板的部分，及使溝渠第三區段的中間及下方部分變寬)，致使其比第三

區段 353 的上方部分 361(即，第一部分)寬。可以使用各向同性蝕刻製程，將中間及下方部分 362、363 的側壁拉回，致使其形狀能夠維持(見圖 3b 的形狀 E1-E1)(即，致使中間部分維持八邊形及致使下方部分維持矩形)。可例如藉由濕式蝕刻製程，利用含有硝酸氫氟酸的蝕刻劑，完成此各向同性蝕刻製程，各向同性矽蝕刻則可使用電漿蝕刻及化學下游蝕刻(CDE)。或者，使用不同晶向具有不同蝕刻速率的非等向性蝕刻製程，拉回中間及下方部分 362、363 的側壁。結果，中間部分 362 的形狀從八邊形改變為矩形(見圖 3b 的形狀 E1'-E1')。可藉由濕式製程(如，含有氫氧化銨、氫氧化四甲基銨(TMAH)、聯氨、乙二胺磷(EDP)、鹼性溶液(如，氫氧化鉀(KOH))等之蝕刻劑的製程)或乾式蝕刻製程(如，電漿蝕刻、反應性離子蝕刻、化學乾式蝕刻等)完成此非等向性矽蝕刻製程。

參考圖 2a 及 3a，一旦形成深溝渠 250、350，即不論形狀為何，在基板 201、301 中形成電容器 210、310(圖 6 的步驟 622)。明確地說，可視情況摻雜基板 201、301 鄰接第三區段 253、353 的區域(如，摻雜以 n 型摻雜物，諸如磷(P)、砷(As)、或銻(Sb)，或摻雜以 p 型摻雜物，諸如硼(B)、鎵(Ga)、銦(In)、及鉍(Tl))，以形成第一導電板 211、

311(即，埋藏板)(圖 6 的步驟 624)。此埋藏板(即，基板中緊鄰溝渠的高濃度摻雜區域)可以任何已知或未來研發的技術來形成，其包括但不限於：氣相摻雜、液相摻雜、固相摻雜、電漿摻雜、離子植入、電漿沈浸離子植入、簇離子植入、注入摻雜、或以上技術的任何合適組合。在此摻雜製程期間，間隔物(即，在製程 610 形成的間隔物 261、361)當做遮罩以保護絕緣體層 202、302 及防止半導體層 203、303 之不必要的摻雜。應注意，可在使溝渠第三區段變寬的可選製程 616 之前或之後，執行形成埋藏板的製程 624。或者，如果起始晶圓以高濃度摻雜的基板 201、301 開始，則去除形成埋藏板的製程。

接下來，可視情況自深溝渠 250、350 剝離任何剩餘間隔物材料，例如，藉由使用習知的氮化物移除技術，諸如氫氟酸/乙二醇(HF/EG)、熱磷酸、化學乾式蝕刻等。應注意，如果不剝離間隔物材料，其將留在最終的電容器結構中。

然後，可用節點介電襯料 212、312 加襯溝渠 250、350。節點介電襯料 212、312 可以使用任何合適的介電材料來形成，其包括但不限於：氧化矽、氮化矽、氮氧化矽、

高 k 材料、及以上材料的任何組合。合適高 k 材料的範例包括但不限於：金屬氧化物，諸如氧化鈣、氧化鈣矽、氮氧化鈣矽、氧化鋁、氧化鋁鋁、氧化鋅、氧化鋅矽、氮氧化鋅矽、氧化鈦、氧化鈦、氧化鋇鋇鈦、氧化鋇鈦、氧化鋇鈦、氧化鈦、氧化鋁、氧化鉛鈦鈦、及鋯酸鉛鋅、及以上材料的任何組合。襯料 212、312 可以使用任何沈積技術來形成，其包括但不限於：氧化、氮化、原子層沈積 (ALD)、化學氣相沈積 (LPCVD)、低壓化學氣相沈積 (LPCVD)、電漿增強化學氣相沈積 (PECVD)、高密度電漿化學氣相沈積 (HDPCVD)、次大氣壓化學氣相沈積 (SACVD)、快速熱化學氣相沈積 (RTCVD)、限制反應處理 CVD (LRPCVD)、超高真空化學氣相沈積 (UHVCVD)、金屬有機化學氣相沈積 (MOCVD)、分子束磊晶法 (MBE)、離子束沈積、電子束沈積、雷射輔助沈積、及以上技術的任何合適組合。

在用介電質 212、312 加襯溝渠後，再用導電填充材料 215、315 進行填充，藉此在深溝渠 250、350 的第三區段 253、353 中形成第二導電板 213、313 (圖 6 的步驟 628)。例如，溝渠可填充以多晶或非晶矽、鍺、矽鍺、金屬 (如，鎢、鈦、鈦、鈦、鈦、鈦、銅、鋁、鉛、鉑、錫、銀、金)、

導電金屬化合物材料(如，氮化鋁、氮化鈦、矽化鎢、氮化鎢、氮化鈦、氮化鋁、氧化鈦、矽化鈷、矽化鎳)、或以上材料的任何合適組合。導電填充材料 215、315 可進一步以 p 型摻雜物(如，硼(B)、鎵(Ga)、銦(In)、及/或鉍(Tl))進行摻雜，或以 n 型摻雜物(如，磷(P)、砷(As)及/或銻(Sb))進行高濃度摻雜。導電填充材料 215、315 可以任何已知或未來研發的沈積技術來形成，其包括但不限於：原子層沈積(ALD)、化學氣相沈積(LPCVD)、低壓化學氣相沈積(LPCVD)、電漿增強化學氣相沈積(PECVD)、高密度電漿化學氣相沈積(HDPCVD)、次大氣壓化學氣相沈積(SACVD)、快速熱化學氣相沈積(RTCVD)、高溫氧化物沈積(HTO)、低溫氧化物沈積(LTO)、限制反應處理 CVD(LRPCVD)、超高真空化學氣相沈積(UHVCVD)、金屬有機化學氣相沈積(MOCVD)、分子束磊晶法(MBE)、物理氣相沈積、濺鍍、電鍍、蒸發、離子束沈積、電子束沈積、雷射輔助沈積、及以上技術的任何組合。

在填充溝渠後，可剝離任何剩餘的硬遮罩及可執行標準製程，以形成電晶體連接至溝渠電容器的記憶體裝置(圖 6 的步驟 630)。參考圖 4 及 5，形成淺溝渠隔離區域 270、370，以使記憶體裝置與鄰接裝置隔離。明確地說，

亦可形成鄰接電容器 210、310 的電晶體 220、320(如，金氧半導體場效電晶體)，以形成圖 4 的記憶體裝置 200 及圖 5 的記憶體裝置 300(如，內建動態隨機存取記憶體(eDRAM)裝置)。此電晶體 220、320 可以使用習知的處理技術來形成，致使電晶體 220、320 的源極/汲極區域 229、329 在半導體層 203、303 中位置鄰接(即，接觸)深溝渠的第一區段 251、351，致使其經由導電帶 230、330(即，深溝渠之第一區段 251、351 及第二區段 252、352 中的導電填充材料 215、315)電連接至第三區段 253、353 的電容器 210、310。電晶體 220、320 進一步包含：通道區域 226、326；閘極介電質 224、324；及閘極導體 222、322。另外，特別參考圖 3a，如果形成深溝渠的第一區段 351 具有橢圓以外的形狀(如，具有角落的矩形 331，見上述第二具體實施例)，則可形成源極/汲極區域 329，致使其與角落 331(即，凹口)之一相吻合，以儘量增大在導電帶 330 及源極/汲極區域 329 之間的表面積接觸，及藉此儘量減小在電晶體 320 及電容器 310 之間的電阻。

因此，本發明揭示改良深溝渠電容器結構及併入此深溝渠電容器結構之記憶體裝置(如，動態隨機存取記憶體(DRAM)或內建動態隨機存取記憶體(eDRAM)裝置)的具

體實施例。深溝渠電容器及記憶體裝置具體實施例形成於絕緣體上半導體(SOI)晶圓上，致使埋藏絕緣層在深溝渠蝕刻製程後保持原封不動，及視情況致使深溝渠電容器的深溝渠在不同的深度具有不同的形狀及大小。由於形成深溝渠在不同的深度具有不同的形狀及大小，可使電容器的電容選擇性地有所變化及降低記憶體裝置中連接電容器與電晶體之埋藏導電帶的電阻。

本發明亦揭示形成深溝渠電容器及併入此深溝渠電容器之記憶體裝置的方法具體實施例。明確地說，在深溝渠電容器形成製程期間，以間隔物保護絕緣體上半導體(SOI)晶圓的埋藏絕緣層。然而，藉由在形成間隔物之前拉回 SOI 及埋藏絕緣層，在襯墊層中生成突出物。此突出物防止其後形成的間隔物在後續深溝渠反應性離子蝕刻(RIE)製程期間受到損壞。在 RIE 製程之前藉由在間隔物的頂面上形成間隔物保護薄層，可進一步保護間隔物。另外，可以使蝕刻及/或拉回 SOI 晶圓每一層所使用的製程選擇性地有所變化，以使溝渠的大小及形狀在不同的深度選擇性地有所變化，以使溝渠電容器的電容以及連接深溝渠電容器與另一裝置(如，DRAM 的傳遞電晶體)之埋藏帶的電阻選擇性地有所變化。

上述特定具體實施例的說明完全揭露本發明的一般特性，因而藉由應用目前的知識，在不背離一般概念下，即可將此種特定具體實施例修改及/或調適用於各種應用，因此，應在所揭露具體實施例之均等物的意義與範圍內，即可瞭解此類調適與修改。應明白，此處所用措辭或用語係用於說明而非限制。因此，熟習本技術者應明白，在隨附申請專利範圍的精神及範疇內，可在修改的情況下實施本發明的具體實施例。

【圖式簡單說明】

從參考圖式的詳細說明，即可更加瞭解本發明的各項具體實施例，其中：

圖 1 為圖解內建動態隨機存取記憶體裝置的示意圖；

圖 2a 及 2b 為圖解本發明之深溝渠結構具體實施例的截面圖及平面圖；

圖 3a 及 3b 為圖解本發明之另一深溝渠結構具體實施例的截面圖及平面圖；

圖 4 為圖解本發明之記憶體裝置具體實施例的示意圖；

圖 5 為圖解本發明之另一記憶體裝置具體實施例的

示意圖；

圖 6 為圖解本發明方法具體實施例的流程圖；

圖 7 為圖解局部完成之深溝渠結構的示意圖；

圖 8 為圖解局部完成之深溝渠結構的示意圖；

圖 9a 及 9b 為圖解圖 2a 及 2b 之局部完成之深溝渠結構的截面圖及平面圖；

圖 10 為圖解局部完成之深溝渠結構的示意圖；

圖 11 為圖解局部完成之深溝渠結構的示意圖；

圖 12 為圖解局部完成之深溝渠結構的示意圖；

圖 13a 及 13b 為圖解圖 3a 及 3b 之局部完成之深溝渠結構的截面圖及平面圖。

【主要元件符號說明】

100	eDRAM 單元
102	埋藏氧化物(BOX)層
103	矽層
110	深溝渠電容器
120	傳遞電晶體
122、222、322	閘極導體
124、224、324	閘極介電質
126、226、326	通道區域
129、229 及 229'、329 及 329'	源極/汲極區域
130、230、330	導電帶
170、270、370	淺溝渠隔離區域

190	底切
200、300	記憶體裝置
201、301	半導體基板
202、302	絕緣體層
203、303	半導體層
204、304	襯墊層
205、305	硬遮罩層
206	邊緣
210、310	電容器
211、311	第一導電板
212、312	節點介電襯料
213、313	第二導電板
215、315	導電填充材料
220、320	電晶體
240	可選襯料
241	間隔物
242	間隔物保護層
250、350	深溝渠
251、351	第一區段
252、352	第二區段
253、353	第三區段
261、361	上方部分
262、362	中間部分
263、363	下方部分
295、395	半導體裝置
331	角落

五、中文發明摘要：

本發明揭示改良之深溝渠電容器結構及併入此深溝渠電容器結構之記憶體裝置的具體實施例。深溝渠電容器及記憶體裝置具體實施例形成於絕緣體上半導體(SOI)晶圓上，致使絕緣體層在後續深溝渠蝕刻製程期間保持原封不動，及視情況致使深溝渠電容器的深溝渠在不同的深度具有不同的形狀及大小。由於形成深溝渠在不同的深度具有不同的形狀及大小，可使電容器的電容選擇性地有所變化及降低記憶體裝置中連接電容器與電晶體之埋藏導電帶的電阻。

六、英文發明摘要：

Disclosed are embodiments of an improved deep trench capacitor structure and memory device that incorporates this deep trench capacitor structure. The deep trench capacitor and memory device embodiments are formed on a semiconductor-on-insulator (SOI) wafer such that the insulator layer remains intact during subsequent deep trench etch processes and, optionally, such that the deep trench of the deep trench capacitor has different shapes and sizes at different depths. By forming the deep trench with different shapes and sizes at different depths the capacitance of the capacitor can be selectively varied and the resistance of the buried conductive strap which connects the capacitor to a transistor in a memory device can be reduced.

十、申請專利範圍：

1. 一種半導體結構，包含一絕緣體上半導體結構，包含：
 - 一半導體層；
 - 一絕緣體層，位在該半導體層下；及
 - 一基板，位在該絕緣體層下；及
 - 一溝渠，位在該絕緣體上半導體結構中延伸穿過該半導體層、該絕緣體層及進入該基板，其中該溝渠在不同的深度具有不同的形狀，及其中該等不同形狀包含一橢圓形、一矩形、及一八邊形中的至少兩個。

2. 如請求項 1 之半導體結構，其中該溝渠進一步包含：
 - 一第一區段，延伸穿過該半導體層；
 - 一第二區段，延伸穿過該絕緣體層；及
 - 一第三區段，延伸進入該基板中，且包含：
 - 一第一部分，鄰接該第二區段；及
 - 一第二部分，在該第一部分下，其中該第一區段、該第二區段、及該第一部分各具有大約一相同的第二形狀，及其中該第二部分具有與該第一形狀不同的一第三形狀。

3. 如請求項 2 之半導體結構，其中該第三區段進一步包含一第三部分，在該第二部分下且具有與該第一形狀不同的一第三形狀。

4. 如請求項 3 之半導體結構，其中該第一形狀包含一橢圓形，其中該第二形狀包含一八邊形及一矩形中的一個及

其中該第三形狀包含該矩形。

5. 如請求項 1 之半導體結構，其中該溝渠進一步包含：
 - 一第一區段，延伸穿過該半導體層；
 - 一第二區段，延伸穿過該絕緣體層；及
 - 一第三區段，延伸進入該基板且包含：
 - 一第一部分，鄰接該第二區段；及
 - 至少一附加部分，在該第一部分下，及其中該至少一附加部分比該第一區段、該第二區段及該第三區段的該第一部分寬。

6. 如請求項 1 之半導體結構，進一步包含填充該溝渠的一導電填充材料及在該基板中的一電容器，其中該電容器包含：
 - 一介電襯料，加襯該溝渠；
 - 一第一導電板，包含該基板中鄰接該溝渠之該第三區段的一摻雜區域及一摻雜基板中的一個；及
 - 一第二導電板，包含在該溝渠之該第三區段中的該導電填充材料。

7. 一種半導體結構，包含：
 - 一絕緣體上半導體結構，包含：
 - 一半導體層；
 - 一絕緣體層，在該半導體層下；及
 - 一基板，在該絕緣體層下；及

一溝渠，在該絕緣體上半導體結構中且包含：

一第一區段，延伸穿過該半導體層且具有一第一形狀；及

一第二區段，延伸穿過該絕緣體層且具有一第二形狀，其中該第一形狀包含一矩形及該第二形狀包含一橢圓形。

8. 如請求項 7 之半導體結構，其中該溝渠進一步包含一第三區段，延伸至該基板中且包含：

一第一部分，鄰接該第二區段且具有該第一形狀；

一第二部分，在該第一部分下且具有一第三形狀，其中該第三形狀包含一八邊形及該矩形中的一個；及

一第三部分，在該第二部分下且具有該第一形狀。

9. 如請求項 8 之半導體結構，其中該第一部分具有一大約與該第一區段及該第二區段相同的寬度，及其中該第二部分及該第三部分比該第一部分寬。

10. 如請求項 7 之半導體結構，進一步包含填充該溝渠的一導電填充材料及在該基板中的一電容器，其中該電容器包含：

一介電襯料，加襯該溝渠；

一第一導電板，包含該基板中鄰接該溝渠之該第三區段的一摻雜區域及一摻雜基板中的一個；及

一第二導電板，包含在該溝渠之該第三區段中的該導

電填充材料。

11. 如請求項 10 之半導體結構，進一步包含：

一電晶體，包含在鄰接該第一區段的該半導體層中的一源極/汲極區域，且經由一導電帶電連接至該電容器，其中該導電帶包含在該第一區段及該第二區段中的該導電填充材料，及

其中該第一形狀包含一矩形，其中該矩形儘量增大在該導電帶及該源極/汲極區域之間的面積接觸，及儘量減小在該電晶體及該電容器之間的電阻。

12. 一種形成一半導體結構的方法，該方法包含：

提供一絕緣體上半導體結構，包含：

一半導體層；

一絕緣體層，在該半導體層下；及

一基板，在該絕緣體層下；

形成在該半導體層上方的一襯墊層；

執行一第一蝕刻製程，以暴露該基板及在該半導體層中形成一溝渠的一第一區段，及在該絕緣體層中形成該溝渠的一第二區段；

移除該半導體層及該絕緣體層的部分，以使該溝渠的該第一區段及該第二區段變寬，致使該襯墊層的邊緣突出於該第一區段及該第二區段之上；

在該第一區段及該第二區段的側壁上形成一間隔物；
及

執行一第二蝕刻製程，以在該第二區段下的該基板中形成該溝渠的一第三區段。

13. 如請求項 12 之方法，進一步包含在執行該第二蝕刻製程前，在該間隔物上形成一保護層，該保護層的材料具有一大體上比該間隔物高的抗蝕刻性。

14. 如請求項 13 之方法，其中該形成該保護層包含以下之其中之一：

將該間隔物之一暴露表面轉換成該保護層；及
沈積該保護層。

15. 如請求項 12 之方法，其中該移除包含執行各向同性蝕刻製程。

16. 如請求項 12 之方法，其中該移除該半導體層的該等部分包含執行一化學下游蝕刻製程。

17. 如請求項 12 之方法，其中在該第一蝕刻製程的執行期間，蝕刻該基板在該絕緣體層下的一頂面，及

其中該方法進一步包含在該半導體層之該等部分的該移除期間，移除該基板之該頂面的部分，以使該溝渠之該第三區段的一第一部分變寬。

18. 如請求項 17 之方法，其中移除該半導體層的該等部

分、該絕緣體層的該等部分、及該基板之該頂面的該等部分，致使該第一區段、該第二區段及該第三區段的該第一部分具有一大約相同的第二形狀及相同的第二寬度，及

其中該第二蝕刻製程的執行進一步包含蝕刻該基板，致使該第三區段在該第一部分下的一第二部分具有與該第一形狀不同的第二形狀，及致使該第三區段在該第二部分下的一第三部分具有與該第一形狀不同的第三形狀。

19. 如請求項 18 之方法，其中該第一形狀包含一橢圓形，該第二形狀包含一矩形及一八邊形中的一個，及該第三形狀包含該矩形。

20. 如請求項 12 之方法，進一步包含在該第二蝕刻製程執行後，移除該基板的部分，以使該溝渠的該第三區段變寬。

21. 如請求項 12 之方法，進一步包含在該基板中形成一電容器，其中該電容器的形成包含：

在鄰接該第三區段的該基板中形成一第一導電板；
用一介電襯料加襯該溝渠；及

用一導電填充材料填充該溝渠，以在該溝渠的該第三區段中形成一第二導電板。

22. 如請求項 21 之方法，進一步包含形成一鄰接該電容器的電晶體，以形成一記憶體裝置，其中該電晶體的形成包含在鄰接該第一區段的該半導體層中形成該電晶體的一源

極/汲極區域，致使該源極/汲極區域經由一在該第一區段及該第二區段中以該導電填充材料生成的導電帶而電連接至該電容器。

23. 一種形成一半導體結構的方法，該方法包含：

提供一絕緣體上半導體結構，包含：

一半導體層；

一絕緣體層，在該半導體層下；及

一基板，在該絕緣體層下；

形成一在該半導體層上方的襯墊層；

執行一第一蝕刻製程，以在該半導體層中形成一溝渠的一第一區段，及在該絕緣體層中形成該溝渠的一第二區段；

移除該半導體層及該絕緣體層的部分，以使該溝渠的該第一區段及該第二區段變寬，致使該襯墊層的邊緣突出於該第一區段及該第二區段之上；

在該第一區段及該第二區段的側壁上形成一間隔物；

及

執行一第二蝕刻製程，以在該第二區段下的該基板中形成該溝渠的一第三區段，其中移除該半導體層及該絕緣體層的部分，致使該第一區段具有一第一形狀及該第二區段具有一與該第一形狀不同的第二形狀。

24. 如請求項 23 之方法，其中該移除該半導體層的該等部分包含執行一非等向性蝕刻製程。

25. 如請求項 23 之方法，進一步包含：

在該第二蝕刻製程執行前，在該間隔物上形成一保護層，材料具有一大體上比該間隔物高的抗蝕刻性，其中該保護層的形成包含將該間隔物之一暴露表面轉換成該保護層及沈積該保護層中的一項。

26. 如請求項 23 之方法，其中在該第一蝕刻製程期間，蝕刻該基板的一頂面，以形成該第三區段的一第一部分，其中在該半導體層之該等部分的該移除期間，同時移除該基板之該頂面的部分，致使該溝渠之該第三區段的該第一部分變寬，及致使該第一部分具有該第一形狀，及

其中該第二蝕刻製程的執行包含蝕刻該第一部分下的該基板，致使該第三區段的一第二部分具有一與該第二形狀不同的第三形狀。

27. 如請求項 26 之方法，其中該第一形狀包含一矩形，該第二形狀包含一橢圓形，及該第三形狀包含該矩形及一八邊形中的一個。

28. 如請求項 26 之方法，其中該第二蝕刻製程的執行進一步包含蝕刻該第二部分下的該基板，致使該第三區段在該第二部分下的一第三部分具有該第一形狀。

29. 如請求項 23 之方法，進一步包含在該基板中形成一電

容器，其中該電容器的形成包含：

在鄰接該第三區段的該基板中形成一第一導電板；

用一介電襯料加襯該溝渠；及

用一導電填充材料填充該溝渠，以在該溝渠的該第三區段中形成一第二導電板。

30. 如請求項 29 之方法，進一步包含形成一鄰接該電容器的電晶體，以形成一記憶體裝置，其中該電晶體的形成包含在鄰接該第一區段的該半導體層中形成該電晶體的一源極/汲極區域，致使該源極/汲極區域經由一在該第一區段及該第二區段中以該導電填充材料生成的導電帶而電連接至該電容器，及

其中該第一區段的該第一形狀包含一矩形，儘量增大在該導電帶及該源極/汲極區域之間的面積接觸，以儘量減小在該電晶體及該電容器之間的電阻。

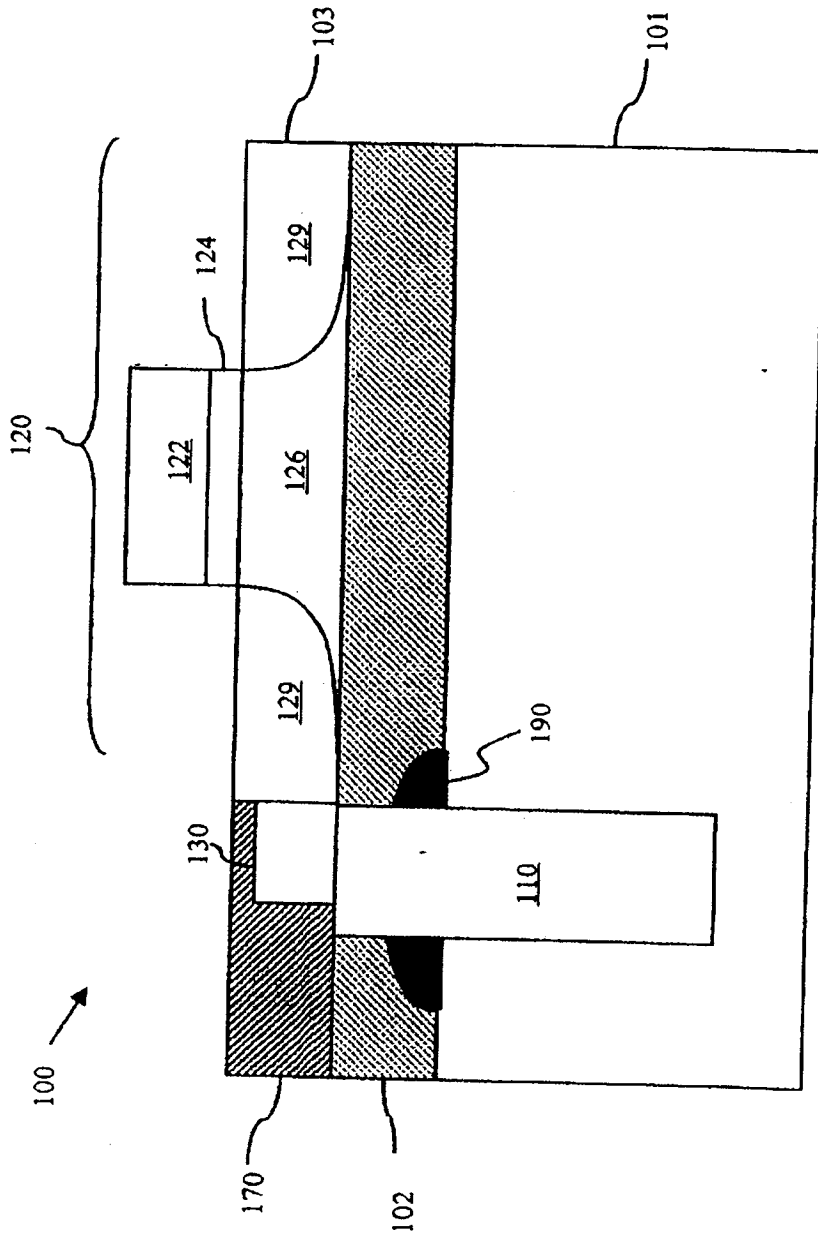


圖1

截面圖

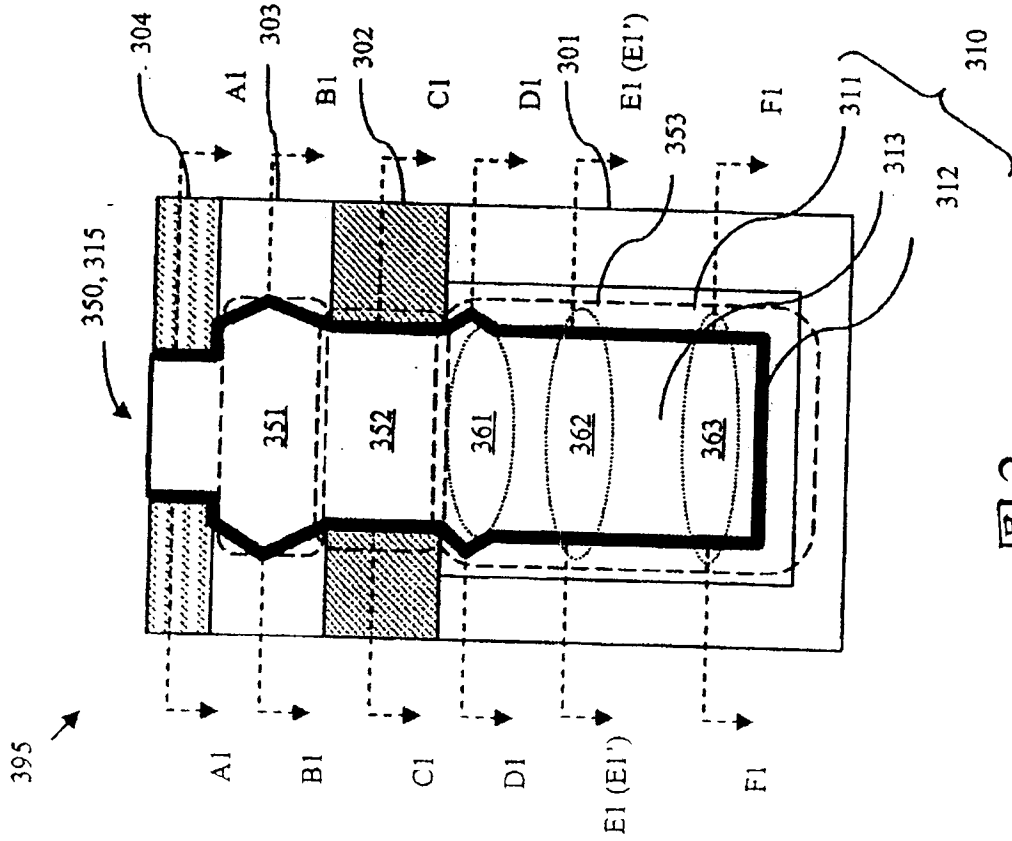


圖3a

平面圖

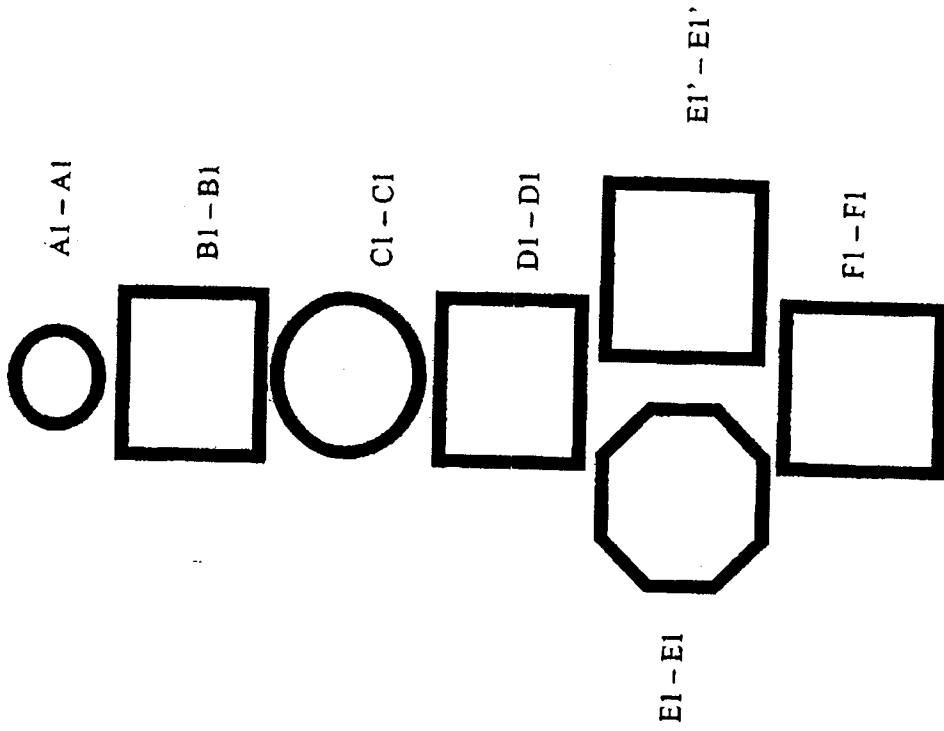


圖3b

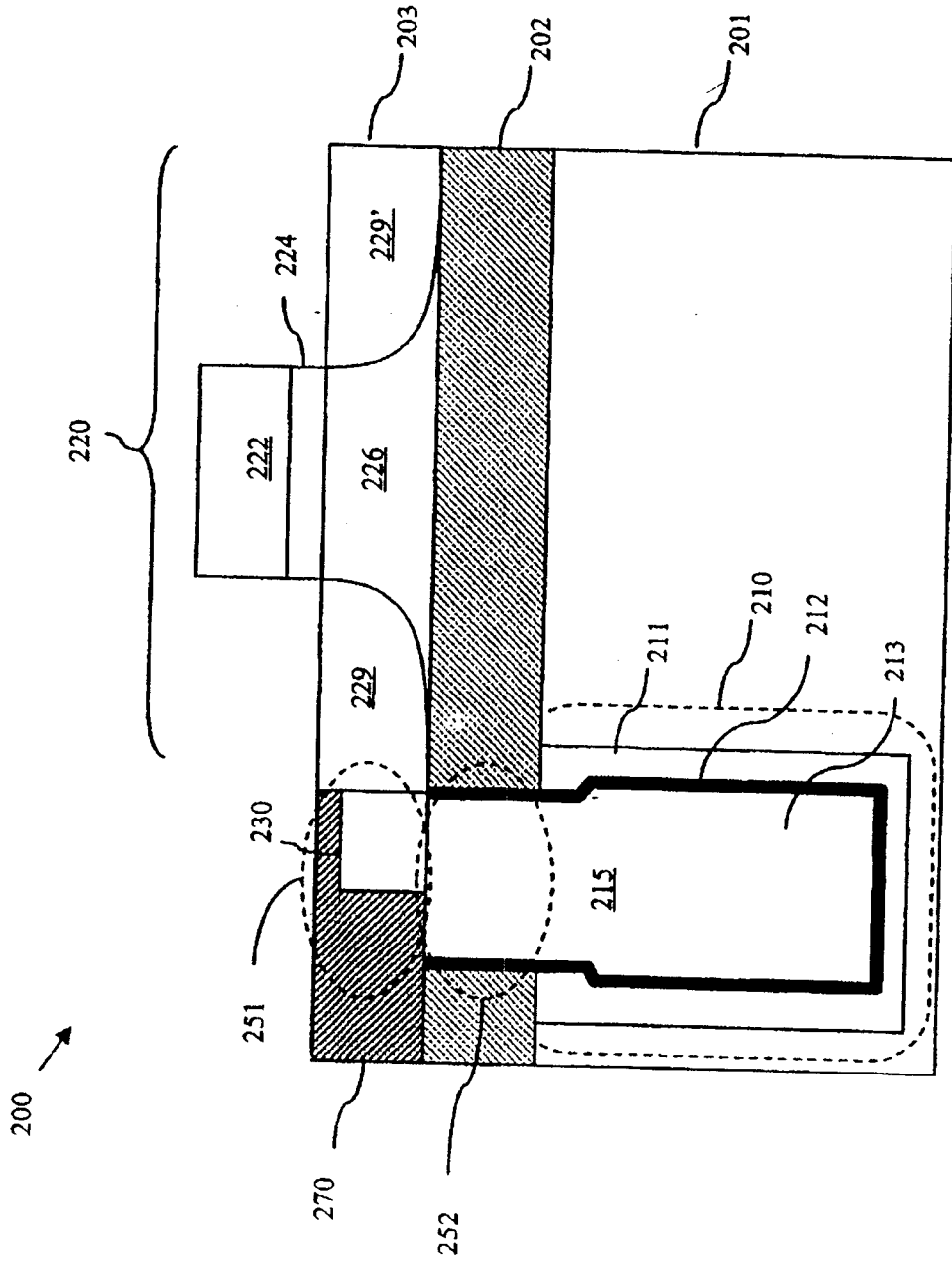


圖4

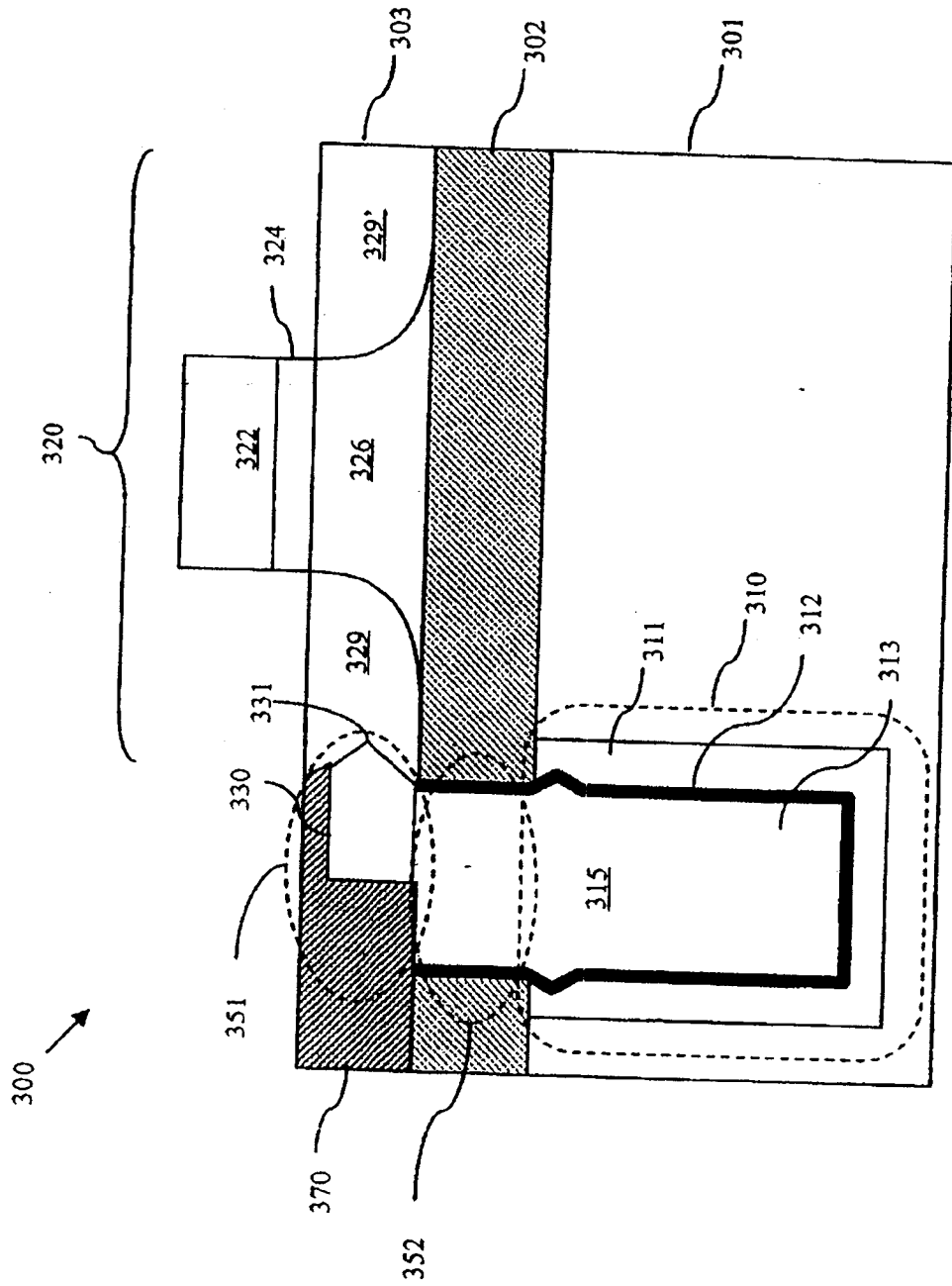


圖5

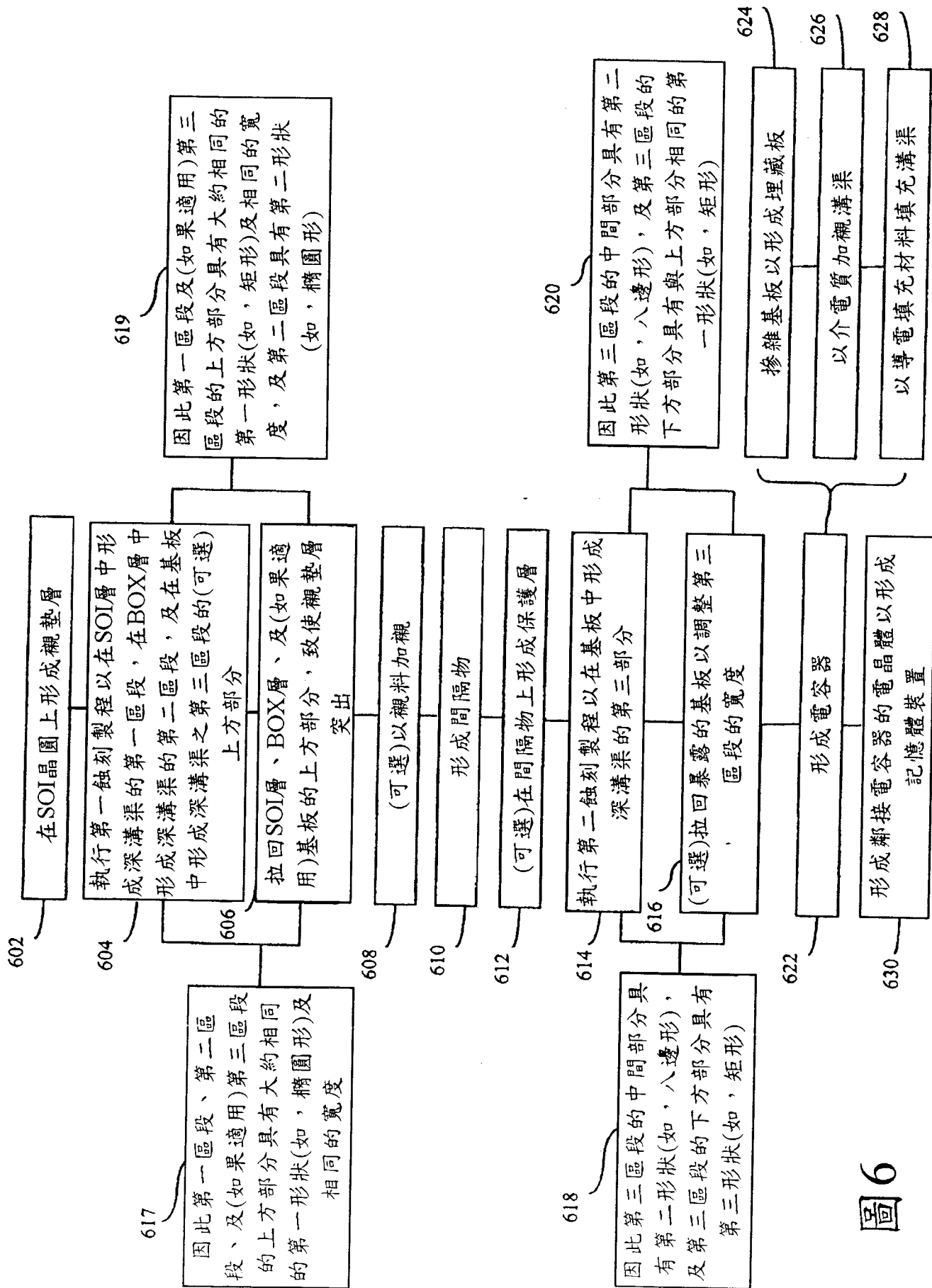


圖6

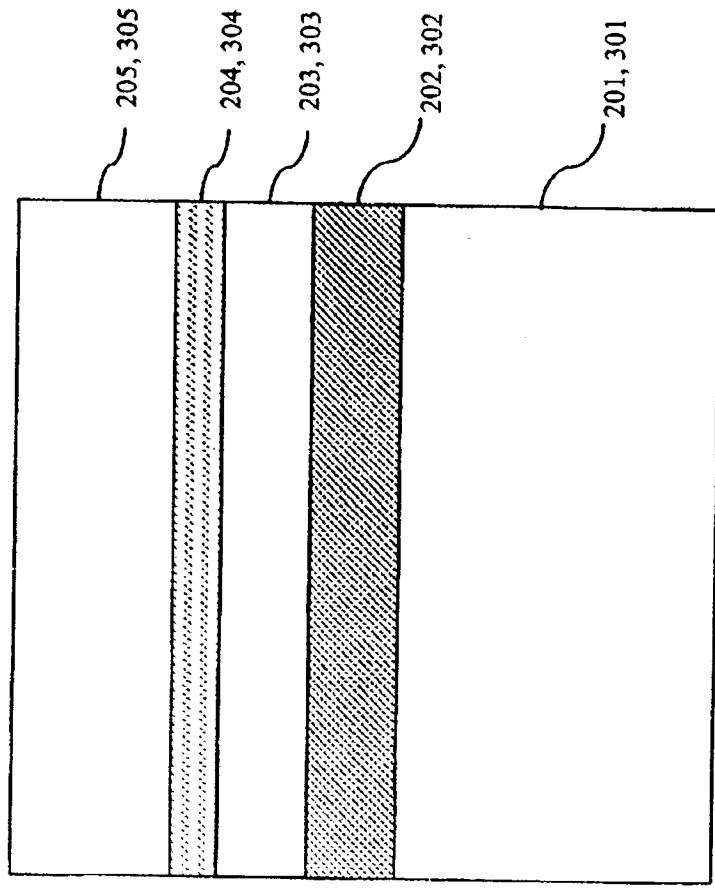


圖7

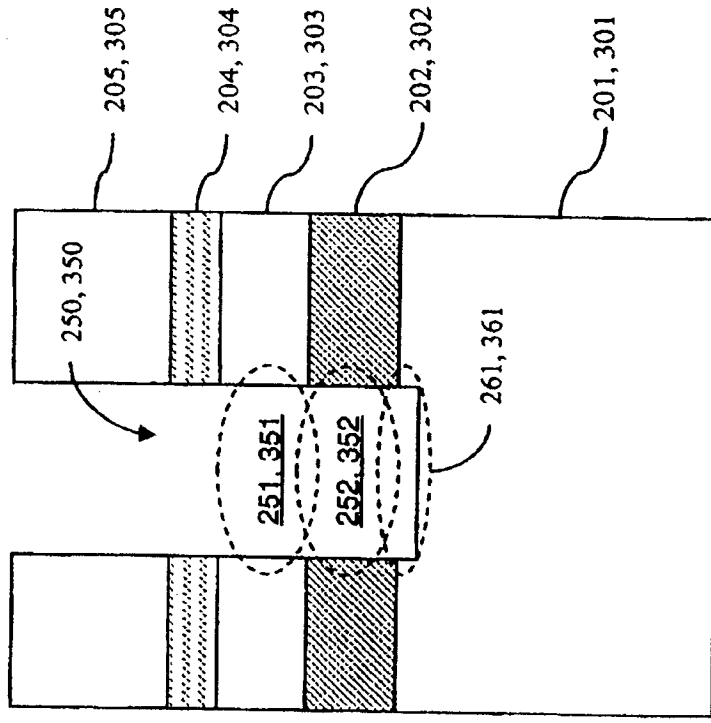


圖8

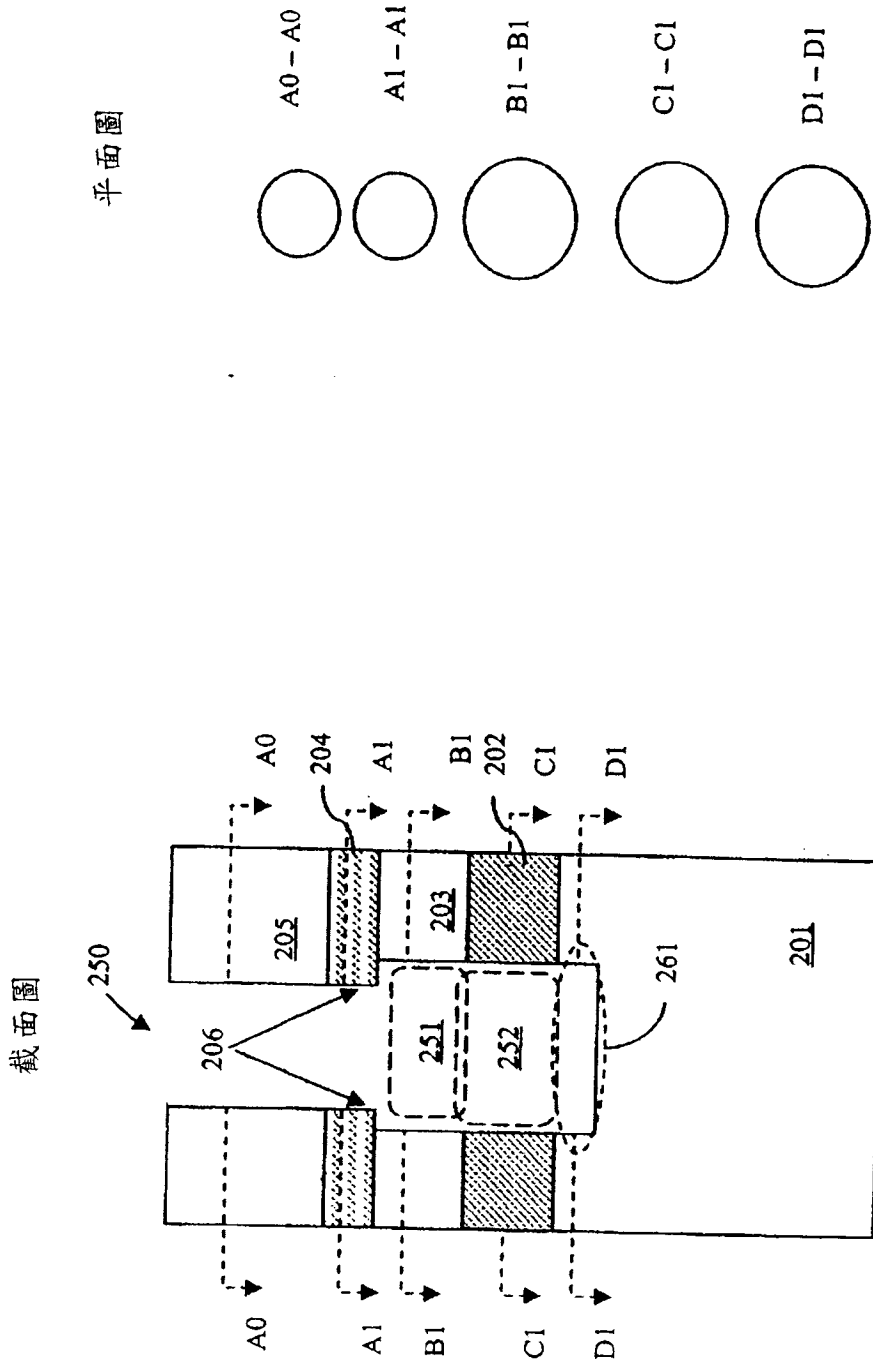


圖9a

圖9b

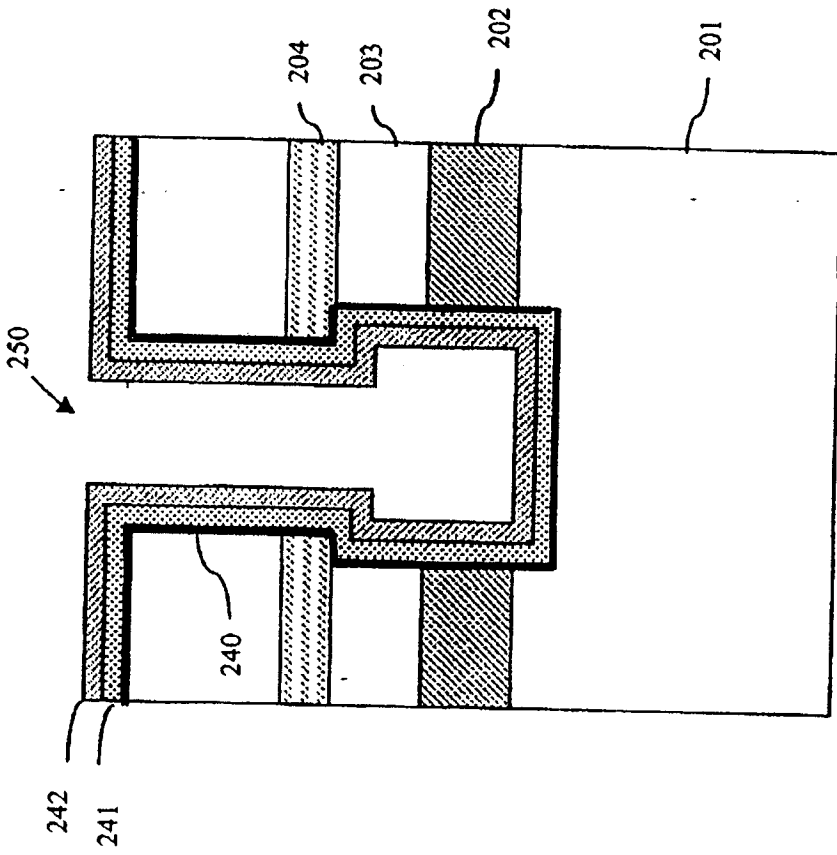


圖 10

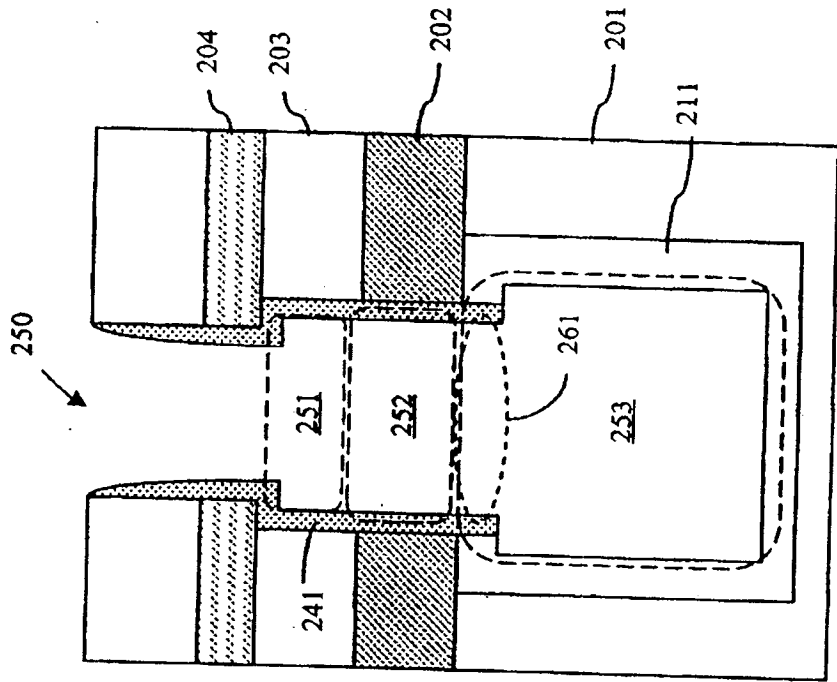


圖12

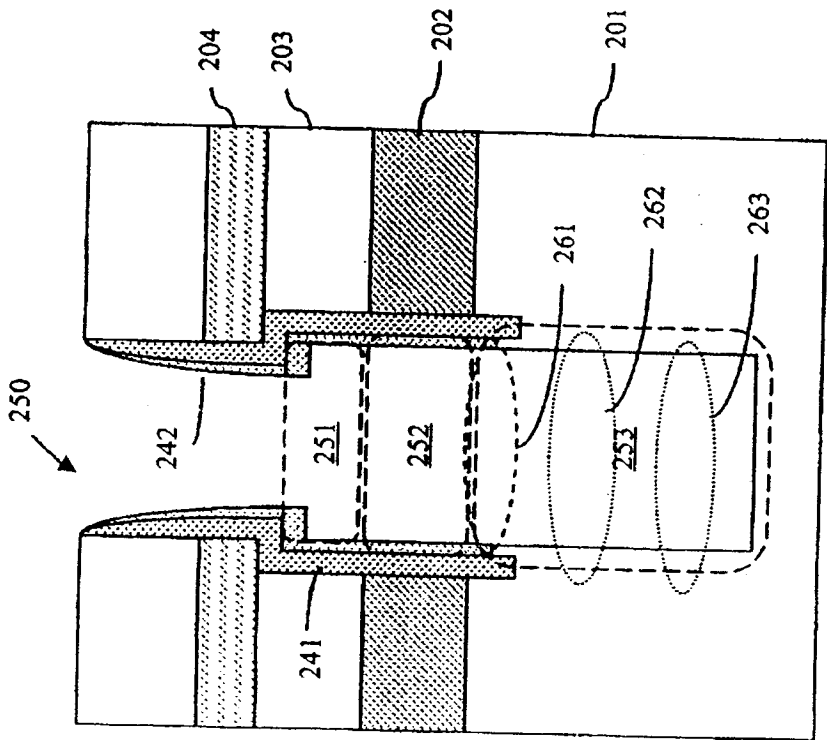


圖11

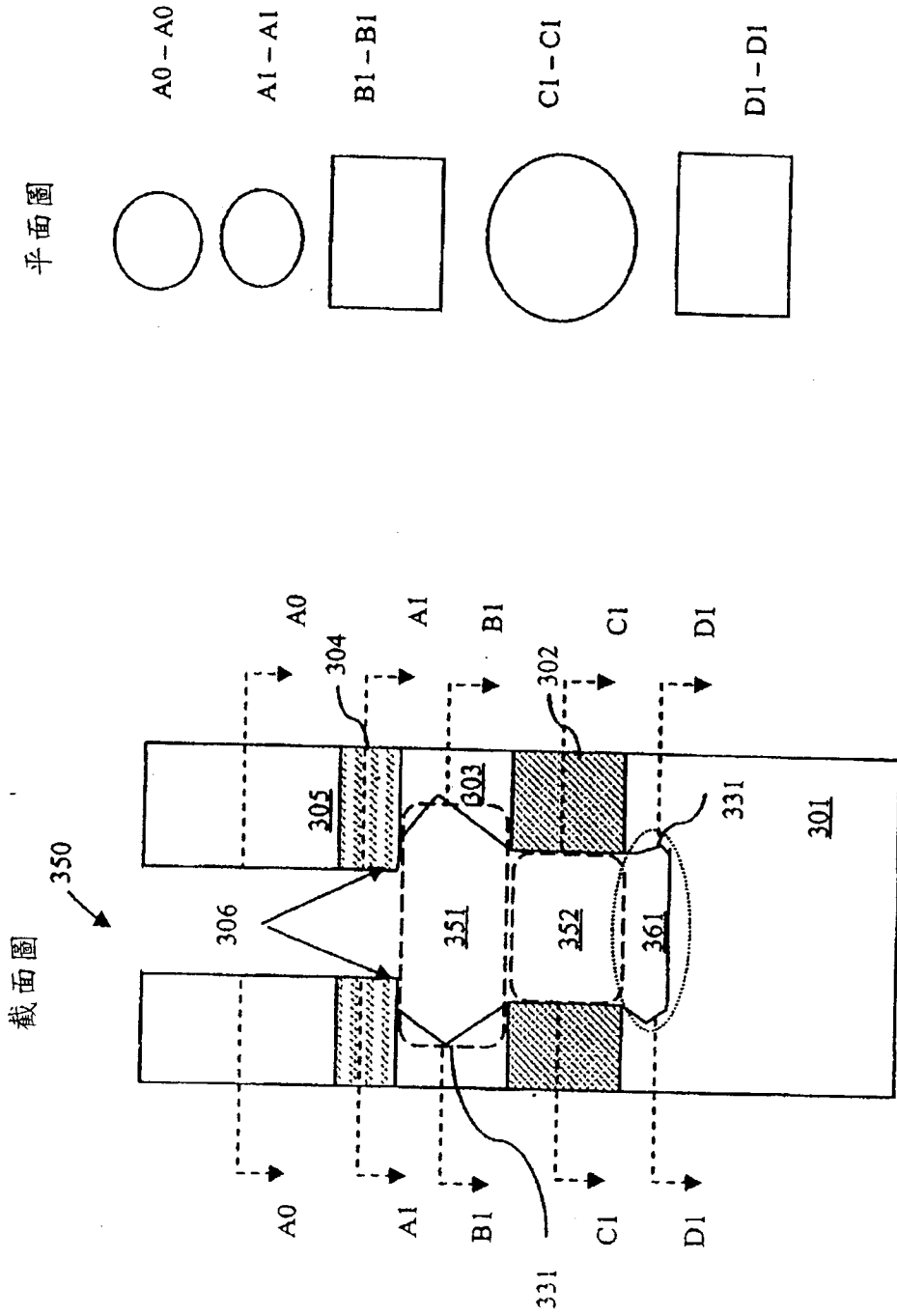


圖13b

圖13a

七、指定代表圖：

(一)本案指定代表圖為：圖 4。

(二)本代表圖之元件符號簡單說明：

200	記憶體裝置
201	半導體基板
202	絕緣體層
203	半導體層
210	電容器
211	第一導電板
212	節點介電襯料
213	第二導電板
215	導電填充材料
220	電晶體
222	閘極導體
224	閘極介電質
226	通道區域
229 及 229'	源極/汲極區域
230	導電帶
251	第一區段
252	第二區段
270	淺溝渠隔離區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。