

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H04N 5/44

(45) 공고일자 1992년04월04일
(11) 공고번호 특1992-0002833

(21) 출원번호	특1983-0005637	(65) 공개번호	특1984-0006738
(22) 출원일자	1983년11월29일	(43) 공개일자	1984년12월01일
(30) 우선권주장	209880 1982년11월30일 일본(JP)		
(71) 출원인	소니 가부시끼가이샤 오오가 노리오 일본국 도오쿄오 시나가와꾸 기다시나가와 6쥬메 7반 35고		
(72) 발명자	아마노 도시오 일본국 도오쿄오 시나가와꾸 기다시나가와 6쥬메 7반 35고 소니 가부시끼가 이샤나이 고자카이 다이스께 일본국 도오쿄오 시나가와꾸 기다시나가와 6쥬메 7반 35고 소니 가부시끼가 이샤나이		
(74) 대리인	이병호		

심사관 : 이중희 (책자공보 제2727호)

(54) 텔레비전 수상기

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

텔레비전 수상기

[도면의 간단한 설명]

제1도는 본 발명의 일예의 계통도.

제2도 내지 제8도는 상기 계통도의 설명을 위한 도면.

* 도면의 주요부분에 대한 부호의 설명

10 : 영상신호계

20 : 마이콤

[발명의 상세한 설명]

본 발명은 텔레비전 수상기에 관한 것이다. 텔레비전 수상기에 있어서 채널을 변경하면, 변경후의 채널을 표시하는 숫자가 수상관의 스크린상에 일정 기간 표시되도록 한 기종이 있다.

이와 같이 하려면, 채널 숫자 표시용으로서 전용의 LSI가 필요하지만 그와 같은 LSI는 기획하고부터 완성될때까지에 많은 시간 및 비용이 들게 된다. 또 기획이 도중에서 변경되었을 때 이에 대처하는 일이 곤란한 것이다. 또한 채널 숫자의 자형에 독자성이 나오기 어렵고 또 IC가 증가하므로 역시 비용이 많이 들게 된다.

본 발명은 상술과 같은 문제점을 해결하고자 하는 것이다.

본 발명은 CPU와 프로그램 및 데이터가 기입되어 있는 ROM과 워크 에리어용의 RAM과 시프트 레지스터를 가지며 채널 숫자로서 표시되는 포트 데이터를 인터럽트 처리에 의하여 시프트 레지스터로 로드하고 이 시프트 레지스터의 출력을 영상신호계에 공급하여 채널 변경시의 채널 숫자의 표시를 하도록 한 텔레비전 수상기이다. 따라서, 기획으로부터 완성까지의 시간이나 비용이 들지 않는다. 또 기획이 도중에서 변경이 되었을때에도 이것을 용이하게 변경할 수 있다. 또한 표시하는 채널과 숫자의 자형에 독자성을 나

타내는 것도 용이하며 또 IC의 수를 적게 할 수 있고 비용이나 신뢰성의 점에서 유리한 것이다.

이하, 도면을 참조하여 실시예를 설명하기로 한다.

제1도에 있어서, (10)은 영상신호계를 도시하고 (11)은 튜너, (12)는 영상 중간 주파 앰프, (13)은 영상 검파 회로, (14)는 영상 앰프, (15)는 수상관이다. 그리고 이 경우 튜너(11)는 전자 동조식으로 되고, 이에 공급되는 선국 전압 E_c 의 값을 변경하므로써 임의의 채널이 수신될 수 있도록 되어 있다. 또, (20)은 마이크로 컴퓨터를 표시하며, (21)은 4비트 병렬처리의 CPU, (22)는 프로그램 및 채널 숫자의 표시용의 폰트데이터의 기록되어 있는 ROM, (23)은 워크 메모리의 RAM, (31) 내지 (36)는 입출력용의 포트이다. 그리고 이들 회로(22) 내지 (36)는 버스(24)를 통하여 CPU(21)에 접속된다. 또한, (37)은 13비트의 직렬 입력, 직렬 출력의 시프트 레지스터를 표시한다. 이 레지스터(37)는 채널 숫자를 표시하는 신호 S_n 을 출력하기 위한 것이며 이 레지스터(37)에는 포트(32)에서 예를들면 제2도에 표시하는 바와 같은 16비트의 채널 숫자 표시용의 폰트 데이터가 1행분씩 병렬로 로드되는 것과 동시에 이 로드된 폰트 데이터가 신호 S_n 으로서 최상위 비트 MSB로부터 직렬로 취출된다. 또 이때 레지스터(37)의 직렬 입력단은 "0" 레벨로 된다.

그리고 레지스터(37)로부터 취출된 신호 S_n 은 영상 앰프(14)에 공급되어 영상신호에 합성 내지 혼합된다. 또한, 이 레지스터(37)를 포함하여 마이크로 컴퓨터(30)는 1칩 IC화 되어 있다. 또, (41)은 D/A변환기를 표시하고, 이 변환기(41)에는 포트(31)의 출력이 공급되어서 선국 전압 E_c 가 취출되어 이 전압 E_c 가 튜너(11)에 공급된다. 또한, (42)는 리모콘 신호의 수신 소자, (43)은 그 수신 회로를 표시하고 예를 들면 적외선 리모콘인 때에는 소자(42)는 적외선 수광소자로 되고, 수신 회로(43)으로부터 리모콘 신호 S_r 은 리모콘 송신기(도시치 않음)의 출력에 대응한 신호이지만 예를들면 제4도에 도시하는 바와 같은 포맷으로 되어 있다. 즉, 시초에 펄스폭이 2400 μ 초의 가이드 펄스가 있고, 이어서 600 μ 초의 간격을 두고 16비트의 코드 펄스 b_0 내지 b_{15} 가 있다. 이 경우 펄스 b_0 내지 b_{15} 는 리모콘의 내용에 대응하여 "0" 또는 "1"을 표시하는 것으로서 "0"인 때에는 펄스폭이 600 μ 초, "1"인 때에는 1200 μ 초로 되어 있다. 그리고 이 신호 S_r 은 포트(33)에 공급된다.

또, (44)는 불휘발성 메모리를 표시하며 이것은 포트(31)에 접속되는 것과 동시에 각 채널에 있어서의 선국 전압 E_c 의 디지털값이 기억되어 있다. 또한 (45)는 채널 음량 등을 변경할때의 입력 키를 표시하고 이것을 포트(35)의 출력에 의하여 다이내믹 캔이 행하여지는 것과 동시에 그 스위치 출력이 포트(36)에 입력되어서 어느 키가 조작되었는지를 감지된다. 또한 (51)은 동기 분리 회로를 표시하고 이것에는 영상 검파회로(13)으로부터의 영상신호가 공급되어서 수직동기 펄스 P_v 및 수평동기 펄스 P_h 가 취출되어 이들 펄스 P_v , P_h 가 CPU(21)에 인터럽트 신호로서 공급된다. 또 펄스 P_h 가 단안정 멀티 바이브레이터(52)에 공급되어서 제3도에 도시하는 바와 같이 ((151)은 수상관(15)의 스크린을 표시한다), 펄스 P_h 의 입하 시점 t_1 으로부터 채널 숫자의 표시 기간의 개시 시점 t_2 까지 "1"이 되는 펄스 P52가 형성되며 이 펄스 P52가 리셋 런(rest run) 발진 회로(52)에 그 발진의 제어 신호로서 공급되고 제3도에 도시하는 바와 같이 P52="0"이 되는 기간 t_2 내지 t_4 에 발진 펄스 P53이 취출되며 이 펄스 P53이 레지스터(37)에 클럭으로서 공급된다. 또한 이때 펄스 P53의 주파수는 표시되는 채널 숫자의 횡방향의 돛트 피치에 대응한 값으로 된다.

따라서, 예를들면 제2도의 제1행의 폰트 데이터가 제45번째의 수평 주사기간의 기간 t_1 내지 t_2 에 레지스터(37) 로드된다고 하면 이 주사기간에 있어서의 기간 t_1 내지 t_3 에 펄스 P53에 의하여 그 폰트 데이터가 레지스터(37)로부터 직렬 신호 S_n 으로서 취출되는 것과 동시에 앰프(14)에 공급되므로 스크린(151)의 제45번째의 라인의 기간 t_2 내지 t_3 에 대응하는 구간에는 채널 숫자의 제1행째가 표시된다. 또한 기간 t_3 내지 t_4 에도 펄스 P53이 레지스터(37)에 공급되지만 레지스터(37)의 직렬 입력단 "0" 레벨이며 이 "0" 레벨이 기간 t_3 내지 t_4 에 레지스터(37)로부터 취출되므로 스크린(151)의 기간 t_3 내지 t_4 에 대응하는 구간에는 채널 숫자는 표시되지 않는다.

그리고 이와 같은 동작이 제2도의 제1행 내지 제7행의 폰트 데이터를 사용하여 제45번째 내지 제51번째의 수평 라인에 대하여 행하여지면 제3도에 도시하는 바와 같이 제2도의 폰트 데이터에 대응한 채널 신호가 표시된다. 또 레지스터(37)에 폰트 데이터로서 "0"을 로드하면 채널 숫자는 표시되지 않는다. 또한 제5도 내지 제8도는 ROM(22)에 기록되어 있는 프로그램의 플로우차트를 표시하고 제5도는 그 메인 루틴이다. 그리고 이 메인루틴은 스텝(501)에서 스타트하여 스텝(502)에서 이니셜라이즈가 행해지며, 예를들면, RAM(23)에 프래그 FLG, 버퍼 BVFF 및 카운터 CHCNT, HCNT, WCNT가 설정되는 것과 동시에 이들은 "0"으로 리셋(크리어)된다.

또 스텝(503)은 리모콘 신호 S_r 의 유무가 가이드 펄스의 유무에 의하여 즉, 신호 S_r 의 "1" 레벨이 2400 μ 초 계속됨에 따라 판별하는 스텝이고, 스텝(504)는 키(45)의 입력의 유무를 판별하는 스텝, 스텝(531)은 카운터 CHCNT가 "0"인지 어떠한지를 판별하는 스텝이다. 따라서, 전원 투입시에는 스텝(502)에 의해 CHCNT=0이기 때문에 스텝(503)→(504)→(531)→(503)의 루프가 반복되어서 리모콘 신호 S_r 의 입력 및 키(45)의 입력이 풀링된다. 또한 카운터 CHCNT는 채널 변경의 요구의 유무를 나타내는 프래그의 채널 숫자의 표시기간을 설정하는 타이머를 겸하는 것이다. 그리고 리모콘 신호 S_r 이 있었을 때에는 스텝(800)에 의하여 그 신호 S_r 의 비트 b_0 내지 b_{15} 가 판독되어서 스텝(511)으로 이송되고, 또 키(504)에 입력이 있었을 때에도 스텝(511)에 이송되어 이 스텝(511)에서 스텝(800)의 리모콘 입력 혹은 스텝(504)의 키 입력이 채널을 변경하는 명령인지 어떠한지가 판별된다.

그리고 채널을 변경하는 명령인 때에는 계속하여 스텝(512)에서 카운터 CHCNT가 "1"에 셋트되고 다음

에 스텝(513)에서 스텝(800)으로 입력한 리모콘 신호 S_r 또는 스텝(504)의 키 입력의 표시하는 채널의 데이터에 의거하여 그 채널을 선국하기 위한 디지털 선국 전압 E_c 가 메모리(44)로부터 해독되고, 이 디지털 선국 전압 E_c 가 스텝(514)에서 포트(31)에 출력된다. 따라서 D/A변환기(41)로부터의 아나로그 선국 전압 E_c 에 의하여 이후 스텝(800) 또는 (504)로 입력한 채널의 수신상태로 된다. 그리고 계속하여 스텝(515)에서 ROM(22)로부터 버퍼 BUFF에 채널 변경후의 새로운 채널 숫자로써 표시되는 폰트 데이터(예를들면 제2도의 데이터)가 로드된다. 그리고 상세하게 후술하겠지만 BUFF의 폰트 데이터가 제7도에 도시하는 서브루틴(700)에 의하여 각 필드의 제45번째 내지 제51번째의 수평 주사의 기간 t_1 내지 t_2 에 1행분씩 순차 레지스터(37)에 로드된다. 따라서 스크린(151)에는 변경후 채널의 채널 숫자가 표시된다.

그리고 이 채널 숫자가 표시되면 처리는 스텝(503)에 되돌아가지만 이때 스텝(512)에 의하여 CHCNT=1이므로 처리는 스텝(503)→(504)→(531)→(532)로 이송하고 이 스텝(532)에서 카운터 CHCNT가 "1"만큼 인크리먼트되어, 다음에 스텝(533)에서 카운터 CHCNT가 설정값 MAX에 도달하고 있는지의 여부를 체크한다. 여기서 값 MAX는 채널 변경시 채널 숫자를 표시하고 있는 기간에 대응하는 값이다.

그리고 CHCNT < MAX일 경우, 스텝(503)으로 되돌아간다. 따라서 CHCNT < MAX가 성립하고 있는 기간은 스텝(503)→(504)→(531)→(532)→(503)이 반복되는 것과 동시에 이때 채널 숫자가 표시되어 있다.

그리고 CHCNT=MAX이면, 스텝(541)에 의하여 버퍼 BUFF가 "0"으로 클리어 된다. 따라서 버퍼 BUFF로부터 레지스터(37)에는 폰트 데이터로서 "0"이 로드되므로 이후 $S_n = "0"$ 로 되어 채널 숫자는 표시되지 않게 된다. 그리고 다음 스텝(542)에서 카운터 CHCNT는 "0"로 리셋되고, 스텝(503)으로 되돌아간다. 이렇게 하여 채널 변경을 입력하면 채널이 변경되는 것과 동시에 변경후의 채널 숫자가 일정 기간만 표시된다. 또, 스텝(800), (504)의 입력이 채널을 변경하는 명령이 아닐 때, 예를들면 음량의 변경일 때에는 스텝(521)에서 카운터 CHCNT가 "0"으로 리셋된후 스텝(522)에서 스텝(800), (504)으로 입력된 명령의 동작이 행하여진다. 또 채널 변경이외의 동작을 위한 구성은 일반의 것과 동일해도 상관없기 때문에 제1도에서는 생략하고 있다.

한편 제6도 및 제7도는 버퍼 BUFF의 폰트 데이터를 레지스터(37)에 로드하기 위한 서브루틴이다. 그리고 제6도의 서브루틴(600)은 수직동기 펄스 P_v 에 의해 개입 중단이 걸렸을때에 실행되는 개입 중단 서브루틴이며, 수직동기 펄스 P_v 가 CPU(21)에 공급되면 이 서브루틴(600)은 스텝(601)으로부터 개시하여 스텝(602)에서 카운터 HCNT가 0에 리셋되고 스텝(603)에서 이 서브루틴(600)을 종료하고 원래의 메인루틴으로 되돌아간다. 따라서 이 서브루틴(600)에 의하여 각 필드의 개시 시점마다 카운터 HCNT는 "0"에 리셋된다.

또 제7도의 서브루틴(700)은 수평동기 펄스 P_h 에 의해 개입 중단이 걸렸을때에 실행되는 개입 중단 서브루틴에서 수평동기 펄스 P_h 가 CPU(21)에 공급되면, 스텝(701)으로부터 개시하여 스텝(702)에서 이 루틴(700)이 실행되었는지 어떤지를 표시하는 플래그 FLG가 "1"에 셋트되고 다음에 스텝(703)에서 카운터 HCNT가 1만 인크리먼트된다. 이 경우 카운터 HCNT는 서브루틴(600)에 의하여 필드의 개시 시점마다 "0"로 리셋되어 있는 것과 동시에 서브루틴(700)은 수평동기 펄스 P_h 마다 실행되므로 카운터 HCNT는 각 필드 기간에서 수평 라인의 라인번호를 표시하게 된다.

그리고 다음 스텝(704)에서 카운터 HCNT의 크기가 체크되고 $45 \leq HCNT \leq 51$ 인 때에는 스텝(711)에서 버퍼 BUFF의 폰트 데이터(예를들면 제2도의 데이터)가 1행분씩 카운터 HCNT가 "1"씩 인크리먼트될 때 마다(1수평 라인마다) 버퍼 BUFF에서 레지스터(37)에 로드되어 $45 \leq HCNT \leq 51$ 가 아닐 때에는 스텝(721)에서 올 "0"가 레지스터(37)에 로드된다. 그리고 스텝(712)에서 이 서브루틴(700)을 끝내고 원래의 메인루틴으로 되돌아간다. 또한 서브루틴(700)에는 필요에 따라 타이머 루틴이 설치되어서 서브루틴(700)을 처리하는데 요하는 시간은 40μ 초(이것은 기간 t_1 내지 t_2 보다 짧은 기간)로 된다.

따라서 제45번째 내지 제51번째의 수평 주사기간에서 기간 t_1 내지 t_2 에는 서브루틴(700)에 의하여 버퍼 BUFF의 데이터가 레지스터(37)에 로드되므로 그 로드된 데이터가 폰트 데이터라면 기간 t_2 내지 t_3 에 채널 숫자가 표시되어 다른 수평 주사 기간의 기간 t_1 내지 t_2 에는 버퍼 BUFF로부터 올 "0"의 데이터든가 레지스터(37)에 로드되므로 기간 t_2 내지 t_3 의 채널 숫자는 표시되지 않는다.

그리고 채널 변경시에는 소정의 기간 스텝(515)에 의하여 버퍼 BUFF에는 채널 변경후의 채널 숫자의 폰트 데이터가 로드되고 이후 스텝(541)에 의하여 버퍼 BUFF에는 올 "0"의 데이터가 로드되므로 서브루틴(700)에 의하여 채널 변경시로부터 소정의 기간 제3도에 도시하는 바와 같이 스크린(151)에는 변경후의 채널 숫자가 표시되며 그 기간이 지나면 그 표시는 꺼진다. 또한 제8도는 리모콘 신호 S_r 을 해독하기 위한 서브루틴(800)을 표시한다. 이 서브루틴(800)은 스텝(801)로부터 개시하여 스텝(802)에서 포인트 i 가 "0"에 리셋되어 다음에 스텝(811)에서 가이드 펄스 및 비트 b_0 내지 b_{15} 의 사이의 600μ 초의 "0"레벨 기간의 대응하는 지연이 되고 또한 스텝(821)에서 카운터 WCNT가 "0"에 리셋된다. 이 경우 포인트 i 는 리모콘 신호 S_r 의 비트 b_0 내지 b_{15} 의 어느 비트인가를 나타내는 것이며 $i=0$ 내지 15이다. 또 카운터 WCNT는 비트 b_0 내지 b_{15} 의 각 펄스폭을 체크하기 위한 것이다.

그리고 스텝(822)에 있어서 40μ 초의 지연이 행하여진후 스텝(823)에서 플래그 FLG가 "0" 또는 "1"이 체크되고 FLG=0인 때에는 스텝(824)에서 카운터 WCNT가 1만 인크리먼트되어 FLG=1인 때에는 스텝(825)에서 카운터 WCNT가 "2"만 인크리먼트된후 스텝(826)에서 플래그 FLG는 "0"으로 리셋된다. 그리고 스텝(827)에서 신호 S_r 의 i 번째의 비트의 레벨이 "0"레벨로 되었는지 어떤지 즉 i 번째의 비트가 종료하였는지 어떠한지가 체크되고 종료되어 있지 않을 때에는 스텝(822)으로 되돌아가고 종료되어 있을 때에는 스텝(831)으로 진행한다. 따라서 신호 S_r 의 i 번째의 비트의 레벨이 "1"의 레벨의 기간 스텝(822) 내지

(827)루프가 반복된다. 그리고 이 반복시 개입 중단 서브루틴(700)이 모두 실행되지 않으면 FLG=0이므로 스텝(822),(824)에 의하여 40 μ 초마다 카운터 WCNT가 "1"씩 인크리먼트되고 따라서 이 루프가 종료하였을 때 그 i번째의 비트가 "0" (펄스폭 600 μ 초)이면 WCNT=15로 되고 "1" (펄스폭 1200 μ 초)이면 WCNT=30이 된다(다른 스텝의 처리 시간은 간단히 하기 위하여 무시한다).

그리고 이 루프의 반복시 개입 중단 서브루틴(700)이 실행되면 그 실행에 40 μ 초가 소비되지만 이것은 스텝(822)이 한 번 실행된 것과 동일함과 동시에 이때 FLG=1(스텝(702)로 되어 있음으로서 스텝(825)에서 카운터 WCNT가 "2"만 인크리먼트되므로, 역시 이 루프의 종료시 그 i번째의 비트가 "0" 이라면 WCNT=15로 되며 "1" 이라면 WCNT=30이 된다. 그리고 이 루프를 종료하면 스텝(831)에서 카운터 WCNT가 체크되고 WCNT \leq 15라면 스텝(832)에서 그 i번째의 비트가 "0"인 것이 RAM(23)에 셋트되어 WCNT > 15이면 스텝(833)에서 그 i번째의 비트가 "1"인 것이 RAM(23)에 셋트되고 다음에 스텝(834)에서 신호 S_v의 모든 비트에 대하여 이상의 처리가 행하여졌는지 어떠한지가 포인터에 i에 의하여 체크되며 모든 비트에 대하여 행하여져 있지 않을때에는 스텝(835)에서 포인터 i를 다음으로 진행시켜서 스텝(811)으로 되돌아가고 모든 비트에 대하여 행하여져 있을때에는 스텝(841)으로 진행한다. 그리고 스텝(841)에서 스텝(832)(833)의 데이터에 의거하여 신호 S_v이 판별되고 스텝(842)으로 이 서브루틴(800)을 종료하며 원래의 메인루틴으로 되돌아간다.

이상과 같이 하여 본 발명에 의하면 채널의 변경 및 그때의 채널 숫자의 표시가 행하여지지만 이 경우 특히, 본 발명에 의하면 그 채널의 변경 및 그 채널 숫자의 표시를 범용의 마이콤(20)에 의하여 행하고 있으므로 기획에서 완성까지의 시간이나 비용이 걸리지 않는다. 또 기획이 도중에서 변경되었을 경우라도 이것을 용이하게 변경할 수 있다. 또한 표시하는 채널 숫자의 자형에 독자성을 나타내는 것도 용이하며 또 IC의 수를 적게 할 수 있고 비용이나 신뢰성의 점에서 유리하다. 또한 상술에 있어서 스텝(531)내지 (542)은 서브루틴(600)에 설치하여도 좋다.

채널의 변경 및 그 채널 숫자의 표시를 범용의 마이콤(20)에 의하여 행하고 있으므로 기획에서 완성까지의 시간이나 비용이 걸리지 않는다. 또 기획이 도중에서 변경이 되었을때라도 이것을 용이하게 변경할 수 있다. 또한 표시하는 채널 숫자의 자형에 독자성을 나타내는 것도 용이하며 또 IC의 수를 적게 할 수 있고 비용이나 신뢰성의 점에 유리하다.

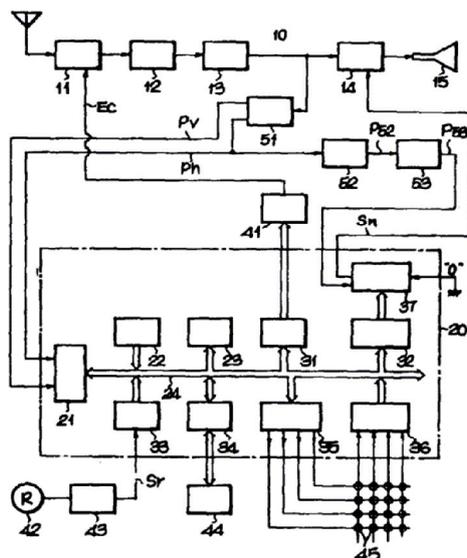
(57) 청구의 범위

청구항 1

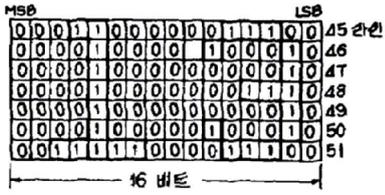
CPU(21)와, 프로그램 및 데이터가 기록되어 있는 ROM(22)과, 워크 에리어용의 RAM(23)과, 시프트 레지스터(37)를 구비하고, 채널 숫자로서 표시되는 폰트 데이터를 인터럽트 처리에 의하여 상기 시프트 레지스터(37)에 로드하고 상기 시프트 레지스터(37)의 출력을 영상신호계(10)에 공급해서 채널(11) 변경시의 채널 숫자의 표시를 행하도록 한 텔레비전 수상기.

도면

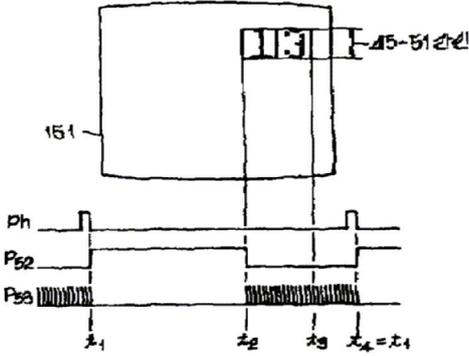
도면1



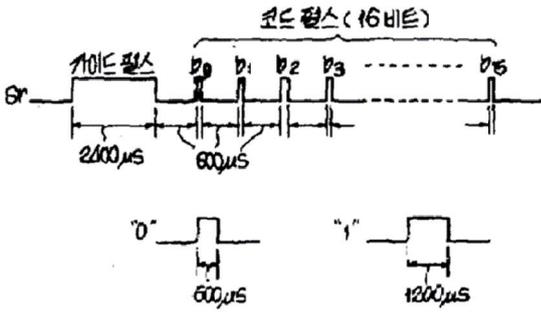
도면2



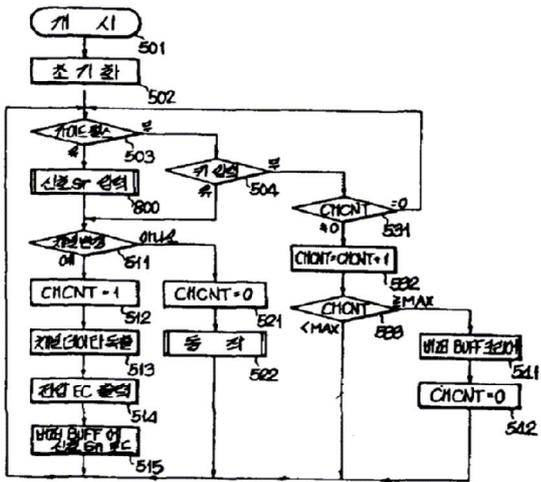
도면3



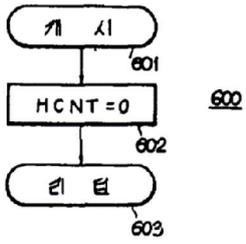
도면4



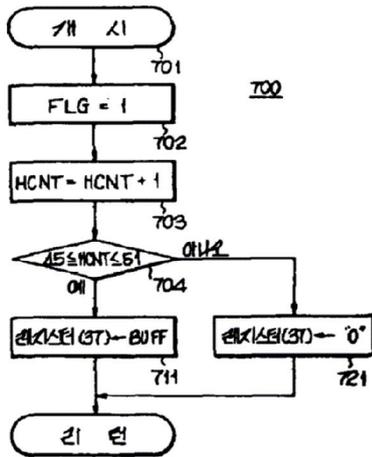
도면5



도면6



도면7



도면8

