



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월14일
 (11) 등록번호 10-1809352
 (24) 등록일자 2017년12월08일

(51) 국제특허분류(Int. Cl.)
H03K 19/0185 (2006.01) *H03K 3/356* (2006.01)
 (52) CPC특허분류
H03K 19/018507 (2013.01)
H03K 19/018521 (2013.01)
 (21) 출원번호 10-2016-0019129
 (22) 출원일자 2016년02월18일
 심사청구일자 2016년02월18일
 (65) 공개번호 10-2017-0057101
 (43) 공개일자 2017년05월24일
 (30) 우선권주장
 14/942,909 2015년11월16일 미국(US)
 (56) 선행기술조사문헌
 JP3603769 B2*
 KR1020100000140 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완, 신추, 신추 사이언스 파크,
 리-신 로드 6, 넘버 8
 (72) 발명자
오우 유륜
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
시에 웨이치
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
시에 상치
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 10 항

심사관 : 변종길

(54) 발명의 명칭 **레벨 변환 디바이스 및 방법**

(57) 요약

레벨 시프터 및 셀렉터를 포함하는 디바이스가 개시된다. 레벨 시프터는 제1 전류 제한기를 포함한다. 레벨 시프터는, 제1 입력 신호에 따라 제1 전류 제한기의 제1 단자에서 제1 출력 신호를 발생하고 제1 전류 제한기의 제2 단자에서 제2 출력 신호를 발생하도록 구성된다. 셀렉터는 제1 입력 신호에 따라 제1 출력 신호와 제2 출력 신호 중의 하나를 선택적으로 전송하도록 구성된다.

(52) CPC특허분류
H03K 3/35613 (2013.01)

명세서

청구범위

청구항 1

디바이스에 있어서,

제1 전류 제한기를 포함하는 레벨 시프터로서, 제1 입력 신호에 따라 상기 제1 전류 제한기의 제1 단자에서 제1 출력 신호를 발생하고 상기 제1 전류 제한기의 제2 단자에서 제2 출력 신호를 발생하도록 구성되는 것인, 상기 레벨 시프터; 및

상기 제1 입력 신호를 수신하고, 상기 수신된 제1 입력 신호에 따라 상기 제1 출력 신호와 상기 제2 출력 신호 중의 하나를 선택적으로 전송하도록 구성되는 셀렉터를 포함하는 디바이스.

청구항 2

청구항 1에 있어서, 상기 레벨 시프터는,

상기 제1 출력 신호를 발생하기 위해, 제어 신호에 따라 상기 제1 전류 제한기의 상기 제1 단자의 전압 레벨을 제1 전압으로 풀업하도록 구성되는 제1 풀업 유닛; 및

상기 제2 출력 신호를 발생하기 위해, 상기 제1 입력 신호에 따라 상기 제1 전류 제한기의 상기 제2 단자의 전압 레벨을 제2 전압으로 풀다운하도록 구성되는 제1 풀다운 유닛을 더 포함하고,

상기 제2 전압은 상기 제1 전압보다 더 낮으며, 상기 제1 전류 제한기는 상기 제1 풀업 유닛으로부터 상기 제1 풀다운 유닛으로 흐르는 전류를 감소시키도록 구성되는 것인 디바이스.

청구항 3

청구항 2에 있어서, 상기 제1 전류 제한기는,

상기 제1 풀업 유닛과 상기 제1 풀다운 유닛 사이에 결합된 다이오드를 포함하는 것인 디바이스.

청구항 4

청구항 2에 있어서, 상기 레벨 시프터는,

제2 전류 제한기;

상기 제어 신호를 발생하기 위해, 상기 제2 출력 신호에 따라 상기 제2 전류 제한기의 제1 단자의 전압 레벨을 상기 제1 전압으로 풀업하도록 구성되는 제2 풀업 유닛; 및

제2 입력 신호 - 상기 제2 입력 신호는 상기 제1 입력 신호의 반전(inverse)임 - 에 따라 상기 제2 전류 제한기의 제2 단자의 전압 레벨을 상기 제2 전압으로 풀다운하도록 구성되는 제2 풀다운 유닛을 더 포함하고,

상기 제2 전류 제한기는 상기 제2 풀업 유닛으로부터 상기 제2 풀다운 유닛으로 흐르는 전류를 감소시키도록 구성되는 것인 디바이스.

청구항 5

청구항 4에 있어서, 상기 제1 입력 신호에 따라 상기 제2 입력 신호를 발생하도록 구성되는 인버터를 더 포함하는 디바이스.

청구항 6

청구항 4에 있어서,

상기 셀렉터로부터 전송된 상기 제1 출력 신호와 상기 제2 출력 신호 중의 하나의 전압 스윙(voltage swing)을 조정하도록 구성되는 출력단을 더 포함하는 디바이스.

청구항 7

청구항 6에 있어서, 상기 레벨 시프터는,

제1 인에이블 신호와 제2 인에이블 신호 중의 하나에 따라 상기 제1 풀업 유닛 및 상기 제1 풀다운 유닛을 인에이블하도록 구성되는 인에이블 유닛을 더 포함하며, 상기 제1 인에이블 신호는 상기 제2 인에이블 신호의 반전이고,

상기 인에이블 유닛이 상기 제1 인에이블 신호에 따라 상기 레벨 시프터를 인에이블하도록 구성될 때, 상기 인에이블 유닛의 제1 단자는 상기 제1 풀다운 유닛 및 상기 제2 풀다운 유닛에 결합되며, 상기 인에이블 유닛의 제2 단자는 상기 제2 전압을 수신하도록 구성되고,

상기 인에이블 유닛이 상기 제2 인에이블 신호에 따라 상기 레벨 시프터를 인에이블하도록 구성될 때, 상기 인에이블 유닛의 제1 단자는 상기 제1 풀업 유닛 및 상기 제2 풀업 유닛에 결합되며, 상기 인에이블 유닛의 제2 단자는 상기 제1 전압을 수신하도록 구성되는 것인 디바이스.

청구항 8

청구항 1에 있어서, 상기 셀렉터는,

상기 제1 출력 신호를 전송하기 위해, 상기 수신된 제1 입력 신호에 따라 턴온되도록 구성되는 제1 스위칭 유닛; 및

상기 제2 출력 신호를 전송하기 위해, 상기 수신된 제1 입력 신호에 따라 턴온되도록 구성되는 제2 스위칭 유닛을 포함하는 것인 디바이스.

청구항 9

디바이스에 있어서,

제1 출력 신호를 발생하기 위해, 제어 신호에 따라 제1 노드의 전압 레벨을 제1 전압으로 풀업하도록 구성되는 제1 풀업 유닛;

제2 출력 신호를 발생하기 위해, 제1 입력 신호에 따라 제2 노드의 전압 레벨을 제2 전압으로 풀다운하도록 구성되는 제1 풀다운 유닛;

상기 제1 노드와 상기 제2 노드 사이에 결합되며, 상기 제1 풀업 유닛으로부터 상기 제1 풀다운 유닛으로 흐르는 전류를 감소시키도록 구성되는 제1 전류 제한기; 및

상기 제1 입력 신호를 수신하고, 상기 수신된 제1 입력 신호에 따라 상기 제1 출력 신호와 상기 제2 출력 신호 중의 하나를 선택적으로 전송하도록 구성되는 셀렉터를 포함하는 디바이스.

청구항 10

레벨 변환 방법에 있어서,

제1 출력 신호를 발생하기 위해, 제어 신호에 따라, 제1 스위치에 의해, 제1 전류 제한기의 제1 단자의 전압 레벨을 제1 전압으로 풀업하는 단계;

제2 출력 신호를 발생하기 위해, 제1 입력 신호에 따라, 제2 스위치에 의해, 상기 제1 전류 제한기의 제2 단자의 전압 레벨을 제2 전압으로 풀다운하는 단계로서, 상기 제1 전압은 상기 제2 전압보다 더 높은 것인, 풀다운하는 단계;

셀렉터에 의해 상기 제1 입력 신호를 수신하는 단계; 및

상기 수신된 제1 입력 신호에 따라, 상기 셀렉터에 의해, 상기 제1 출력 신호와 상기 제2 출력 신호 중의 하나를 전송하는 단계를 포함하는 레벨 변환 방법.

발명의 설명

기술 분야

본 발명은 레벨 변환 디바이스 및 방법에 관한 것이다.

[0001]

배경 기술

[0002] 제조 프로세스 기술의 급속한 발전으로, 저전력 설계가 많은 응용제품에 널리 이용되어 왔다. 예를 들어, 레벨 시프터(level shifter)는 일반적으로, 서로 상이한 전원 전압들로 동작하는 다양하게 상이한 회로들 사이에 전압 신호들을 인터페이스하는데 사용된다. 그러나, 더 낮은 전원 전압, 예를 들어 문턱 전압 이하(sub-threshold voltage)에서 동작할 때에, 레벨 시프터의 동작은 누설 전류로 인해 고장난다.

발명의 내용

[0003] 레벨 시프터 및 셀렉터를 포함하는 디바이스가 개시된다. 레벨 시프터는 제1 전류 제한기를 포함한다. 레벨 시프터는, 제1 입력 신호에 따라 제1 전류 제한기의 제1 단자에서 제1 출력 신호를 발생하고 제1 전류 제한기의 제2 단자에서 제2 출력 신호를 발생하도록 구성된다. 셀렉터는 제1 입력 신호에 따라 제1 출력 신호와 제2 출력 신호 중의 하나를 선택적으로 전송하도록 구성된다.

도면의 간단한 설명

[0004] 본 개시는 첨부 도면과 함께 볼 때 다음의 상세한 설명으로부터 가장 잘 이해된다. 산업계에서의 표준 실시예에 따라, 다양한 특징부들이 축척대로 도시된 것은 아님을 유의하여야 한다. 사실상, 다양한 특징부들의 치수는 설명을 명확하게 하기 위해 임의로 증가되거나 감소될 수 있다.

- 도 1은 본 개시의 다양한 실시예에 따른 디바이스의 개략도이다.
- 도 2는 본 개시의 다양한 실시예에 따른 도 1의 디바이스의 회로도이다.
- 도 3은 본 개시의 다양한 실시예에 따라 입력 신호 VIN가 1의 논리 값을 가질 때 도 2의 디바이스의 동작의 흐름도이다.
- 도 4는 본 개시의 다양한 실시예에 따라 입력 신호 VIN가 0의 논리 값을 가질 때 도 2의 디바이스의 동작의 흐름도이다.
- 도 5는 본 개시의 다양한 실시예에 따른 도 1의 디바이스의 회로도이다.
- 도 6은 본 개시의 다양한 실시예에 따른 도 1의 디바이스의 회로도이다.
- 도 7은 본 개시의 다양한 실시예에 따른 도 1의 디바이스의 회로도이다.
- 도 8은 본 개시의 다양한 실시예에 따른 도 1의 디바이스의 회로도이다.
- 도 9는 본 개시의 다양한 실시예에 따른 도 1의 디바이스의 회로도이다.
- 도 10은 본 개시의 다양한 실시예에 따른 도 1의 디바이스의 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0005] 다음의 개시는 제공되는 주제의 상이한 특징들을 구현하기 위한 많은 다양한 실시예 또는 예를 제공하는 것이다. 컴포넌트 및 구성의 구체적 예가 본 개시를 단순화하도록 아래에 기재된다. 이들은 물론 단지 예일 뿐이고 한정하고자 하는 것이 아니다. 예를 들어, 이어지는 다음의 기재에서 제2 특징부 상에 또는 위에 제1 특징부를 형성하는 것은, 제1 및 제2 특징부가 직접 접촉하여 형성되는 실시예를 포함할 수 있고, 또한 제1 및 제2 특징부가 직접 접촉하지 않도록 제1 특징부와 제2 특징부 사이에 추가의 특징부가 형성될 수 있는 실시예도 포함할 수 있다. 또한, 본 개시는 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이 반복은 단순하고 명확하게 하기 위한 목적인 것이며, 그 자체가, 설명되는 다양한 실시예 및/또는 구성 간의 관계를 나타내는 것은 아니다.

[0006] 본 명세서에 사용되는 용어는 일반적으로 각 용어가 사용되는 구체적 문맥에서 그리고 당해 기술 분야에서의 통상의 의미를 갖는다. 여기에서 설명되는 임의의 용어의 예를 포함한 본 명세서에서 예의 사용은, 단지 설명을 위한 것이고, 어떠한 방식으로든 본 개시 또는 임의의 예시된 용어의 범위 및 의미를 한정하지 않는다. 마찬가지로, 본 개시는 본 명세서에서 주어진 다양한 실시예에 한정되지 않는다.

[0007] 여기에서 용어 "제1", "제2" 등이 다양한 구성요소들을 기재하는 데 사용될 수 있지만, 이들 구성요소들이 이 용어에 의해 한정되어서는 안 된다. 이들 용어는 한 구성요소를 다른 구성요소와 구별하는 데 사용된다. 예를

들어, 실시예의 범위에서 벗어나지 않고서, 제1 구성요소가 제2 구성요소로 불릴 수 있고, 마찬가지로 제2 구성요소가 제1 구성요소로 불릴 수 있다. 여기에서 사용될 때, 용어 "및/또는"은 연관된 열거된 항목들 중의 하나 이상의 임의의 및 모든 조합들을 포함한다.

- [0008] 도 1은 본 개시의 다양한 실시예에 따른 디바이스(100)의 개략도이다. 일부 실시예에서, 디바이스(100)는 레벨 컨버터에 또는 레벨 컨버터로서 구현된다.
- [0009] 도 1에 예시적으로 도시된 바와 같이, 디바이스(100)는 입력 신호 발생기(120), 레벨 시프터(140), 셀렉터(160), 및 출력단(180)을 포함한다. 설명을 위해, 입력 신호 발생기(120)는 인버터(120A)를 포함한다. 입력 신호 발생기(120)는, 입력 신호 VIN를 입력하고, 입력 신호 VIN에 응답하여 인버터(120A)에 의해 출력 신호 VINB를 더 출력하도록 구성된다. 다르게 말하자면, 일부 실시예에서, 입력 신호 VIN은 입력 VINB의 반전(inverse)이다. 일부 실시예에서, 입력 신호 VINB는 입력 신호 VIN의 위상 시프트이다. 일부 실시예에서, 입력 신호 VINB는 입력 신호 VIN의 논리 또는 산술 연산에 의해 발생된다.
- [0010] 레벨 시프터(140)는 출력 신호 V01 및 출력 신호 V02를 발생하기 위해 입력 신호 VIN의 전압 레벨을 조정하도록 구성된다. 설명을 위해, 입력 신호 VIN의 전압 레벨의 최대 전압은 전압 VDDI로 설정된다. 레벨 시프터(140)는 입력 신호 VIN의 최대 전압을 전압 VDDI로부터 전압 VDDO로 조정할 수 있으며, 전압 VDDO는 전압 VDDI와 상이하다.
- [0011] 셀렉터(160)는 입력 신호 VIN 및 VINB에 따라 출력 신호 V01와 출력 신호 V02 중의 하나를 출력단(180)에 전송하도록 구성된다. 출력단(180)은, 출력 신호 V04를 발생하기 위해, 셀렉터(160)로부터 전송된 출력 신호 V01와 출력 신호 V02 중의 하나의 전압 스윙(voltage swing)을 조정하도록 구성된다. 일부 실시예에서, 출력단(180)은 출력 신호 V04를 발생하도록 출력 신호 V01와 V02 중의 하나의 전압 스윙을 전체(full) 범위로 풀(pull)하는 하나 이상의 버퍼를 포함한다. 효과적으로, 디바이스(100)의 구동 능력은 출력단(180)에 의해 증가된다. 설명을 위해, 전압 스윙의 전체 범위는, 예를 들어 접지 전압인 전압 VSS로부터, 예를 들어 전원 전압인 전압 VDDO까지 구성된다.
- [0012] 일부 실시예에서, 입력 신호 발생기(120)는 전압 VDDI로 동작하는 반면에, 레벨 시프터(140), 셀렉터(160), 및 출력단(180)은 전압 VDDO로 동작한다. 일부 실시예에서, 전압 VDDI는 전압 VDDO보다 낮거나 이와 동일하다. 예를 들어, 전압 VDDI는 약 0.2 볼트 내지 약 1.2 볼트 범위이고, 전압 VDDO는 약 1.2 볼트이다. 대안으로서, 일부 다른 실시예에서, 전압 VDDI는 전압 VDDO보다 높거나 이와 동일하다. 예를 들어, 전압 VDDI는 약 1.2 볼트이고, 전압 VDDO는 약 0.2 볼트 내지 약 1.2 볼트 범위이다. 다르게 말하자면, 일부 실시예에서, 레벨 시프터(140)는 입력 신호 VIN의 전압 레벨을 더 높은 전압으로 풀업(pull up)할 수 있다. 대안으로서, 일부 실시예에서, 레벨 시프터(140)는 입력 신호 VIN의 전압 레벨을 더 낮은 전압으로 풀다운(pull down)할 수 있다.
- [0013] 전압 VDDI 및 전압 VDDO의 구성은 설명을 위한 목적으로 주어진 것이다. 전압 VDDI 및 전압 VDDO의 다양한 구성들이 본 개시의 고려할 수 있는 범위 내에 속한다.
- [0014] 이제 도 2를 참조하자. 도 2는 본 개시의 다양한 실시예에 따라 도 1의 디바이스(100)의 회로도이다.
- [0015] 일부 실시예에서, 레벨 시프터(140)는 스위치(M1-M4) 및 전류 제한기(141 및 142)를 포함한다. 레벨 시프터(140)는 전류 제한기(141)의 제1 단자에서 출력 신호 V01을 발생하고, 전류 제한기(141)의 제2 단자에서 출력 신호 V02를 발생한다.
- [0016] 설명을 위해, 스위치 M1의 제1 단자는 전압 VDDO를 수신하도록 구성되고, 스위치 M1의 제2 단자는 전류 제한기(141)의 제1 단자에 결합되고, 스위치 M1의 제어 단자는 전류 제한기(142)의 제2 단자에 결합되고 제어 신호 VC를 수신한다. 스위치 M2의 제1 단자는 전류 제한기(141)의 제2 단자에 결합되고, 스위치 M2의 제2 단자는 전압 VSS를 수신하도록 구성되고, 스위치 M2의 제어 단자는 입력 신호 VIN을 수신하도록 구성된다. 스위치 M3의 제1 단자는 전압 VDDO를 수신하도록 구성되고, 스위치 M3의 제2 단자는 전류 제한기(142)의 제1 단자에 결합되고, 스위치 M3의 제어 단자는 출력 신호 V02를 수신하도록 전류 제한기(141)의 제2 단자에 결합된다. 스위치 M4의 제1 단자는 전류 제한기(142)의 제2 단자에 결합되고, 스위치 M4의 제2 단자는 전압 VSS를 수신하도록 구성되고, 스위치 M4의 제어 단자는 입력 신호 VINB를 수신하도록 구성된다. 일부 실시예에서, 전압 VSS는 전압 VDDO보다 더 낮다.
- [0017] 일부 실시예에서, 스위치 M1 및 M3은 레벨 시프터(140)의 풀업 유닛으로서 동작한다. 설명을 위해, 스위치 M1이 제어 신호 VC에 의해 턴온될 때, 따라서 전류 제한기(141)의 제1 단자의 전압 레벨은 스위치 M1을 통해 전압 VDDO로 풀업된다. 그에 따라, 전류 제한기(141)의 제1 단자는 풀업된 전압 레벨에 대응하여 출력 신호 V01를

발생한다. 스위치 M3이 출력 신호 V02에 의해 턴온될 때, 전류 제한기(142)의 제1 단자의 전압 레벨은 스위치 M3을 통해 전압 VDD0로 풀업된다.

- [0018] 스위치 M1 및 M3에 대응하여, 스위치 M2 및 M4는 레벨 시프터(140)의 풀다운 유닛으로서 동작한다. 설명을 위해, 스위치 M2가 입력 신호 VIN에 의해 턴온될 때, 전류 제한기(141)의 제2 단자의 전압 레벨은 스위치 M2를 통해 전압 VSS로 풀다운된다. 스위치 M4가 입력 신호 VINB에 의해 턴온될 때, 전류 제한기(142)의 제2 단자의 전압 레벨은 전압 VSS로 풀다운된다. 그에 따라, 전류 제한기(142)의 제2 단자는 풀다운된 전압 레벨에 대응하여 제어 신호 VC를 발생한다.
- [0019] 스위치(M1-M4)에 대한 구성으로, 레벨 시프터(140)에서 자기제어(self-control) 메커니즘이 구현된다. 상세한 동작은 도 3 및 도 4를 참조하여 아래에 기재된다.
- [0020] 전류 제한기(141 및 142)를 사용하지 않는 일부 접근법에서는, 입력 신호 VIN가 예를 들어 약 0.2 볼트의 전압 레벨을 갖는, 문턱 전압 이하일 때에, 스위치 M1 및 스위치 M2가 동시에 턴온된다. 이러한 조건에서, 스위치 M1로부터 스위치 M2로 흐르는 전류 IM1이 스위치 M2를 통해 흐르는 전류 IM2보다 더 큰 경우, 스위치 M2의 풀다운 동작은 실패한다. 실질적으로, 레벨 시프터(140)의 동작은 실패한다. 상기에 기초하여, 이 접근법에서의 디바이스는 문턱 전압 이하로는 동작될 수 없다.
- [0021] 전술한 접근법과 비교하여, 일부 실시예에서, 전류 제한기(141)는 스위치 M1로부터 스위치 M2로 흐르는 전류 IM1을 감소시키도록 이용되고, 전류 제한기(142)는 스위치 M3으로부터 스위치 M4로 흐르는 전류 IM3을 감소시키도록 이용된다. 대안으로 서술하자면, 전류 제한기(141)는 스위치 M1과 M2 사이에 전압 드롭(voltage drop)을 발생시키도록 구성되며, 전압 드롭은 전류 IM1을 감소시키기에 충분하다. 전류 제한기(142)는 스위치 M3과 M4 사이에 전압 드롭을 발생시키도록 구성되며, 전압 드롭은 전류 IM3을 감소시키기에 충분하다. 이러한 구성으로, 스위치 M2는, 입력 신호 VIN이 낮은 전압, 예를 들어 문턱 전압 이하일 때, 전류 제한기(141)의 제2 단자의 전압 레벨을 전압 VSS로 풀다운할 수 있다.
- [0022] 일부 실시예에서, 전류 제한기(141) 및 전류 제한기(142)는 저항성 디바이스이다. 다양한 실시예에서, 전류 제한기(141) 및 전류 제한기(142)는 다이오드이다. 부가의 실시예에서, 전류 제한기(141) 및 전류 제한기(142)를 구현하기 위한 다이오드는 다양한 타입의 트랜지스터로 형성된다. 설명을 위해, 도 2에 도시된 바와 같이, 전류 제한기(141)는 다이오드 접속된 금속-산화물-실리콘 전계-효과 트랜지스터(MOSFET; metal-oxide-silicon field-effect transistor) M5를 포함하고, 전류 제한기(142)는 다이오드 접속된 MOSFET M6을 포함한다. 실질적으로, 다이오드 접속된 MOSFET M5는 스위치 M1과 M2 사이에, 전압 드롭, 즉 다이오드 접속된 MOSFET M5의 문턱 전압을 제공한다. 다이오드 접속된 MOSFET M6도 또한, 스위치 M3과 M4 사이에 전압 드롭, 즉 다이오드 접속된 MOSFET M6의 문턱 전압을 제공한다. 그 결과, 스위치 M2를 향해 흐르는 전류 IM1 및 스위치 M4를 향해 흐르는 전류 IM3이 감소된다.
- [0023] 전류 제한기(141 및 142)의 구성은 설명을 위한 목적으로 주어진 것이다. 전류 제한기(141 및 142)의 다양한 구성이 본 개시의 고려할 수 있는 범위 내에 속한다.
- [0024] 계속해서 도 2를 참조하면, 일부 실시예에서, 셀렉터(160)는 스위치 M7 및 M8을 포함한다. 스위치 M7은 전류 제한기(141)의 제1 단자와 출력단(180) 사이에 결합된다. 스위치 M7은, 출력 신호 NO1를 전류 제한기(141)의 제1 단자로부터 출력단(180)으로 전송하기 위해, 입력 신호 VIN에 따라 턴온되도록 구성된다. 스위치 M8은 전류 제한기(141)의 제2 단자와 출력단(180) 사이에 결합된다. 스위치 M8은, 출력 신호 V02를 전류 제한기(141)의 제2 단자로부터 출력단(180)으로 전송하기 위해, 입력 신호 VIN에 따라 턴온되도록 구성된다.
- [0025] 이제 도 2와 도 3을 함께 참조하자. 도 3은 본 개시의 일부 실시예에 따라 입력 신호 VIN가 1의 논리 값을 가질 때 도 2의 디바이스(100)의 동작의 흐름도(300)이다.
- [0026] 다양한 실시예에서, 입력 신호 VIN은 1 또는 0의 논리 값을 가질 수 있다. 도 3에 도시된 바와 같이, 도 2의 디바이스(100)의 동작은 1의 논리 값을 갖는 입력 신호 VIN에 관련하여 기재된다.
- [0027] 동작 S310에서, 스위치 M2는 입력 신호 VIN에 의해 턴온된다. 동작 S320에서, MOSFET M5의 제2 단자의 전압 레벨은 전압 VSS로 풀다운된다. 그에 따라, MOSFET M5의 제2 단자의 풀다운된 전압 레벨에 대응하는 출력 신호 V02가 발생된다. 동작 S330에서, 스위치 M8은 출력단(180)에 출력 신호 V02를 전송하도록 입력 신호 VIN에 의해 턴온된다. 동작 S340에서, 출력단(180)은 출력 신호 V02에 응답하여 출력 신호 V04를 출력한다.
- [0028] 일부 실시예에서, 입력 VIN 및 VINB의 전압 스윙은 전압 VSS 내지 전압 VDDI 범위이며, 전압 VSS는 0의 논리 값

에 대응하고 전압 VDDI는 1의 논리 값에 대응한다. 설명을 위해, 도 2에 도시된 바와 같이, 입력 신호 VIN이 1의 논리 값을 가질 때, 입력 신호 VINB는 그에 따라 0의 논리 값을 갖는다. 따라서 스위치 M2는 입력 신호 VIN에 의해 턴온된다. 그에 따라, MOSFET M5의 제2 단자의 전압 레벨은, 전압 VSS의 레벨을 갖는 출력 신호 VO2를 발생하기 위해, 전압 VSS로 풀다운된다. 그 다음, MOSFET M5의 제1 단자의 전압 레벨은 다이오드 접속된 MOSFET M5를 통해 전압 VSS+VTH5로 전이되며(transit), VTH5는 MOSFET M5의 문턱 전압이다. 또한, 스위치 M8은 출력단(180)에 출력 신호 VO2를 전송하도록 입력 신호 VIN에 의해 턴온된다. 출력단(180)은 출력 신호 VO2에 따라 1의 논리 값을 갖는 출력 신호 VO4를 발생한다.

[0029] 상기 기재된 바와 같이, 상기에 예시된 동작 S310-S340에서, 다이오드 접속된 MOSFET M5는 스위치 M1과 M2 사이에 전압 드롭, 즉 MOSFET M5의 문턱 전압을 제공한다. 다르게 말하자면, 다이오드 접속된 MOSFET M5는, 전류 제한기를 사용하지 않는 접근법에 비교하여, 스위치 M5로부터 스위치 M2로 흐르는 전류를 감소시키도록 저항을 제공하기 위해, 스위치 M1과 M2 사이에 저항성 디바이스로서 효과적으로 동작한다. 이러한 구성으로, 스위치 M1로부터 스위치 M2로 흐르는 전류 IM1이 감소된다. 그 결과, 스위치 M2의 풀다운 동작이 문턱 전압 이하로 수행될 수 있다.

[0030] 이제 도 2와 도 4를 함께 참조하자. 도 4는 본 개시의 다양한 실시예에 따라 입력 신호 VIN이 0의 논리 값을 가질 때 도 2의 디바이스(100)의 동작(400)의 흐름도이다.

[0031] 대안으로서, 도 4에 도시된 바와 같이, 도 2의 디바이스(100)의 동작은 0의 논리 값을 갖는 입력 신호 VIN로 기재된다. 동작 S410에서, 스위치 M2는 입력 신호 VIN에 의해 턴오프된다. 동작 S420에서, 스위치 M4는 입력 신호 VINB에 의해 턴온된다. 동작 S430에서, MOSFET M6의 제2 단자의 전압 레벨은 제어 신호 VC를 발생하도록 전압 VSS로 풀된다. 동작 S440에서, 스위치 M1은 제어 신호 VC에 의해 턴온된다. 동작 S450에서, MOSFET M5의 제1 단자의 전압 레벨은 전압 VDDO로 풀업된다. 그에 따라, MOSFET M5의 제2 단자의 풀업된 전압 레벨에 대응하는 출력 신호 VO1이 발생된다. 동작 S460에서, 스위치 M7은 출력 신호 VO1을 출력단(180)에 전송하도록 입력 신호 VIN에 의해 턴온된다. 동작 S470에서, 출력단(180)은 출력 신호 VO1에 응답하여 출력 신호 VO4를 출력한다.

[0032] 설명을 위해, 도 2에 도시된 바와 같이, 입력 신호 VIN가 0의 논리 값을 가질 때, 입력 신호 VINB는 그에 따라 1의 논리 값을 갖는다. 따라서 스위치 M2는 입력 신호 VIN에 의해 턴오프된다. 따라서 스위치 M4는 MOSFET M6의 제2 단자에 전압 VSS를 전송하도록 입력 신호 VINB에 의해 턴온된다. 그에 따라, MOSFET M6의 제2 단자의 전압 레벨은 제어 신호 VC를 발생하도록 전압 VSS로 풀다운된다. 스위치 M1은 제어 신호 VC에 의해 턴온된다. 그에 따라, MOSFET M5의 제1 단자의 전압 레벨은, 전압 VDDO의 레벨을 갖는 출력 신호 VO1을 발생하도록, 전압 VDDO로 풀업된다. 그 다음, MOSFET M5의 제2 단자의 전압 레벨은 전압 VDDO-VTH5로 전이된다. 스위치 M7은 또한, 출력단(180)에 출력 신호 VO1을 전송하도록, 입력 신호 VIN에 의해 턴온된다. 그 결과, 출력단(180)은 출력 신호 VO2에 따라 0의 논리 값을 갖는 출력 신호 VO4를 발생한다.

[0033] 상기에 예시된 동작 S410-470에서, 다이오드 접속된 MOSFET M6은 스위치 M3과 M4 사이에 전압 드롭, 즉 MOSFET M6의 문턱 전압을 제공한다는 것을 유의하여야 한다. 다르게 말하자면, 다이오드 접속된 MOSFET M6는, 스위치 M6으로부터 스위치 M2로 흐르는 전류를 감소시키도록 저항을 제공하기 위해, 스위치 M3과 M4 사이에 저항성 디바이스로서 효과적으로 동작한다. 이러한 구성으로, 스위치 M3으로부터 스위치 M4로 흐르는 전류 IM3이 감소된다. 그 결과, 스위치 M4의 풀다운 동작은 문턱 전압 이하로 수행될 수 있다.

[0034] 일부 실시예에서, 도 3의 흐름도(300)에 예시된 동작 및 도 4의 흐름도(400)에 예시된 동작은 레벨 변환 방법으로서 구현된다.

[0035] 이제 도 5를 참조하자. 도 5는 본 개시의 다양한 실시예에 따른 도 1의 디바이스(100)의 회로도이다.

[0036] 도 2의 디바이스(100)와 비교하여, 도 5에서의 유사한 구성요소들은 이해를 쉽게 하기 위해 동일한 참조 번호로 지정되어 있다. 도 5에 예시된 일부 실시예에서, 디바이스(100)의 입력 신호 발생기(120)는 NAND 게이트(120B)를 더 포함한다. NAND 게이트(120B)의 출력 단자는 인버터(120A)의 입력 단자에 결합된다. 일부 실시예에서, NAND 게이트(120B)는 입력 신호 발생기(120)의 인에이블 유닛으로서 동작한다. 설명을 위해, NAND 게이트(120B)는, 초기 입력 신호 IN 및 인에이블 신호 EN를 수신하고, 초기 입력 신호 IN 및 인에이블 신호 EN에 따라 입력 신호 VINB를 인버터(120A)에 출력하도록 구성된다. 인버터(120A)는 또한 입력 신호 VINB에 따라 입력 신호 VIN를 출력하도록 구성된다.

[0037] 초기 입력 신호 IN 및 인에이블 신호 EN이 둘 다 1의 논리 값을 가질 때, 입력 신호 VINB는 0의 논리 값을 갖는

다. 그에 따라, 입력 신호 VIN은 1의 논리 값을 갖는다. 이러한 구성으로, 레벨 시프터(140)는, 인에이블 신호 EN가 1의 논리 값을 가질 때, 상기 설명된 바와 같이, 입력 신호 VIN에 대한 레벨 변환을 수행하도록 인에이블된다.

- [0038] 초기 입력 신호 IN이 1의 논리 값을 갖고 인에이블 신호 EN이 0의 논리 값을 가질 때, 디바이스(100)는 디스에이블된다. 이러한 조건에서, NAND 게이트(120B)는 1의 논리 값을 갖는 입력 신호 VINB를 출력한다. 그 다음, 인버터(120A)는 0의 논리 값을 갖는 입력 신호 VIN를 출력한다. 그에 따라, 도 4에서 상기에 설명된 바와 같이, 스위치 M7은, 1의 논리 값을 갖는 출력 신호 V01를 출력단(180)에 전송하도록, 입력 신호 VIN에 의해 턴온된다. 그 결과, 출력단(180)은 1의 논리 값을 갖는 출력 신호 V01를 수신하고 0의 논리 값을 갖는 출력 신호 V04를 출력한다. 다르게 말하자면, 디바이스(100)가 디스에이블될 때, 디바이스(100)는, 플로팅(floating) 전압을 출력하는 대신, 0의 논리 값을 갖는 출력 신호 V04를 계속 출력한다.
- [0039] 일부 실시예에서, NAND 게이트(120B) 및 인버터(120A)는 전압 VDDI로 동작한다. 다르게 말하자면, 입력 신호 VIN 및 VINB의 최대 전압 레벨 및 인에이블 신호 EN의 최대 전압 레벨 둘 다 전압 VDDI로 설정된다.
- [0040] 이제 도 6을 참조하자. 도 6은 본 개시의 다양한 실시예에 따른 도 1의 디바이스(100)의 회로도이다.
- [0041] 도 2의 디바이스(100)와 비교하여, 도 6에서의 유사한 구성요소들은 이해를 쉽게 하기 위해 동일한 참조 번호로 지정되어 있다. 도 6에 예시된 일부 실시예에서, 디바이스(100)의 입력 신호 발생기(120)는 NOR 게이트(120C)를 더 포함한다. NOR 게이트(120C)의 출력 단자는 인버터(120A)의 입력 단자에 결합된다. 일부 실시예에서, NOR 게이트(120C)는 입력 신호 발생기(120)의 인에이블 유닛으로서 동작한다. 설명을 위해, NOR 게이트(120C)는, 초기 입력 신호 IN 및 인에이블 신호 ENB를 수신하고, 그에 따라 입력 신호 VINB를 인버터(120A)에 출력하도록 구성된다. 인버터(120A)는 입력 신호 VINB에 따라 입력 신호 VIN를 출력하도록 구성된다. 일부 실시예에서, NOR 게이트(120C) 및 인버터(120A)는 전압 VDDI로 동작한다.
- [0042] 또한, 도 5의 디바이스(100)와 비교하여, 도 6에 예시된 일부 실시예에서, 디바이스(100)는 인에이블 신호 ENB가 0의 논리 값을 가질 때 인에이블된다. 인에이블 신호 ENB가 1의 논리 값을 가질 때, NOR 게이트(120C)는 0의 논리 값을 갖는 입력 신호 VINB를 출력한다. 따라서 인버터(120A)는 1의 논리 값을 갖는 입력 신호 VIN를 발생한다. 그 결과, 출력단(180)은 1의 논리 값을 갖는 출력 신호 V04를 출력한다. 다르게 말하자면, 디바이스(100)가 디스에이블될 때, 디바이스(100)는, 플로팅 전압을 출력하는 대신, 1의 논리 값을 갖는 출력 신호 V04를 계속 출력한다.
- [0043] 도 5 및 도 6의 입력 신호 발생기(120)의 구성은 설명을 위한 목적으로 주어진 것이다. 입력 신호 발생기(120)의 다양한 구성이 본 개시의 고려할 수 있는 범위 내에 속한다.
- [0044] 이제 도 7을 참조하자. 도 7은 본 개시의 다양한 실시예에 따른 도 1의 디바이스(100)의 회로도이다.
- [0045] 도 2의 디바이스(100)와 비교하여, 도 7에서의 유사한 구성요소는 이해를 쉽게 하기 위해 동일한 참조 번호로 지정되어 있다. 도 7에 예시된 일부 실시예에서, 레벨 시프터(140)는 스위치 M9를 더 포함한다. 스위치 M9의 제1 단자는 스위치 M2 및 M4의 제2 단자에 결합되고, 스위치 M9의 제2 단자는 전압 VSS를 수신하도록 구성되고, 스위치 M9의 제어 단자는 인에이블 신호 EN을 수신하도록 구성된다. 스위치 M9는 스위치 M1-M6를 인에이블하기 위해 인에이블 신호 EN에 따라 턴온되도록 구성된다. 다르게 말하자면, 일부 실시예에서, 스위치 M9는 레벨 시프터(140)의 인에이블 유닛으로서 동작한다.
- [0046] 또한, 도 2와 비교하여, 도 7에 예시된 일부 실시예에서, 디바이스(100)의 출력단(180)은 버퍼(182), 제어 유닛(184) 및 버퍼(186)를 포함한다. 버퍼(182)의 입력 단자는 출력 신호 V01과 출력 신호 V02 중의 하나를 수신하도록 셀렉터(160)에 결합된다. 그 다음, 버퍼(182)는 출력 신호 V01과 출력 신호 V02 중의 하나에 따라 출력 신호 V03를 출력한다. 제어 회로(184)는 버퍼(182와 186) 사이에 결합된다. 제어 회로(184)는 출력 신호 V03 및 인에이블 신호 EN에 따라 버퍼 신호 VB를 출력하도록 구성된다. 버퍼(186)는 버퍼 신호 VB에 따라 출력 신호 V04를 출력하도록 구성된다. 일부 실시예에서, 제어 회로(184)는 NAND 게이트(184A)를 포함한다. 설명을 위해, 도 7에 도시된 바와 같이, 인에이블 신호 EN가 1의 논리 값을 가질 때, 스위치 M9는 스위치 M1-M6을 인에이블하도록 턴온된다. 이러한 조건에서, 도 3 및 도 4에서 상기에 설명된 바와 같이, 버퍼 신호 VB의 논리 값은 출력 신호 V03에 의해 결정된다. 출력 신호 V03이 1의 논리 값을 가질 때, 버퍼 신호 VB는 0의 논리 값을 갖는다. 대안으로서, 출력 신호 V03이 0의 논리 값을 가질 때, 버퍼 신호 VB는 1의 논리 값을 갖는다. 인에이블 신호 EN이 0의 논리 값을 가질 때, 스위치 M9는 턴오프되고, 스위치 M1-M6도 또한 턴오프된다. 실질적으로, 레벨 시프터(140)는 디스에이블된다. 이러한 조건에서, NAND 게이트(184A)는 1의 논리 값을 갖는 버퍼 신호 VB

를 출력한다. 그 결과, 버퍼(186)는 그에 따라 0의 논리 값의 출력 레벨을 출력한다. 이러한 구성으로, 레벨 시프터(140)가 디스에이블될 때, 디바이스(100)는, 플로팅 전압을 출력하는 대신, 0의 논리 값을 갖는 출력 신호 V04를 계속 출력한다.

[0047] 일부 실시예에서, 스위치 M9 및 출력단(180)은 전압 VDD0으로 동작한다. 다르게 말하자면, 인에이블 신호 EN의 최대 전압 레벨은 전압 VDD0로 설정된다.

[0048] 이제 도 8을 참조하자. 도 8은 본 개시의 다양한 실시예에 따른 도 1의 디바이스(100)의 회로도이다.

[0049] 도 7의 디바이스(100)와 비교하여, 도 8에서의 유사한 구성요소는 이해를 쉽게 하기 위해 동일한 참조 번호로 지정되어 있다. 도 8에 예시된 일부 실시예에서, 디바이스(100)의 스위치 M10은 스위치 M1 및 M3에 결합된다. 일부 실시예에서, 스위치 M10의 제1 단자는 전압 VDD0을 수신하도록 구성되고, 스위치 M10의 제2 단자는 스위치 M1 및 M3의 제1 단자 둘 다에 결합되고, 스위치 M10의 제어 단자는 인에이블 신호 ENB를 수신하도록 구성된다. 스위치 M10은 스위치 M1-M6를 인에이블하기 위해 인에이블 신호 ENB에 따라 턴온되도록 구성된다. 일부 실시예에서, 인에이블 신호 ENB는 인에이블 신호 EN의 반전이다. 설명을 위해, 인에이블 신호 EN이 1의 값을 가질 때, 인에이블 신호 ENB는 0의 값을 갖는다. 이러한 조건에서, 스위치 M10은 스위치 M1-M6를 인에이블하도록 턴온된다. 버퍼 신호 VB의 논리 값은, 레벨 시프터(140)로부터 전송된 출력 신호 V01과 출력 신호 V02 중의 하나에 따라 결정된다. 대안으로서, 인에이블 신호 EN이 0의 논리 값을 가질 때, 인에이블 신호 ENB는 1의 논리 값을 갖는다. 이러한 조건에서, 스위치 M9가 턴오프된다. 실질적으로, 레벨 시프터(140)는 디스에이블된다. 그 결과, NAND 게이트(184A)는 1의 논리 값을 갖는 버퍼 신호 VB를 출력하고, 버퍼(183)는 0의 논리 값을 갖는 출력 신호 V04를 계속 출력한다.

[0050] 이제 도 9를 참조하자. 도 9는 본 개시의 다양한 실시예에 따른 도 1의 디바이스(100)의 회로도이다.

[0051] 도 7의 디바이스(100)와 비교하여, 도 9에서의 유사한 구성요소는 이해를 쉽게 하기 위해 동일한 참조 번호로 지정되어 있다. 도 9에 예시된 일부 실시예에서, 제어 회로(184)는 셀렉터(160)의 출력 단자 및 버퍼(182)에 결합된다. 제어 회로(184)는 인에이블 신호 EN에 따라 버퍼(182)에 전압 VDD0을 전송하도록 구성된다. 버퍼(182)는, 출력 신호 V01과 V02 중의 하나, 및 전압 VDD0을 수신하고 그에 따라 출력 신호 V03을 출력하도록 구성된다. 버퍼(186)는, 출력 신호 V03을 수신하도록 버퍼(182)에 결합되고, 출력 신호 V03에 응답하여 출력 신호 V04를 출력한다.

[0052] 일부 실시예에서, 제어 회로(184)는 스위치 M11를 포함한다. 스위치 M11의 제1 단자는 전압 VDD0을 수신하도록 구성되고, 스위치 M11의 제2 단자는 출력 신호 V01과 V02 중의 하나를 수신하도록 셀렉터(160)에 결합되고, 스위치 M11의 제어 단자는 인에이블 신호 EN를 수신하도록 구성된다. 설명을 위해, 인에이블 신호가 1의 논리 값을 가질 때, 스위치 M9가 턴온되고, 스위치 M11가 턴오프된다. 그에 따라, 스위치 M1-M6은 인에이블된다. 그 결과, 도 3 및 도 4에서 상기에 설명된 바와 같이, 출력 신호 V04의 논리 값은 입력 VIN에 따라 결정된다. 대안으로서, 인에이블 신호 EN이 0의 논리 값을 가질 때, 스위치 M9는 스위치 M1-M6를 디스에이블하도록 턴오프된다. 이러한 조건에서, 스위치 M11은, 버퍼(182)에 전압 VDD0을 전송하도록, 인에이블 신호 EN에 의해 턴온된다. 실질적으로, 버퍼(182)는 1의 논리 값을 갖는 신호를 수신한다. 그 결과, 버퍼(184)는 1의 논리 값을 갖는 출력 신호 V04를 출력한다. 이러한 구성으로, 레벨 시프터(140)가 디스에이블될 때, 디바이스(100)는, 플로팅 전압을 출력하는 대신, 1의 논리 값을 갖는 출력 신호 V04를 계속 출력한다.

[0053] 이제 도 10을 참조하자. 도 10은 본 개시의 다양한 실시예에 따른 도 1의 디바이스(100)의 회로도이다.

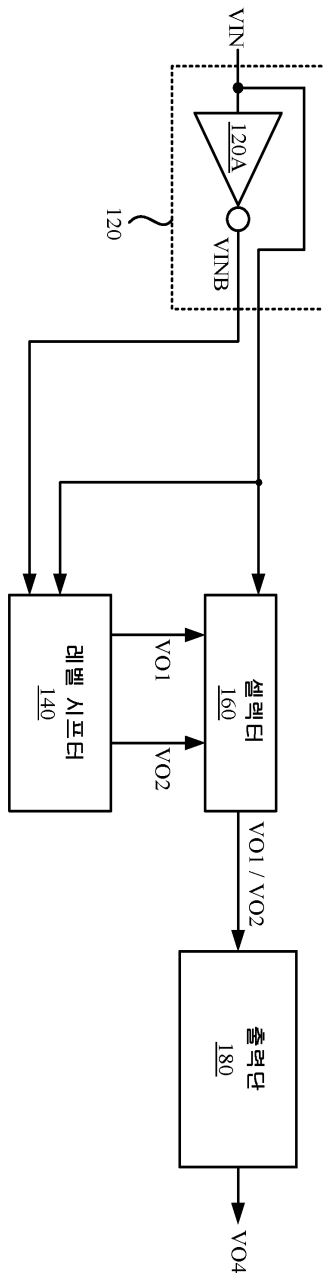
[0054] 도 8 및 도 9의 디바이스(100)와 비교하여, 도 10에서의 유사한 구성요소는 이해를 쉽게 하기 위해 동일한 참조 번호로 지정되어 있다. 도 10에 예시된 일부 실시예에서, 제어 회로(184)는 셀렉터(160)의 출력 단자 및 버퍼(182)에 결합된다. 도 10의 제어 회로(184)의 구성은 도 9의 제어 회로(184)의 구성과 동일하다. 따라서, 관련된 설명은 여기에서 반복되지 않는다.

[0055] 설명을 위해, 도 10에 도시된 바와 같이, 인에이블 신호 EN이 1의 논리 값을 가질 때, 인에이블 신호 ENB는 0의 논리 값을 갖는다. 그에 따라, 스위치 M10은 인에이블 신호 ENB에 의해 턴온되고, 스위치 M11은 인에이블 신호 EN에 의해 턴오프된다. 그 결과, 스위치 M1-M6이 인에이블되고, 도 3 및 도 4에서 상기에 설명된 바와 같이, 출력 신호 V04의 논리 값은 입력 신호 VIN에 따라 결정된다. 대안으로서, 인에이블 신호 EN이 0의 논리 값을 가질 때, 인에이블 신호 ENB는 1의 논리 값을 갖는다. 따라서, 스위치 M10은 스위치 M1-M6을 디스에이블하도록 인에이블 신호 ENB에 의해 턴오프되고, 스위치 M11은 버퍼(182)에 전압 VDD0을 전송하도록 인에이블 신호 EN에 의해 턴온된다. 그 결과, 버퍼(186)는 1의 논리 값을 갖는 출력 신호 V04를 출력한다.

- [0056] 상기 기재된 바와 같이, 본 개시의 디바이스(100)는 저전압 회로 및 시스템에 대하여 문턱 전압 이하의 전압을 표준 공급 전압으로 변환할 수 있다. 또한, 본 개시의 디바이스(100)는 실제 응용에 따라 표준 공급 전압을 문턱 전압 이하의 전압으로 변환할 수도 있다. 다르게 말하자면, 본 개시의 디바이스(100)는 넓은 전압 동작 범위로 동작할 수 있다.
- [0057] 본 명세서에서, 용어 "결합된다"는 "전기적으로 결합된다"로도 칭해질 수 있고, 용어 "접속된다"는 "전기적으로 접속된다"로 칭해질 수 있다. "결합된다" 및 "접속된다"는 또한, 둘 이상의 구성요소들이 서로 협력하거나 상호작용함을 나타내도록 사용될 수 있다.
- [0058] 일부 실시예에서, 레벨 시프터 및 셀렉터를 포함하는 디바이스가 개시된다. 레벨 시프터는 제1 전류 제한기를 포함한다. 레벨 시프터는, 제1 입력 신호에 따라 제1 전류 제한기의 제1 단자에서 제1 출력 신호를 발생하고 제1 전류 제한기의 제2 단자에서 제2 출력 신호를 발생하도록 구성된다. 셀렉터는 제1 입력 신호에 따라 제1 출력 신호와 제2 출력 신호 중의 하나를 선택적으로 전송하도록 구성된다.
- [0059] 또한, 제1 풀업 유닛, 제1 풀다운 유닛, 및 제1 전류 제한기를 포함하는 디바이스가 개시된다. 제1 풀업 유닛은, 제1 출력 신호를 발생하기 위해, 제어 신호에 따라 제1 노드의 전압 레벨을 제1 전압으로 풀업하도록 구성된다. 제1 풀다운 유닛은, 제2 출력 신호를 발생하기 위해, 제1 입력 신호에 따라 제2 노드의 전압 레벨을 제2 전압으로 풀다운하도록 구성된다. 제1 전류 제한기는 제1 노드와 제2 노드 사이에 결합되며, 제1 풀업 유닛으로부터 제1 풀다운 유닛으로 흐르는 전류를 감소시키도록 구성된다.
- [0060] 아래의 동작을 포함하는 방법도 또한 개시된다. 제1 전류 제한기의 제1 단자의 전압 레벨은, 제1 출력 신호를 발생하기 위해, 제어 신호에 따라 제1 스위치에 의해 제1 전압으로 풀업된다. 제1 전류 제한기의 제2 단자의 전압 레벨은, 제2 출력 신호를 발생하기 위해, 제1 입력 신호에 따라 제2 스위치에 의해 제2 전압으로 풀다운되며, 제1 전압은 제2 전압보다 더 높다. 제1 입력 신호에 따라, 셀렉터에 의해, 제1 출력 신호와 제2 출력 신호 중의 하나가 전송된다.
- [0061] 전술한 바는 당해 기술 분야에서의 숙련자들이 본 개시의 양상들을 보다 잘 이해할 수 있도록 여러 실시예들의 특징을 나타낸 것이다. 당해 기술 분야에서의 숙련자들은, 여기에 소개된 실시예와 동일한 목적을 수행하고 그리고/또는 동일한 이점을 달성하기 위해 다른 프로세스 및 구조를 설계 또는 수정하기 위한 기반으로서 본 개시를 용이하게 사용할 수 있다는 것을 알아야 한다. 당해 기술 분야에서의 숙련자라면 또한, 이러한 등가의 구성은 본 개시의 사상 및 범위에서 벗어나지 않으며, 본 개시의 사상 및 범위에서 벗어나지 않고서 여기에 다양한 변경, 치환, 및 대안을 행할 수 있다는 것을 알아야 한다.

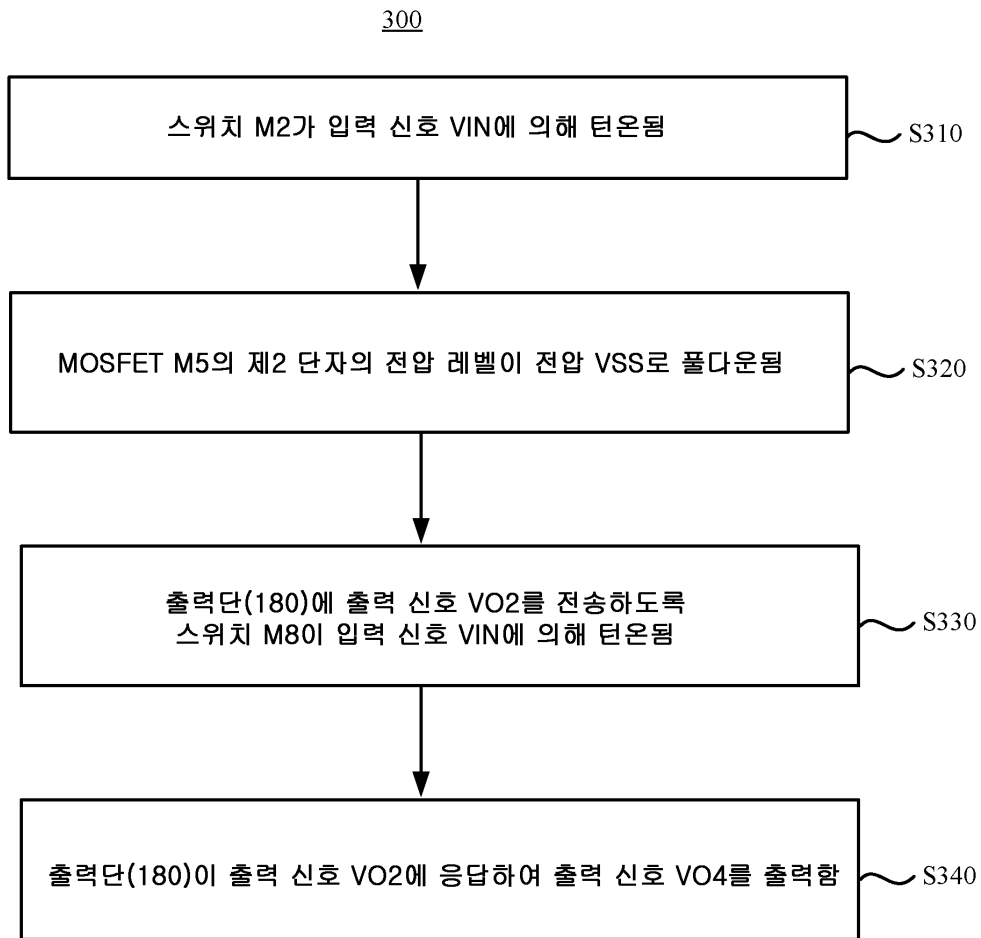
도면

도면1

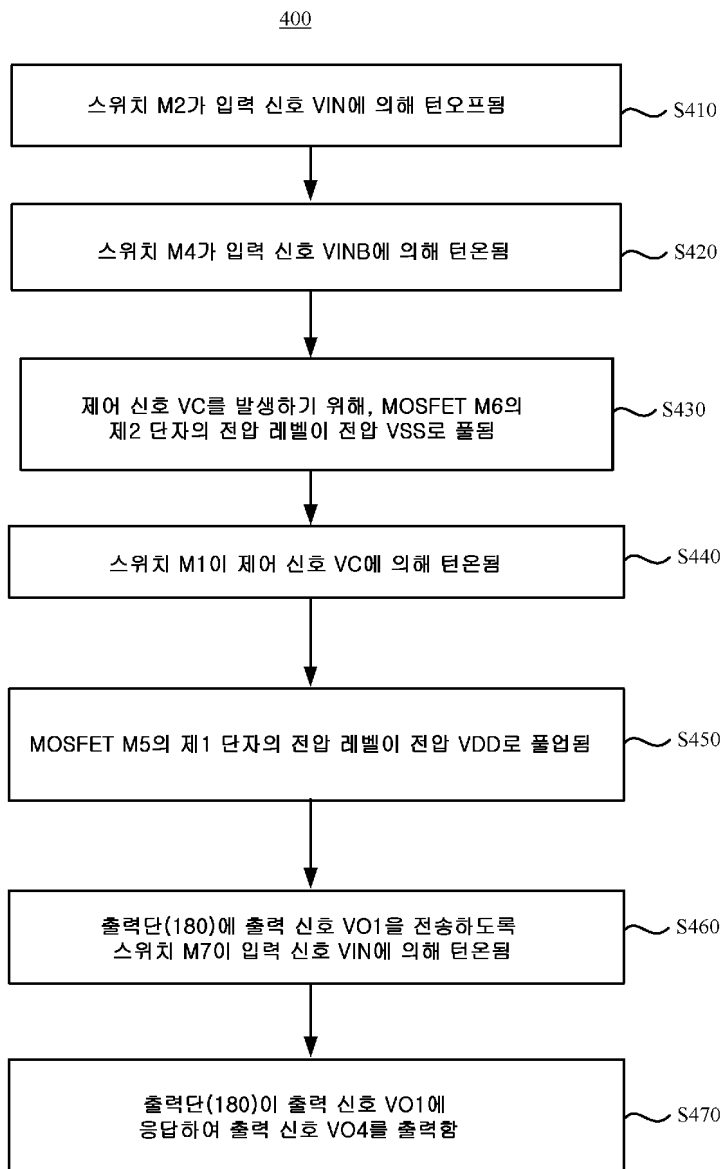


100

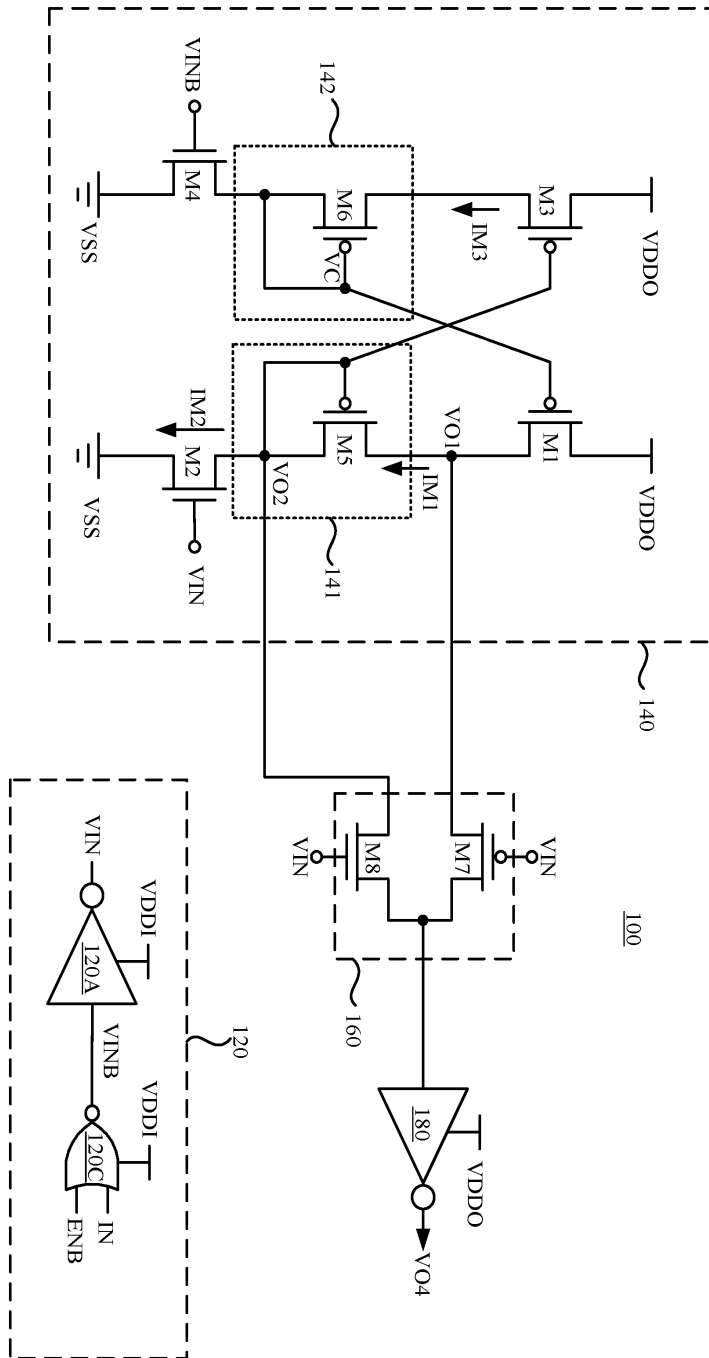
도면3



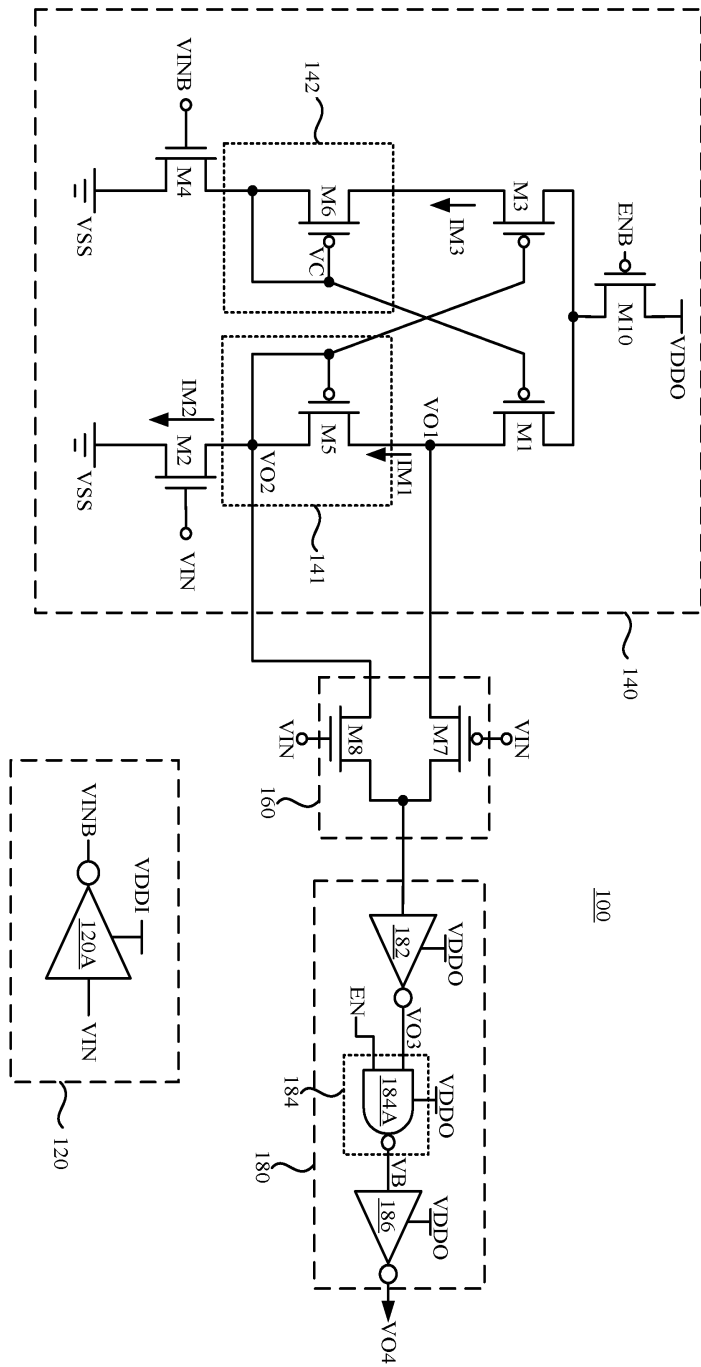
도면4



도면6



도면8



도면10

