



(12) 发明专利申请

(10) 申请公布号 CN 115274446 A

(43) 申请公布日 2022. 11. 01

(21) 申请号 202110483852.0

(22) 申请日 2021.04.30

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 薛晖 许文涛 沈宇桐 朴仁鎬

(74) 专利代理机构 华进联合专利商标代理有限公司 44224

专利代理师 史治法

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 29/10 (2006.01)

H01L 27/108 (2006.01)

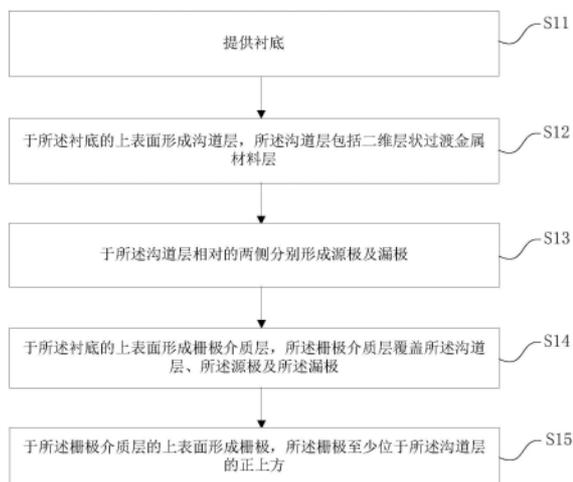
权利要求书3页 说明书9页 附图10页

(54) 发明名称

晶体管结构、半导体结构及其制备方法

(57) 摘要

本申请提供一种晶体管结构、半导体结构及其制备方法,晶体管结构的制备方法包括:提供衬底;于衬底的上表面形成沟道层,沟道层包括二维层状过渡金属材料层;于沟道层相对的两侧分别形成源极及漏极;于衬底的上表面形成栅极介质层,栅极介质层覆盖沟道层、源极及漏极;于栅极介质层的上表面形成栅极,栅极至少位于沟道层的正上方。本申请中的晶体管结构的制备方法通过形成二维层状过渡金属材料层作为沟道层,无需额外掺杂即可抑制短沟道效应,可降低阈值电压,提高饱和电流及器件的可靠性;同时由于省去了离子注入的步骤,可以减少光罩使用,减少工艺步骤,降低成本。



1. 一种晶体管结构的制备方法,其特征在于,包括:
提供衬底;
于所述衬底的上表面形成沟道层,所述沟道层包括二维层状过渡金属材料层;
于所述沟道层相对的两侧分别形成源极及漏极;
于所述衬底的上表面形成栅极介质层,所述栅极介质层覆盖所述沟道层、所述源极及所述漏极;
于所述栅极介质层的上表面形成栅极,所述栅极至少位于所述沟道层的正上方。
2. 根据权利要求1所述的晶体管结构的制备方法,其特征在于,所述二维层状过渡金属材料层包括硒化钨层;所述二维层状过渡金属材料层的厚度小于1nm。
3. 根据权利要求1所述的晶体管结构的制备方法,其特征在于,所述源极的材质及所述漏极的材质均包括钼或所述源极的材质及所述漏极的材质均包括钛。
4. 根据权利要求1所述的晶体管结构的制备方法,其特征在于,所述于所述栅极介质层的上表面形成栅极之后还包括:于所述栅极的上表面形成栅极电极。
5. 根据权利要求1所述的晶体管结构的制备方法,其特征在于,于所述衬底的上表面形成高k介质层作为所述栅极介质层;于所述栅极介质层的上表面形成石墨烯层作为所述栅极。
6. 一种半导体结构的制备方法,其特征在于,包括:
采用如权利要求1至5中任一项所述的晶体管结构的制备方法制备两个所述晶体管结构,分别记为第一晶体管结构及第二晶体管结构;所述第一晶体管结构的源极的材质及漏极的材质均包括钼,所述第二晶体管结构的源极的材质及漏极的材质均包括钛。
7. 根据权利要求6所述的半导体结构的制备方法,其特征在于,所述采用如权利要求1至5中任一项所述的晶体管结构的制备方法制备两个所述晶体管结构包括:
提供衬底;
于所述衬底的上表面形成间隔排布的第一沟道层及第二沟道层,所述第一沟道层及所述第二沟道层均包括二维层状过渡金属材料层;
于所述第一沟道层远离所述第二沟道层的一侧形成第一源极,并于所述第一沟道层邻近所述第二沟道层的一侧形成第一漏极,所述第一源极及所述第一漏极均与所述第一沟道层相接触;所述第一源极的材质及所述第一漏极的材质均包括钼;
于所述第二沟道层远离所述第一沟道层的一侧形成第二源极,并于所述第二沟道层与所述第一漏极之间形成第二漏极,所述第二源极及所述第二漏极均与所述第二沟道层相接触,且所述第二漏极与所述第一漏极相接触;所述第二源极的材质及所述第二漏极的材质均包括钛;
于所述衬底的上表面形成栅极介质层,所述栅极介质层覆盖所述第一沟道层、所述第二沟道层、所述第一源极、所述第一漏极、所述第二源极及所述第二漏极;
于所述栅极介质层的上表面形成栅极,所述栅极自所述第一沟道层的正上方延伸至所述第二沟道层的正上方;
其中,所述第一沟道层、所述第一源极、所述第一漏极、所述栅极介质层及所述栅极共同构成所述第一晶体管结构,所述第二沟道层、所述第二源极、所述第二漏极、所述栅极介质层及所述栅极共同构成所述第二晶体管结构。

8. 根据权利要求7所述的半导体结构的制备方法,其特征在于,所述于所述衬底的上表面形成间隔排布的第一沟道层及第二沟道层包括:

于所述衬底的表面形成二维层状过渡金属材料膜层;

对所述二维层状过渡金属材料膜层进行图形化,以得到所述第一沟道层及所述第二沟道层。

9. 根据权利要求7所述的半导体结构的制备方法,其特征在于,所述于所述第一沟道层远离所述第二沟道层的一侧形成第一源极,并于所述第一沟道层邻近所述第二沟道层的一侧形成第一漏极包括:

于所述衬底的表面形成第一图形化掩膜层,所述第一图形化掩膜层至少覆盖所述第二沟道层;

基于所述第一图形化掩膜层于所述衬底的表面形成所述第一源极及所述第一漏极;

去除所述第一图形化掩膜层。

10. 根据权利要求7所述的半导体结构的制备方法,其特征在于,所述于所述第二沟道层远离所述第一沟道层的一侧形成第二源极,并于所述第二沟道层与所述第一漏极之间形成第二漏极包括:

于所述衬底的表面形成第二图形化掩膜层,所述第二图形化掩膜层至少覆盖所述第一沟道层、所述第一源极及所述第一漏极;

基于所述第二图形化掩膜层于所述衬底的表面形成第二源极及所述第二漏极;

去除所述第二图形化掩膜层。

11. 一种晶体管结构,其特征在于,包括:栅极、栅极介质层、源极、漏极及沟道层;其中,所述栅极介质层位于所述栅极下方;所述源极及所述漏极位于所述栅极介质层下方;所述沟道层位于所述栅极介质层下方,且位于所述源极与所述漏极之间,所述沟道层包括二维层状过渡金属材料层。

12. 根据权利要求11所述的晶体管结构,其特征在于,所述栅极包括石墨烯栅极;所述栅极介质层包括高k介质层。

13. 根据权利要求11所述的晶体管结构,其特征在于,所述二维层状过渡金属材料层包括硒化钨层,所述沟道层的厚度小于1nm。

14. 根据权利要求11所述的晶体管结构,其特征在于,所述源极的材质及所述漏极的材质均包括钼或所述源极的材质及所述漏极的材质均包括钛。

15. 根据权利要求11至14中任一项所述的晶体管结构,其特征在于,还包括栅极电极,所述栅极电极位于所述栅极的上表面。

16. 一种半导体结构,其特征在于,包括:

衬底;

两个位于所述衬底上的如权利要求11至15中任一项所述的晶体管结构,分别记为第一晶体管结构及第二晶体管结构;所述第一晶体管结构的源极的材质及漏极的材质均包括钼,所述第二晶体管结构的源极的材质及漏极的材质均包括钛。

17. 根据权利要求16所述的半导体结构,其特征在于,所述第一晶体管的漏极及所述第二晶体管的漏极位于所述第一晶体管的沟道层与所述第二晶体管的沟道层之间,且相邻接。

18. 根据权利要求16所述的半导体结构,其特征在于,所述第一晶体管与所述第二晶体管共用所述栅极。

晶体管结构、半导体结构及其制备方法

技术领域

[0001] 本申请属于半导体技术领域,具体涉及一种晶体管结构、半导体结构及其制备方法。

背景技术

[0002] 在DRAM(动态随机存取存储器)的制造领域中,随着尺寸不断缩小(譬如,10nm节点及以下)并追求更快的开关速度和低能耗的需求下,如何控制短沟道效应(short channel effect)变得尤为重要。传统的制造工艺一般采用掺杂技术,如通过掺杂形成halo区域或LDD(轻掺杂漏区)来减少短沟道效应;此外,源极及漏极也需要通过离子注入来形成。然而,传统掺杂手段除了需要高的制造成本外,往往也会在掺杂的同时造成器件可靠性的问题,如硼的瞬间增强扩散,pn结漏电和负偏置温度不稳定(NBTI)等。此外,当器件尺寸进一步缩小时,进行均匀有效的掺杂也变得十分困难。

发明内容

[0003] 基于此,有必要针对上述背景技术中的问题,提供一种能够解决上述问题的晶体管结构、半导体结构及其制备方法。

[0004] 本申请提供一种晶体管结构的制备方法,包括:

[0005] 提供衬底;

[0006] 于所述衬底的上表面形成沟道层,所述沟道层包括二维层状过渡金属材料层;

[0007] 于所述沟道层相对的两侧分别形成源极及漏极;

[0008] 于所述衬底的上表面形成栅极介质层,所述栅极介质层覆盖所述沟道层、所述源极及所述漏极;

[0009] 于所述栅极介质层的上表面形成栅极,所述栅极至少位于所述沟道层的正上方。

[0010] 在其中一个实施例中,所述二维层状过渡金属材料层包括硒化钨层;所述二维层状过渡金属材料层的厚度小于1nm。

[0011] 在其中一个示例中,所述源极的材质及所述漏极的材质均包括钼或所述源极的材质及所述漏极的材质均包括钛。

[0012] 在其中一个实施例中,所述于所述栅极介质层的上表面形成栅极之后还包括:于所述栅极的上表面形成栅极电极。

[0013] 在其中一个实施例中,于所述衬底的上表面形成高k介质层作为所述栅极介质层;于所述栅极介质层的上表面形成石墨烯层作为所述栅极。

[0014] 本申请还提供一种半导体结构的制备方法,包括:

[0015] 采用如上述任一方案中所述的晶体管结构的制备方法制备两个所述晶体管结构,分别记为第一晶体管结构及第二晶体管结构;所述第一晶体管结构的源极的材质及漏极的材质均包括钼,所述第二晶体管结构的源极的材质及漏极的材质均包括钛。

[0016] 在其中一个实施例中,所述采用如上述任一方案中所述的晶体管结构的制备方法

制备两个所述晶体管结构包括：

[0017] 提供衬底；

[0018] 于所述衬底的上表面形成间隔排布的第一沟道层及第二沟道层，所述第一沟道层的材质及所述第二沟道层均包括二维层状过渡金属材料层；

[0019] 于所述第一沟道层远离所述第二沟道层的一侧形成第一源极，并于所述第一沟道层邻近所述第二沟道层的一侧形成第一漏极，所述第一源极及所述第一漏极均与所述第一沟道层相接触；所述第一源极的材质及所述第一漏极的材质均包括钼；

[0020] 于所述第二沟道层远离所述第一沟道层的一侧形成第二源极，并于所述第二沟道层与所述第一漏极之间形成第二漏极，所述第二源极及所述第二漏极均与所述第二沟道层相接触，且所述第二漏极与所述第一漏极相接触；所述第二源极的材质及所述第二漏极的材质均包括钛；

[0021] 于所述衬底的上表面形成栅极介质层，所述栅极介质层覆盖所述第一沟道层、所述第二沟道层、所述第一源极、所述第一漏极、所述第二源极及所述第二漏极；

[0022] 于所述栅极介质层的上表面形成栅极，所述栅极自所述第一沟道层的正上方延伸至所述第二沟道层的正上方；

[0023] 其中，所述第一沟道层、所述第一源极、所述第一漏极、所述栅极介质层及所述栅极共同构成所述第一晶体管结构，所述第二沟道层、所述第二源极、所述第二漏极、所述栅极介质层及所述栅极共同构成所述第二晶体管结构。

[0024] 在其中一个实施例中，所述于所述衬底的上表面形成间隔排布的第一沟道层及第二沟道层包括：

[0025] 于所述衬底的表面形成二维层状过渡金属材料膜层；

[0026] 对所述二维层状过渡金属材料膜层进行图形化，以得到所述第一沟道层及所述第二沟道层。

[0027] 在其中一个实施例中，所述于所述第一沟道层远离所述第二沟道层的一侧形成第一源极，并于所述第一沟道层邻近所述第二沟道层的一侧形成第一漏极包括：

[0028] 于所述衬底的表面形成第一图形化掩膜层，所述第一图形化掩膜层至少覆盖所述第二沟道层；

[0029] 基于所述第一图形化掩膜层于所述衬底的表面形成所述第一源极及所述第一漏极；

[0030] 去除所述第一图形化掩膜层。

[0031] 在其中一个实施例中，所述于所述第二沟道层远离所述第一沟道层的一侧形成第二源极，并于所述第二沟道层与所述第一漏极之间形成第二漏极包括：

[0032] 于所述衬底的表面形成第二图形化掩膜层，所述第二图形化掩膜层至少覆盖所述第一沟道层、所述第一源极及所述第一漏极；

[0033] 基于所述第二图形化掩膜层于所述衬底的表面形成第二源极及所述第二漏极；

[0034] 去除所述第二图形化掩膜层。

[0035] 本申请还提供一种晶体管结构，包括：栅极、栅极介质层、源极、漏极及沟道层；其中，

[0036] 所述栅极介质层位于所述栅极下方；所述源极及所述漏极位于所述栅极介质层下

方;所述沟道层位于所述栅极介质层下方,且位于所述源极与所述漏极之间,所述沟道层包括二维层状过渡金属材料层。

[0037] 在其中一个实施例中,所述栅极包括石墨烯栅极;所述栅极介质层包括高k介质层。

[0038] 在其中一个实施例中,所述二维层状过渡金属材料层包括硒化钨层,所述沟道层的厚度小于1nm。

[0039] 在其中一个实施例中,所述源极的材质及所述漏极的材质均包括钼或所述源极的材质及所述漏极的材质均包括钛。

[0040] 在其中一个实施例中,还包括栅极电极,所述栅极电极位于所述栅极的上表面。

[0041] 本申请还提供一种半导体结构,包括:

[0042] 衬底;

[0043] 两个位于所述衬底上的如上述任一方案中所述的晶体管结构,分别记为第一晶体管结构及第二晶体管结构;所述第一晶体管结构的源极的材质及漏极的材质均包括钼,所述第二晶体管结构的源极的材质及漏极的材质均包括钛。

[0044] 在其中一个实施例中,所述第一晶体管的漏极及所述第二晶体管的漏极位于所述第一晶体管的沟道层与所述第二晶体管的沟道层之间,且相邻接。

[0045] 在其中一个实施例中,所述第一晶体管与所述第二晶体管共用所述栅极。

[0046] 本申请中的晶体管结构的制备方法通过形成二维层状过渡金属材料层作为沟道层,无需额外掺杂即可抑制短沟道效应,可降低阈值电压,提高饱和电流及器件的可靠性;同时由于省去了离子注入的步骤,可以减少光罩使用,减少工艺步骤,降低成本。

[0047] 本申请中的晶体管结构通过将二维层状过渡金属材料层作为沟道层,无需额外掺杂即可抑制短沟道效应,可降低阈值电压,提高饱和电流及器件的可靠性;同时由于省去了离子注入的步骤,可以减少光罩使用,减少工艺步骤,降低成本。

附图说明

[0048] 为了更清楚地说明本申请实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他实施例的附图。

[0049] 图1为本申请一实施例中提供的晶体管结构制备方法的流程图。

[0050] 图2至图11为本申请一实施例中提供的晶体管结构的制备方法中各步骤得到的版图的俯视结构示意图;其中,图10及图11亦为本申请另一实施例中提供的晶体管结构的结构示意图。

[0051] 图12为本申请另一实施例中提供的半导体结构制备方法的流程图。

[0052] 图13至图24为本申请一实施例中提供的半导体结构的制备方法中各步骤得到的版图的俯视结构示意图;其中,图23及图24亦为本申请另一实施例中提供的半导体结构的结构示意图。

[0053] 附图标记说明:10、衬底;101、基底;102、介质层;11、沟道层;111、二维层状过渡金属材料膜层;112、第一沟道层;113、第二沟道层;12、源极;121、第一源极;122、第二源极;

13、漏极;131、第一漏极;132、第二漏极;14、栅极介质层;15、栅极;16、第一图形化掩膜层;17、第二图形化掩膜层。

具体实施方式

[0054] 为了便于理解本申请,下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的较佳的实施例。但是,本申请可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是使对本申请的公开内容的理解更加透彻全面。

[0055] 除非另有定义,本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的,不是旨在于限制本申请。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

[0056] 在使用本文中描述的“包括”、“具有”、和“包含”的情况下,除非使用了明确的限定用语,例如“仅”、“由……组成”等,否则还可以添加另一部件。除非相反地提及,否则单数形式的术语可以包括复数形式,并不能理解为其数量为一个。

[0057] 请参阅图1,本申请提供一种晶体管结构的制备方法,晶体管结构的制备方法包括如下步骤:

[0058] S11:提供衬底;

[0059] S12:于衬底的上表面形成沟道层,沟道层包括二维层状过渡金属材料层;

[0060] S13:于沟道层相对的两侧分别形成源极及漏极;

[0061] S14:于衬底的上表面形成栅极介质层,栅极介质层覆盖沟道层、源极及漏极;

[0062] S15:于栅极介质层的上表面形成栅极,栅极至少位于沟道层的正上方。

[0063] 本申请中的晶体管结构的制备方法通过形成二维层状过渡金属材料层作为沟道层,无需额外掺杂即可抑制短沟道效应,可降低阈值电压,提高饱和电流及器件的可靠性;同时由于省去了离子注入的步骤,可以减少光罩使用,减少工艺步骤,降低成本。

[0064] 在步骤S11中,请参阅图1中的S11及图2至图3,提供衬底10。

[0065] 在一个示例中,衬底10可以包括基底101及位于基底101上表面的介质层102;具体的,衬底10可以包括但不仅限于硅衬底,介质层102可以包括但不仅限于氧化层,譬如氧化硅层。

[0066] 在步骤S12中,请参阅图1中的S12步骤及图2至图5,于衬底10的上表面形成沟道层11,沟道层11包括二维层状过渡金属材料层。

[0067] 在一个示例中,步骤S12可以包括如下步骤:

[0068] S121:于衬底10的上表面形成二维层状过渡金属材料膜层111,如图2及图3所示,其中,图2为步骤S121所得结构的俯视结构示意图,图3为沿图2中AA方向的截面结构示意图;具体的,可以采用但不仅限于湿法转移工艺形成二维层状过渡金属材料膜层111;

[0069] S122:对二维层状过渡金属材料膜层111进行图形化,以得到沟道层11,如图4及图5所示,其中,图4为步骤S122所得结构的俯视结构示意图,图5为沿图4中AA方向的截面结构示意图;具体的,可以采用但不仅限于光刻刻蚀工艺对二维层状过渡金属材料膜层111进行图形化。

[0070] 在一个示例中,二维层状过渡金属材料层可以包括硒化钨层,即沟道层11可以包括硒化钨层。

[0071] 在一个示例中,二维层状过渡金属材料层的厚度小于1nm,即沟道层11可以的厚度可以小于1nm,譬如,可以为0.9nm、0.5nm或0.1nm等等。

[0072] 在步骤S13中,请参阅图1中的S13步骤及图6至图7,其中,图6为步骤S13所得结构的俯视结构示意图,图7为沿图6中AA方向的截面结构示意图,于沟道层11相对的两侧分别形成源极12及漏极13。

[0073] 在一个示例中,可以在沟道层11相对的两侧形成钼层作为源极12及漏极13,即源极12的材质及漏极13的材质均包括钼;此时,在后续形成栅极介质层及栅极后,可以形成PMOS晶体管结构。

[0074] 在另一个示例中,可以在沟道层11相对的两侧形成钛层作为源极12及漏极13,即源极12的材质及漏极13的材质均包括钛;此时,在后续形成栅极介质层及栅极后,可以形成NMOS晶体管结构。

[0075] 由于沟道层11为二维层状过渡金属材料层,无需进行离子注入,通过与不同功函数的金属(譬如上述的钼或钛)接触即可形成PMOS晶体管结构或NMOS晶体管结构。

[0076] 在步骤S14中,请参阅图1中的S14步骤及图8至图9,其中,图8为步骤S14所得结构的俯视结构示意图,图9为沿图8中AA方向的截面结构示意图,于衬底10的上表面形成栅极介质层14,栅极介质层14覆盖沟道层11、源极12及漏极13。

[0077] 在一个示例中,可以采用但不仅限于沉积工艺形成栅极介质层14。

[0078] 在一个示例中,可以于衬底10的上表面形成高k介质层作为栅极介质层14,栅极介质层14可以包括但不仅限于氧化铪层。

[0079] 具体的,栅极介质层14的厚度可以为5nm~10nm,具体的,栅极介质层14的厚度可以为5nm、6nm、7nm、8nm、9nm或10nm。

[0080] 在步骤S15中,请参阅图1中的S15步骤及图10至图11,其中,图10为步骤S15所得结构的俯视结构示意图,图11为沿图10中AA方向的截面结构示意图,于栅极介质层14的上表面形成栅极15,栅极15至少位于沟道层11的正上方。

[0081] 在一个示例中,栅极15可以包括但不仅限于石墨烯栅极;具体的,可以通过湿法转移单层石墨烯作为栅极15。采用石墨烯作为栅极15,可以避免金属栅极的使用,从而避免由于金属栅极造成的电介质层污染及高温退火时造成的器件电性影响。

[0082] 在一个示例中,步骤S15之后还可以包括:

[0083] S16:于栅极15的上表面形成栅极电极(未示出)。具体的,栅极电极可以包括但不仅限于金属电极,可以采用沉积工艺形成金属材料层后,再通过光刻刻蚀工艺对金属材料层进行图形化以得到金属电极;也可以先形成定义出金属电极的图形化掩膜层,然后再基于图形化掩膜层沉积形成金属电极。金属电极可以包括但不仅限于铝电极、铜电极、镍电极或锡电极等等。

[0084] 请继续参阅图10至图11,本申请还提供一种晶体管结构,晶体管结构包括:栅极15、栅极介质层14、源极12、漏极13及沟道层11;其中,栅极介质层14位于栅极15下方;源极12及漏极13位于栅极介质层14下方;沟道层11位于栅极介质层14下方,且位于源极12与漏极13之间,沟道层11包括二维层状过渡金属材料层。

[0085] 本申请中的晶体管结构通过将二维层状过渡金属材料层作为沟道层11,无需额外掺杂即可抑制短沟道效应,可降低阈值电压,提高饱和电流及器件的可靠性;同时由于省去了离子注入的步骤,可以减少光罩使用,减少工艺步骤,降低成本。

[0086] 具体的,本实施例中的晶体管结构可以采用图1至图12的晶体管结构的制备方法制备而得到。

[0087] 在一个示例中,晶体管结构形成于衬底10上,衬底10可以包括基底101及位于基底101上表面的介质层102;具体的,衬底10可以包括但不仅限于硅衬底,介质层102可以包括但不仅限于氧化层,譬如氧化硅层。

[0088] 在一个示例中,二维层状过渡金属材料层可以包括硒化钨层,即沟道层11可以包括硒化钨层。

[0089] 在一个示例中,二维层状过渡金属材料层的厚度小于1nm,即沟道层11可以的厚度可以小于1nm,譬如,可以为0.9nm、0.5nm或0.1nm等等。

[0090] 在其中一个示例中,晶体管结构可以包括PMOS晶体管结构,源极12的材质及漏极13的材质均包括钪。

[0091] 在另一个示例中,晶体管结构可以包括NMOS晶体管结构,源极12的材质及漏极13的材质均包括钛。

[0092] 由于沟道层11为二维层状过渡金属材料层,无需进行离子注入,通过与不同功函数的金属(譬如上述的钪或钛)接触即可形成PMOS晶体管结构或NMOS晶体管结构。

[0093] 在一个示例中,栅极介质层14可以包括高k介质层,譬如氧化钪层。

[0094] 具体的,栅极介质层14的厚度可以为5nm~10nm,具体的,栅极介质层14的厚度可以为5nm、6nm、7nm、8nm、9nm或10nm。

[0095] 在一个示例中,栅极15可以包括但不仅限于石墨烯栅极;具体的,可以通过湿法转移单层石墨烯作为栅极15。采用石墨烯作为栅极15,可以避免金属栅极的使用,从而避免由于金属栅极造成的电介质层污染及高温退火时造成的器件电性影响。

[0096] 在一个示例中,晶体管结构还可以包括栅极电极(未示出),栅极电极位于栅极15的上表面。

[0097] 具体的,金属电极可以包括但不仅限于铝电极、铜电极、镍电极或锡电极等等。

[0098] 本申请还提供一种半导体结构的制备方法,半导体结构的制备方法包括:

[0099] 采用如上述任一方案中所述的晶体管结构的制备方法制备两个所述晶体管结构,分别记为第一晶体管结构及第二晶体管结构;所述第一晶体管结构的源极的材质及漏极的材质均包括钪,所述第二晶体管结构的源极的材质及所述漏极的材质均包括钛。

[0100] 在一个示例中,请参阅图12,制备两个所述晶体管结构包括:

[0101] S21:提供衬底;

[0102] S22:于所述衬底的上表面形成间隔排布的第一沟道层及第二沟道层,所述第一沟道层及所述第二沟道层均包括二维层状过渡金属材料层;

[0103] S23:于所述第一沟道层远离所述第二沟道层的一侧形成第一源极,并于所述第一沟道层邻近所述第二沟道层的一侧形成第一漏极,所述第一源极及所述第一漏极均与所述第一沟道层相接触;所述第一源极的材质及所述第一漏极的材质均包括钪;

[0104] S24:于所述第二沟道层远离所述第一沟道层的一侧形成第二源极,并于所述第二

沟道层与所述第一漏极之间形成第二漏极,所述第二源极及所述第二漏极均与所述第二沟道层相接触,且所述第二漏极与所述第一漏极相接触;所述第二源极的材质及所述第二漏极的材质均包括钛;

[0105] S25:于所述衬底的上表面形成栅极介质层,所述栅极介质层覆盖所述第一沟道层、所述第二沟道层、所述第一源极、所述第一漏极、所述第二源极及所述第二漏极;

[0106] S26:于所述栅极介质层的上表面形成栅极,所述栅极自所述第一沟道层的正上方延伸至所述第二沟道层的正上方;

[0107] 其中,所述第一沟道层、所述第一源极、所述第一漏极、所述栅极介质层及所述栅极共同构成所述第一晶体管结构,所述第二沟道层、所述第二源极、所述第二漏极、所述栅极介质层及所述栅极共同构成所述第二晶体管结构。

[0108] 本申请中的半导体结构的制备方法通过形成二维层状过渡金属材料层作为沟道层,无需额外掺杂即可抑制短沟道效应,可降低阈值电压,提高饱和电流及器件的可靠性;同时由于省去了离子注入的步骤,可以减少光罩使用,减少工艺步骤,降低成本。

[0109] 在步骤S21中,请参阅图12中的S21及图13至图14,提供衬底10。

[0110] 在一个示例中,衬底10可以包括基底101及位于基底101上表面的介质层102;具体的,衬底10可以包括但不限于硅衬底,介质层102可以包括但不限于氧化层,譬如氧化硅层。

[0111] 在步骤S22中,请参阅图12中的S22步骤及图13至图16,于衬底10的上表面形成间隔排布的第一沟道层112及第二沟道层113,第一沟道层112及所述第二沟道层113均包括二维层状过渡金属材料层。

[0112] 在一个示例中,步骤S22可以包括:

[0113] S221:于衬底10的上表面形成二维层状过渡金属材料膜层111,如图13及图14所示,其中,图13为步骤S221所得结构的俯视结构示意图,图14为沿图13中AA方向的截面结构示意图;具体的,可以采用但不限于湿法转移工艺形成二维层状过渡金属材料膜层111;

[0114] S222:对二维层状过渡金属材料膜层111进行图形化,以得到第一沟道层112及第二沟道层113,如图15及图16所示,其中,图15为步骤S222所得结构的俯视结构示意图,图16为沿图15中AA方向的截面结构示意图;具体的,可以采用但不限于光刻刻蚀工艺对二维层状过渡金属材料膜层111进行图形化。

[0115] 在一个示例中,二维层状过渡金属材料层可以包括硒化钨层,即第一沟道层112及第二沟道层113均可以包括硒化钨层。

[0116] 在一个示例中,二维层状过渡金属材料层的厚度小于1nm,即第一沟道层112及第二沟道层113的厚度均可以小于1nm,譬如,可以为0.9nm、0.5nm或0.1nm等等。

[0117] 在步骤S23中,请参阅图12中的S23步骤及图17至图18,其中,图17为步骤S23所得结构的俯视结构示意图,图18为沿图17中AA方向的截面结构示意图;于第一沟道层112远离第二沟道层113的一侧形成第一源极121,并于第一沟道层112邻近第二沟道层113的一侧形成第一漏极131,第一源极121及第一漏极131均与第一沟道层112相接触;第一源极112的材质及第一漏极113的材质均包括钽。

[0118] 在一个示例中,步骤S23可以包括:

[0119] S231:于衬底10的表面形成第一图形化掩膜层16,第一图形化掩膜层16至少覆盖

第二沟道层113;具体的,第一图形化掩膜层16可以包括但不限于图形化光刻胶层;

[0120] S232:基于第一图形化掩膜层16于衬底10的表面形成第一源极121及第一漏极131;

[0121] S233:去除第一图形化掩膜层16;具体的,当第一图形化掩膜层16为图形化光刻胶层时,可以采用灰化工艺去除第一图形化掩膜层16。

[0122] 在步骤S24中,请参阅图12中的S24步骤及图19至图20,其中,图19为步骤S24所得结构的俯视结构示意图,图20为沿图19中AA方向的截面结构示意图;于第二沟道层113远离第一沟道层112的一侧形成第二源极122,并于第二沟道层113与第一漏极131之间形成第二漏极132,第二源极122及第二漏极132均与第二沟道层113相接触,且第二漏极132与第一漏极131相接触;第二源极122的材质及第二漏极132的材质均包括钛。

[0123] 在一个示例中,步骤S24可以包括:

[0124] S241:于衬底10的表面形成第二图形化掩膜层17,第二图形化掩膜层17至少覆盖第一沟道层112、第一源极121及第一漏极131;具体的,第二图形化掩膜层17可以包括但不限于图形化光刻胶层;

[0125] S242:基于第二图形化掩膜层17于衬底10的表面形成第二源极122及第二漏极132;

[0126] S243:去除第二图形化掩膜层17;具体的,当第二图形化掩膜层17为图形化光刻胶层时,可以采用灰化工艺去除第二图形化掩膜层17。

[0127] 在步骤S25中,请参阅图12中的S25步骤及图21至图22,其中,图21为步骤S25所得结构的俯视结构示意图,图22为沿图21中AA方向的截面结构示意图;于衬底10的上表面形成栅极介质层14,栅极介质层14覆盖第一沟道层112、第二沟道层113、第一源极121、第一漏极131、第二源极122及第二漏极132。

[0128] 在一个示例中,可以采用但不限于沉积工艺形成栅极介质层14。

[0129] 在一个示例中,可以于衬底10的上表面形成高k介质层作为栅极介质层14,栅极介质层14可以包括但不限于氧化铪层。

[0130] 具体的,栅极介质层14的厚度可以为5nm~10nm,具体的,栅极介质层14的厚度可以为5nm、6nm、7nm、8nm、9nm或10nm。

[0131] 在步骤S26中,请参阅图12中的S26步骤及图23至图24,其中,图23为步骤S25所得结构的俯视结构示意图,图24为沿图23中AA方向的截面结构示意图;于栅极介质层14的上表面形成栅极15,栅极15自第一沟道层112的正上方延伸至第二沟道层113的正上方。

[0132] 在一个示例中,栅极15可以包括但不限于石墨烯栅极;具体的,可以通过湿法转移单层石墨烯作为栅极15。采用石墨烯作为栅极15,可以避免金属栅极的使用,从而避免由于金属栅极造成的电介质层污染及高温退火时造成的器件电性影响。

[0133] 在一个示例中,栅极15的宽度可以小于第一沟道层112的宽度及第二沟道层113的宽度。栅极15可以与第一沟道层112与第一源极121相邻接的边界延伸至第二沟道层113与第二源极131相邻接的边界。

[0134] 在一个示例中,步骤S26之后还可以包括:

[0135] S27:于栅极15的上表面形成栅极电极(未示出)。具体的,栅极电极可以包括但不限于金属电极,可以采用沉积工艺形成金属材料层后,再通过光刻刻蚀工艺对金属材料

层进行图形化以得到金属电极；也可以先形成定义出金属电极的图形化掩膜层，然后再基于图形化掩膜层沉积形成金属电极。金属电极可以包括但不仅限于铝电极、铜电极、镍电极或锡电极等等。

[0136] 请继续参阅图23至图24，本申请还提供一种半导体结构，包括：衬底10；两个位于衬底10上的如上述任一方案中的晶体管结构，分别记为第一晶体管结构及第二晶体管结构；第一晶体管结构的源极12的材质及漏极13的材质均包括钼，所述第二晶体管结构的源极12的材质及漏极13的材质均包括钛。

[0137] 本申请中的晶体管结构通过将二维层状过渡金属材料层作为沟道层，无需额外掺杂即可抑制短沟道效应，可降低阈值电压，提高饱和电流及器件的可靠性；同时由于省去了离子注入的步骤，可以减少光罩使用，减少工艺步骤，降低成本。

[0138] 具体的，本实施例中的半导体结构可以采用如图12至图24的半导体结构的制备方法制备而得到。

[0139] 更具体的，第一晶体管结构包括：第一沟道层112、第一源极121、第一漏极131、栅极介质层14及栅极15；第二晶体管结构包括：第二沟道层113、第二源极122、第二漏极132、栅极介质层14及栅极15。第一晶体管结构与第二晶体管结构共用同一层栅极介质层14且共用栅极15。

[0140] 在一个示例中，第一晶体管的第一漏极122及第二晶体管的第二漏极132位于第一晶体管的第一沟道层112与第二晶体管的第二沟道层113之间，且第一漏极122与第二漏极132相邻接。

[0141] 以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

[0142] 以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

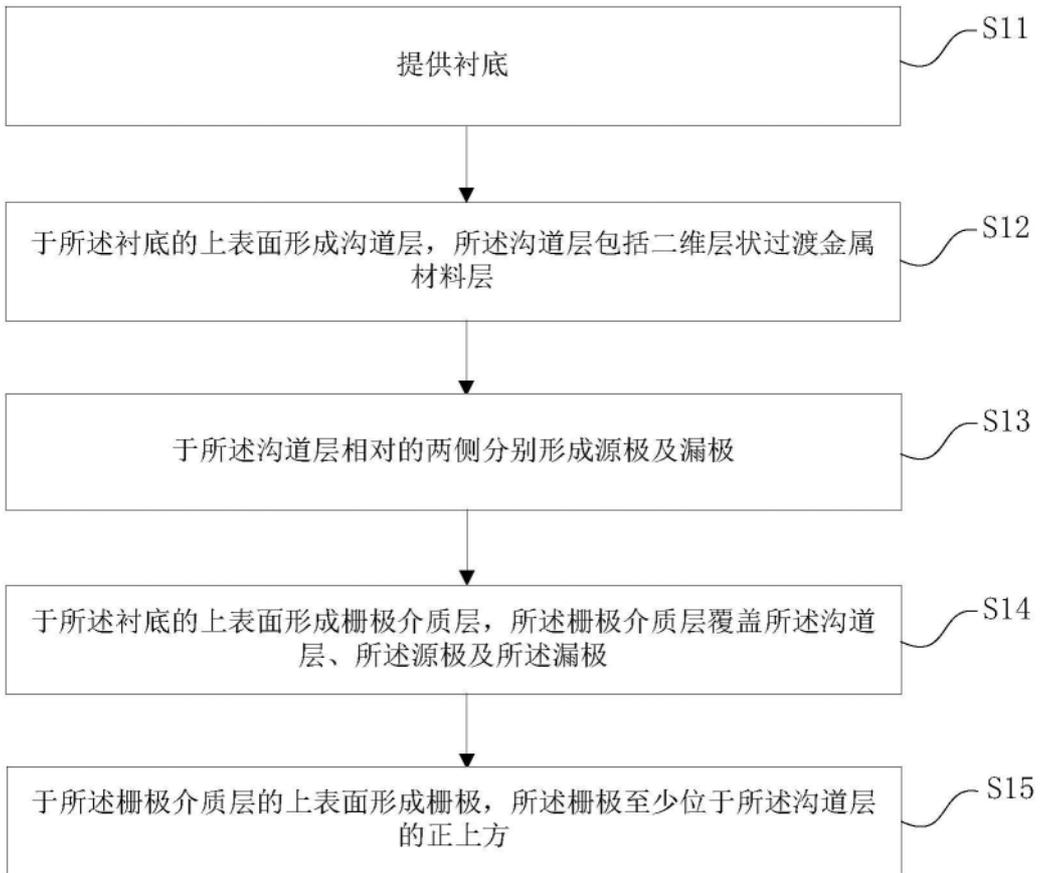


图1

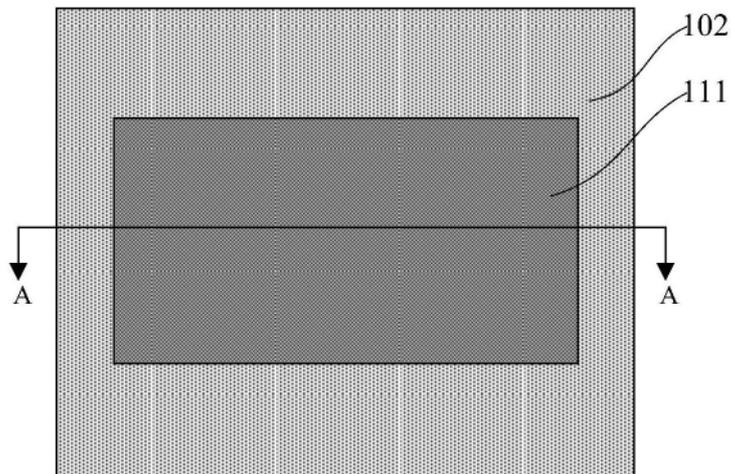


图2

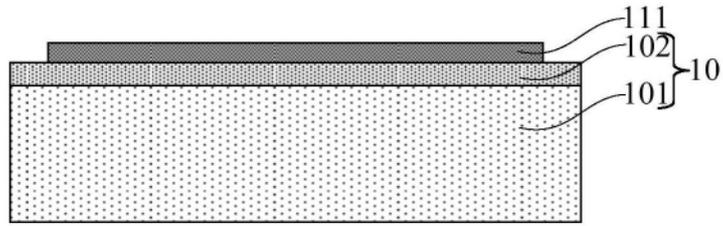


图3

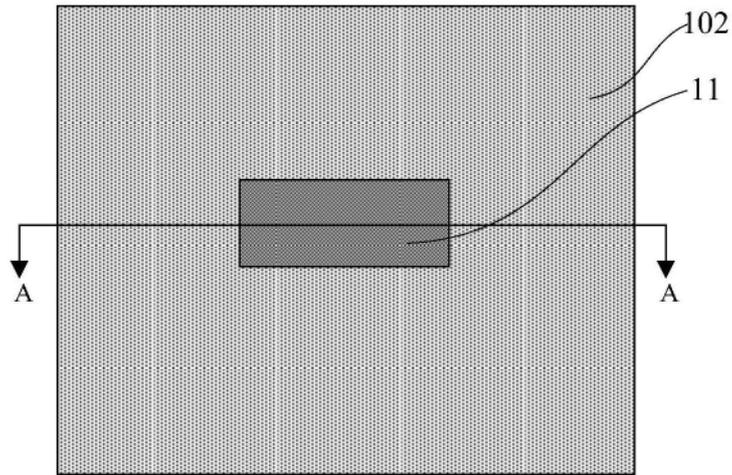


图4

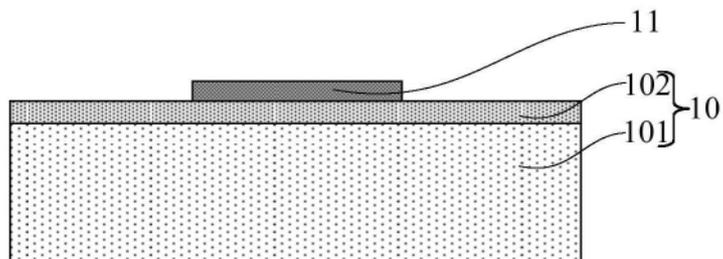


图5

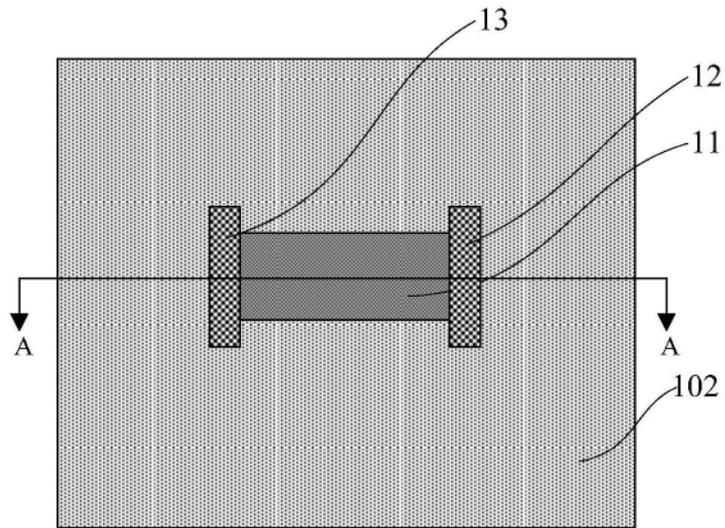


图6

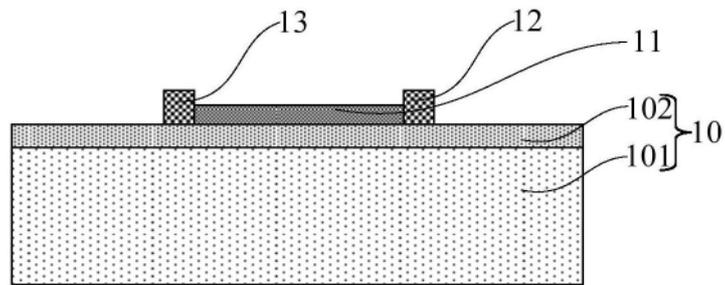


图7

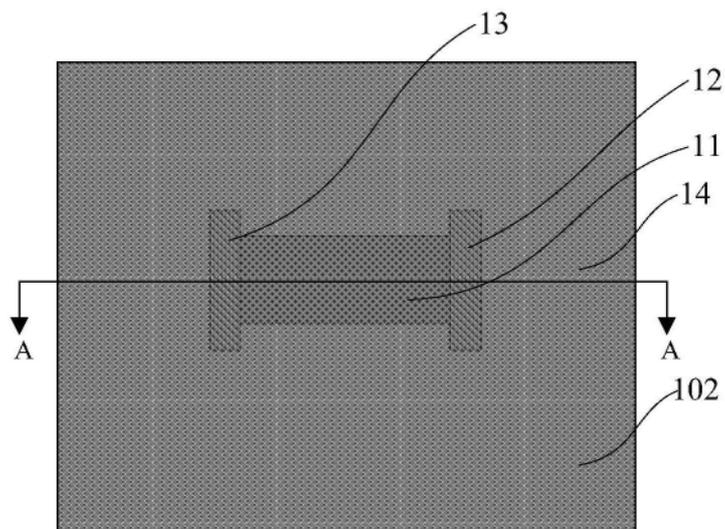


图8

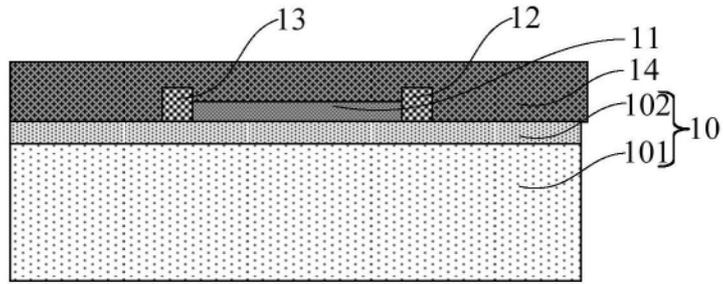


图9

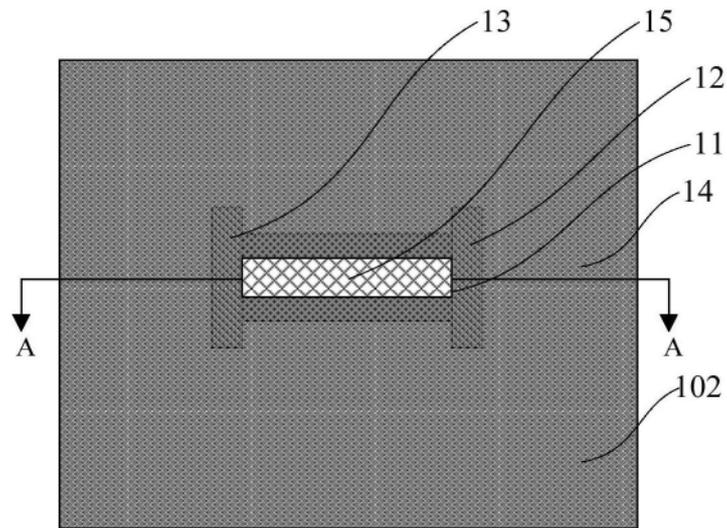


图10

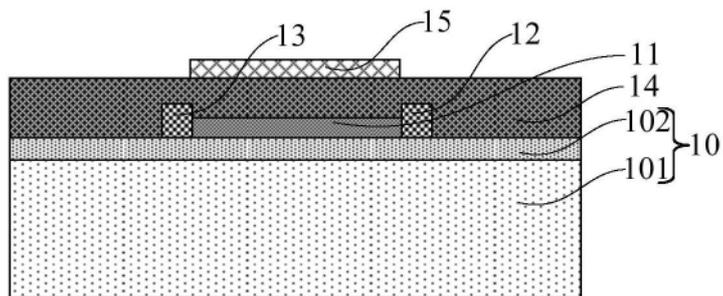


图11

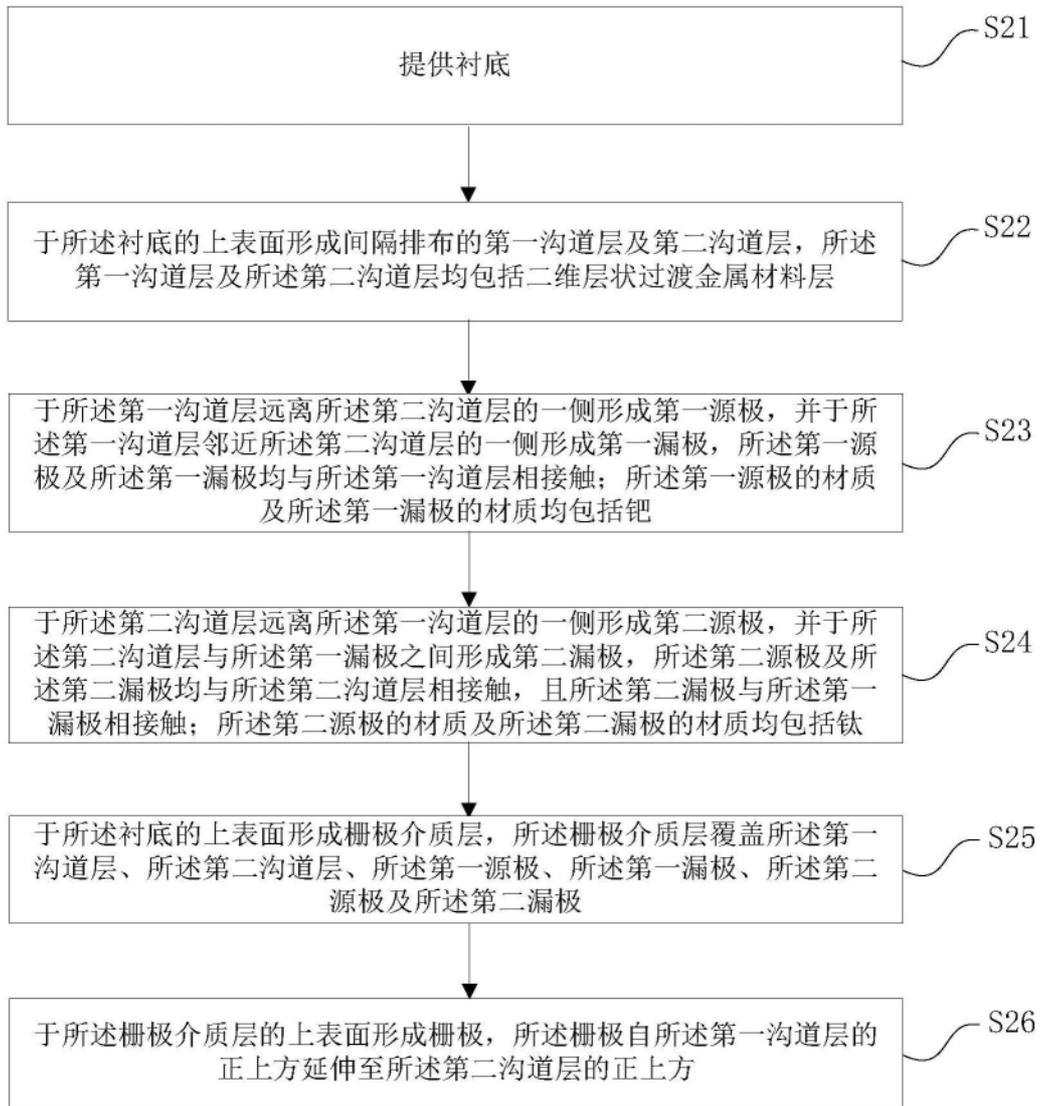


图12

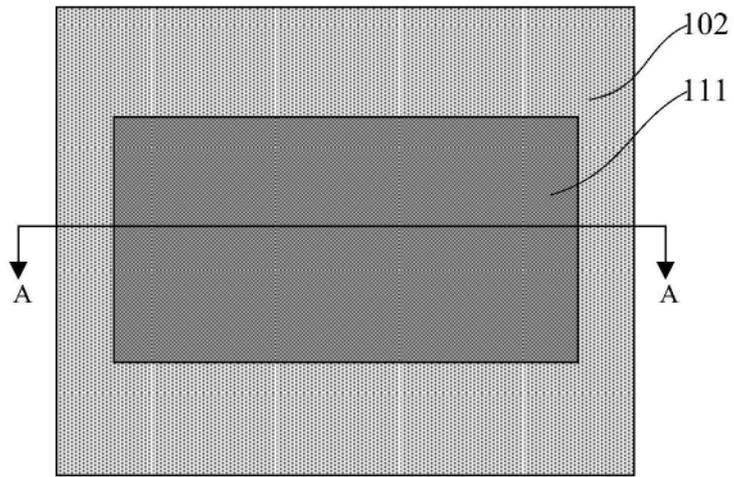


图13

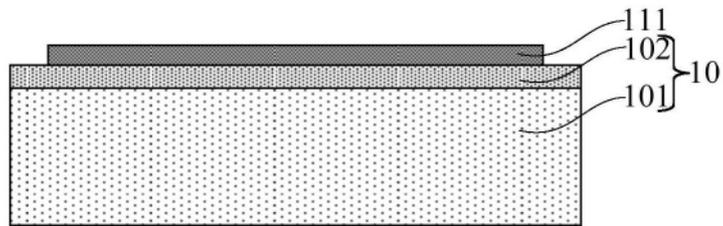


图14

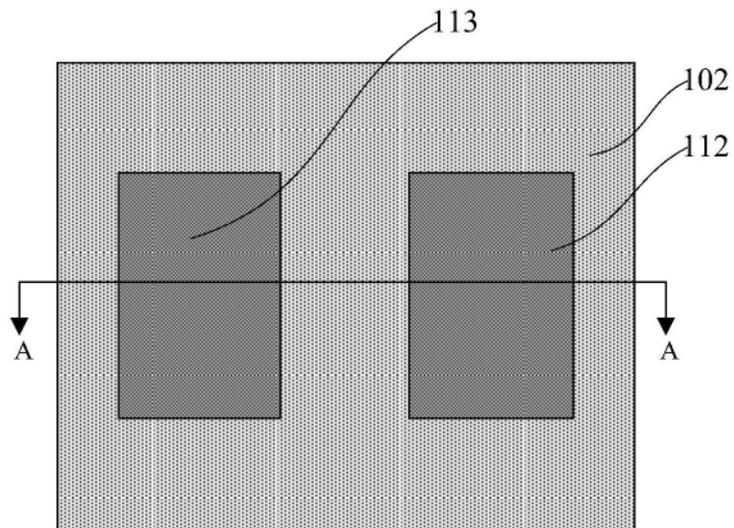


图15

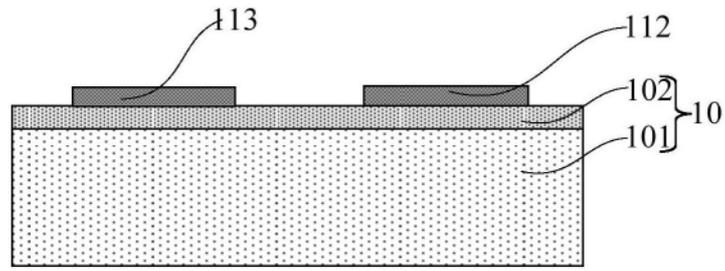


图16

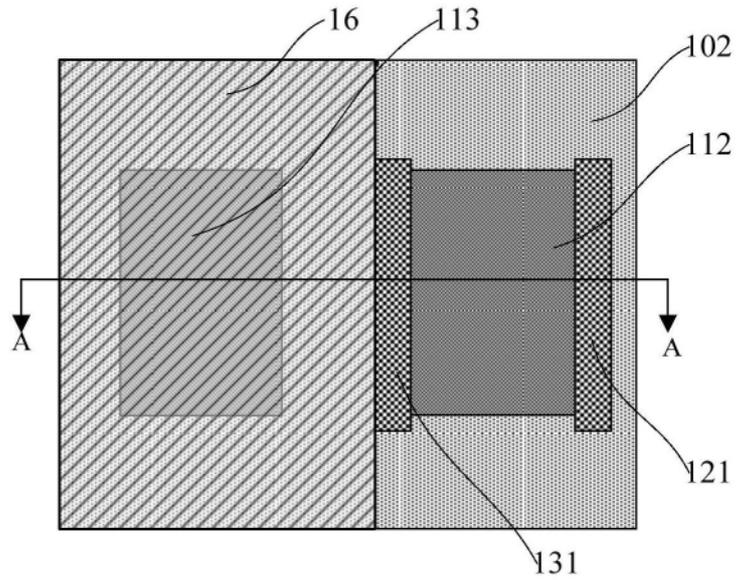


图17

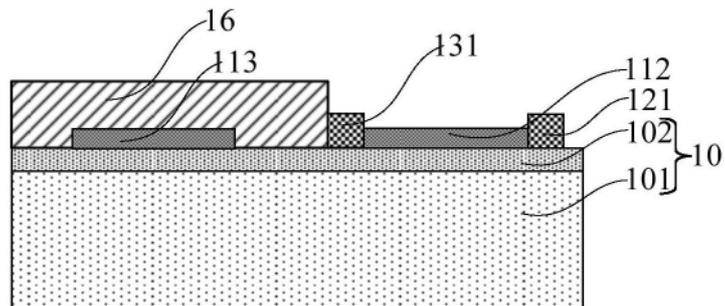


图18

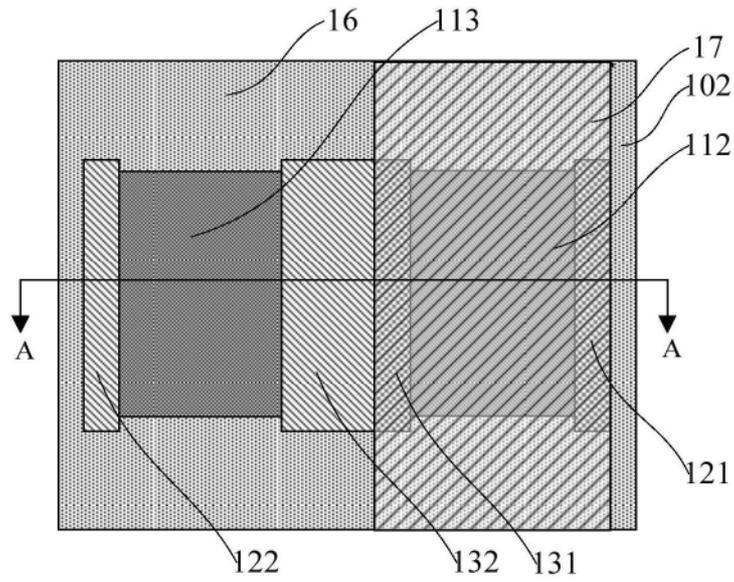


图19

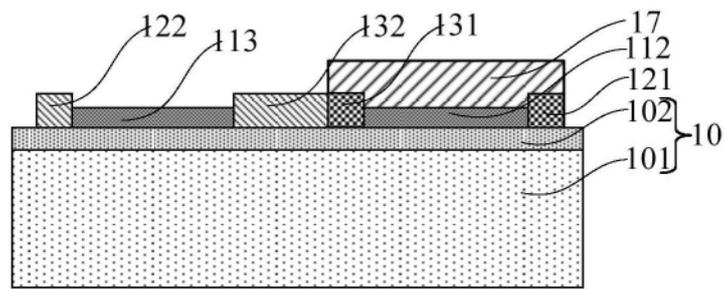


图20

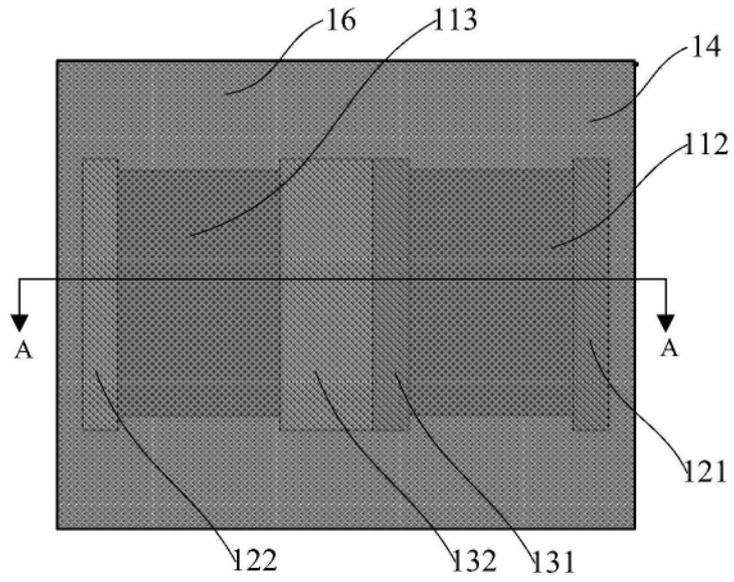


图21

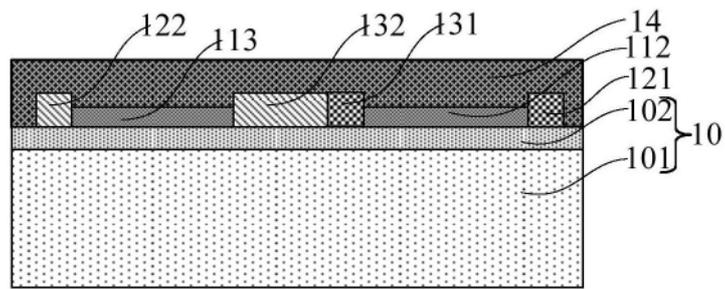


图22

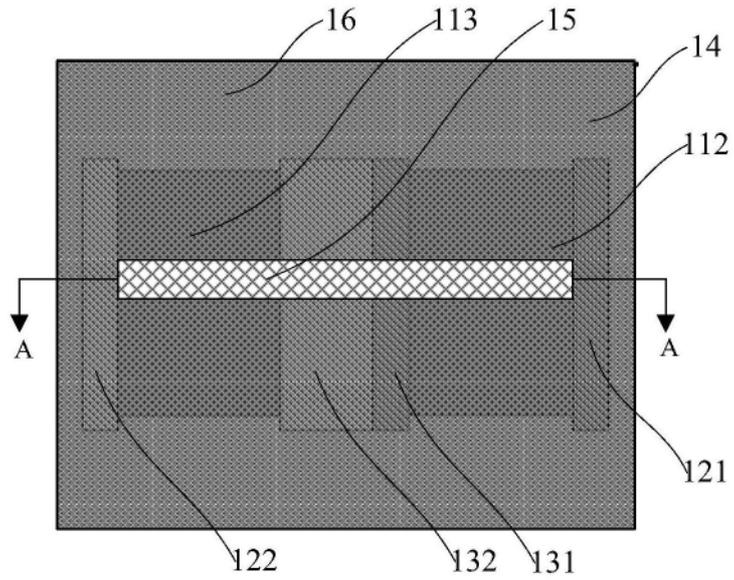


图23

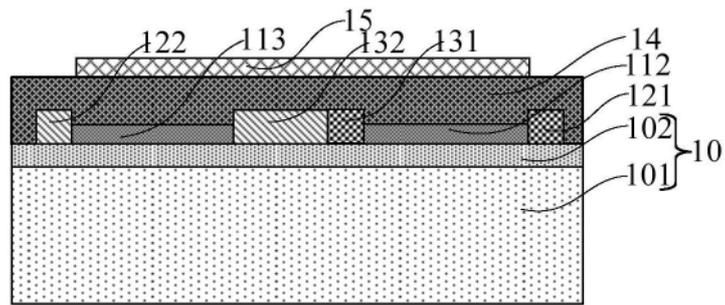


图24