



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 22 608 B4** 2007.11.22

(12)

Patentschrift

(21) Aktenzeichen: **102 22 608.3**
 (22) Anmeldetag: **21.05.2002**
 (43) Offenlegungstag: **12.12.2002**
 (45) Veröffentlichungstag
 der Patenterteilung: **22.11.2007**

(51) Int Cl.⁸: **H01L 23/50** (2006.01)
H01L 21/60 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
152751/01 **22.05.2001** **JP**

(73) Patentinhaber:
Hitachi Cable, Ltd., Tokyo, JP

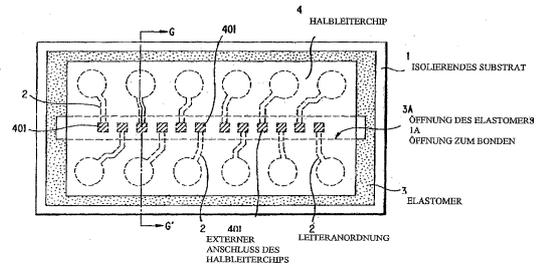
(74) Vertreter:
BOEHMERT & BOEHMERT, 28209 Bremen

(72) Erfinder:
Kawanobe, Tadashi, Tokio/Tokyo, JP; Kameyama, Yasuharu, Tokio/Tokyo, JP; Hosono, Masayuki, Tokio/Tokyo, JP; Komiya, Kazumoto, Tokio/Tokyo, JP; Shibata, Akiji, Tokio/Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 57 76 796 A
US 68 88 230 B1
US 63 07 269 B1
JP 11-087414 A. In: PAJ;
JP 11-087570 A. In: PAJ;
JP 2000-133683 A. In: PAJ;

(54) Bezeichnung: **Halbleitervorrichtung und Verfahren zum Herstellen derselben**

(57) Hauptanspruch: Eine Halbleitervorrichtung, mit:
 einer Leiterkarte, welche eine Leiteranordnung (2) mit einem vorbestimmten Muster aufweist, die auf der Oberfläche eines isolierenden Substrates (1) vorgesehen ist;
 einem Elastomer (3), das auf der Leiterkarte vorgesehen ist;
 einem Halbleiterchip (4), der durch das Elastomer (3) auf die Leiterkarte gebondet ist; und
 einem Isolator (5) zum Versiegeln der Umfangsflächen und einer oberen Oberfläche des Halbleiterchips (4), wobei die obere Oberfläche gegenüber der Oberfläche liegt, welche an dem Elastomer (3) anliegt, und der Umfangsflächen des Elastomers (3), wobei der Halbleiterchip (4) mit seinem externen Anschluß (401) elektrisch mit der Leiteranordnung (2) verbunden ist,
 wobei das Elastomer (3)
 – zumindest einen Belüftungsabschnitt (301) für Feuchtigkeit in Form eines Vorsprungs an einem Teilstück eines äußeren Endes des Elastomers (3) aufweist, wobei der Belüftungsabschnitt (301) für Feuchtigkeit an seiner Stirnseite nicht durch den Isolator (5) versiegelt ist und an einer Außenfläche der Halbleitervorrichtung...



Beschreibung

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

[0001] Diese Erfindung betrifft eine Halbleitervorrichtung und ein Verfahren zum Herstellen derselben und insbesondere eine Technik, die zweckmäßig bei einer Halbleitervorrichtung eingesetzt werden kann, bei der ein Halbleiterchip auf eine Leiterkarte (eine Zwischenlage) durch ein Elastomer gebondet werden kann.

Stand der Technik

[0002] Bei herkömmlichen Halbleitervorrichtungen (Kompaktbaugruppen), wie BGA (ball grid array) und CSP (chip size package) wird ein Halbleiterchip auf einer Leiterkarte angebracht, die „Zwischenlage“ genannt wird. Die Zwischenlage arbeitet so, daß sie den externen Anschluß des Halbleiterchips mit dem Verbindungsabschnitt der Leiteranordnung auf einem Montagesubstrat ausrichtet, um die Halbleitervorrichtung darauf anzubringen, wie eine gedruckte Leiterkarte, oder um eine Gitterumwandlung des externen Anschlusses des Halbleiterchips durchzuführen. Bei der Zwischenlage sind eine Leiteranordnung mit einem vorbestimmten Muster und ein Verbindungsanschluß zu dem Montagesubstrat auf der Oberfläche eines isolierenden Substrates vorgesehen.

[0003] Wenn bei der Halbleitervorrichtung beispielsweise ein Band aus einem Polyimid, das einen thermischen Ausdehnungskoeffizienten von etwa 30 ppm/°C bis 40 ppm/°C hat, als das isolierende Substrat für die Zwischenlage benutzt wird, tritt beim Betrieb des Halbleiterchips, um die Temperatur der Halbleitervorrichtung auf die Betriebstemperatur der Halbleitervorrichtung anzuheben, eine Differenz in der Ausdehnung zwischen dem isolierenden Substrat und dem Halbleiterchip auf, da der thermische Ausdehnungskoeffizient eines herkömmlichen Halbleiterchips, bei dem ein Silizium (Si)-Substrat verwendet wird, etwa 2,6 ppm/°C beträgt. Dies bewirkt, daß eine Zugbelastung auf die Verbindungsfläche zwischen dem isolierenden Substrat (Zwischenlage) und dem Halbleiterchip aufgebracht wird. Auf Grund des Aufbringens der Zugbelastung wird eine Belastung an einem Verbindungsabschnitt zwischen dem externen Anschluß des Halbleiterchips und der Leiteranordnung aufgebracht, was zum Reißen eines Drahtes oder dem Ablösen des Halbleiterchips führt. In einem anderen Fall wird das isolierende Substrat verworfen, was zu dem Aufbringen einer Last auf dem Verbindungsabschnitt zwischen der Halbleitervorrichtung und dem Montagesubstrat führt und das Reißen eines Drahtes ergibt. Um dieses Problem zu überwinden, ist für eine Halbleitervorrichtung ein Vorschlag gemacht worden, wobei beispielsweise ein

Halbleiterchip über ein flexibles Material, ein Elastomer genannt, auf der Zwischenlage angebracht wird, als ein Mittel zum Entspannen der thermischen Belastung, die durch die Differenz in dem thermischen Ausdehnungskoeffizienten zwischen dem isolierenden Substrat und dem Halbleiterchip hervorgerufen wird.

[0004] Ein Beispiel der Halbleitervorrichtung, bei der ein Halbleiterchip durch das Elastomer aufgebracht worden ist, ist in den [Fig. 1](#) und [Fig. 2](#) gezeigt. Bei dieser Halbleitervorrichtung ist ein Halbleiterchip **4** nach der Flip-Chip-Technik über ein Elastomer **3** auf einer Zwischenlage angebracht, die den obigen Typ der Leiteranordnung **2** aufweist, welche auf der Oberfläche des obigen Typs eines isolierenden Substrates **1** vorgesehen ist, und die Leiteranordnung **2** in diesem Abschnitt dringt in eine Öffnung **1A** des isolierenden Substrates **1**, und eine Öffnung **3A** des Elastomers **3** wird deformiert, um die Leiteranordnung **2** mit diesem hervorstehenden Abschnitt mit einem externen Anschluß **401** in dem Halbleiterchip **4** zu verbinden. Hier ist [Fig. 1](#) eine typische Draufsicht auf eine Halbleitervorrichtung vom Typ BGA, und [Fig. 2](#) ist eine typische Querschnittsansicht entlang der Linie G-G' der [Fig. 1](#).

[0005] Bei der Halbleitervorrichtung vom Typ BGA, der in den [Fig. 1](#) und [Fig. 2](#) gezeigt wird, absorbieren das Elastomer **3** und die Leiteranordnung **2** in ihrem deformierten Abschnitt die thermische Belastung, die durch die Differenz im thermischen Ausdehnungskoeffizienten zwischen dem Halbleiterchip **4** und dem isolierenden Substrat **1** (Zwischenlage) hervorgerufen wird und können so die thermische Belastung abschwächen. Weiter, wie in [Fig. 2](#) gezeigt, ist ein Durchgangsloch **1B** in dem isolierenden Substrat **1** vorgesehen, und ein Kugelananschluß **6** für die Verbindung mit der Leiteranordnung **2** ist in dem Abschnitt des Durchgangsloches **1B** vorgesehen. Der Kugelananschluß **6** wird zum Beispiel beim Anbringen der Halbleitervorrichtung auf einem Montagesubstrat, wie einer Hauptplatine, als ein Verbindungsanschluß zwischen der Leiteranordnung **2** und der Verdrahtung (Anschluß) auf dem Montagesubstrat benutzt.

[0006] Ein Herstellungsprozeß für die Halbleitervorrichtung vom Typ BGA, wie sie in den [Fig. 1](#) und [Fig. 2](#) gezeigt ist, wird kurz erläutert. Zunächst, wie in [Fig. 3A](#) gezeigt, wird beispielsweise eine Zwischenlage (eine Leiterkarte) bereitgestellt, die eine Leiteranordnung **2** aufweist, mit einem vorbestimmten Muster, das auf der Oberfläche des isolierenden Substrates **1** angeordnet ist, welches mit einer Öffnung **1A** für das Bonden und einer Durchgangsöffnung **1B** an jeweiligen vorbestimmten Positionen versehen ist. In diesem Fall, wie in den [Fig. 1](#) und [Fig. 3A](#) gezeigt, wird die Leiteranordnung **2** so gebildet, daß ein Teil der Leiteranordnung **2** in die Öffnung **1A** zum Bonden hervorsteht, während ein weiterer Teil der Leiteran-

ordnung **2** das Durchgangsloch **1B** abdeckt.

[0007] Die Zwischenlage wird beispielsweise hergestellt, indem die Öffnung **1A** zum Bonden und das Durchgangsloch **1B** gebildet werden, wobei eine Form in dem isolierenden Substrat benutzt wird, so wie einem Polyimidband, dann eine dünne leitende Schicht, hergestellt aus einer Kupferfolie oder dergleichen, auf der Oberfläche des isolierenden Substrates **1** gebildet wird und die dünne leitende Schicht durch Ätzen oder dergleichen mit einem Muster versehen wird, um die Leiteranordnung **2** zu bilden. Ein weiteres Beispiel des Verfahrens zum Herstellen der Zwischenlage weist die Schritte des Bildens der dünnen leitenden Schicht auf der Oberfläche des isolierenden Substrates **1**, dann des Bildens der Öffnung **1A** zum Bonden und des Durchgangsloches **1B** in dem isolierenden Substrat **1** durch Laserätzen, wobei ein Kohlendioxidlaser, ein Excimerlaser oder dergleichen verwendet wird, und des Ausbildens eines Musters in der dünnen leitenden Schicht durch Ätzen oder dergleichen, um die Leiteranordnung **2** zu bilden, auf.

[0008] In diesem Fall ist das isolierende Substrat **1** im allgemeinen in Form eines Bandes ausgebildet, das in einer Richtung kontinuierlich ist, und in vielen Fällen wird eine große Anzahl von Halbleitervorrichtungen kontinuierlich in einem einzelnen isolierenden Substrat **1** des obigen Types durch ein Umspulverfahren gebildet, gefolgt von einem Abnehmen vorbestimmter Bereiche (Kompaktbaugruppenbereiche) von dem isolierenden Substrat **1**, um vereinzelte Stücke herzustellen. Der Bereich, wie in [Fig. 3A](#) gezeigt, wird wiederholt über dem gesamten isolierenden Substrat **1** gebildet.

[0009] Als nächstes wird in dem Schritt des Elastomer-Bondens, wie in [Fig. 3B](#) gezeigt, ein Elastomer **3**, welches eine Öffnung hat, die an einer Position entsprechend der Öffnung **1A** zum Bonden in dem isolierenden Substrat **1** vorgesehen ist, auf die Oberfläche der Zwischenlage gebondet, mit anderen Worten, der Zwischenlage mit ihrer Oberfläche, auf der die Leiteranordnung **2** ausgebildet worden ist. Zum Beispiel kann eine Struktur aus drei Schichten, mit einem elastischen Material, welches einen thermischen Ausdehnungskoeffizienten von nicht mehr als 100 ppm/°C oder einen Elastizitätsmodul von nicht mehr als 1000 MPa hat und einer Klebmittelschicht, die auf beiden Seiten des elastischen Materials vorgesehen ist, als das Elastomer benutzt werden. Das elastische Material ist bevorzugt ein poröses Material, das für Wasser hochgradig durchlässig ist. Die Klebmittelschicht wird beispielsweise aus einem wärmehärtbaren Harz gebildet, das zu einer Stufe B ausgehärtet worden ist.

[0010] Als nächstes, in dem Schritt des Bondens eines Halbleiterchips, wie in [Fig. 3C](#) gezeigt, wird der

Halbleiterchip **4** auf das Elastomer **3** gebondet. Zu diesem Zeitpunkt wird der Halbleiterchip **4** ausgerichtet, so daß sich der externe Anschluß **401** innerhalb der Öffnung **3A** in dem Elastomer **3** befindet und der externe Anschluß **401** in einer planaren Anordnung über der Leiteranordnung **2** liegt, gefolgt von Bonden auf das Elastomer **3**. Danach wird Erwärmen durchgeführt, um die Klebmittelschicht in dem Elastomer **3** voll auszuhärten.

[0011] Als nächstes wird die Leiteranordnung **2** in ihrem Abschnitt, der in die Öffnung **1A** zum Bonden in dem isolierenden Substrat **1** ragt, mit einem Bondewerkzeug in dem Schritt der Drahtverbindung unter Druck geschnitten, und wird, wie in [Fig. 3D](#) gezeigt, der geschnittene Abschnitt der Leiteranordnung **2** in die Öffnung **3A** in dem Elastomer **3** geschoben und deformiert. Danach wird beispielsweise Ultraschallschwingung von dem Bondewerkzeug auf die Leiteranordnung **2** aufgegeben, um die Leiteranordnung **2** mit dem Halbleiterchip an seinem externen Anschluß **401** zu verbinden. In diesem Fall wird die Leiteranordnung **2** in ihrem Abschnitt, der in die Öffnung **1A** zum Bonden ragt, teilweise in ihrer vorbestimmten Position verengt, so daß nach dem Schneiden unter Druck mit dem Bondewerkzeug der hervorstehende Abschnitt mit einem vorbestimmten externen Anschluß verbunden werden kann, obwohl dies in der Zeichnung nicht gezeigt ist.

[0012] Als nächstes, in dem Schritt des Versiegelns, wird ein Isolator **5**, der beispielsweise aus einem wärmehärtbaren Epoxyharz gebildet ist, durch die Öffnung **1A** zum Bonden in dem isolierenden Substrat **1** gegossen und wird ausgehärtet, um den Verbindungsabschnitt zwischen der Leiteranordnung **2** und dem Halbleiterchip an seinem externen Anschluß **401** zu versiegeln.

[0013] Danach, in dem Schritt des Anschließens eines Kugelanschlusses, wird ein Kugelanschluß **6**, der beispielsweise aus einem Lötmedium auf Pb-Sn-Basis gebildet ist, mit dem Durchgangsloch **1B** in dem isolierenden Substrat **1** verbunden, gefolgt durch Schneiden des isolierenden Substrates **1** (Zwischenlage), um vorbestimmte Bereiche (Kompaktbaugruppenbereiche) abzunehmen, um vereinzelte Stücke herzustellen. Auf diese Weise kann die Halbleitervorrichtung vom Typ BGA, wie sie in den [Fig. 1](#) und [Fig. 2](#) gezeigt ist, hergestellt werden.

[0014] Weiter wird bei der Halbleitervorrichtung, wie sie in den [Fig. 1](#) und [Fig. 2](#) gezeigt ist, beispielsweise ein Halbleiterchip vom Typ mit mittiger Kontaktfläche, wobei der externe Anschluß **401** um die Mittellinie der Oberfläche eines Siliziumsubstrates vorgesehen ist, der mit einer Schaltung, so wie einem DRAM (ein dynamischer Speicher mit wahlfreiem Zugriff) versehen ist, als der Halbleiterchip **4** benutzt. Ein weiteres Beispiel der Halbleitervorrichtung ist eine Halbleitervor-

richtung, welche einen Halbleiterchip vom Typ mit peripherer Kontaktfläche benutzt, wobei der externe Anschluß **401** um das Ende in der Richtung der langen Seite oder in der Richtung der kurzen Seite der Oberfläche des Siliziumsubstrates vorgesehen ist, das mit einer Schaltung versehen ist. Der Verbindungsanschluß, der auf dem Montagesubstrat angebracht ist, ist nicht auf den Kugelanschluß **6** begrenzt, es kann beispielsweise ein Verbindungsanschluß benutzt werden, bei dem ein flacher Verbindungsanschluß (ein Steg) gebildet wird, wobei eine mit Kupfer doppelt plattierte Laminatkarte auf der Fläche der Verbindung zu dem Montagesubstrat benutzt wird.

[0015] In dem Fall der Halbleitervorrichtung, wie sie in den [Fig. 1](#) und [Fig. 2](#) gezeigt ist, ist der Verbindungsabschnitt zwischen der Leiteranordnung **2** und dem Halbleiterchip an seinem externen Anschluß **401** lediglich mit dem Isolator **5** versiegelt. Daher liegt der Halbleiterchip **4** nach außen frei. Zum Beispiel wird in dem Fall eines MCM (Multichip-Moduls) die Halbleitervorrichtung als eine Komponente einer elektronischen Vorrichtung benutzt, die in dem Zustand, in dem sie auf einem Montagesubstrat angebracht wird, so wie eine Hauptplatine, eine Funktion hat. In diesem Fall, wenn der Halbleiterchip **4** nach außen frei liegt, beispielsweise zu dem Zeitpunkt des Anbringens der Halbleitervorrichtung auf dem Montagesubstrat oder zu dem Zeitpunkt des Verwendens des Halbleitersubstrates, das auf dem Montagesubstrat angebracht ist, tritt ein Problem dahingehend auf, daß die freiliegende Fläche des Halbleiterchips **4** beschädigt wird oder der Eckbereich des Halbleiterchips **4** bricht.

[0016] Weiter, da der Halbleiterchip **4** und das Elastomer **3** in dem freiliegenden Zustand sind, ist es wahrscheinlich, das Wasser durch die Klebmittelzwischenlage des Halbleiterchips **4** und das Elastomer **3** dringt. Wenn ein poröses Material als das elastische Material verwendet wird, das in dem Elastomer **3** eingesetzt wird, ist es wahrscheinlich, daß das Elastomer **3** Wasser absorbiert. Dies stellt ein Problem dahingehend, daß das absorbierte oder eingedrungene Wasser die Ablösung des Halbleiterchips **4** oder der Leiteranordnung **2** hervorruft, wobei die interne Leiteranordnung in dem Halbleiterchip **4** oder dergleichen wahrscheinlich angegriffen wird, was zu verschlechterten elektrischen Eigenschaften führt.

[0017] Um dieses Problem zu überwinden, ist eine Halbleitervorrichtung, bei der nicht nur die Verbindung zwischen der Leiteranordnung **2** und dem Halbleiterchip an seinem externen Anschluß **401**, sondern auch, wie in [Fig. 4](#) gezeigt, die Umfangsseiten des Halbleiterchips **4** und das Elastomer **3** mit dem Isolator **5** versiegelt sind, vorgeschlagen und eingesetzt worden.

[0018] Die Halbleitervorrichtung, wie sie in [Fig. 4](#)

gezeigt ist, wird wie folgt hergestellt. In der Prozedur, wie sie in den [Fig. 3A](#), [Fig. 3B](#), [Fig. 3C](#) und [Fig. 3D](#) gezeigt ist, wird der Halbleiterchip **4** auf die Zwischenlage durch das Elastomer **3** gebondet und wird die Leiteranordnung **2** mit dem Halbleiterchip **4** an seinem externen Anschluß **401** verbunden. Danach, in dem Schritt des Versiegelns, werden die Umfangsflächen des Halbleiterchips **4** und das Elastomer **3** und die Verbindung zwischen der Leiteranordnung **2** und dem Halbleiterchip an seinem externen Anschluß **401** mit dem Isolator **5** versiegelt, zum Beispiel durch ein Transferverfahren, wobei eine Form benutzt wird. Der Kugelanschluß **6** wird dann abgeschlossen, und die Zwischenlage wird an ihren vorbestimmten Bereichen abgenommen, um vereinzelte Stücke herzustellen.

[0019] Wenn in dem Schritt des Versiegelns die Umfangsflächen des Halbleiterchips **4** und des Elastomers **3** beispielsweise durch ein Transferverfahren versiegelt wird, wie in [Fig. 5A](#) gezeigt, wird die Zwischenlage, auf der der Halbleiterchip **4** durch Flip-Chip-Technik angebracht worden ist, zwischen einer oberen Matrize **7**, welche mit einem Hohlraum **702** zum Aufnehmen des Halbleiterchips **4** und des Elastomers **3** versehen ist, und einer unteren Matrize **8** in Form einer flachen Platte eingeschlossen und befestigt. In diesem Fall zum Beispiel sind zwischen der oberen Matrize **7** und der unteren Matrize **8**, wie in [Fig. 5A](#) gezeigt, zusätzlich zu dem Hohlraum **702**, Freiräume vorgesehen, zum Beispiel ein Topf **704**, in den der Isolator **5** zum Versiegeln des Halbleiterchips **4** eingeführt wird, ein Gatter **701** zum Gießen des Isolators **5**, der in dem Topf **704** eingelassen und aufgeschmolzen worden ist, in den Hohlraum **702** und eine Belüftung **703**, die, wenn der Isolator **5** durch das Gatter **701** eingegossen worden ist, so arbeitet, daß sie die Luft innerhalb des Hohlraumes **702** zur Außenseite der Anordnung hin freigibt.

[0020] In dem Fall des Transferverfahrens, nachdem das wärmehärtbare Harz als der Isolator **5** in den Topf **704** eingegeben und aufgeschmolzen worden ist, wie in [Fig. 5B](#) gezeigt, wird der aufgeschmolzene Isolator **5** mittels eines Kolbens **10** gepreßt. Dies erlaubt es dem Isolator **5**, daß er durch das Gatter **701** gelangt und in den Hohlraum **702** gegossen wird. Nachdem der Isolator **5** in den Hohlraum **702** gegossen worden ist, um die Umfangsflächen des Halbleiterchips **4** und des Elastomers **3** mit dem Isolator **5** zu befüllen, wird der Isolator **5** ausgehärtet, gefolgt von Entfernen der oberen Matrize **7** und der unteren Matrize **8**. Somit werden die Umfangsflächen des Halbleiterchips **4** und des Elastomers **3** und die Verbindung zwischen der Leiteranordnung **2** und dem Halbleiterchip an seinem externen Anschluß **401** mit dem Isolator **5** versiegelt.

[0021] Verfahren zum Versiegeln der Umfangsflächen des Halbleiterchips **4** und des Elastomers **3** mit

dem Isolator **5** umfassen zusätzlich zu dem obigen Transfervorrichtung, bei dem eine Form verwendet wird, ein Verfahren, bei dem die gesamte Oberfläche der Zwischenlage, auf der der Halbleiterchip **4** durch Flip-Chip-Technik angebracht worden ist, mit einem Isolator **5** beschichtet wird, der aus einem wärme-härtbaren Harz oder dergleichen gebildet ist.

[0022] Bei dem oben genannten Verfahren des Standes der Technik wird jedoch in dem Schritt des Versiegeln, wenn die Umfangsflächen des Halbleiterchips **4** mit dem Isolator **5** durch das Transfervorrichtung, bei dem eine Form benutzt wird, versiegelt werden, die Umfangsflächen des Elastomers **3** auch mit dem Isolator versiegelt werden.

[0023] Im allgemeinen wird ein poröses Material, das hochgradig flexibel und für Wasser hochgradig durchlässig ist, in vielen Fällen als das Elastomer **3** verwendet, und somit ist es wahrscheinlich, daß Wasser in dem Porenanteil eingeschlossen wird, der in dem Material vorliegt. Das in dem Elastomer **3** eingeschlossene Wasser wird verdampft und dehnt sich aus, zum Beispiel in dem Schritt des Erwärmens zum Anbringen der Halbleitervorrichtung auf dem Montage-substrat. Zu diesem Zeitpunkt, wenn die Umfangsflächen des Elastomers **3** mit dem Isolator **5** versiegelt sind, wie in dem Fall der Halbleitervorrichtung, die in [Fig. 4](#) gezeigt ist, kann jedoch das verdampfte Wasser nicht nach außerhalb der Halbleitervorrichtung freigegeben werden. Dies stellt ein Problem dahingehend, daß der thermische Schock, der durch die Verdampfung und Ausdehnung des Wassers innerhalb des Elastomers **3** hervorgerufen wird, wahrscheinlich die Ablösung des Halbleiterchips **4** oder Zwischenlage hervorruft.

[0024] Weiter, wenn das Wasser, das in dem Elastomer **3** eingeschlossen ist, nicht nach außerhalb der Halbleitervorrichtung freigesetzt werden kann, ist es wahrscheinlich, daß metallische Abschnitte, so wie die Leiteranordnung **2**, die interne Leiteranordnung des Halbleiterchips **4** und dergleichen durch das eingeschlossene Wasser angegriffen werden und somit nachteilhaft die elektrischen Eigenschaften der Halbleitervorrichtung wahrscheinlich verschlechtert werden.

[0025] Die JP 11-087414A (Abstract) und JP 11-087570A (Abstract) offenbaren eine Halbleitervorrichtung, die eine Haupt-Oberfläche hat, eine Elektrodenkontaktfläche, Bump-Elektroden, ein Elastomer, welches auf der Haupt-Oberfläche des Halbleiterchips angeordnet ist, ein Substrat zum Dünnschicht-Verdrahten und Versiegelungsteile hat. Das Elastomer umfaßt vorstehende Teile, die über den Halbleiterchip hervorragen, und eine vorbestimmte Seitenfläche **3a** des Elastomers liegt frei zur Außenseite. Die vorspringenden Teile unterstützen den Halbleiterchip und dienen als ein Damm zum Verhindern eines Si-

ckerverlustes des Harzes für das Versiegeln. Die seitlichen Oberflächen liegen frei zur Außenseite, um Wasserdampf freizugeben, der durch während des Reflow-Vorgangs absorbierte Feuchtigkeit entstanden ist. Das Elastomer ist aus einem porösen Fluoridharz geformt.

[0026] Die US 6,888,230 B1 betrifft eine Halbleitervorrichtung, die einen Halbleiterchip zeigt, der auf die Schicht mit dem Schaltkreis mittels eines Mittels zum Bonden aufgeklebt wurde. Der Chip und seine elektrischen Anschlüsse sind mittels eines Versiegelungs-Mittels aus der Epoxy-Gruppe versiegelt.

[0027] Die US 5,776,796 A betrifft ein Verfahren zum Vergießen einer Halbleiter-Kompaktbaugruppe. Die Baugruppe weist dabei eine Abstands-Schicht zwischen einer oberen Oberfläche einer dünnen Schicht eines Substrats und einer kontaktgebenden Oberfläche eines Halbleiterchips auf, wobei das Substrat leitende Anschlüsse obenauf hat, wobei die leitenden Anschlüsse elektrisch verbunden sind mit Anschlüssen eines ersten Endes und gebondet sind an entsprechende Chipkontakte an einem zweiten Ende. Typischerweise besteht die Abstands-Schicht aus einem nachgebenden oder elastomeren Material. Eine Schutzschicht ist an der unteren Oberfläche der dünnen Schicht des Substrats angebracht, um so die Anschlüsse auf dem Substrat abzudecken und jegliche Öffnungen in dem Substrat abzudichten. Nach dem Anbringen der Schutzschicht wird ein fließendes, aushärtbares Verkapselungsmaterial um zumindest einen Abschnitt des Umfangs des Halbleiterchips aufgebracht, um so die Anschlüsse zu verkapseln. Die Schutzschicht verhindert, daß das Verfüßmaterial durch irgendwelche Öffnungen in dem Substrat fließt. Das Verfüßmaterial wird dann gehärtet.

[0028] Die US 6,307,269 B1 offenbart eine Halbleitervorrichtung, bei der ein Halbleiterchip durch ein Elastomer auf eine Leiterkarte gebondet ist. Die von dem Elastomer abgewandte Oberfläche liegt vollständig frei, lediglich die Seitenflächen des Halbleiterchips sind mit einem Isolator versiegelt. Die Stirnflächen des Elastomers liegen in Längsrichtung über die gesamte Länge frei.

Zusammenfassung der Erfindung

[0029] Demgegenüber ist es eine Aufgabe der Erfindung, eine Halbleitervorrichtung zur Verfügung zu stellen, bei der ein Abnehmen der Gerätezuverlässigkeit verhindert werden kann und welche einen Halbleiterchip aufweist, der auf eine Leiterkarte (eine Zwischenlage) durch ein Elastomer gebondet ist, und an seinen Umfangsflächen sowie an seiner oberen Oberfläche mit einem Isolator versiegelt ist. Die Halbleitervorrichtung soll vor Zerstörung sowohl durch von dem Elastomer absorbierte Feuchtigkeit, die bei Anbringen des flüssigen Isolators in Wasserdampf

übergeht, als auch durch mechanische Beanspruchung geschützt sein.

[0030] Es ist eine weitere Aufgabe der Erfindung, für eine solche Halbleitervorrichtung eine Technik zur Verfügung zu stellen, die einen Gerätefehler verringern kann, welcher durch die Ablösung eines Halbleiterchips oder einer Leiterkarte von der Halbleitervorrichtung hervorgerufen wird.

[0031] Es ist eine weitere Aufgabe der Erfindung, eine solche Halbleitervorrichtung zur Verfügung zu stellen, bei der eine Verschlechterung der elektrischen Eigenschaften reduziert ist.

[0032] Es ist ebenfalls Aufgabe der Erfindung, ein Verfahren zum Herstellen einer solchen Halbleitervorrichtung anzugeben.

[0033] Die vorangehenden und weiteren Aufgaben und neuen Merkmale der Erfindung werden den Fachleuten aus der folgenden genauen Beschreibung und den beigefügten Ansprüchen deutlich, die in Verbindung mit den beigefügten Zeichnungen gesehen werden sollen.

[0034] Die hierin offenbarte Erfindung wird hiernach zusammengefaßt.

(1) Eine Halbleitervorrichtung weist auf: Eine Leiterkarte, welche eine Leiteranordnung mit einem vorbestimmten Muster aufweist, die auf der Oberfläche eines isolierenden Substrates vorgesehen ist; ein Elastomer, das auf der Leiterkarte vorgesehen ist; einen Halbleiterchip, der auf die Leiterkarte durch das Elastomer gebondet ist; und einen Isolator zum Versiegeln der Umfangsflächen und einer oberen Oberfläche des Halbleiterchips, wobei die obere Oberfläche gegenüber der Oberfläche liegt, welche an dem Elastomer anliegt, und der Umfangsflächen des Elastomers, wobei der Halbleiterchip mit seinem externen Anschluß elektrisch mit der Leiteranordnung verbunden ist, wobei

das Elastomer zumindest einen Belüftungsabschnitt für Feuchtigkeit in Form eines Vorsprungs an einem Teilstück eines äußeren Endes des Elastomers aufweist, wobei der Belüftungsabschnitt für Feuchtigkeit an seiner Stirnseite nicht durch den Isolator versiegelt ist und an einer Außenfläche der Halbleitervorrichtung freiliegt, und einen versiegelten Abschnitt an einem anderen Teilstück des äußeren Endes aufweist, wobei der versiegelte Abschnitt an seiner Stirnseite durch den Isolator versiegelt ist und nicht an der Außenfläche der Halbleitervorrichtung freiliegt.

[0035] Bei der Halbleitervorrichtung nach dem obigen Punkt (1) kann, da ein Teil des Elastomers auf der Oberfläche des Isolators frei liegt, in dem Schritt des Erwärmens, zum Beispiel zu dem Zeitpunkt des

Anbringens der Halbleitervorrichtung auf dem Montage substrat, Wasser, das in dem Elastomer eingeschlossen ist, durch den freiliegenden Abschnitt nach außerhalb der Halbleitervorrichtung freigegeben werden. Dadurch kann der Ablösung des Halbleiterchips oder der Leiterkarte, hervorgerufen durch den thermischen Schock, der der Verdampfung oder Ausdehnung von Wasser zuzuschreiben ist, welches in dem Elastomer eingeschlossen ist, vorgebeugt werden.

[0036] Weiter, da in dem Schritt des Erwärmens Wasser, das in dem Elastomer eingeschlossen ist, nach außerhalb der Halbleitervorrichtung freigegeben werden kann, ist es möglich, ein ungünstiges Phänomen zu verhindern, der Art, daß Wasser, das innerhalb des Elastomers verbleibt, metallische Abschnitte in der Halbleitervorrichtung erreicht, solche wie die Leiteranordnung oder die interne Leiteranordnung in dem Halbleiterchip, und metallische Abschnitte angreift. Daher kann einer Verschlechterung der elektrischen Eigenschaften vorgebeugt werden.

[0037] Zum Beispiel wird ein poröses Material, das für Wasser hochgradig durchlässig ist, in vielen Fällen als das Elastomer verwendet. In diesem Fall kann ein Freilegen von nur einem Teil des Elastomers die Menge an Wasser verringern, die in dem Elastomer absorbiert wird. Daher kann das Ablösen des Halbleiterchips durch die Absorption von Feuchtigkeit in dem Elastomer und eine Verschlechterung in den elektrischen Eigenschaften auch verringert werden.

[0038] Nach einer Ausführungsform weist das Elastomer eine Vielzahl von Belüftungsabschnitten für Feuchtigkeit in Form von Vorsprüngen auf.

[0039] Nach einer weiteren Ausführungsform hat zumindest einer der Vorsprünge der Belüftungsabschnitte für Feuchtigkeit eine annähernd rechteckige Form.

(2) Ein Verfahren zum Erzeugen einer Halbleitervorrichtung weist die Schritte auf: Bereitstellen einer Leiterkarte mit einem isolierenden Substrat, einer Leiteranordnung mit einem vorbestimmten Muster, die auf der Oberfläche des isolierenden Substrates vorgesehen ist, und einem Elastomer, das auf dem isolierenden Substrat an seiner vorbestimmten Position vorgesehen ist, und Bonden eines Halbleiterchips auf die Leiterkarte durch das Elastomer (Schritt des Bondens eines Halbleiterchips); elektrisches Verbinden des Halbleiterchips an seinem externen Anschluß mit der Leiteranordnung (Schritt der Leiterverbindung); Versiegeln der Umfangsflächen und einer oberen Oberfläche, die gegenüber der an das Elastomer gebondeten Oberfläche liegt, des Halbleiterchips, der auf die Leiterkarte gebondet ist, und der Umfangsflächen des Elastomers mit einem Isolator (Schritt des Versiegelns); und, nach dem Schritt des Versiegelns, Abnehmen der Leiterkarte an ihren vor-

bestimmten Bereichen, um vereinzelte Stücke herzustellen (Schritt des Auftrennens in vereinzelte Stücke), wobei das Elastomer einen Belüftungsabschnitt für Feuchtigkeit in Form eines Vorsprungs an einem Teilstück eines äußeren Endes des Elastomers aufweist, wobei der Belüftungsabschnitt für Feuchtigkeit nicht durch den Isolator versiegelt ist und an einer Außenfläche der Halbleitervorrichtung freiliegt, und einen versiegelten Abschnitt an einem anderen Teilstück des äußeren Endes aufweist, wobei der versiegelte Abschnitt durch den Isolator versiegelt ist und nicht an der Außenfläche der Halbleitervorrichtung freiliegt, und in dem Schritt des Auftrennens in vereinzelte Stücke bei dem Abnehmen der Leiterkarte an ihrem vorbestimmten Bereich ein Teilstück des Belüftungsabschnittes für Feuchtigkeit des Elastomers geschnitten wird.

[0040] Bei dem Herstellungsverfahren unter Punkt (2) erlaubt es in dem Schritt des Auftrennens in vereinzelte Stücke das Aufschneiden eines Teiles des Umfangsabschnittes des Elastomers, daß ein Teil des Elastomers, der mit dem Isolator versiegelt war, auf der Oberfläche des Isolators freiliegt. Damit kann eine Halbleitervorrichtung erzeugt werden, die Wasser, welches in dem Elastomer eingeschlossen ist, nach außerhalb der Halbleitervorrichtung durch den freiliegenden Bereich freisetzen kann und somit ein Verringern der Zuverlässigkeit verhindern kann, das dem Wasser zuzuschreiben ist, welches in dem Elastomer eingeschlossen ist.

[0041] Weiter, da die Umfangsflächen des Halbleiterchips mit dem Isolator versiegelt sind, kann zum Zeitpunkt des Handhabens die Schädigung des Halbleiterchips und das Abbrechen des Eckabschnittes des Halbleiterchips verhindert werden.

(3) Ein Verfahren zum Herstellen einer Halbleitervorrichtung weist die Schritte auf: Bereitstellen einer Leiterkarte, mit einem isolierenden Substrat und einer Leiteranordnung, welche ein vorbestimmtes Muster hat und auf der Oberfläche des isolierenden Substrates vorgesehen ist, und Bonden eines Elastomers auf die Leiterkarte an seiner vorbestimmten Position (Schritt des Bondens eines Elastomers); Bonden eines Halbleiterchips auf das Elastomer, das auf die Leiterkarte gebondet ist (Schritt des Bondens eines Halbleiterchips); elektrisches Verbinden des Halbleiterchips an seinem externen Anschluß mit der Leiteranordnung (Schritt des Verbindens der Leiter); Versiegeln der Umfangsflächen des Halbleiterchips, der auf die Leiterkarte gebondet ist, und der Umfangsflächen des Elastomers mit einem Isolator sowie einer oberen Oberfläche des Halbleiterchips, die gegenüber der an das Elastomer gebondeten Oberfläche liegt (Schritt des Versiegelns); und, nach dem Schritt des Versiegelns, Abnehmen der

Leiterkarte an ihren vorbestimmten Bereichen, um vereinzelte Stücke herzustellen (Schritt der Auftrennung in vereinzelte Stücke), wobei das Elastomer einen Belüftungsabschnitt für Feuchtigkeit in Form eines Vorsprungs an einem Teilstück eines äußeren Endes des Elastomers aufweist, wobei der Belüftungsabschnitt für Feuchtigkeit nicht durch den Isolator versiegelt ist und an einer Außenfläche der Halbleitervorrichtung freiliegt, und einen versiegelten Abschnitt an einem anderen Teilstück des äußeren Endes aufweist, wobei der versiegelte Abschnitt durch den Isolator versiegelt ist und nicht an der Außenfläche der Halbleitervorrichtung freiliegt, und der Schritt des Bondens des Elastomers so durchgeführt wird, daß ein Teilstück des Belüftungsabschnittes für Feuchtigkeit des Elastomers in einen Bereich außerhalb des Bereiches vorsteht, der in dem Schritt des Auftrennens in vereinzelte Stücke abgenommen wird.

[0042] Bei dem Herstellungsverfahren nach Punkt (3) wird das Elastomer mit einem Vorsprung, der sich zu einem Bereich außerhalb des Bereiches erstreckt, der bei dem Auftrennen der Leiterkarte in vereinzelte Stücke abgenommen wird, auf die Leiterkarte gebondet. Mittels dieser obigen Konstruktion kann, selbst wenn die Umfangsflächen des Halbleiterchips und des Elastomers mit dem Isolator in dem Schritt des Versiegelns versiegelt werden, zum Zeitpunkt des Auftrennens in vereinzelte Stücke der Vorsprung des Elastomers abgeschnitten und teilweise freigelegt werden. Damit kann eine Halbleitervorrichtung hergestellt werden, welche Wasser, das in dem Elastomer eingeschlossen ist, nach außerhalb der Halbleitervorrichtung durch den freiliegenden Abschnitt freigeben kann und somit ein Verringern der Zuverlässigkeit verhindern kann, das dem Wasser zuzuschreiben ist, welches in dem Elastomer eingeschlossen ist.

[0043] Weiter, da die Umfangsflächen des Halbleiterchips mit dem Isolator versiegelt sind, können zum Zeitpunkt des Handhabens eine Beschädigung des Halbleiterchips und das Abbrechen des Eckabschnittes des Halbleiterchips verhindert werden.

[0044] Bei dem Herstellungsverfahren nach den Punkten (2) und (3) kann der Schritt des Versiegelns beispielsweise nach einem Verfahren durchgeführt werden, das die Schritte aufweist: Anordnen und Fixieren der Leiterkarte zwischen einer oberen Matrize, die einen Hohlraum, der groß genug ist, um das Elastomer und den Halbleiterchip, der auf die Leiterkarte gebondet ist, aufzunehmen, und ein Gatter, in das ein Harz gegossen wird, hat, und einer unteren Matrize; Gießen eines flüssigen Harzes durch das Gatter in den Hohlraum; Aushärten des Harzes; und dann Entfernen der Anordnung aus der oberen und unteren Matrize.

[0045] Das Versiegeln des Halbleiterchips und des Elastomers durch das Transferverfahren, wobei die obere Matrize und die untere Matrize benutzt werden, erlaubt es, daß die Umfangsflächen des Halbleiterchips und des Isolators mit einem Isolator versiegelt werden, welcher die geeignete Dicke und Form hat. Daher kann eine Verschwendung von Isolator verringert werden, und die Materialkosten können reduziert werden.

[0046] Wenn die obere und untere Matrize verwendet werden, ist es einfach, die Oberfläche des Isolators eben zu machen und die äußere Form jeder Halbleitervorrichtung gleichförmig zu machen. Daher kann eine Halbleitervorrichtung hergestellt werden, die zum Beispiel zum Zeitpunkt des Anbringens leicht handhabbar ist.

[0047] Weitere Verfahren zum Durchführen des Schrittes des Versiegelns umfassen, zusätzlich zu dem Transferverfahren, bei dem die obere und untere Matrize verwendet werden, ein Verfahren, bei dem ein flüssiges Harz auf die gesamte Oberfläche der Leiterkarte aufgeschichtet wird, gefolgt von Aushärten der Beschichtung, und ein Verfahren, bei dem ein flüssiges Harz nur auf und um den Halbleiterchip vergossen wird. Bei diesen Verfahren jedoch wird der Teil, der in dem Schritt des Auftrennens in vereinzelte Stücke ausgeschnitten werden sollte, auf Grund des Vorsehens des Isolators dick. Dies verursacht das Aufbringen einer großen Last zum Zeitpunkt des Schneidens, und es ist wahrscheinlich, daß die Schnittfläche rau ist. Weiter ist es schwierig, die äußere Form des Isolators flach und gleichförmig zu machen. Aus diesem Grunde ist das Versiegeln durch das Transferverfahren, wobei die obere und untere Matrize benutzt wird, bevorzugt.

[0048] Das Vorsehen eines vorbestimmten Leerraumes zwischen der oberen Matrize und dem Elastomer an seinem hervorstehenden Abschnitt, um den direkten Kontakt des Elastomers mit der oberen Matrize zu vermeiden, kann die Übertragung oder das Anhaften der Klebmittelschicht, die sich auf der Oberfläche des Elastomers befindet, an die obere Matrize verhindern, oder die Verunreinigung der oberen Matrize nach dem Aufheizen der oberen Matrize. Dies kann zur verbesserten Ausbeute der Halbleiterausbeute beitragen.

[0049] Weiter ist in diesem Fall, da der Vorsprung des Elastomers ein Abschnitt ist, der in dem späteren Schritt des Auftrennens in vereinzelte Stücke geschnitten wird, um die Belastung zu verringern, die zur Zeit des Schneidens anliegt, bevorzugt die Dicke des Isolators an seinem Abschnitt auf dem Vorsprung des Elastomers so klein wie möglich, und der Abstand von der oberen Matrize zu dem Elastomer in diesem hervorstehenden Abschnitt beträgt nicht mehr als 100 µm. Nach einer bevorzugten Ausführ-

ungsform des erfindungsgemäßen Verfahrens ist eine Stufe in dem Hohlraum in der oberen Matrize vorgesehen, in deren Abschnitt, der einem Abschnitt um den Umfang des Bereiches entspricht, der in dem Schritt des Auftrennens in vereinzelte Stücke abgenommen werden soll, und ist ein Abstand von der unteren Oberfläche der Stufe zu der oberen Oberfläche des Belüftungsabschnittes kleiner als der Abstand von einer Oberfläche der Wandung des Hohlraumes zu der oberen Oberfläche des Elastomers. Wenn die Genauigkeit der Dicke und die Ebenheit des Elastomers berücksichtigt werden, wird der Abstand von der oberen Matrize zu dem Elastomer an seinem vorstehenden Abschnitt notwendigerweise als nicht geringer als 5 µm betrachtet.

[0050] Bevorzugt hat in dem Herstellungsverfahren nach den Punkten (2) und (3) die Leiterkarte eine erste Öffnung und eine zweite Öffnung an jeweils vorbestimmten Positionen des isolierenden Substrates; ist die Leiteranordnung auf der Oberfläche des isolierenden Substrates so vorgesehen, daß die Leiteranordnung die erste Öffnung überdeckt und in die zweite Öffnung ragt; hat in dem Schritt des Bondens des Elastomers das Elastomer eine Öffnung an seinem Abschnitt entsprechend der zweiten Öffnung des isolierenden Substrates; kann in dem Schritt des Bondens des Halbleiterchips die Leiteranordnung an ihrem Abschnitt, der in die zweite Öffnung des isolierenden Substrates ragt, deformiert werden und wird sie an den Halbleiterchip an seinem externen Anschluß gebondet; und wird in dem Schritt des Verbindens der Leitungen die Leiteranordnung an ihren Abschnitt, der in die zweite Öffnung des isolierenden Substrates ragt, deformiert und wird mit dem Halbleiterchip an seinem externen Anschluß verbunden.

[0051] Wenn die Leiteranordnung deformiert und angeschlossen wird, kann die thermische Belastung, die der Differenz im thermischen Ausdehnungskoeffizienten zwischen dem Halbleiterchip und der Leiterkarte (dem isolierenden Substrat) zuzuschreiben ist, durch das Elastomer und die Leiteranordnung entspannt werden. Dadurch kann das Ablösen der Leiteranordnung von dem Halbleiterchip an seinem externen Anschluß an der Verbindung zwischen der Leiteranordnung und dem externen Anschluß des Halbleiterchips verhindert werden. Dies kann das Bereitstellen einer Halbleitervorrichtung mit hoher Zuverlässigkeit bei der Verbindung realisieren.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0052] Die Erfindung wird in weiteren Einzelheiten in Verbindung mit den angefügten Zeichnungen erläutert, wobei:

[0053] [Fig. 1](#) eine typische schematische Draufsicht ist, die den Aufbau einer herkömmlichen Halbleitervorrichtung zeigt;

[0054] [Fig. 2](#) eine Querschnittsansicht entlang der Linie G-G' der [Fig. 1](#) ist;

[0055] [Fig. 3A](#) bis [Fig. 3D](#) typische Querschnittsansichten sind, die jeweilige Schritte zeigen, welche ein Herstellungsverfahren einer herkömmlichen Halbleitervorrichtung bilden;

[0056] [Fig. 4](#) eine typische schematische Querschnittsansicht ist, die den Aufbau einer herkömmlichen Halbleitervorrichtung zeigt;

[0057] [Fig. 5A](#) und [Fig. 5B](#) typische Querschnittsansichten sind, die den Schritt des Versiegeln eines Halbleiterchips bei einem Herstellungsverfahren einer herkömmlichen Halbleitervorrichtung zeigen;

[0058] [Fig. 6](#) eine typische schematische Draufsicht ist, die den Aufbau einer Halbleitervorrichtung nach einer bevorzugten Ausführungsform der Erfindung zeigt;

[0059] [Fig. 7A](#) und [Fig. 7B](#) typische schematische Ansichten sind, die den Aufbau der Halbleitervorrichtung in der bevorzugten Ausführungsform der Erfindung zeigen, wobei [Fig. 7A](#) eine Querschnittsansicht entlang der Linie A-A' der [Fig. 6](#) ist und [Fig. 7B](#) eine Ansicht der Halbleitervorrichtung, die in [Fig. 6](#) gezeigt ist, von der rechten Seite her ist;

[0060] [Fig. 8](#) eine typische schematische Draufsicht ist, die den Aufbau einer Leiterkarte (einer Zwischenlage) zeigt, welche bei der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung benutzt wird, zum Veranschaulichen eines Herstellungsverfahrens der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung;

[0061] [Fig. 9](#) eine typische schematische Draufsicht ist, die den Aufbau einer Leiterkarte nach dem Bonden eines Elastomers zeigt, zum Veranschaulichen eines Herstellungsverfahrens der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung;

[0062] [Fig. 10](#) eine typische schematische Draufsicht ist, die den Aufbau einer Leiterkarte nach dem Bonden eines Halbleiterchips zeigt, zum Veranschaulichen eines Herstellungsverfahrens der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung;

[0063] [Fig. 11](#) eine typische Draufsicht ist, die den Schritt des Versiegeln zeigt, zum Veranschaulichen eines Herstellungsverfahrens der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Er-

findung;

[0064] [Fig. 12A](#) und [Fig. 12B](#) typische Ansichten sind, die ein Herstellungsverfahren der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung zeigen, wobei [Fig. 12A](#) eine Querschnittsansicht entlang der Linie B-B' der [Fig. 11](#) und [Fig. 12B](#) eine Querschnittsansicht entlang der Linie C-C' der [Fig. 11](#) ist;

[0065] [Fig. 13](#) eine typische Querschnittsansicht entlang der Linie D-D' der [Fig. 11](#) ist, zum Veranschaulichen eines Herstellungsverfahrens der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung;

[0066] [Fig. 14](#) eine typische schematische Draufsicht ist, die den Aufbau einer Leiterkarte nach dem Schritt des Versiegeln zeigt, zum Veranschaulichen eines Herstellungsverfahrens der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung;

[0067] [Fig. 15A](#) und [Fig. 15B](#) typische Ansichten sind, welche ein Herstellungsverfahren der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung veranschaulichen, wobei [Fig. 15A](#) eine Querschnittsansicht einer Anordnung nach dem Bonden eines Kugelanschlusses ist und [Fig. 15B](#) eine Querschnittsansicht entlang der Linie D-D' der [Fig. 11](#) in dem Schritt des Auftrenns in vereinzelte Stücke;

[0068] [Fig. 16A](#) und [Fig. 16B](#) typische Ansichten sind, welche einen Herstellungsprozeß der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung veranschaulichen, wobei [Fig. 16A](#) eine Querschnittsansicht entlang der Linie B-B' der [Fig. 11](#) in dem Schritt des Auftrenns in vereinzelte Stücke und [Fig. 16B](#) eine Querschnittsansicht entlang der Linie C-C' der [Fig. 11](#) in dem Schritt des Auftrenns in vereinzelte Stücke ist;

[0069] [Fig. 17A](#) und [Fig. 17B](#) typische Ansichten sind, die die Funktion und Wirkung der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Öffnung veranschaulichen, wobei [Fig. 17A](#) eine Vorderansicht der angebrachten Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung und [Fig. 17B](#) eine Querschnittsansicht entlang der Linie E-E' der [Fig. 17A](#) ist;

[0070] [Fig. 18](#) eine typische schematische Draufsicht ist, welche den Aufbau einer Halbleitervorrichtung nach dem Stand der Technik zeigt;

[0071] [Fig. 19](#) eine typische schematische Draufsicht ist, die den Aufbau einer Halbleitervorrichtung nach einer zweiten Variante der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform der Erfin-

dung zeigt;

[0072] [Fig. 20](#) eine typische schematische Draufsicht ist, die den Aufbau einer Halbleitervorrichtung nach einer dritten Variante der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung zeigt; und

[0073] [Fig. 21A](#) und [Fig. 21B](#) typische Ansichten sind, die die dritte Variante der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung zeigen, wobei [Fig. 21](#) eine Querschnittsansicht entlang der Linie F-F' der [Fig. 20](#) und [Fig. 21B](#) eine Ansicht der [Fig. 20](#) von der rechten Seite her ist.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0074] Bevorzugte Ausführungsformen der Erfindung werden in Verbindung mit den beigefügten Zeichnungen erläutert.

[0075] Bei allen Zeichnungen, die zum Erläutern der bevorzugten Ausführungsformen benutzt werden, sind gleiche Teile durch dieselben Bezugsziffern identifiziert, und überlappende Erläuterungen der gleichen Teile sind weggelassen.

[0076] [Fig. 6](#) und [Fig. 7A](#) und [Fig. 7B](#) sind typische schematische Ansichten, die den Aufbau einer Halbleitervorrichtung nach einer bevorzugten Ausführungsform der Erfindung zeigen. Genau gesagt ist [Fig. 6](#) eine Draufsicht auf eine Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung, [Fig. 7A](#) eine Querschnittsansicht entlang der Linie A-A' der [Fig. 6](#) und [Fig. 7B](#) eine Ansicht der [Fig. 6](#) von der rechten Seite her. In [Fig. 6](#) ist ein Isolator zum Versiegeln eines Halbleiterchips und eines Elastomers nicht gezeigt.

[0077] In [Fig. 6](#) bezeichnet Ziffer 1 ein isolierendes Substrat, Ziffer 2 eine Leiteranordnung, Ziffer 3 ein Elastomer, Ziffer 301 einen Vorsprung (einen Belüftungsabschnitt für Feuchtigkeit) des Elastomers, Ziffer 3A eine Öffnung des Elastomers, Ziffer 4 einen Halbleiterchip und Ziffer 401 einen externen Anschluß des Halbleiterchips. In den [Fig. 7A](#) und [Fig. 7B](#) bezeichnet Ziffer 1A eine Öffnung zum Bonden, Ziffer 1B ein Durchgangsloch, Ziffer 5 einen Isolator (ein Dichtmaterial) und Ziffer 6 einen Kugelan-schluß.

[0078] Wie in den [Fig. 6](#) und [Fig. 7A](#) gezeigt, weist die Halbleitervorrichtung nach dieser bevorzugten Ausführungsform auf: Eine Leiterkarte, welche eine Leiteranordnung 2 aufweist, die ein vorbestimmtes Muster hat, das auf der Oberfläche eines isolierenden Substrates 1 vorgesehen ist, ein Elastomer 3, das auf der Leiterkarte vorgesehen ist; einen Halbleiterchip 4, der durch das Elastomer 3 auf die Leiter-

karte gebondet ist; und einen Isolator 5 zum Versiegeln der Umfangsflächen des Halbleiterchips 2 und des Elastomers 3. Öffnungen 1A, 3A zum Bonden sind in dem isolierenden Substrat 1 und dem Elastomer 3 an ihren Positionen vorgesehen, die einem externen Anschluß 401 des Halbleiterchips 4 entsprechen. Die Leiteranordnung 2 ist in ihrem Abschnitt, der in die Öffnungen 1A, 3A zum Bonden ragt, deformiert, um die Leiteranordnung 2 mit dem Halbleiterchip an seinem externen Anschluß 401 zu verbinden. Das Innere der Öffnungen 1A, 3A zum Bonden ist mit dem Isolator 5 zum Versiegeln der Verbindung zwischen der Leiteranordnung 2 und dem Halbleiterchip an seinem externen Anschluß 401 gefüllt.

[0079] Die Halbleitervorrichtung nach dieser bevorzugten Ausführungsform ist eine Halbleitervorrichtung vom Typ BGA, bei dem, wie in [Fig. 7A](#) gezeigt, ein Durchgangsloch 1B in dem isolierenden Substrat 1 vorgesehen und ein Kugelan-schluß 6 für die Verbindung zur Leiteranordnung 2 ist in dem Durchgangsloch 1B vorgesehen.

[0080] Weiter ist bei der Halbleitervorrichtung nach der bevorzugten Ausführungsform, wie in den [Fig. 6](#) und [Fig. 7B](#) gezeigt, ein Vorsprung 301, der sich zu dem Umfangsabschnitt des isolierenden Substrates 1 erstreckt, in dem Elastomer vorgesehen, und der Vorsprung (hiernach als „Belüftungsabschnitt für Feuchtigkeit“ bezeichnet) 301 des Elastomers liegt auf der Oberfläche des Isolators 5 frei. Das Elastomer 3 kann zum Beispiel eine Struktur aus drei Schichten haben, wobei eine Klebmittelschicht auf beiden Seiten eines elastischen Materials vorgesehen ist, das einen thermischen Ausdehnungskoeffizienten von nicht mehr als 100 ppm/°C hat, obwohl die Struktur mit drei Schichten in der Zeichnung nicht gezeigt ist. Das elastische Material ist ein poröses Material, das für Wasser hochgradig durchlässig ist.

[0081] [Fig. 8](#) bis 16 sind typische Ansichten, welche einen Herstellungsprozeß für die Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung veranschaulichen, wobei [Fig. 8](#) eine Draufsicht ist, welche ein Verfahren zum Bilden einer Leiterkarte veranschaulicht, [Fig. 9](#) eine Draufsicht ist, die den Schritt des Bondens eines Elastomers auf der Leiterkarte zeigt, [Fig. 10](#) eine Draufsicht ist, die den Schritt des Anbringens eines Halbleiterchips zeigt, [Fig. 11](#) eine Draufsicht ist, die den Schritt des Versiegeln des Halbleiterchips und des Elastomers zeigt, [Fig. 12A](#) eine Querschnittsansicht entlang der Linie B-B' der [Fig. 11](#) ist, [Fig. 12B](#) eine Querschnittsansicht entlang der Linie C-C' der [Fig. 11](#) ist, [Fig. 13](#) eine Querschnittsansicht entlang der Linie D-D' der [Fig. 11](#) ist, [Fig. 14](#) eine Draufsicht ist, die den Aufbau einer Leiterkarte nach dem Schritt des Versiegeln zeigt, [Fig. 15A](#) eine Querschnittsansicht ist, die den Schritt des Verbindens eines Kugelan-schlusses zeigt und [Fig. 15B](#), [Fig. 16A](#) und [Fig. 16B](#) sind Schnittan-

sichten, die den Schritt des Schneidens der Leiterkarte in vereinzelte Stücke zeigen. [Fig. 15A](#) und [Fig. 15B](#) sind Querschnittsansichten entlang der Linie D-D' der [Fig. 11](#), [Fig. 16A](#) ist eine Querschnittsansicht entlang der Linie B-B' der [Fig. 11](#) und [Fig. 16B](#) eine Querschnittsansicht entlang der Linie C-C' der [Fig. 11](#).

[0082] Das Herstellungsverfahren für die Halbleitervorrichtung nach dieser bevorzugten Ausführungsform der Erfindung wird in Verbindung mit den [Fig. 8](#) bis 16 erläutert. Die genaue Erläuterung von Schritten, die in der selben Prozedur wie bei den Schritten im herkömmlichen Herstellungsverfahren durchgeführt werden, wird weggelassen.

[0083] Zu Anfang wird, wie in [Fig. 8](#) gezeigt, eine Leiterkarte (eine Zwischenlage) gebildet, wobei eine Öffnung **1A** zum Bonden und ein Durchgangsloch **1B** an jeweiligen vorbestimmten Positionen des isolierenden Substrates **1** gebildet werden, und eine Leiteranordnung **2** wird auf der Oberfläche des isolierenden Substrates **1** gebildet.

[0084] Bei der Leiterkarte werden die Öffnung **1A** zum Bonden und das Durchgangsloch **1B** zum Beispiel durch Stanzen gebildet, wobei eine Form an jeweiligen vorbestimmten Positionen eines isolierenden Substrates **1**, so wie einem Polyimidband oder einem Substrat aus glasartigem Epoxy, verwendet wird. Danach wird eine dünne leitende Schicht, gebildet aus einer Kupferfolie oder dergleichen, auf der Oberfläche des isolierenden Substrates **1** gebildet, und die dünne leitende Schicht wird mit einem Muster versehen, zum Beispiel durch Ätzen, um die Leiteranordnung **2** zu bilden. Neben dem obigen Verfahren kann z.B. ein Verfahren angewendet werden, bei dem die Öffnung **1A** zum Bonden und das Durchgangsloch **1B** an jeweiligen vorbestimmten Positionen des isolierenden Substrates **1**, mit der darauf gebildeten dünnen leitenden Schicht, durch Laserätzen gebildet werden, wobei ein Kohlendioxidlaser, ein Excimerlaser oder dergleichen verwendet wird, und die dünne leitende Schicht wird dann mit einem Muster versehen, um die Leiteranordnung **2** zu bilden.

[0085] In diesem Fall, wie in [Fig. 8](#) gezeigt, wird die Leiteranordnung **2** mit einem Muster versehen, um so das Durchgangsloch **1B** zu überdecken und in die Öffnung **1A** zum Bonden zu ragen.

[0086] Die Leiterkarte kann beispielsweise der Art sein, daß ein isolierendes Substrat **1**, so wie ein Polyimidband, das in einer Richtung kontinuierlich ist, bereit gestellt wird, und eine große Anzahl von Leiterkarten werden kontinuierlich auf einem einzigen isolierenden Substrat durch ein Umspulverfahren gebildet. In diesem Fall werden Kompaktbaugruppenbereiche **1C**, wie in [Fig. 8](#) gezeigt, kontinuierlich auf dem isolierenden Substrat **1** in einer Bandform ange-

ordnet, und Halbleiterchips werden angebracht, um Halbleitervorrichtungen zu bilden, gefolgt vom Schneiden der Kompaktbaugruppenbereiche **1C** in einzelne Stücke.

[0087] Als nächstes, in dem Schritt des Bondens eines Elastomers, wie in [Fig. 9](#) gezeigt, wird ein Elastomer **3** auf jeden Kompaktbaugruppenbereich **1C** auf der Leiterkarte gebondet. In diesem Fall, wie in [Fig. 9](#) gezeigt, wird das Elastomer **3** so gebondet, daß der Belüftungsabschnitt **301** für Feuchtigkeit in einen Abschnitt reicht, der sich außerhalb des Kompaktbaugruppenbereiches **1C** befindet. Weiter ist in dem Elastomer **3** eine Öffnung **3A** an einer Position vorgesehen, die der Öffnung **1A** zum Bonden in dem isolierenden Substrat **1** entspricht.

[0088] Als nächstes wird in dem Schritt des Bondens eines Halbleiterchips, wie in [Fig. 10](#) gezeigt, ein Halbleiterchip **4** auf dem Elastomer **3** angeordnet, wobei der Halbleiterchip mit seinem externen Anschluß **401** mit der Leiteranordnung **2** ausgerichtet und daran gebondet wird. Danach, in dem Schritt der Leiterverbindung wird die Leiteranordnung **2** mit ihrem Abschnitt, der in die Öffnungen **1A**, **3A** zum Bonden ragt, mit einem Bondewerkzeug unter Druck geschnitten, deformiert und mit dem Halbleiterchip an seinem externen Anschluß **401** verbunden.

[0089] Als nächstes werden in dem Schritt des Versiegeln der Halbleiterchip **4** und das Elastomer **3** und die Verbindung zwischen der Leiteranordnung **2** und dem Halbleiterchip an seinem externen Anschluß **401** versiegelt. Bei dieser bevorzugten Ausführungsform wird das Versiegeln durch ein Transferverfahren, bei dem eine Form benutzt wird, erläutert werden. In dem Fall des Transferverfahrens ist eine Leiterkarte, auf die der Halbleiterchip **4** nach der Flip-Chip-Technik durch das Elastomer **3** angebracht worden ist, zwischen einer oberen Matrize **7** und einer unteren Matrize **8** eingeschlossen und befestigt, wie in [Fig. 5](#) gezeigt, wobei der Isolator **5**, der in dem Topf **704** heißgeschmolzen worden ist, in einen Hohlraum **107** gegossen wird. In diesem Fall, wie in den [Fig. 11](#), [Fig. 12A](#) und [12C](#) gezeigt, ist der Hohlraum **702** in der oberen Matrize so aufgebaut, daß ein Pegelunterschied bzw. eine Stufe **7A** in dem Hohlraum **702** vorgesehen ist, als ein Freiraum zum Aufnehmen des Halbleiterchips **4** und des Elastomers **3**, und der Abstand vom Elastomer **3** in seinem Belüftungsabschnitt **301** für Feuchtigkeit zu der Wand des Hohlraumes **702** ist kleiner als der Abstand von dem Elastomer **3** zu der Wand des Hohlraumes **702** auf dem Halbleiterchip **4**. Weiter ist in diesem Fall die Höhe des Pegelunterschiedes bzw. der Stufe **7A** so eingestellt, daß ein Spalt von etwa 5 bis 100 µm vorgesehen, da der Kontakt des Hohlraumes **702** mit dem Belüftungsabschnitt **301** für Feuchtigkeit des Elastomers möglicherweise das Anhaften der Klebmittelschicht in dem Elastomer **3** an die obere Matrize **7**

hervorruft.

[0090] Nachdem die Leiterkarte zwischen der oberen Matrize 7 und der unteren Matrize 8 eingeschlossen und fixiert ist, fließt nach dem Pressen des Isolators 5, der in dem Topf aufgeschmolzen ist, mittels eines Kolbens, wie in [Fig. 12A](#) gezeigt, der Isolator 5 durch das Gatter 701 in den Hohlraum 702. Zu diesem Zeitpunkt strömt der Isolator 5, der in den Hohlraum 702 geflossen ist, durch einen Raum auf dem Halbleiterchip 4, um den Halbleiterchip 4 und das Elastomer 3 zu versiegeln. Gleichzeitig strömt ein Teil des Isolators 5 in die Öffnung 3A des Elastomers 3, um die Verbindung zwischen der Leiteranordnung 2 und dem Halbleiterchip an seinem externen Anschluß 401 zu versiegeln. Zu diesem Zeitpunkt da jede Öffnung in dem isolierenden Substrat 1 durch die untere Matrize 8 in einer Form einer flachen Platte verschlossen ist, gibt es keine Möglichkeit, daß der Isolator 5, der in die Öffnung 1A zum Bonden fließt, aus der Öffnung 1A strömt und das Durchgangsloch 1B verstopft.

[0091] Wie in [Fig. 12B](#) gezeigt, strömt der Isolator 5 durch den Hohlraum 702, und der Hohlraum 702 wird mit dem Isolator 5 gefüllt. Der Isolator 5 erreicht die Seite der Belüftung 703. Zu diesem Zeitpunkt wird die Luft innerhalb des Hohlraumes 702 durch die Belüftung 703 ausgelassen.

[0092] Nachdem der Hohlraum 702 mit dem Isolator 5 gefüllt ist, wird der Isolator 5 ausgehärtet, und die Anordnung wird aus der Form entfernt. Somit, wie in [Fig. 14](#) gezeigt, sind die Umfangsflächen des Halbleiterchips 4 und des Elastomers 3 mit dem Isolator 5 versiegelt.

[0093] Als nächstes, wie in [Fig. 15A](#) gezeigt, wird ein Kugelanschluß 6, der beispielsweise aus einem Lötmedium aus Pb-Sn-Basis gebildet ist, mit dem Durchgangsloch 1B in dem isolierenden Substrat 1 verbunden, gefolgt mit dem Schritt des Auftrennens in vereinzelte Stücke, wobei das isolierende Substrat 1 geschnitten wird, um Kompaktbaugruppenbereiche 1C abzunehmen, so daß vereinzelte Stücke hergestellt werden.

[0094] In dem Schritt des Auftrennens in vereinzelte Stücke, zum Beispiel wenn die Richtung der langen Seite des Kompaktbaugruppenbereiches 1C geschnitten wird, zum Beispiel wie in [Fig. 15B](#) gezeigt, genügt das Schneiden nur des isolierenden Substrates 1 mit einem Trennschneider 9 für diesen Zweck. Wenn andererseits an das Schneiden der Richtung der kurzen Seite des Kompaktbaugruppenbereiches 1C gedacht ist, wie in den [Fig. 16A](#) und [Fig. 16B](#) gezeigt, sollte eine Kombination des isolierenden Substrates 1 und des Isolators 5 oder eine Kombination des isolierenden Substrates 1, des Belüftungsabschnittes 301 für Feuchtigkeit des Elastomers und

der Isolator 5 mit einem Schneider 9 geschnitten werden. In diesem Fall, wenn der Kompaktbaugruppenbereich 1C an seiner Seite, auf der der Belüftungsabschnitt 301 für Feuchtigkeit vorgesehen ist, geschnitten wird, wird eine Belastung auf den Schneider 9 aufgegeben. Demgemäß ist bevorzugt, wie in [Fig. 16B](#), eine Pegeldifferenz bzw. eine Stufe 7A in dem Hohlraum 702 in der oberen Matrize 7 vorgesehen, so daß der Isolator 5 auf dem Belüftungsabschnitt 301 für Feuchtigkeit so dünn wie möglich gemacht wird, um die Belastung, die auf den Schneider 9 gegeben wird, zu minimieren.

[0095] Ein Beispiel eines anderen Verfahrens als Schneiden mit einem Trennschneider 9, der bei dem Schritt des Auftrennens in vereinzelte Stücke genutzt wurde, ist das Schneiden durch Stanzen, wobei eine Form oder dergleichen eingesetzt wird. In dem Fall des Schneidens durch Stanzen jedoch, wenn die Dicke des Isolators 5 auf dem Belüftungsabschnitt 301 für Feuchtigkeit groß ist, ist die Belastung, die zum Zeitpunkt des Stanzens anliegt, zu groß. Dies führt nachteilhaft zu einer Möglichkeit, daß die Schnittfläche rauh ist, oder das Elastomer 3 wird durch die Wirkung eines Stoßes abgelöst, der zum Zeitpunkt des Stanzens auftritt. Aus diesem Grunde ist bevorzugt, wenn Schneiden durch Stanzen eingesetzt wird, die Dicke des Isolators 5 auf dem Vorsprung nicht größer 100 µm.

[0096] [Fig. 17A](#) und [Fig. 17B](#) sind typische Ansichten, die die Wirkung und Funktion der Halbleitervorrichtung bei der bevorzugten Ausführungsform veranschaulichen, wobei [Fig. 17A](#) eine Seitenansicht ist, die den Schritt des Anbringens einer Halbleitervorrichtung auf einem Montagesubstrat zeigt, und [Fig. 17B](#) eine Querschnittsansicht entlang der Linie E-E' der [Fig. 17A](#).

[0097] Beim Anbringen der Halbleitervorrichtung nach der bevorzugten Ausführungsform, die entsprechend der obigen Prozedur hergestellt worden ist, auf einem Montagesubstrat, zum Beispiel wie in [Fig. 17A](#) gezeigt, wird ein Leiter (ein Anschluß) 11, der auf einem isolierenden Substrat 12 vorgesehen ist, mit dem Kugelanschluß 6 in der Halbleitervorrichtung ausgerichtet, und der Kugelanschluß 6 wird dann durch Erhitzen aufgeschmolzen und mit dem Leiter 11 verbunden. Zu diesem Zeitpunkt, wenn das gesamte Elastomer 3 in dem Zustand ist, daß es mit dem Isolator 5 versiegelt ist, kann ein Raum für das Flüchten von Wasser, das in dem Elastomer 3 eingeschlossen worden ist und verdampft oder sich ausdehnt, nicht sicher gestellt werden. In diesem Fall wird der Halbleiterchip 4 oder die Zwischenlage manchmal auf Grund des thermischen Schocks oder dergleichen abgelöst. Die Ablösung des Halbleiterchips 4 oder der Zwischenlage, hervorgerufen durch thermischen Schock oder dergleichen, kann durch die Halbleitervorrichtung nach der bevorzugten Aus-

führungsform verhindert werden, wobei, wie in [Fig. 17B](#) gezeigt, der Belüftungsabschnitt **301** für Feuchtigkeit des Elastomers zur Oberfläche des Isolators **5** hin freiliegt, um Wasser, das in dem Elastomer **3** eingeschlossen ist, durch den Belüftungsabschnitt **301** für Feuchtigkeit nach außerhalb der Halbleitervorrichtung hin freizusetzen.

[0098] Weiter ist es bei dem Aufbau, bei dem der Belüftungsabschnitt **301** für Feuchtigkeit des Elastomers auf der Oberfläche des Isolators **5** freiliegt, um so Wasser, das in dem Elastomer **3** eingeschlossen ist, nach außerhalb der Halbleitervorrichtung hin freizusetzen, möglich, ein ungünstiges Phänomen zu verhindern, derart, daß Wasser, das in dem Elastomer **3** eingeschlossen ist, metallische Abschnitte erreicht, so wie die Leiteranordnung **2** in der Leiterkarte oder die interne Leiteranordnung in dem Halbleiterchip **4**, und die metallischen Abschnitte angreift. Somit kann die Herstellung einer Halbleitervorrichtung nach der Prozedur bei der bevorzugten Ausführungsform die Herstellung einer Halbleitervorrichtung realisieren, die eine verringerte Verschlechterung bei den elektrischen Eigenschaft zeigt.

[0099] Weiter kann das teilweise Freiliegen des Elastomers **3** einen zusätzlichen Vorteil dahingehend anbieten, daß, im Vergleich mit dem Fall, bei dem die Umfangsflächen des Halbleiterchips **4** und des Elastomers **3** nicht versiegelt sind, die Menge an Wasser, die in dem Elastomer **3** absorbiert wird, verringert werden kann. Daher kann das Ablösen des Elastomers **3** durch Absorption von Feuchtigkeit und ein Verschlechtern in den elektrischen Eigenschaften verringert werden.

[0100] Wie oben beschrieben, liegt nach der bevorzugten Ausführungsform bei einer Halbleitervorrichtung, wobei der Halbleiterchip **4** auf der Leiterkarte (Zwischenlage) durch das Elastomer **3** angebracht ist und die Umfangsflächen des Halbleiterchips **4** und des Elastomers **3** mit dem Isolator **5** versiegelt sind, ein Teil des Elastomers **3** auf der Oberfläche des Isolators **5** frei. Durch diesen Aufbau kann nach dem Versiegeln des Halbleiterchips **4** mit dem Isolator **5** Wasser, das in dem Elastomer **3** eingeschlossen ist, nach außerhalb der Halbleitervorrichtung freigesetzt werden. Daher kann das Ablösen des Halbleiterchips **4** oder der Leiterkarte (des isolierenden Substrates **1**), das zum Beispiel durch thermischen Schock hervorgerufen wird, welcher durch Verdampfen Ausdehnen von Wasser erzeugt wird, das in dem Elastomer **3** eingeschlossen ist, verringert werden. Dies kann die Zuverlässigkeit der Halbleitervorrichtung verbessern.

[0101] Weiter, da das Wasser, das in dem Elastomer **3** eingeschlossen ist, nach außerhalb der Halbleitervorrichtung freigesetzt werden kann, kann die Korrosion von metallischen Abschnitte, so wie der

Leiteranordnung **2**, des Halbleiterchips **4** mit seiner internen Leiteranordnung oder dergleichen durch das Wasser, das in das Elastomer **3** eingeschlossen ist, verhindert werden. Dies trägt zu einer Vorbeugung für eine Zerstörung der elektrischen Halbleitervorrichtung bei.

[0102] Wie es in Verbindung mit dieser bevorzugten Ausführungsform erläutert ist, kann das Versiegeln der Umfangsflächen des Halbleiterchips durch das Transferverfahren, wobei eine Form verwendet wird, die Beschädigung des Halbleiterchips oder das Abbrechen des Eckabschnittes des Halbleiterchips verhindern.

[0103] Weiter, wenn das Versiegeln durch das Transferverfahren angewendet wird, wird die äußere Form des Isolators **5** flach, und zusätzlich kann jede Halbleitervorrichtung eine gleichförmige Form haben. Dies kann die Handhabbarkeit der Halbleitervorrichtung verbessern.

[0104] Wenn eine Pegeldifferenz bzw. eine Stufe **7A** um das Elastomer an seinem Vorsprung **301** innerhalb des Hohlraumes **702** in der oberen Matrice **7** vorgesehen ist, um den Spalt zu reduzieren, der auf dem Vorsprung **301** belassen wird, wenn die Leiterkarte in vereinzelte Stücke geschnitten wird, kann die Last, die auf dem Trennschneider **9** liegt, verringert werden, und gleichzeitig kann dem Aufrauhnen der Schnittfläche vorgebeugt werden.

[0105] [Fig. 18](#) ist eine Ansicht zum Stand der Technik.

[0106] [Fig. 19](#) ist eine typische Ansicht, welche eine Variante der Halbleitervorrichtung nach der bevorzugten Ausführungsform der Erfindung veranschaulichen. Genauer gesagt ist [Fig. 18](#) eine typische schematische Draufsicht, welchen den Aufbau der Halbleitervorrichtung nach dem Stand der Technik zeigt, und [Fig. 19](#) eine typische schematische Draufsicht, welche den Aufbau der erfindungsgemäßen Halbleitervorrichtung zeigt. In den [Fig. 18](#) und [Fig. 19](#) ist der Isolator zum Versiegeln des Halbleiterchips und des Elastomers nicht gezeigt.

[0107] Bei der Halbleitervorrichtung nach der bevorzugten Ausführungsform, wie in [Fig. 6](#) gezeigt, ist der Belüftungsabschnitt **301** für Feuchtigkeit in Richtung der kurzen Seite des Elastomers **3** vorgesehen und liegt auf der Oberfläche des Isolators **5** frei. Der Aufbau jedoch ist nicht nur auf diesen beschränkt. Zum Beispiel, wie in [Fig. 18](#) gezeigt, kann ein Aufbau genommen werden, bei dem, ohne das Vorsehen des Belüftungsabschnittes **301** für Feuchtigkeit die gesamte kurze Seite **3B** des Elastomers **3** sich zu der kurzen Seite des isolierenden Substrates **1** erstreckt, so daß sie auf der Oberfläche des Isolators **5** freiliegt. In diesem Fall ist im Vergleich mit der Halbleitervor-

richtung, die in [Fig. 6](#) gezeigt ist, die freiliegende Fläche des Elastomers **3** größer. Dadurch kann nach dem Versiegeln des Halbleiterchips **4** und des Elastomers **3** der Wirkungsgrad beim Freisetzen von Wasser, das in dem Elastomer **3** eingeschlossen ist, verbessert werden.

[0108] Weiter liegt bei der Halbleitervorrichtung, wie sie in den [Fig. 6](#) und [Fig. 18](#) gezeigt ist, die Richtung der kurzen Seite des Elastomers **3** auf der Oberfläche des Isolators **5** frei. An Stelle dieses Aufbaues kann beispielsweise ein Aufbau genommen werden, wie in [Fig. 19](#) gezeigt, bei dem der Belüftungsabschnitt **301** für Feuchtigkeit in der Richtung der langen Seite des Elastomers **3** vorgesehen ist, um so auf der Oberfläche des Isolators **5** freizuliegen. Auch in diesem Fall kann wegen des Freiliegens eines Teiles (Belüftungsabschnitt **301** für Feuchtigkeit) des Elastomers **3** auf der Oberfläche des Isolators **5** nach dem Versiegeln des Halbleiterchips **4** und des Elastomers **3** Wasser, das in dem Elastomer **3** eingeschlossen ist, freigesetzt werden, und, wie bei der Halbleitervorrichtung nach der obigen bevorzugten Ausführungsform, kann die Zuverlässigkeit der Vorrichtung verbessert werden. Es braucht weiter nicht gesagt zu werden, daß weitere Aufbauten, die nicht in der Zeichnung gezeigt sind, angenommen werden können.

[0109] [Fig. 20](#) und [21](#) sind typische Ansichten, die eine weitere Variante der Halbleitervorrichtung nach der bevorzugten Ausführungsform veranschaulichen. Genauer gesagt ist [Fig. 20](#) eine typische schematische Draufsicht, welche den Aufbau einer Halbleitervorrichtung in der dritten Variante zeigt, [Fig. 21A](#) eine typische Querschnittsansicht entlang der Linie F-F' der [Fig. 20](#) und [Fig. 21B](#) eine Ansicht der [Fig. 20](#) von der rechten Seite her.

[0110] Bei der Halbleitervorrichtung nach der bevorzugten Ausführungsform wird ein Halbleiterchip vom Typ mit mittiger Kontaktfläche, so wie ein DRAM, als der Halbleiterchip benutzt, der an der Leiterkarte (Zwischenlage) durch das Elastomer **3** angebracht werden soll. Der Halbleiterchip jedoch ist nicht nur auf diesen beschränkt, und, zum Beispiel, wie in den [Fig. 20A](#) und [Fig. 21A](#) gezeigt, kann ein Halbleiterchip **4'** vom Typ mit Umfangskontaktfläche benutzt werden, bei dem ein externer Anschluß **401** entlang eines kurzen Abschnittes in der langen Seite des Halbleitersubstrates mit einer darauf vorgesehenen Schaltung vorgesehen ist.

[0111] Die Halbleitervorrichtung, die in den [Fig. 20](#) und [Fig. 21A](#) gezeigt ist, kann mit dem selben Herstellungsverfahren erzeugt werden, wie es bei obiger bevorzugter Ausführungsform erläutert worden ist. Genauer gesagt, wird anfangs eine Leiterkarte (eine Zwischenlage) zur Verfügung gestellt, die aufweist: Das isolierende Substrat **1**, wie ein Polyimidband,

versehen mit einer Öffnung **1A** zum Bonden und einem Durchgangsloch **1B**; und die Leiteranordnung **2**, die auf der Oberfläche des isolierenden Substrates **1** vorgesehen ist. Ein Halbleiterchip **4** ist auf die Leiterkarte durch ein Elastomer **3** gebondet, das einen Vorsprung **301** hat, welcher sich nach außerhalb des Kompaktbaugruppenbereiches in dem isolierenden Substrat **1** erstreckt und die Leiteranordnung ist mit dem Halbleiterchip an seinem externen Anschluß **401** verbunden. Danach werden die Umfangsflächen des Halbleiterchips **4** und des Elastomers **3** und die Verbindung zwischen der Leiteranordnung **2** und dem Halbleiterchip an seinem externen Anschluß **401** mit dem Isolator **5** durch ein Transferverfahren, bei dem eine Form genutzt wird, versiegelt. Ein Kugelschluß **6** wird mit dem Durchgangsloch **1B** in dem isolierenden Substrat **1** verbunden, und vorbestimmte Bereiche (Kompaktbaugruppenbereiche) in der Leiterkarte werden abgenommen, um vereinzelte Stücke herzustellen.

[0112] Auch in diesem Fall, wie in den [Fig. 20](#) und [Fig. 21B](#) gezeigt, kann durch das Vorsehen des Belüftungsabschnittes **301** für Feuchtigkeit auf der kurzen Seite des Elastomers **3**, um den Belüftungsabschnitt **301** für Feuchtigkeit auf der Oberfläche des Isolators **5** freizulegen, nach dem Versiegeln des Halbleiterchips und des Elastomers **3** Wasser, das in dem Elastomer **3** eingeschlossen ist, freigesetzt werden. Somit, wie bei der Halbleitervorrichtung nach der oben bevorzugten Ausführungsform, kann die Zuverlässigkeit der Vorrichtung verbessert werden.

[0113] Die Wirkungen der Erfindung werden zusammengefaßt.

- (1) Einem Absinken bei der Zuverlässigkeit der Vorrichtung kann bei einer Halbleitervorrichtung vorgebeugt werden, die einen Halbleiterchip aufweist, der auf einer Leiterkarte (einer Zwischenlage) durch ein Elastomer angebracht worden ist, und einem Isolator, mit dem die Umfangsflächen des Halbleiterchips versiegelt worden sind, aufweist.
- (2) Ein Geräteausfall, hervorgerufen durch das Ablösen eines Halbleiterchips oder einer Leiterkarte, kann in einer Halbleitervorrichtung reduziert werden, welche einen Halbleiterchip, der auf einer Leiterkarte (einer Zwischenlage) durch ein Elastomer angebracht worden ist, und einem Isolator, mit dem die Umfangsflächen des Halbleiterchips versiegelt worden sind, aufweist.
- (3) Eine Technik, die eine Verschlechterung bei den elektrischen Eigenschaften verringern kann, kann bei einer Halbleitervorrichtung zur Verfügung gestellt werden, welche einen Halbleiterchip, der auf einer Leiterkarte (einer Zwischenlage) durch ein Elastomer angebracht worden ist, und einen Isolator, mit dem die Umfangsflächen des Halbleiterchips versiegelt worden sind, aufweist.

[0114] Die Erfindung ist in Einzelheiten mit besonderem Bezug auf bevorzugte Ausführungsformen beschrieben worden, es wird jedoch verstanden werden, daß Abänderungen und Modifikationen innerhalb des Umfangs der Erfindung bewirkt werden können, wie sie in den angehängten Ansprüchen definiert ist.

Patentansprüche

1. Eine Halbleitervorrichtung, mit:
 einer Leiterkarte, welche eine Leiteranordnung (2) mit einem vorbestimmten Muster aufweist, die auf der Oberfläche eines isolierenden Substrates (1) vorgesehen ist;
 einem Elastomer (3), das auf der Leiterkarte vorgesehen ist;
 einem Halbleiterchip (4), der durch das Elastomer (3) auf die Leiterkarte gebondet ist; und
 einem Isolator (5) zum Versiegeln der Umfangsflächen und einer oberen Oberfläche des Halbleiterchips (4), wobei die obere Oberfläche gegenüber der Oberfläche liegt, welche an dem Elastomer (3) anliegt, und der Umfangsflächen des Elastomers (3), wobei der Halbleiterchip (4) mit seinem externen Anschluß (401) elektrisch mit der Leiteranordnung (2) verbunden ist,
 wobei das Elastomer (3)
 – zumindest einen Belüftungsabschnitt (301) für Feuchtigkeit in Form eines Vorsprungs an einem Teilstück eines äußeren Endes des Elastomers (3) aufweist, wobei der Belüftungsabschnitt (301) für Feuchtigkeit an seiner Stirnseite nicht durch den Isolator (5) versiegelt ist und an einer Außenfläche der Halbleitervorrichtung freiliegt, und
 – einen versiegelten Abschnitt an einem anderen Teilstück des äußeren Endes aufweist, wobei der versiegelte Abschnitt an seiner Stirnseite durch den Isolator (5) versiegelt ist und nicht an der Außenseite der Halbleitervorrichtung freiliegt.

2. Halbleitervorrichtung nach Anspruch 1, wobei das Elastomer (3) eine Vielzahl von Belüftungsabschnitten (301) für Feuchtigkeit in Form von Vorsprüngen aufweist.

3. Halbleitervorrichtung nach Anspruch 1, wobei zumindest einer der Vorsprünge (301) eine annähernd rechteckige Form hat.

4. Verfahren zum Herstellen einer Halbleitervorrichtung, mit den Schritten:
 Bereitstellen einer Leiterkarte, die ein isolierendes Substrat (1), eine auf der Oberfläche des isolierenden Substrates (1) vorgesehene Leiteranordnung (2) mit einem vorbestimmten Muster und ein auf dem isolierenden Substrat (1) an seiner vorbestimmten Position vorgesehenes Elastomer (3) aufweist, und Bonden eines Halbleiterchips (4) auf die Leiterkarte durch das Elastomer (3) (Schritt des Bondens eines

Halbleiterchips);
 elektrisches Verbinden des Halbleiterchips (4) an seinem externen Anschluß (401) mit der Leiteranordnung (2) (Schritt der Leiterverbindung);
 Versiegeln der Umfangsflächen und einer oberen Oberfläche, die gegenüber der an das Elastomer gebondeten Oberfläche liegt, des Halbleiterchips (4), der auf die Leiterkarte gebondet ist, und der Umfangsflächen des Elastomers (3) mit einem Isolator (5) (Schritt des Versiegelns); und,
 nach dem Schritt des Versiegelns, Abnehmen der Leiterkarte an ihren vorbestimmten Bereichen (1C), um vereinzelte Stücke herzustellen (Schritt des Auftrennens in vereinzelte Stücke), wobei das Elastomer (3) einen Belüftungsabschnitt (301) für Feuchtigkeit in Form eines Vorsprungs an einem Teilstück eines äußeren Endes des Elastomers (3) aufweist, wobei der Belüftungsabschnitt (301) für Feuchtigkeit nicht durch den Isolator (5) versiegelt ist und an einer Außenfläche der Halbleitervorrichtung freiliegt, und einen versiegelten Abschnitt an einem anderen Teilstück des äußeren Endes aufweist, wobei der versiegelte Abschnitt durch den Isolator (5) versiegelt ist und nicht an der Außenfläche der Halbleitervorrichtung freiliegt, und in dem Schritt des Auftrennens in vereinzelte Stücke bei dem Abnehmen der Leiterkarte an ihrem vorbestimmten Bereich (1C) ein Teilstück des Belüftungsabschnittes (301) für Feuchtigkeit des Elastomers (3) geschnitten wird.

5. Verfahren zum Herstellen einer Halbleitervorrichtung, mit den Schritten:
 Bereitstellen einer Leiterkarte, die ein isolierendes Substrat (1) und eine auf der Oberfläche des isolierenden Substrates (1) vorgesehene Leiteranordnung (2) mit einem vorbestimmten Muster aufweist und Bonden eines Elastomers (3) auf die Leiterkarte an seiner vorbestimmten Position (Schritt des Bondens eines Elastomers);
 Bonden eines Halbleiterchips (4) auf das Elastomer (3), das auf die Leiterkarte gebondet ist (Schritt des Bondens eines Halbleiterchips);
 elektrisches Verbinden des Halbleiterchips (4) an seinem externen Anschluß (401) mit der Leiteranordnung (2) (Schritt der Leiterverbindung);
 Versiegeln der Umfangsflächen des Halbleiterchips (4), der auf die Leiterkarte gebondet ist und der Umfangsflächen des Elastomers (3) mit einem Isolator (5) sowie einer oberen Oberfläche des Halbleiterchips (4), die gegenüber der an das Elastomer gebondeten Oberfläche liegt (Schritt des Versiegelns); und,
 nach dem Schritt des Versiegelns, Abnehmen der Leiterkarte an ihren vorbestimmten Bereichen (1C), um vereinzelte Stücke herzustellen (Schritt des Auftrennens in vereinzelte Stücke), wobei das Elastomer (3) einen Belüftungsabschnitt (301) für Feuchtigkeit in Form eines Vorsprungs an einem Teilstück eines äußeren Endes des Elastomers (3) aufweist, wobei der Belüftungsabschnitt (301) für

Feuchtigkeit nicht durch den Isolator (5) versiegelt ist und an einer Außenfläche der Halbleitervorrichtung freiliegt, und einen versiegelten Abschnitt an einem anderen Teilstück des äußeren Endes aufweist, wobei der versiegelte Abschnitt durch den Isolator (5) versiegelt ist und nicht an der Außenfläche der Halbleitervorrichtung freiliegt, und der Schritt des Bondens des Elastomers (3) so durchgeführt wird, daß ein Teilstück des Belüftungsabschnittes (301) für Feuchtigkeit des Elastomers in einen Bereich außerhalb des Bereiches (1C) vorsteht, der in dem Schritt des Auftrennens in vereinzelte Stücke abgenommen wird.

6. Verfahren nach Anspruch 4 oder 5, wobei der Schritt des Versiegelns aufweist:

Anordnen und Fixieren der Leiterkarte zwischen einer oberen Matrize (7) mit einem Hohlraum (702), der groß genug ist, um das Elastomer (3) und den Halbleiterchip (4), der auf die Leiterkarte gebondet ist, aufzunehmen und einem Gatter (701) in das ein Harz gegossen wird, und einer unteren Matrize (8);
Gießen eines flüssigen Harzes durch das Gatter (701) in den Hohlraum (702);
Aushärten des Harzes; und
Entfernen der Anordnung von der oberen und unteren Matrize (7, 8).

7. Verfahren nach Anspruch 6, bei dem:
eine Stufe (7A) in dem Hohlraum (702) in der oberen Matrize (7) vorgesehen ist, in deren Abschnitt, der einem Abschnitt um den Umfang des Bereiches (1C) entspricht, der in dem Schritt des Auftrennens in vereinzelte Stücke abgenommen werden soll, und ein Abstand von der unteren Oberfläche der Stufe (7A) zu der oberen Oberfläche des Belüftungsabschnittes (301) kleiner ist als der Abstand von einer Oberfläche der Wandung des Hohlraums (702) zu der oberen Oberfläche des Elastomers (3).

8. Verfahren nach Anspruch 7, wobei eine Höhe der Stufe (7A) nicht weniger als 5 µm ist.

9. Verfahren nach einem der Ansprüche 4 bis 8, wobei
die Leiterkarte eine erste Öffnung (1B) und eine zweite Öffnung (1A) an jeweils vorbestimmten Positionen des isolierenden Substrates (1) hat;
die Leiteranordnung (2) auf der Oberfläche des isolierenden Substrates (1) derart vorgesehen ist, daß die Leiteranordnung (2) die erste Öffnung (1B) überdeckt und in die zweite Öffnung (1A) ragt;
in dem Schritt des Bondens eines Elastomers (3), das Elastomer (3) eine Öffnung (3A) an einem Abschnitt hat, der der zweiten Öffnung (1A) des isolierenden Substrats (1) entspricht;
in dem Schritt des Bondens des Halbleiterchips (4), die Leiteranordnung (2) an ihrem Abschnitt, der in die zweite Öffnung (1A) des isolierenden Substrats (1) ragt, deformiert werden kann und an den Halbleiter-

chip (4) an seinem externen Anschluß (401) gebondet wird;
in dem Schritt der Leitungsverbindung, die Leiteranordnung (2) an ihrem Abschnitt, der in die zweite Öffnung (1A) des isolierenden Substrates (1) vorsteht, deformiert wird und mit dem Halbleiterchip (4) an seinem externen Anschluß (401) verbunden wird.

Es folgen 21 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1 STAND DER TECHNIK

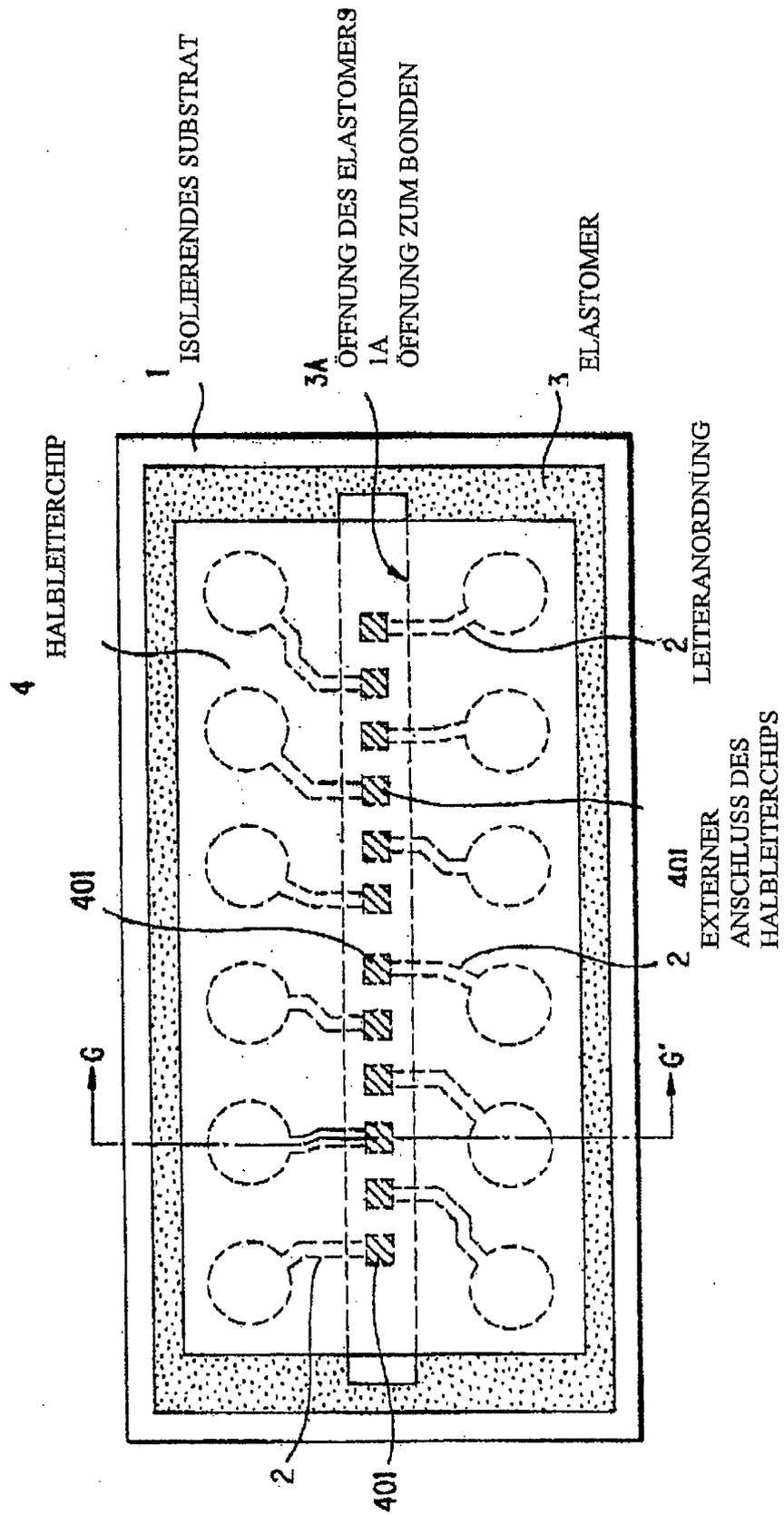


FIG.2 STAND DER TECHNIK

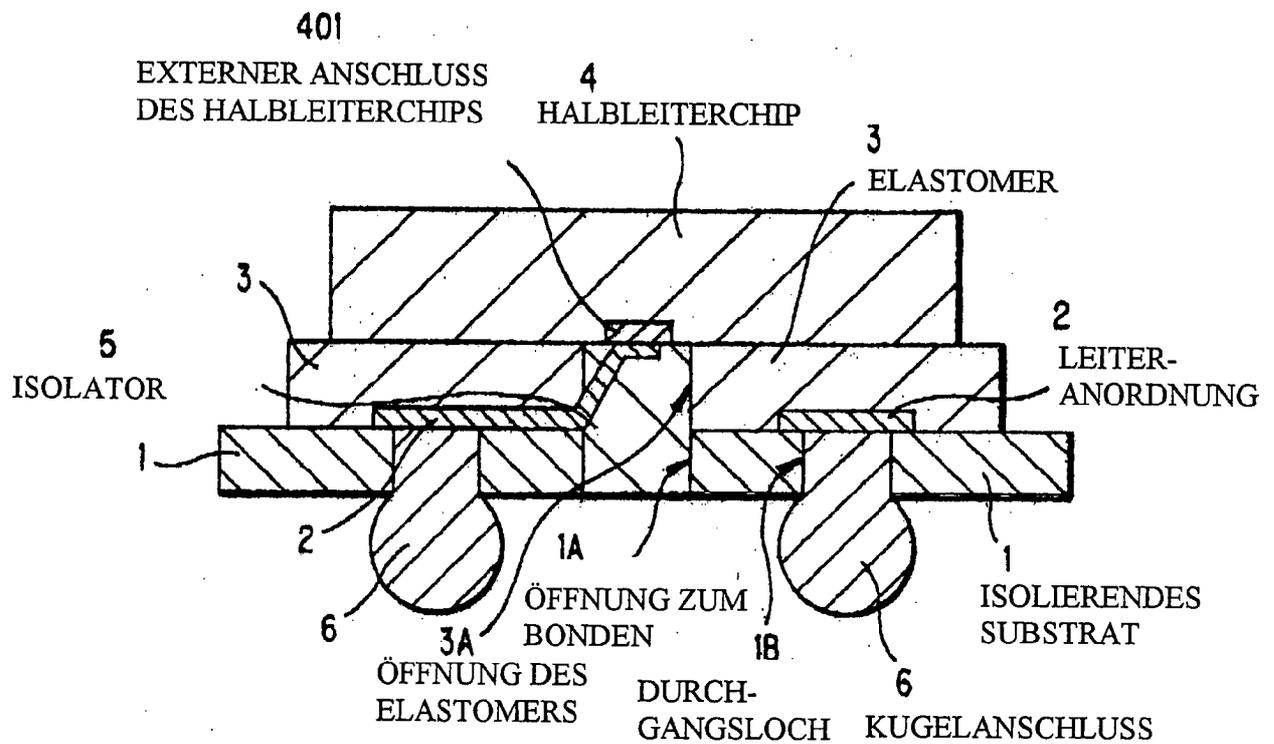


FIG. 3A

STAND DER TECHNIK

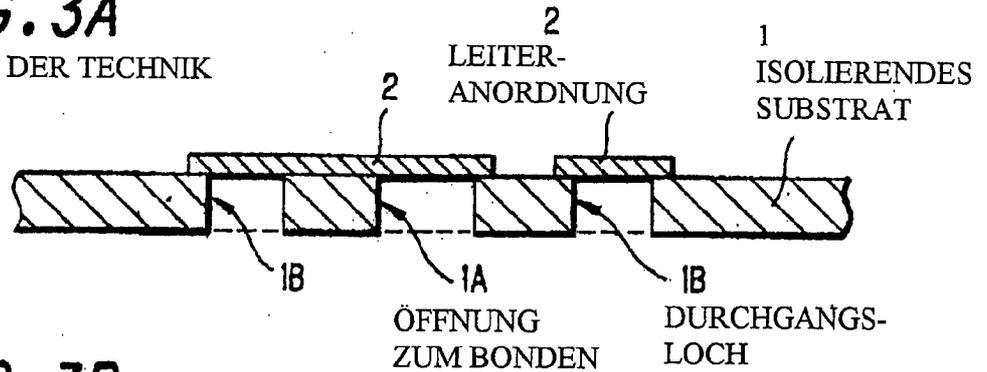


FIG. 3B

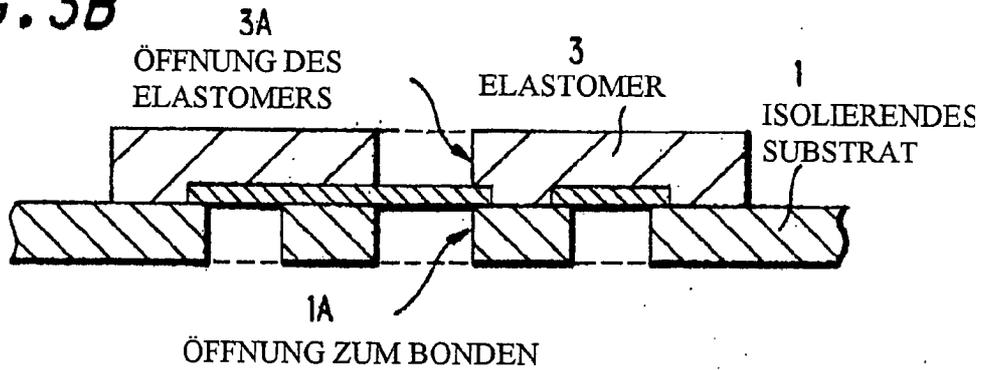


FIG. 3C

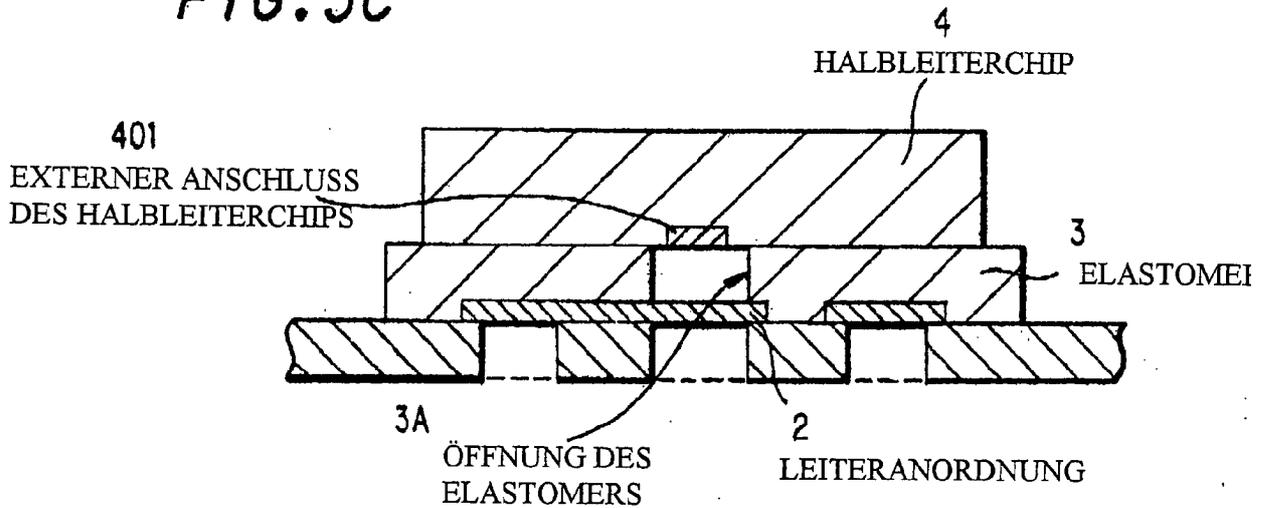


FIG. 3D

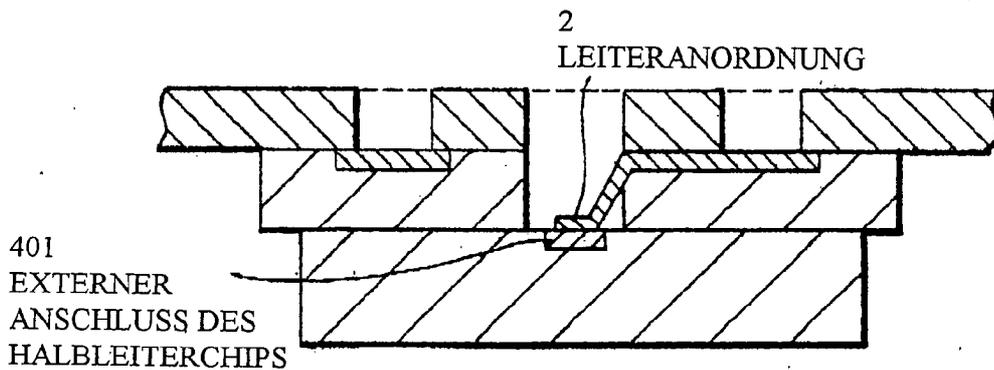


FIG. 4 STAND DER TECHNIK

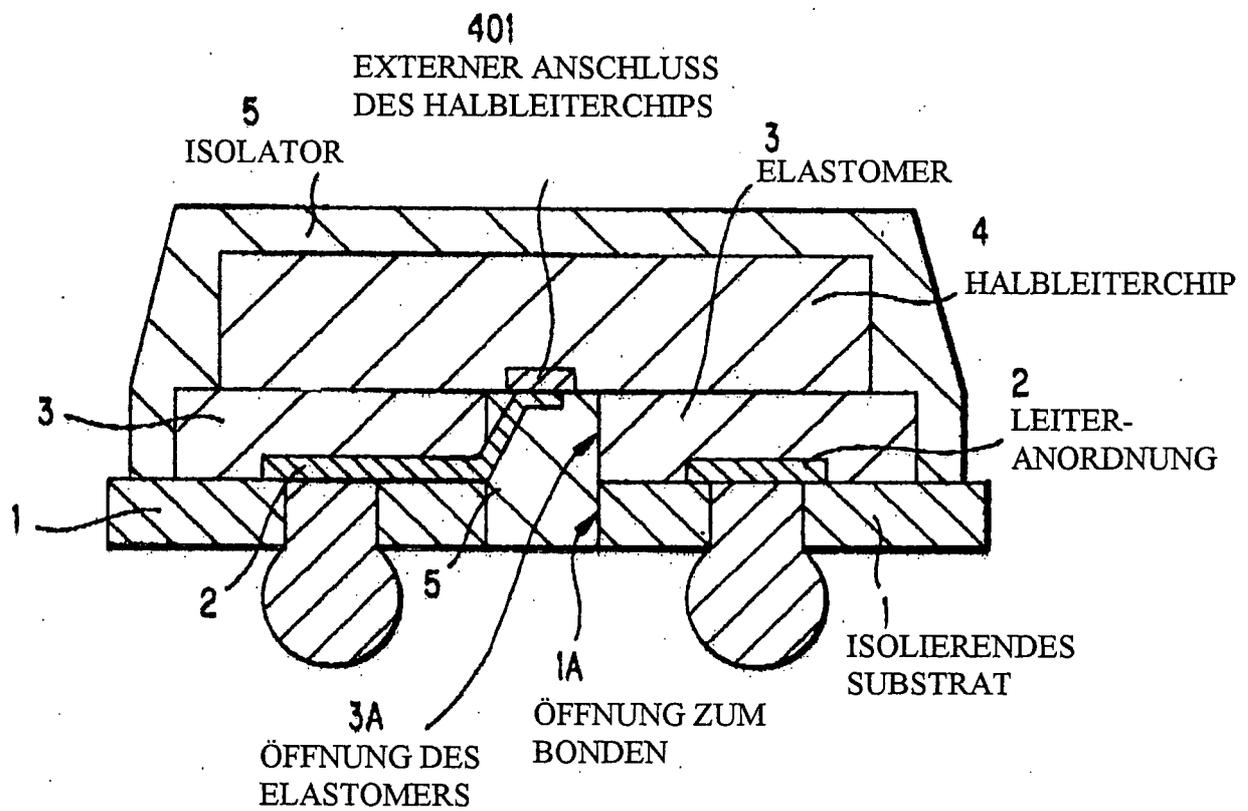


FIG. 5A

STAND DER TECHNIK

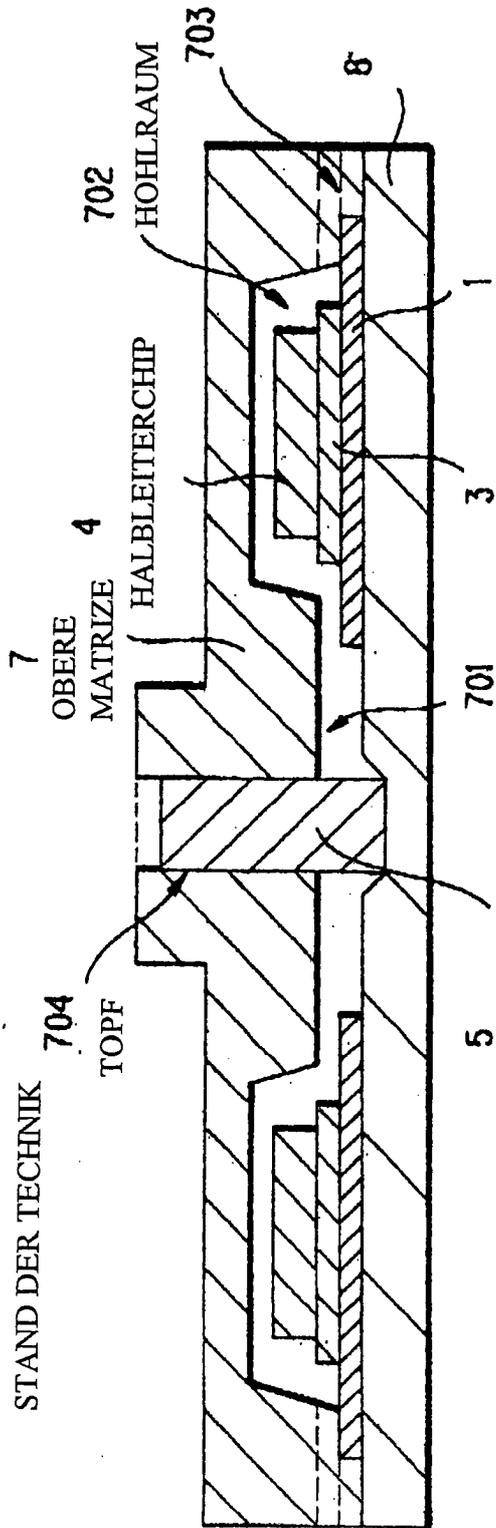


FIG. 5B

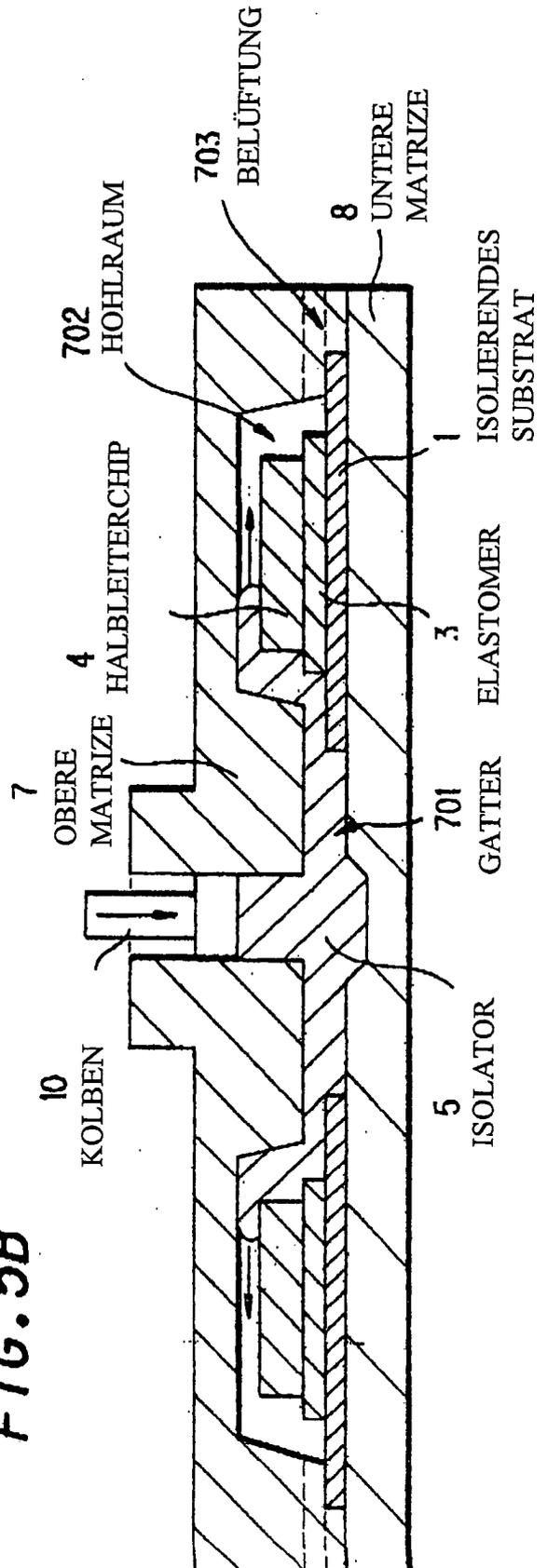


FIG. 6

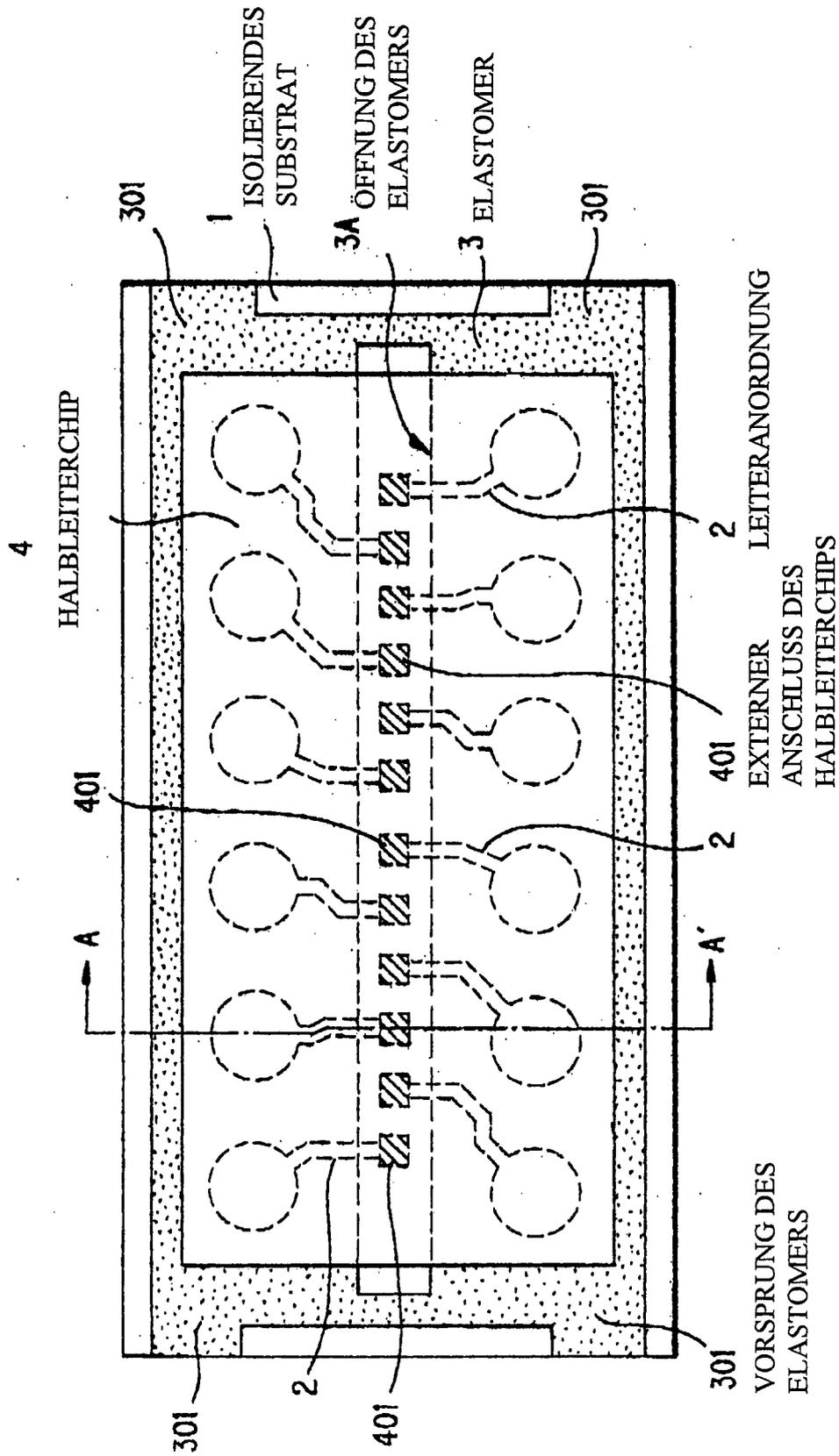


FIG. 7A

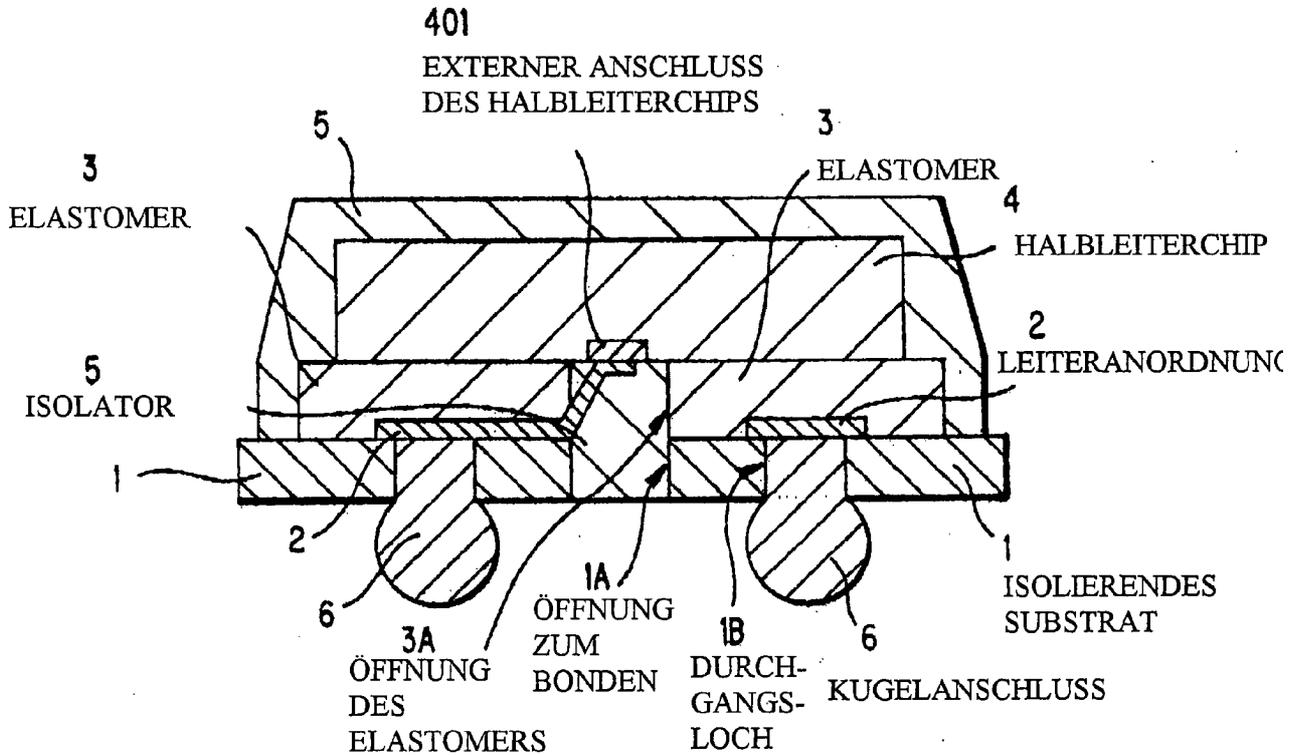


FIG. 7B

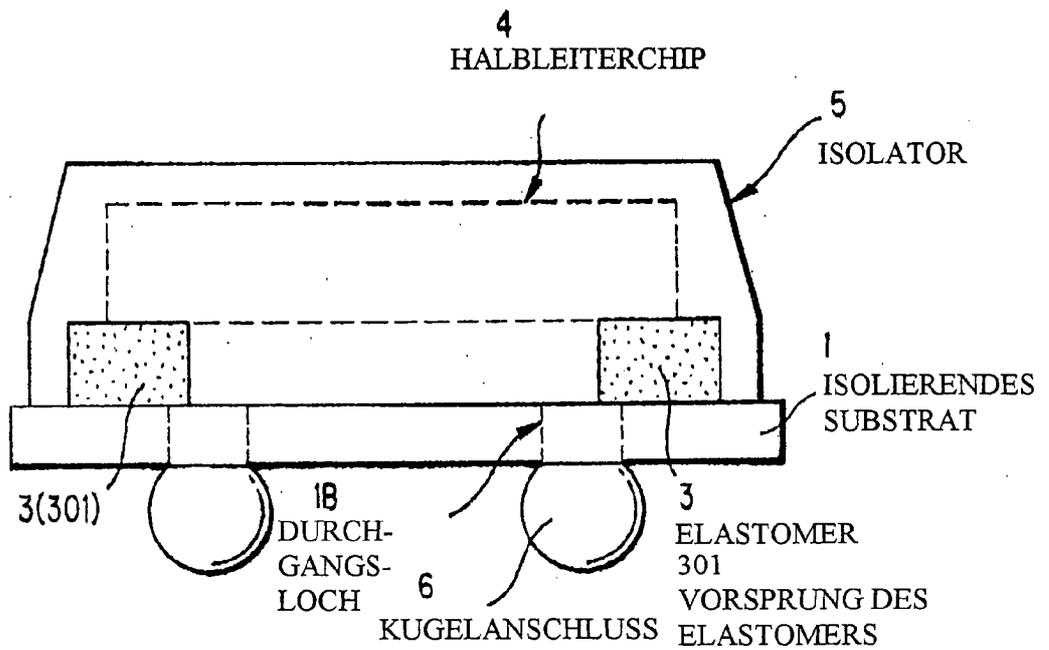


FIG. 8

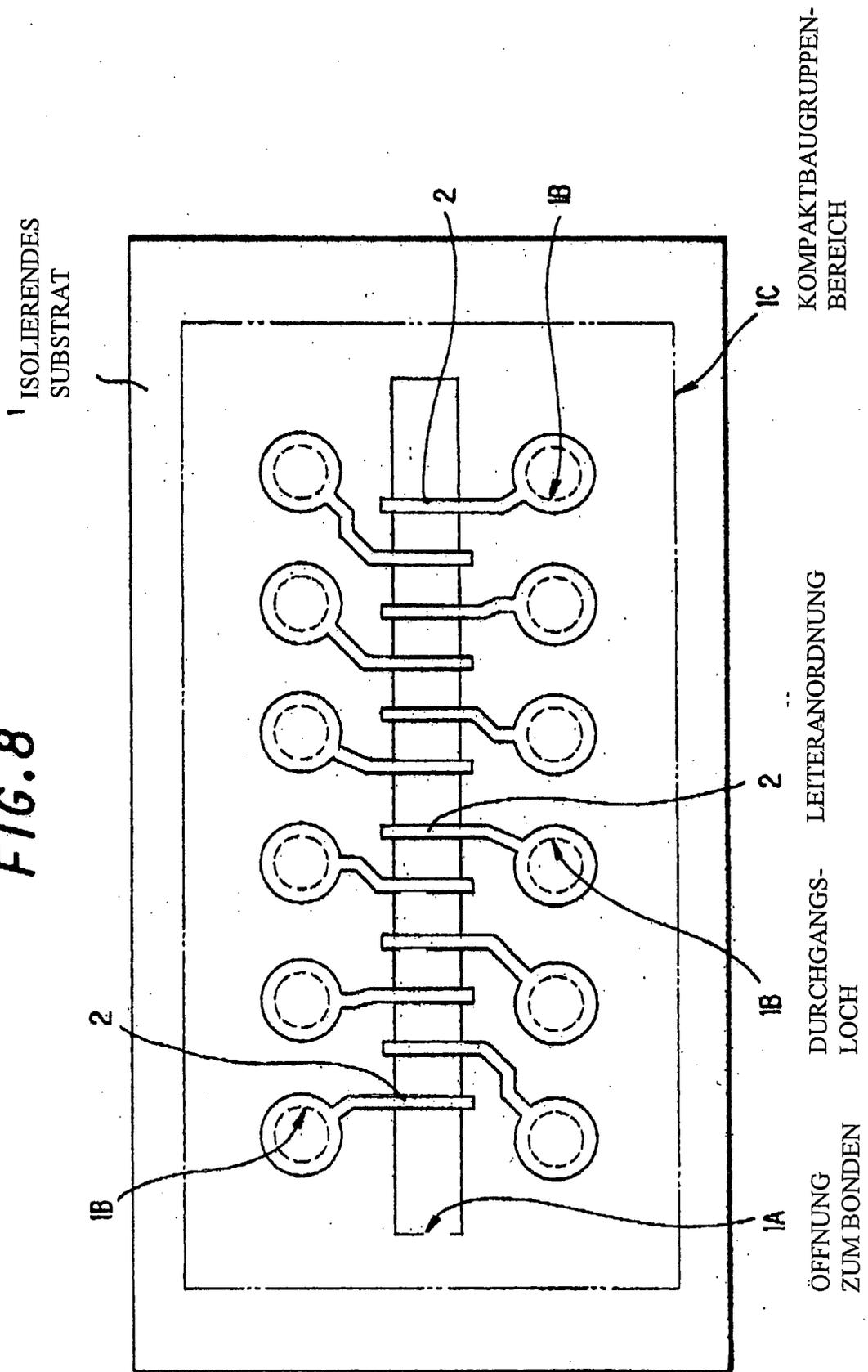


FIG. 9

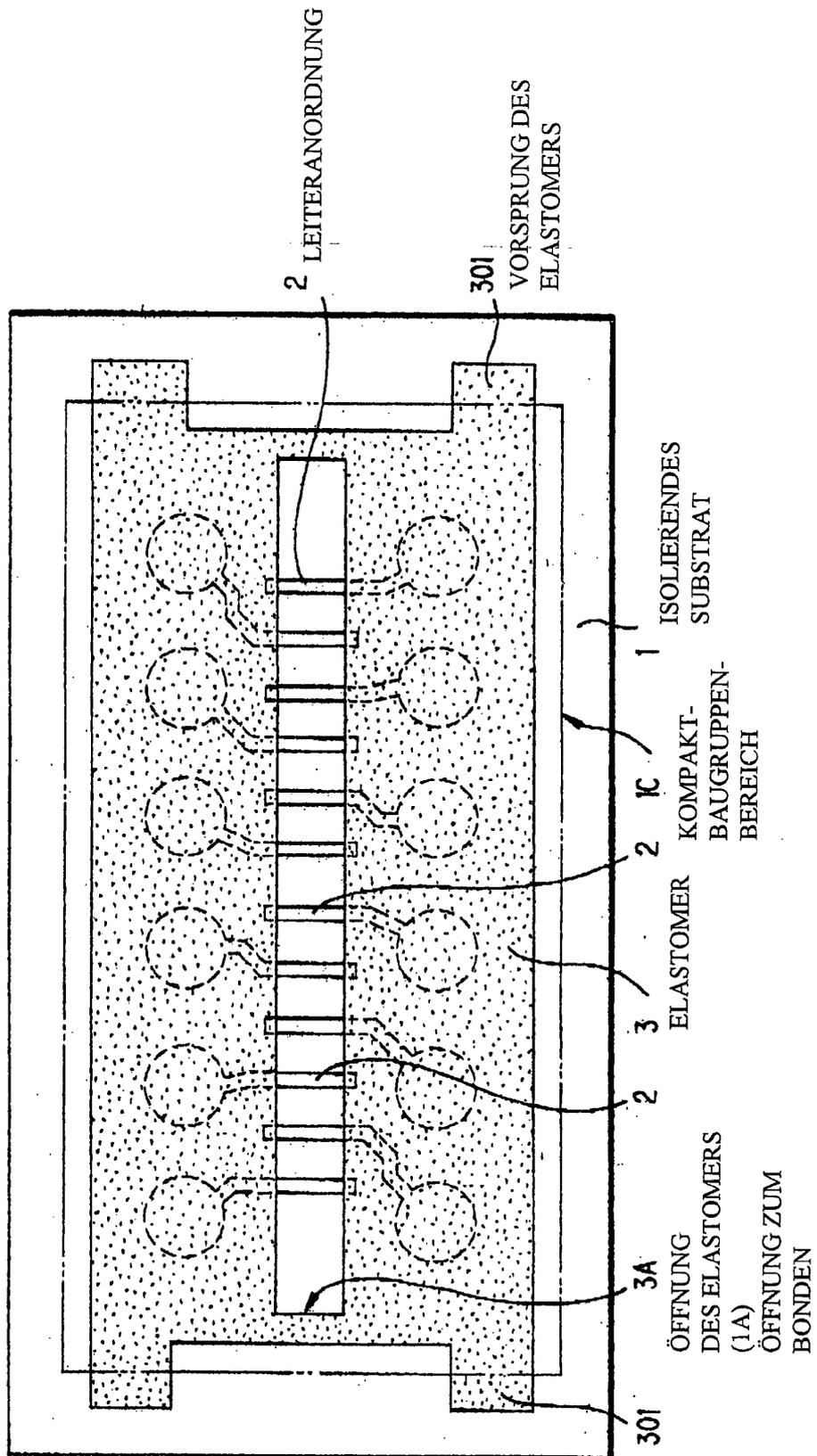


FIG. 10

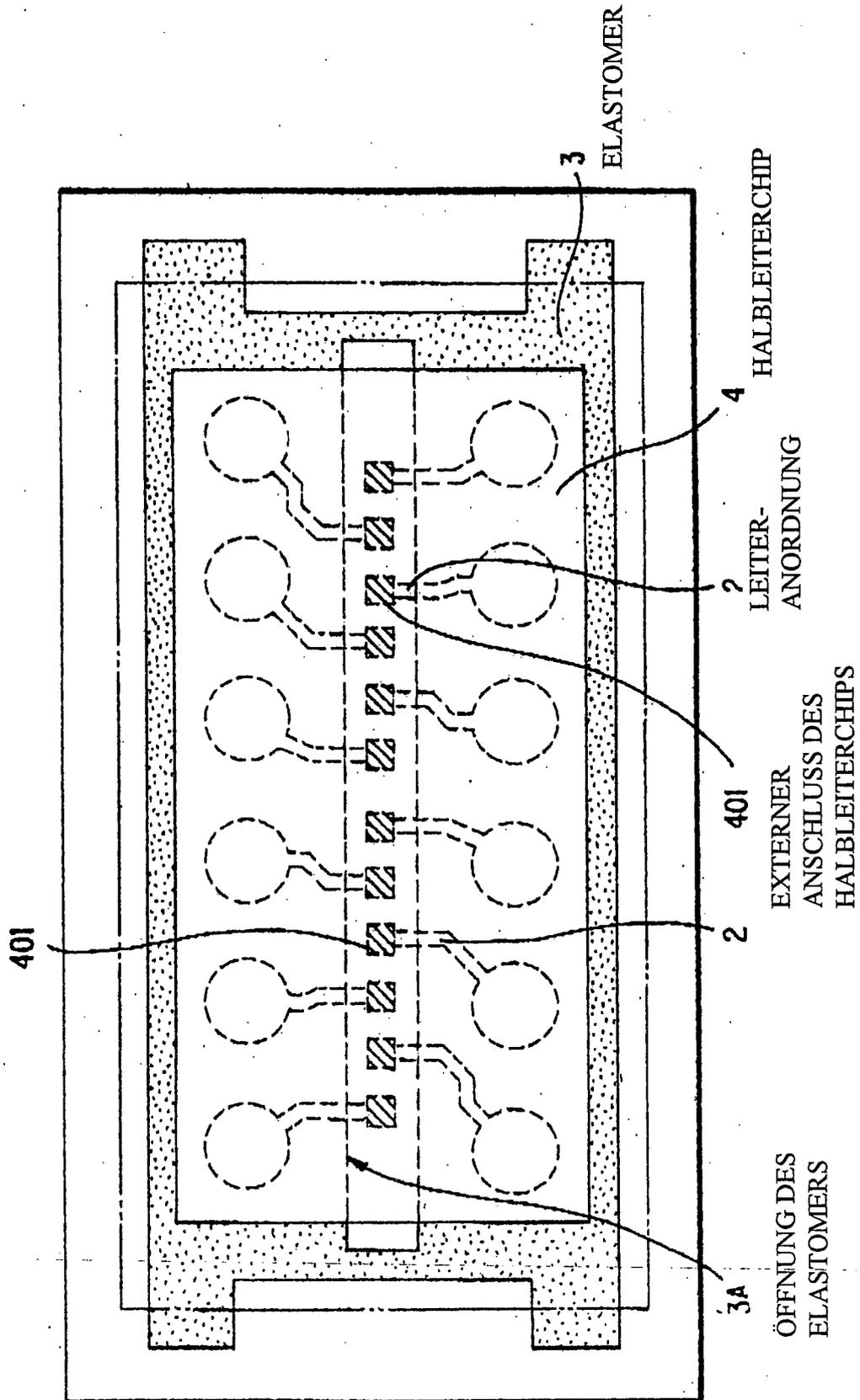


FIG. 11

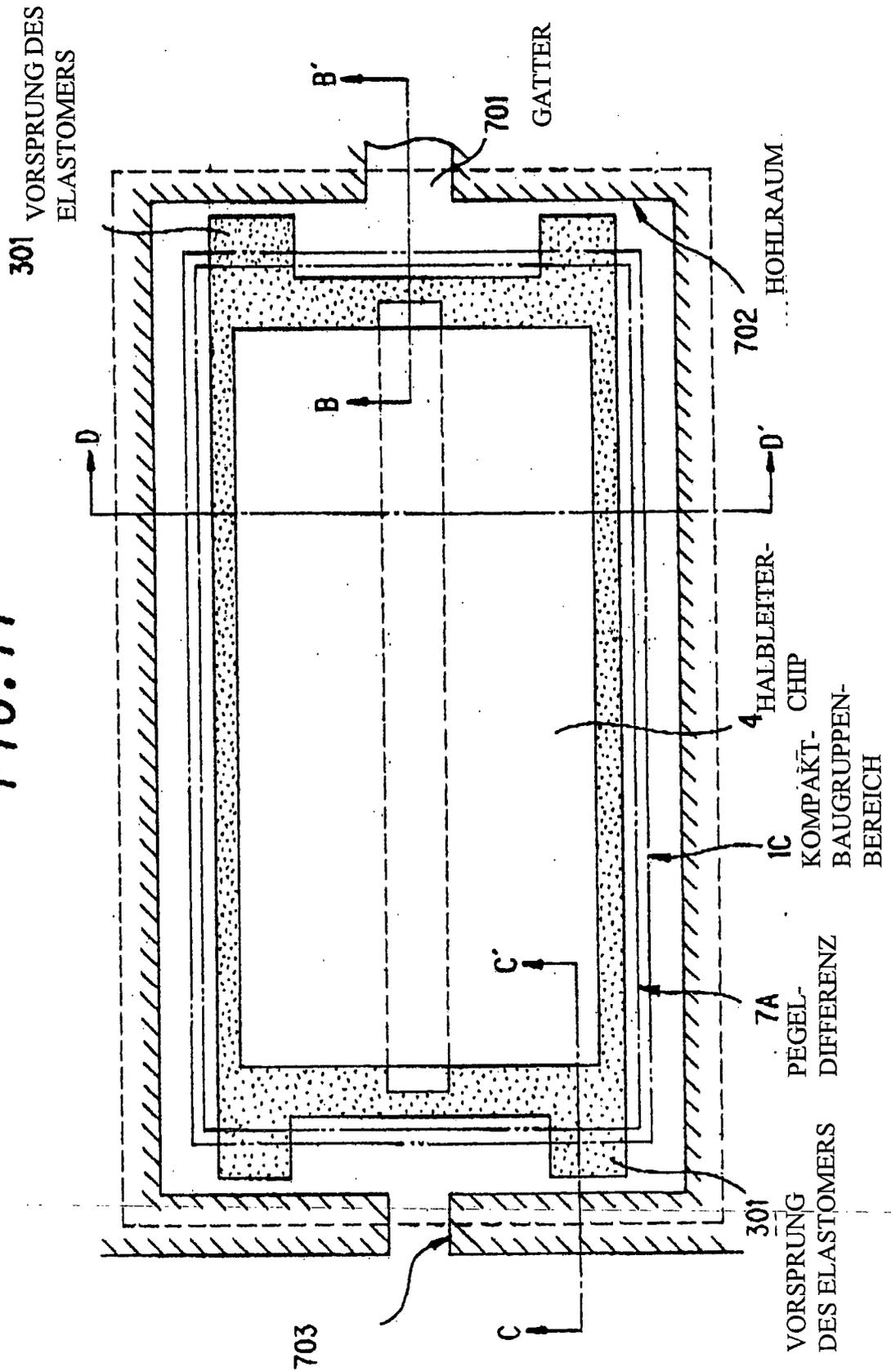


FIG. 12A

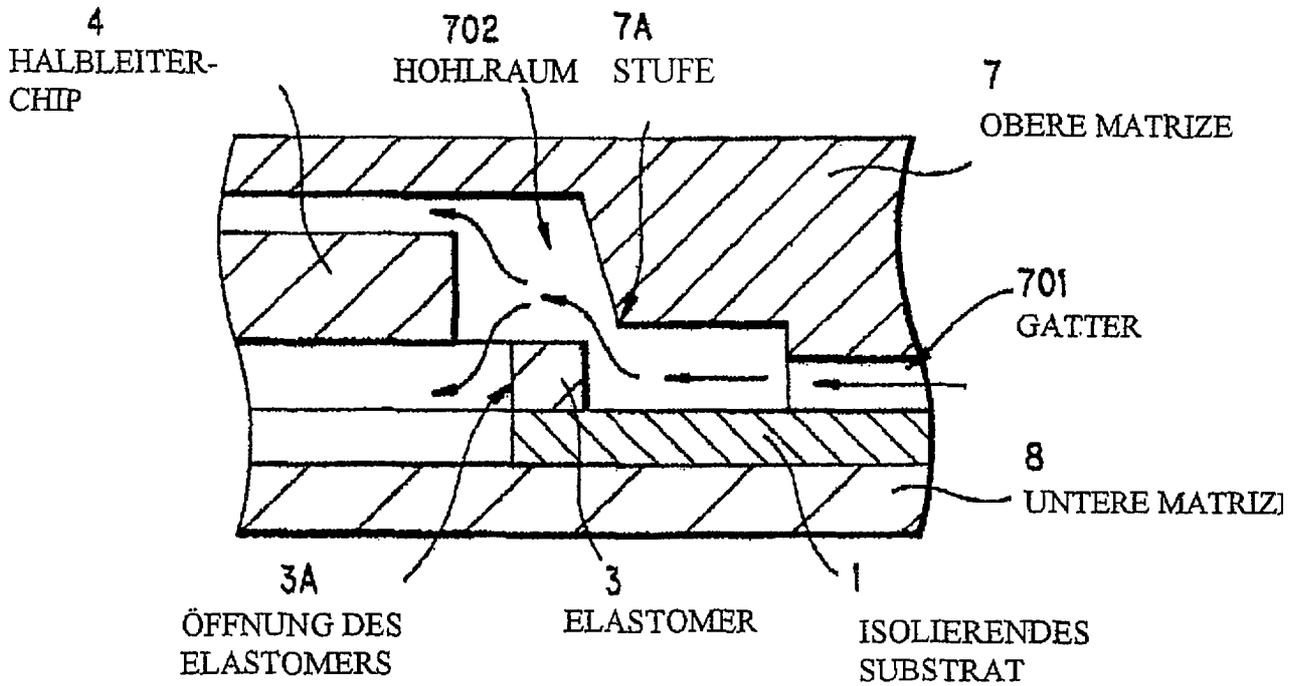


FIG. 12B

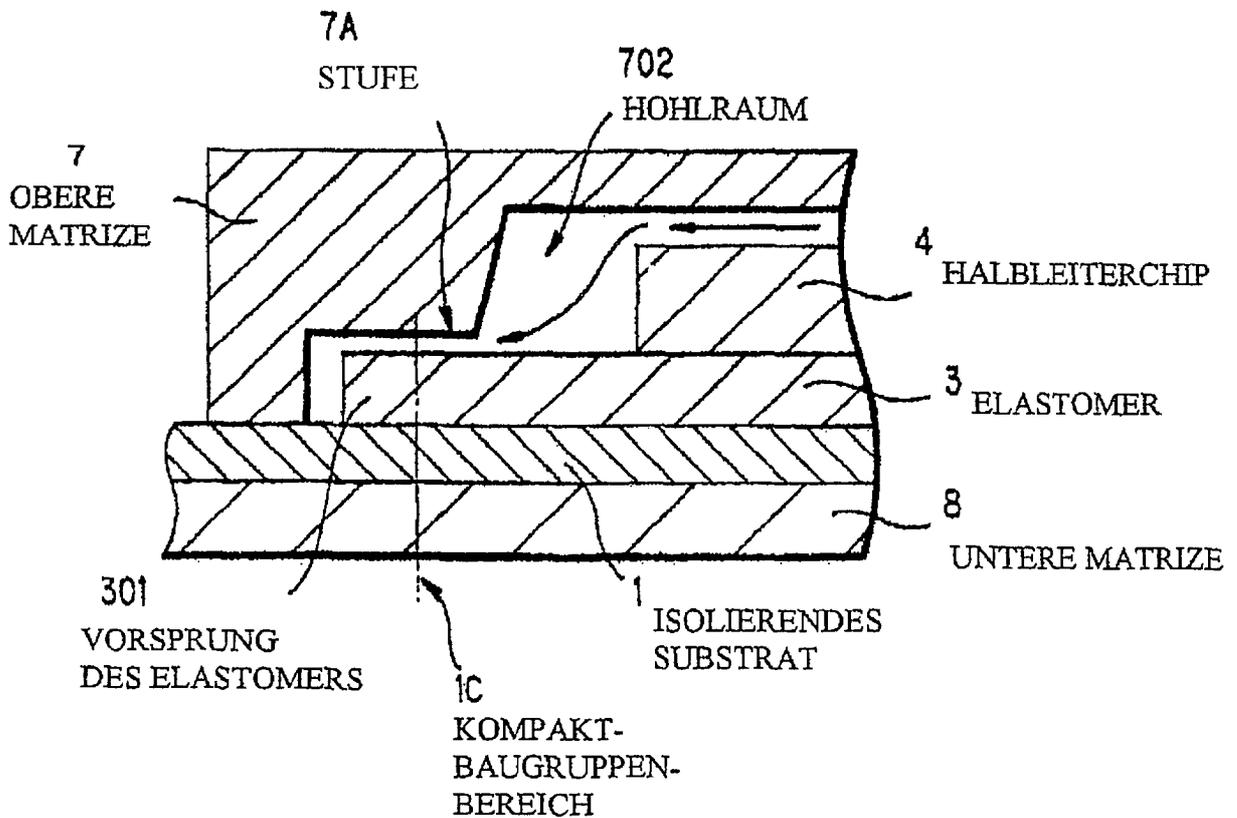


FIG. 13

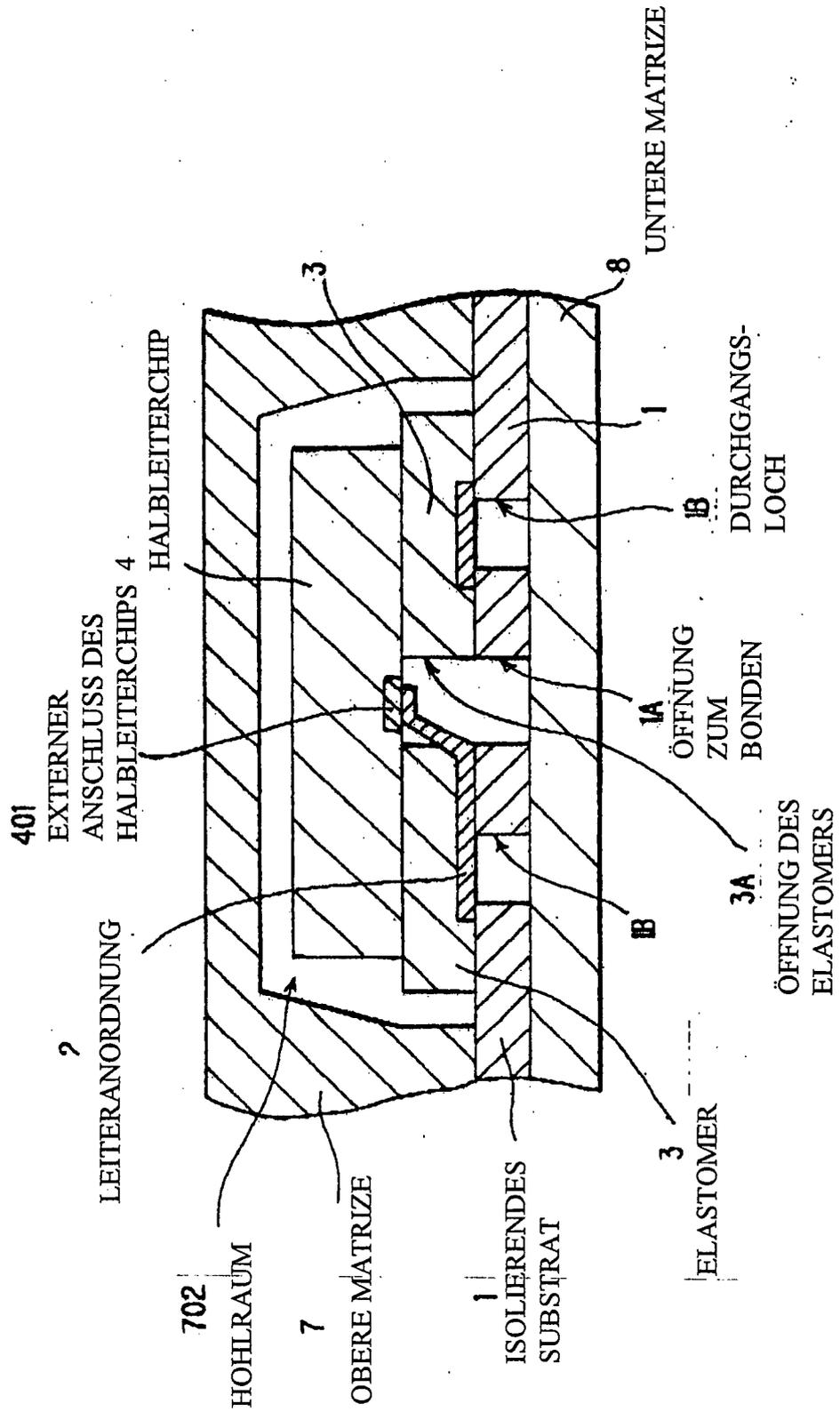


FIG. 14

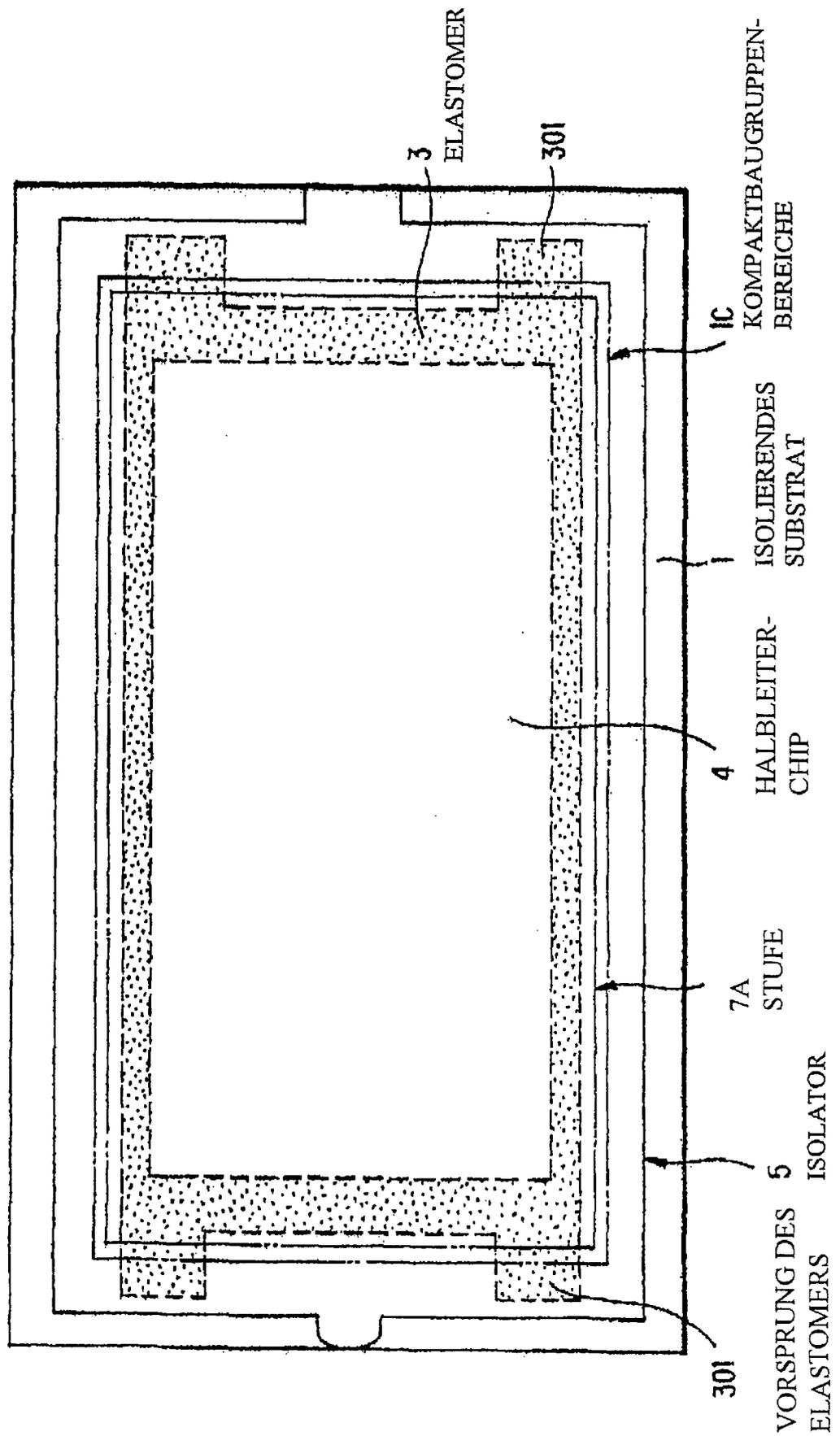


FIG. 15A

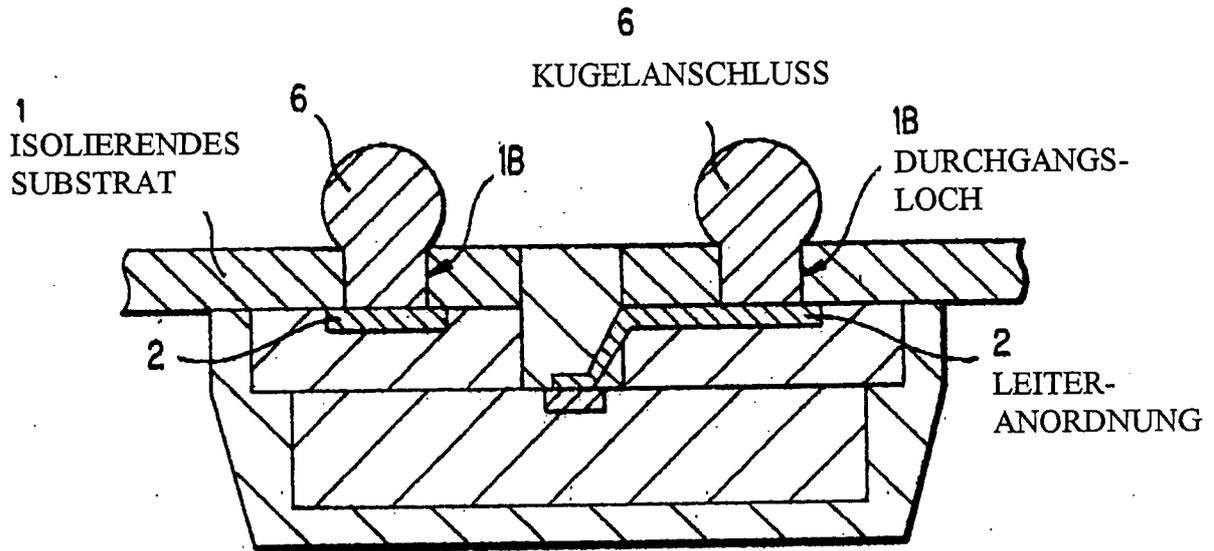


FIG. 15B

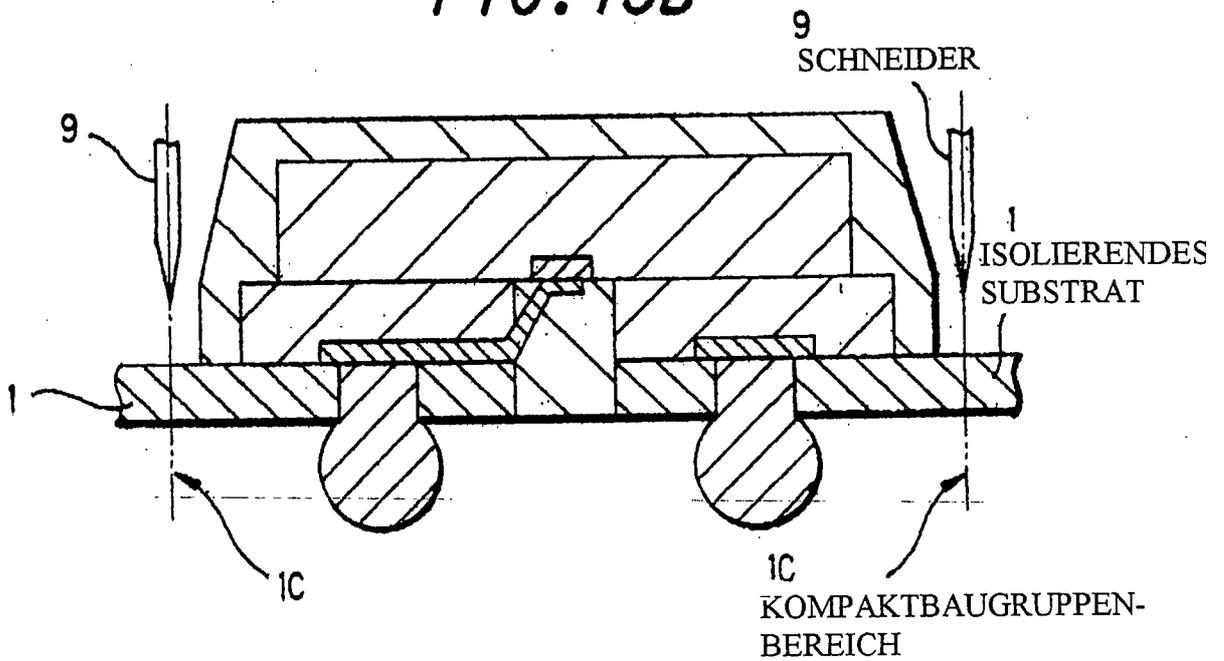


FIG. 16A

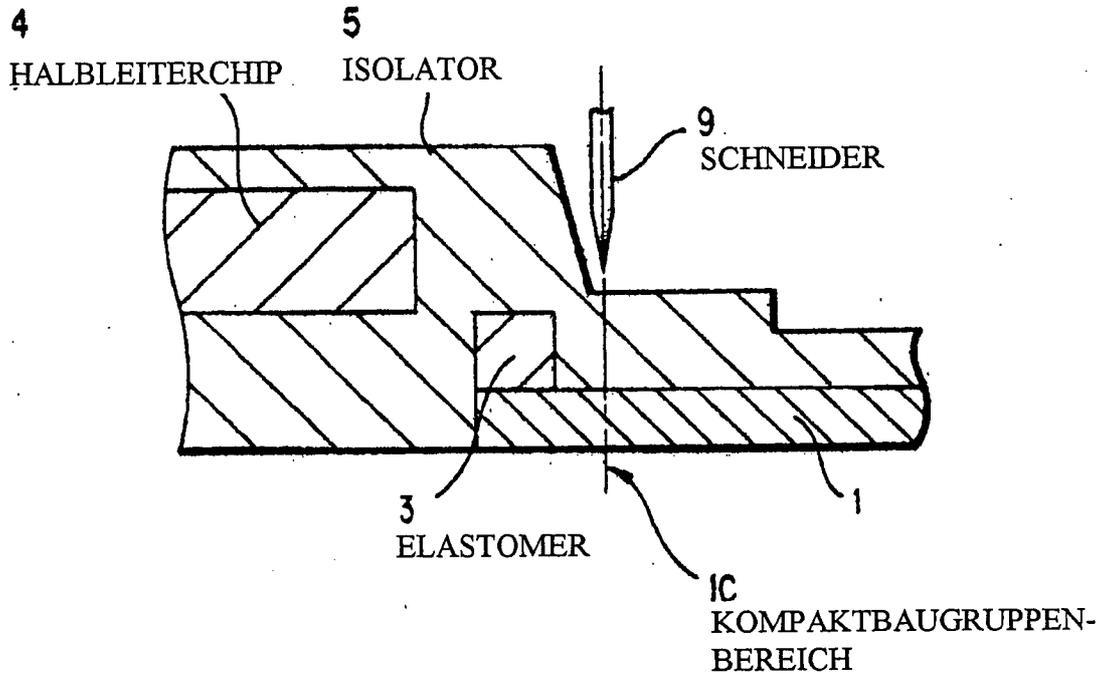
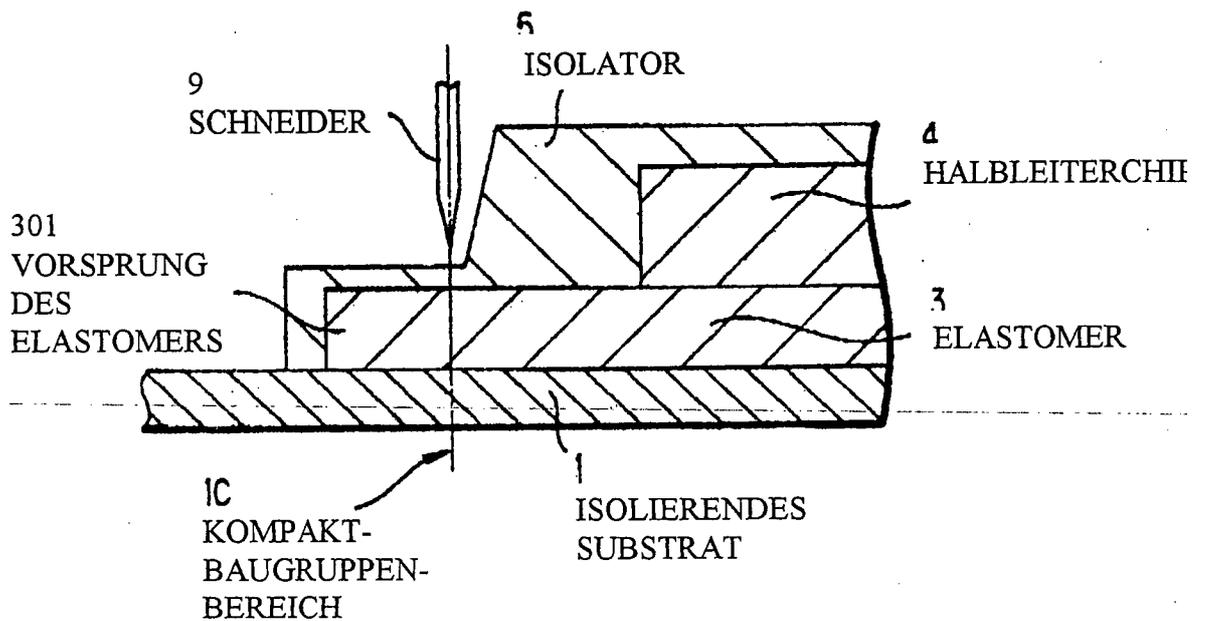


FIG. 16B



3
ELASTOMER

4
HALBLEITER-
CHIP

FIG. 17A

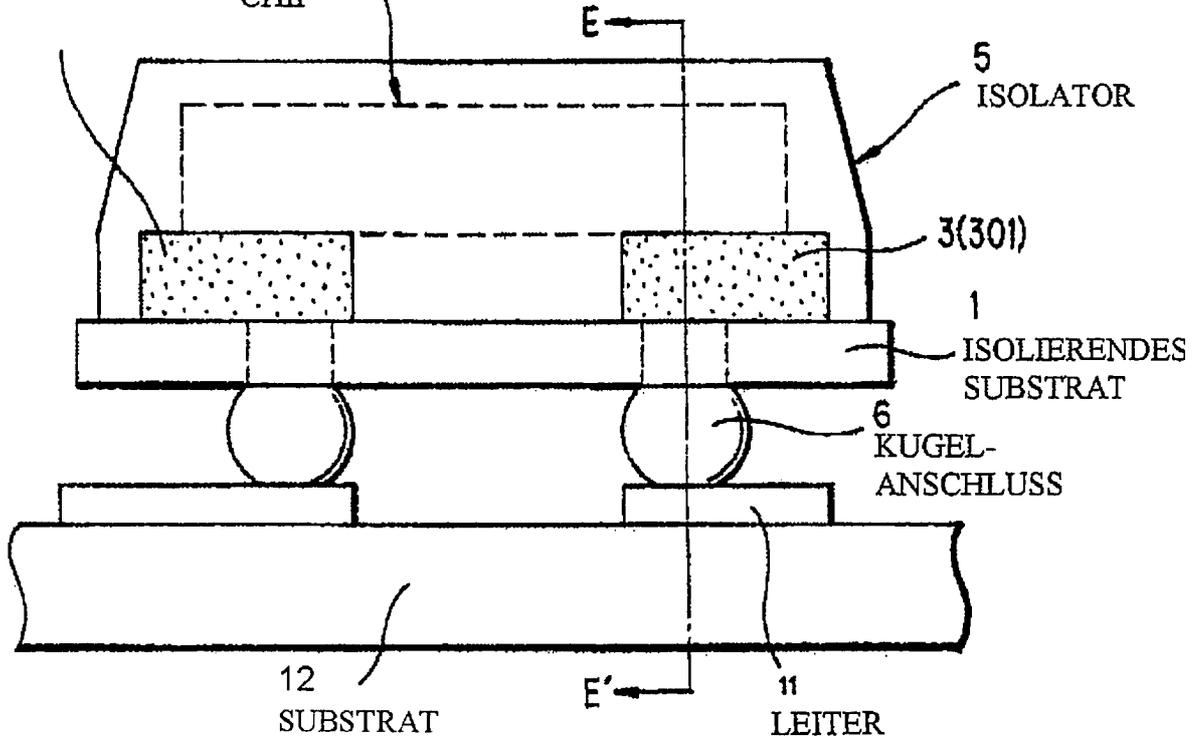


FIG. 17B

3
ELASTOMER
(301)
VORSPRUNG
DES
ELASTOMERS

5
ISOLATOR

4
HALBLEITER-
CHIP

12
SUBSTRAT

1
ISOLIERENDES
SUBSTRAT

6
KUGEL-
ANSCHLUSS

11
LEITER

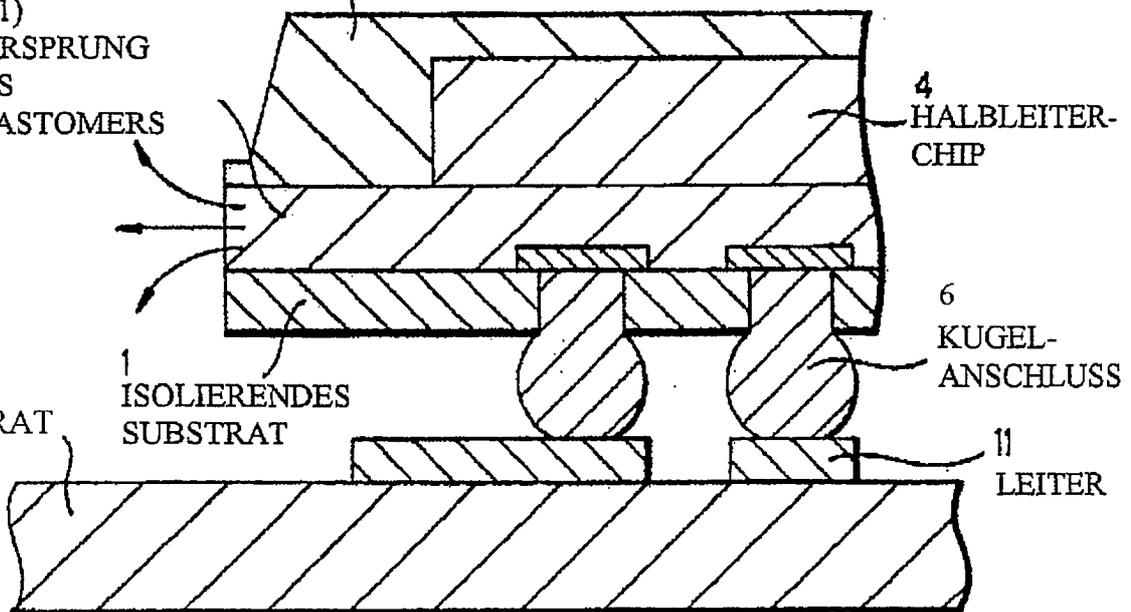


FIG. 18 STAND DER TECHNIK

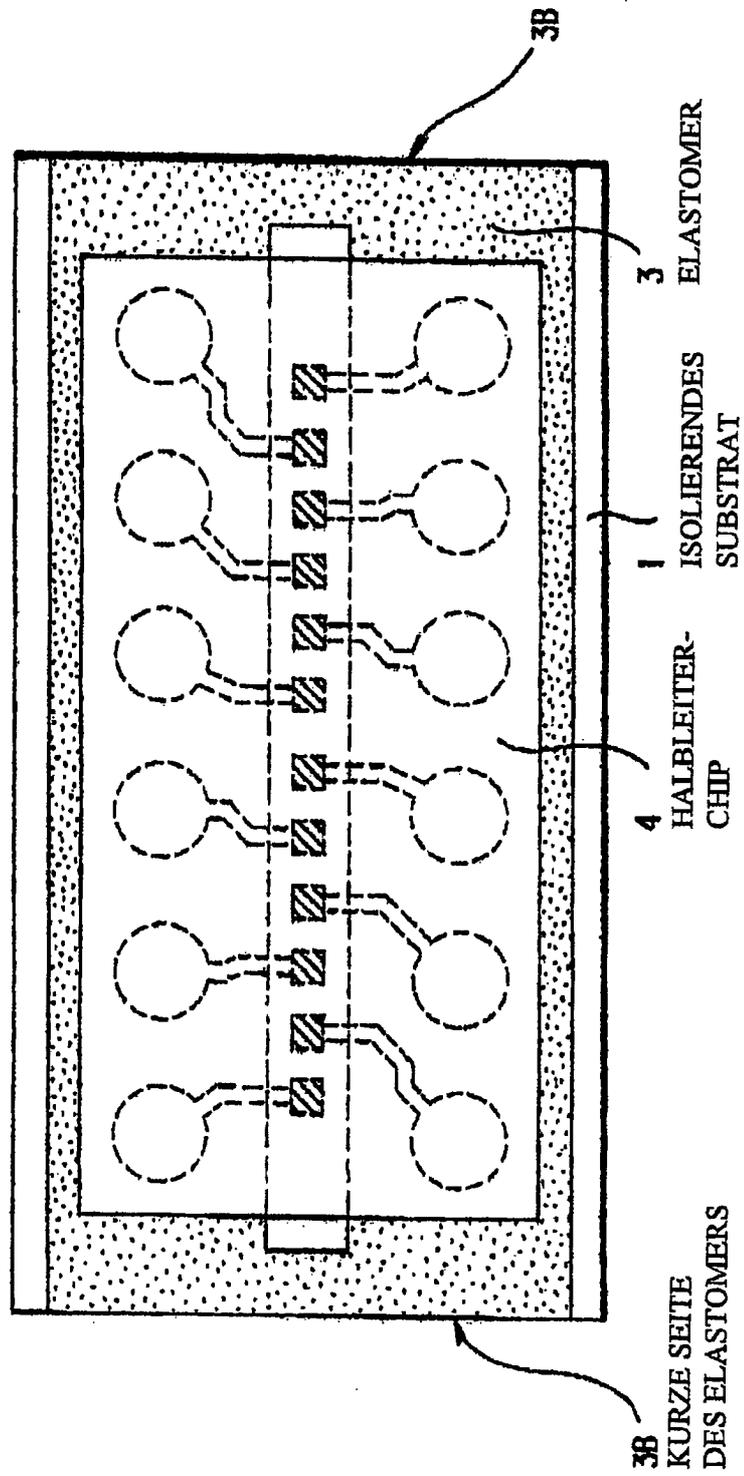


FIG. 19

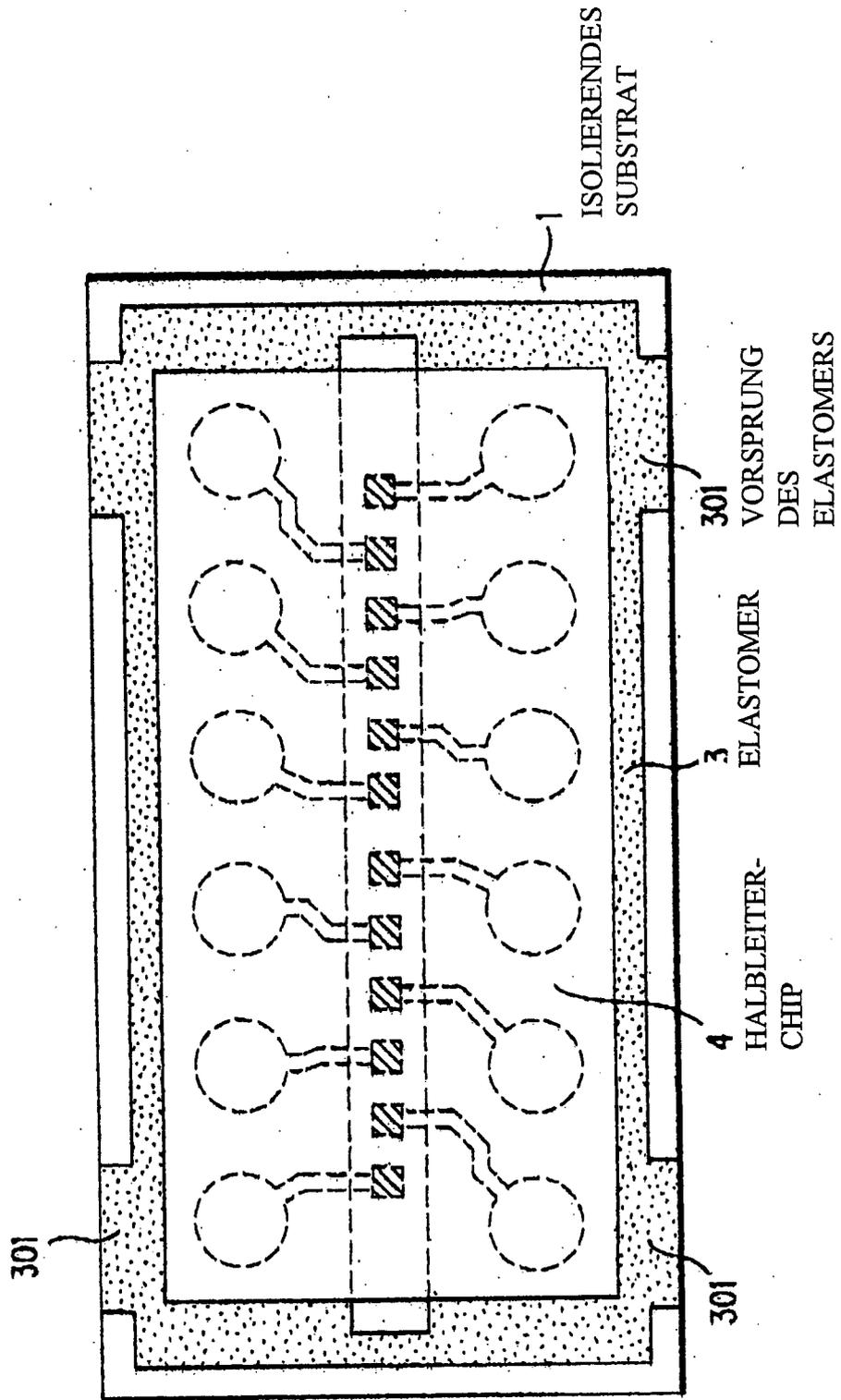


FIG. 20

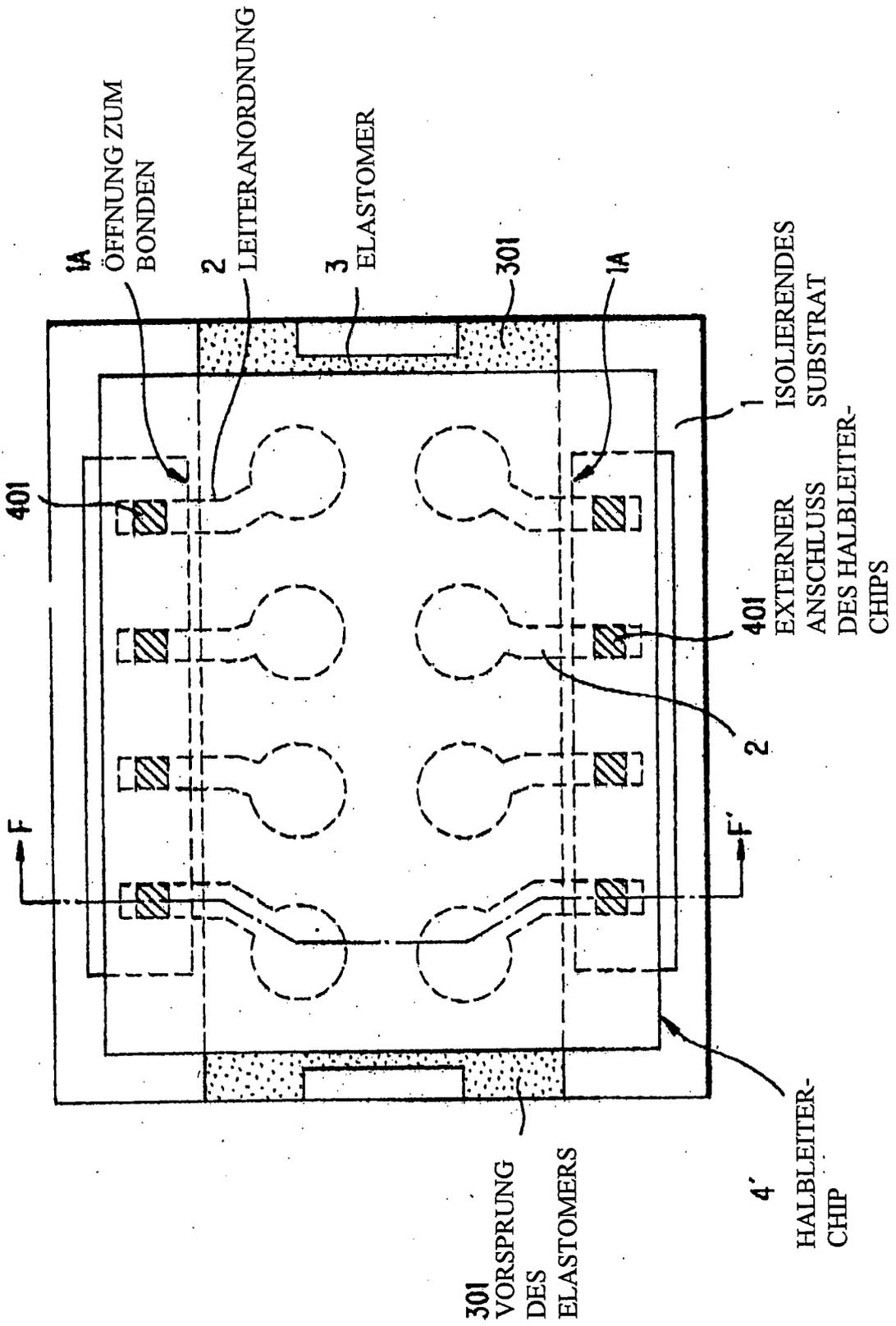


FIG.21A

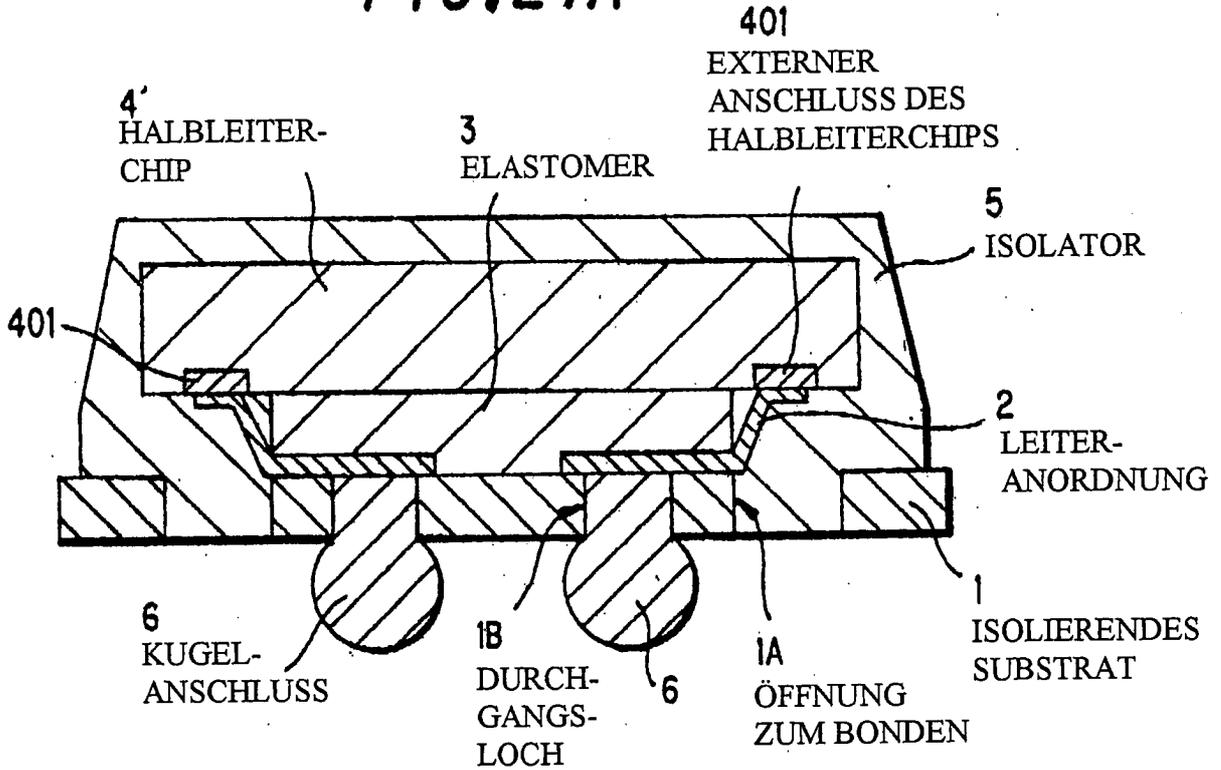


FIG.21B

