



(12)发明专利

(10)授权公告号 CN 105870121 B

(45)授权公告日 2018.09.21

(21)申请号 201510999059.0

(22)申请日 2015.12.28

(65)同一申请的已公布的文献号  
申请公布号 CN 105870121 A

(43)申请公布日 2016.08.17

(30)优先权数据  
62/097,079 2014.12.28 US  
14/860,697 2015.09.21 US

(73)专利权人 苏州诺存微电子有限公司  
地址 215347 江苏省苏州市昆山市玉山镇  
祖冲之南路1666号清华科技园1号楼

(72)发明人 彭海兵

(74)专利代理机构 北京品源专利代理有限公司  
11332  
代理人 杨生平 钟锦舜

(51)Int.Cl.

H01L 27/11551(2017.01)

H01L 27/11578(2017.01)

(56)对比文件

US 2014/0070290 A1,2014.03.13,全文.

CN 103811516 A,2014.05.21,全文.

CN 104037175 A,2014.09.10,全文.

US 2012/0184078 A1,2012.07.19,全文.

审查员 卢青

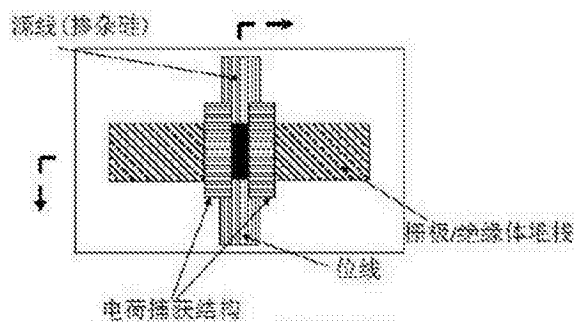
权利要求书2页 说明书9页 附图27页

(54)发明名称

三维非易失性NOR型闪存

(57)摘要

本发明提供了三维非易失性NOR闪存的一些器件结构:这些闪存器件由本发明提供的一系列基本NOR存储组连结成阵列构成,而这些基本NOR存储组中的各存储单元(场效应晶体管)沿着一定方向(垂直、斜交或平行于基底平面方向)堆叠/排列且电路上形成并联,来低成本地实现高存储密度(可达1Tb量级)。这些三维NOR闪存器件不仅可以实现对任意单个存储单元进行独立的完全随机存取,而且可对任意数量的选定存储单元群进行并行写入/擦除操作,因而可广泛用于可执行代码存储和大容量数据存储两方面的应用之中。



1. 一种基本非易失性存储组,其特征在于,包括:

多个场效应晶体管,所述场效应晶体管沿着垂直或斜交于基底平面的任意方向堆叠并通过共享源极和漏极电路上并联起来;

一片半导体鳍,所述半导体鳍的侧壁或主体为同一基本存储组内的场效应晶体管提供相应的导电沟道;

同一基本非易失性存储组内的所有所述场效应晶体管共享的源极和漏极位于所述导电沟道的两端;

每个所述场效应晶体管有一个或者多个侧栅极;

电荷捕捉结构,所述电荷捕捉结构夹在所述场效应晶体管的侧栅极和所述导电沟道之间,作为所述场效应晶体管的存储材料。

2. 根据权利要求1所述的基本非易失性存储组,其特征在于,所述半导体鳍为硅鳍或锗鳍。

3. 根据权利要求1所述的基本非易失性存储组,其特征在于,将所述一片半导体鳍替换成一个半导体层/绝缘体层相间的多层堆栈或者替换成两片分离的半导体鳍来为同一基本存储组内的场效应晶体管提供并联导电沟道。

4. 根据权利要求1至3任一所述的基本非易失性存储组,其特征在于,所述侧栅极结构由一个或多个导体层/绝缘体层相间的堆栈组成。

5. 一种基本非易失性存储组,其特征在于,包括:

多个场效应晶体管,所述场效应晶体管沿着平行于基底平面的任意方向排列并通过共享源极和漏极电路上并联起来;

一片半导体鳍,所述半导体鳍的侧壁或主体为同一基本存储组内的场效应晶体管提供相应的导电沟道;

同一基本非易失性存储组内的所有所述场效应晶体管共享的源极和漏极位于所述导电沟道的上方或者下方;

每个所述场效应晶体管有一个或者多个侧栅极;

电荷捕捉结构,所述电荷捕捉结构夹在所述场效应晶体管的侧栅极和所述导电沟道之间作为所述场效应晶体管的存储材料。

6. 根据权利要求5所述的基本非易失性存储组,其特征在于,将所述一片半导体鳍替换成沿平行于基底平面方向排列的半导体层/绝缘体层交替相间结构,或者替换成轻掺杂半导体层/重掺杂半导体层交替相间结构,来为同一基本存储组内的场效应晶体管提供并联导电沟道。

7. 根据权利要求1、2、3、5或6所述的基本非易失性存储组,其特征在于,所述电荷捕捉结构由一夹层结构组成,所述夹层结构包括隧穿介质层、电荷存储层和阻断介质层。

8. 根据权利要求7所述的基本非易失性存储组,其特征在于,所述隧穿介质层为二氧化硅、 $Al_2O_3$ 、 $HfO_2$ 、或者由二氧化硅层/氮化硅层/二氧化硅层构成的复合材料;所述电荷存储层为氮化硅、纳米级的金属或半导体晶体;所述阻断介质层为二氧化硅、 $Al_2O_3$ 、或 $HfO_2$ 。

9. 根据权利要求5、6或8所述的基本非易失性存储组,其特征在于,所述侧栅极结构由一个或多个导体层/绝缘体层交替相间的排列组成。

10. 根据权利要求1、2、3、5、6或8所述的基本非易失性存储组,其特征在于,其中每一所

述场效应晶体管所储存的信息可通过NOR门逻辑读取。

11. 一种NOR闪存模块,所述闪存模块由权利要求1至10中任一种所述的基本非易失性存储组的阵列构成,其特征在于,包括:至少一行、至少一列或者至少一面内的全部或部分基本非易失性存储组的漏极连结起来形成局部位线,以及相应的这些所述基本非易失性存储组的源极连结起来形成局部源线,同时不连结在同一局部位线或源线上的多个基本非易失性存储组的栅极连结起来形成字线。

12. 一种闪存器件,所述闪存器件由权利要求11所述的NOR闪存模块的阵列构成,其特征在于,在芯片级别上用额外的选择晶体管将多个所述NOR闪存模块的局部位线连接到全局位线以及将这些所述NOR闪存模块的局部源线连结到全局源线,每个所述NOR闪存模块能够被选择性地寻址来对任一所述场效应晶体管进行读取/写入/擦除操作。

## 三维非易失性NOR型闪存

[0001] 本申请要求以下专利申请的权益和优先权：(1) 美国临时专利申请号No.62/097,079 (标题为“THREE-DIMENSIONAL NON-VOLATILE NOR-TYPE FLASH MEMORY”，2014年12月28日提交)；(2) 美国专利申请号No.14/860,697 (标题为“THREE-DIMENSIONAL NON-VOLATILE NOR-TYPE FLASH MEMORY”，2015年9月21日提交)。上述专利申请的内容通过引用并入本次申请中并适用于所有目的。

### 技术领域

[0002] 本发明涉及三维非易失性NOR型闪存器件：具有高存储密度和随机存取任意单个存储单元的能力。

### 背景技术

[0003] 闪存是一种广泛使用的非易失性计算机存储技术，通常采用浮栅 (floating gate) 或者电荷捕获结构 (charge trap) 在场效应晶体管 (FET) 中存储电荷，构成存储单元。根据读操作时逻辑门的区别，闪存分两种：NAND型和NOR型。NOR型闪存可以对其每一个存储单元进行独立的读写操作，提供了完全的随机存取功能，因此能用于可执行程序的非易失性存储，可取代易失性的SRAM和DRAM。而NAND闪存不能提供完全的随机存取功能来独立读取每一个存储单元：因为NAND闪存的基本存储组由一些存储单元 (FET) 串联而形成，存储单元擦除时只能按块操作而不能按单个存储单元独立操作。在过去的十年里，NAND闪存单元尺寸以很快的进度被微缩，最近趋势已经转入复杂的三维NAND结构，带来了数据存储应用方面繁荣的NAND闪存市场 (特别是在移动电子设备中)。但是，NOR闪存相比于NAND闪存有很大的技术优势：提供通用型的非易失性存储器，具有完全随机存取功能，可用于数据存储以及可执行程序代码存储。如果NOR闪存的存储密度能提高到和NAND相比美的话，NOR闪存将会更具有市场竞争力。因此，设计低制造成本的高密度三维NOR闪存结构有其巨大的技术重要性。

### 发明内容

[0004] 本发明包括：(1) 三维非易失性NOR闪存器件的一种设计结构，其由一系列基本NOR存储组排成阵列组成，并且在每个基本NOR存储组中所有存储单元 (即FET) 沿着一定方向 (垂直、斜交或平行于基底平面方向) 堆叠而且电路上形成并联 (即共享源极和漏极) 来达到高存储密度；(2) 实现该三维非易失性NOR闪存器件的工艺流程。

### 附图说明

[0005] 图1a-1c分别显示了本发明的一种基本NOR存储组的俯视图，背面横截面图 (横截处由箭头指出) 和侧面横截面图 (横截处由箭头指出)。该基本NOR存储组由竖直堆叠的FET并联而成。一个竖直方向的片状半导体 (比如鳍片状硅：以下简称“硅鳍”) 为该基本NOR存储组中的所有FET提供并联的导电沟道。一个导体/绝缘体的多层堆栈为每个竖直堆叠的FET

提供相应的栅极(字线)。源极和漏极的电极由两个简并掺杂的硅柱组成。

[0006] 图2a-2c分别显示了本发明的另一种基本NOR存储组的俯视图,背面横截面图(横截处由箭头指出)和侧面横截面图(横截处由箭头指出)。该基本NOR存储组由竖直堆叠的FET并联而成。其中一个多层掺杂半导体/绝缘体沿竖直方向的交替堆栈为该基本NOR存储组的所有FET提供并联的导电沟道。一个多层导体/绝缘体堆栈为每个竖直堆叠的FET提供相应的栅极(字线)。

[0007] 图3a-3c分别显示了本发明的第三种基本NOR存储组的俯视图,背面横截面图(横截处由箭头指出)和侧面横截面图(横截处由箭头指出)。其中半导体沟道(硅鳍)被分成两片:一片提供并联导电沟道给左侧的FET,另一片提供并联导电沟道给右侧的FET。

[0008] 图4a-4c分别显示了本发明的第四种基本NOR存储组的俯视图,背面横截面图(横截处由箭头指出)和侧面横截面图(横截处由箭头指出)。其中半导体沟道(硅鳍)和源极/漏极直接与硅片基底相接触,可通过在硅片基底上直接刻蚀或者生长一层硅薄膜(最好是外延生长的单晶硅层)制造而成。

[0009] 图5a-5e给出了一种工艺流程范例:演示如何用图1中所示的基本NOR存储组连成阵列来实现NOR闪存器件。其中分别显示了工艺流程的不同阶段中器件的俯视图(上)和截面图(下)。

[0010] 图6a-6c给出了一种工艺流程范例:演示如何用图2中所示的基本NOR存储组连成阵列来实现NOR闪存器件。其中分别显示了工艺流程的不同阶段中器件的俯视图(上)和截面图(下)。

[0011] 图7给出了本发明的一种平面基本NOR存储组的俯视图(上)和截面图(下),其中各存储单元(即FET)沿着平行于基底平面的方向堆叠且电路上形成并联(共享源极和漏极)。

[0012] 图8a-8d给出了一种工艺流程范例:演示如何用图7中所示的平面基本NOR存储组连成阵列来实现三维NOR闪存器件。其中分别显示了工艺流程的不同阶段中器件的俯视图(上)和截面图(下)。在此设计中,各基本NOR存储组的左右侧栅极是相连接的。

[0013] 图9a-9b给出了另一种工艺流程(从图8修改而来的):演示如何用图7中所示的平面基本NOR存储组连成阵列来实现三维NOR闪存器件。其中分别显示了工艺流程的不同阶段中器件的俯视图(上)和截面图(下)。在此设计中,各基本NOR存储组的左右侧栅极分开,连接不同行的字线。

[0014] 图10a-10d给出了又一种工艺流程范例:演示如何用图7中所示的平面基本NOR存储组连成阵列在基底体硅内实现NOR闪存器件。其中分别显示了工艺流程的不同阶段中器件的俯视图(上)和截面图(下)。

[0015] 图11a-11b给出了又一种工艺流程范例:演示如何用图7中所示的平面基本NOR存储组形成堆叠阵列来实现三维NOR闪存器件。其中分别显示了工艺流程的不同阶段中器件的俯视图(上)和截面图(下)。

## 具体实施方式

[0016] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0017] 本发明提供可以提高存储密度的三维非易失性NOR闪存器件的设计。主要要素包括：(1) 基本NOR存储组，其中各存储单元(即FET)沿着不平行于基底平面的方向堆叠且电路并联(即共享源极和漏极)来实现高存储密度；(2) 基本NOR存储组，其中各存储单元(即FET)沿着平行于基底平面的方向堆叠且电路并联(即共享源极和漏极)；(3) 器件工艺流程，用于实现由上述基本NOR存储组阵列构成的三维非易失性NOR闪存器件。

[0018] 本发明的一个具体实施例包括一种基本NOR存储组(图1)，其由竖直堆叠且电路并联的存储单元(FET)组成。该基本NOR存储组在基底上连接成阵列形成非易失性三维NOR闪存器件。其中一个竖直方向的片状半导体(以下用“半导体鳍”-semiconductor fin来描述)为同一个基本NOR存储组里所有的FET提供并联导电沟道。该半导体鳍(比如硅鳍:Si Fin, 或锗鳍:Ge Fin)形状可采用长方体或者其他的规则/不规则形状。当一个FET处于通态(On State)时,电流方向大致平行于基底平面。一个多层导体/绝缘体堆栈(比如重掺杂多晶硅/二氧化硅,或者金属/氧化物)为竖直堆叠的每一个FET提供栅极(字线)。源极和漏极的电极由两个简并掺杂的半导体柱(用与沟道相同的半导体材料较好)。电荷捕获结构可以是一个多层介电结构,比如ONO夹层结构(即二氧化硅/氮化硅/二氧化硅),氧化铝/氮化硅/二氧化硅,或者二氧化铪( $\text{HfO}_2$ )/氮化硅/ $\text{HfO}_2$ 夹层结构,其中氮化硅层是作为在栅极介质内存储电荷的陷阱。作为NOR逻辑门在读取时,导电沟道(以硅鳍为例)和源极漏极(以简并掺杂的硅为例)的优选掺杂结构可采用下列选项之一(在FET通态时以反型层作为电传导通路):(i) 沟道采用p掺杂的硅,同时源极漏极(源线和位线)采用简并掺杂n型硅;或者(ii) 沟道采用n掺杂的硅,同时源极漏极(源线和位线)采用简并掺杂p型硅。如果在FET通态时以积累层作为电传导通路,沟道可以采用高电阻的未掺杂或低掺杂硅,同时源极漏极(源线和位线)采用简并掺杂的n型或者p型硅均可。导电沟道和电极的可操作的掺杂结构的基本要求是保证当一个基本存储组里所有的FET处于断态(Off State)时源极和漏极之间没有导电通路。

[0019] 图1中的基本NOR存储组的另一个特性是双侧栅极结构:通过选用硅鳍的宽度 $t_{\text{fin}}$ (即,图1b中两个电荷捕捉结构之间的间隔),该结构可提供多方面的控制功能。第一种情况是 $t_{\text{fin}}$ 足够大(比如约为20nm到100nm)以至于左右两侧栅极的场效应不互相干扰;这样每一层相当于有两个独立的FET(存储单元)分别受左右栅极控制,因此左右两侧的字线也可以是独立的。第二种情况是 $t_{\text{fin}}$ 很小导致左右两侧栅极的场效应强烈地耦合;这时对应的左右两侧字线可以连接在一起作为同一个字线,否则会出现复杂的多级(multi-level)存储情况;或者可以让一侧的字线浮置,作为另一侧字线在经过多次擦写循环失效后的备用。另外,在上述的第二种情况中,每一个存储单元(包含一个共享的导电沟道和两个侧栅极)在使用两侧栅极组合操作时可作为两级电荷捕捉闪存单元存储2位(bit)数据;更进一步,如果再利用各FET的源极和漏极附近的电荷陷阱分别存储数据的话,加上两侧栅极组合操作,每一个存储单元能够存储4bit。

[0020] 图2给出了本发明中基本NOR存储组的第二种实施例。该基本NOR存储组由竖直堆叠的FET并联而成。其中一个多层掺杂半导体/绝缘体(例如:掺杂的多晶硅/二氧化硅)沿竖直方向的交替堆栈为该基本NOR存储组的所有FET提供并联的导电沟道,以下简称为“沟道堆栈”(Channel Stack)。一个多层导体/绝缘体(例如:重掺杂的多晶硅/二氧化硅)堆栈与沟道堆栈竖直对齐,为每个竖直堆叠的FET提供相应的栅极(字线),以下简称为“栅极/绝缘体堆栈”(Gate/Insulator Stack)。

[0021] 结合图3,本发明提供了基本NOR存储组的第三种实施例。其中半导体导电沟道(硅鳍)被分成两部分:一个提供并联导电沟道给左侧的FET,另一个提供并联导电沟道给右侧的FET。两个半导体沟道之间的间隙可以用绝缘层填补(或者为空),因此左右两侧栅极之间的场效应不耦合(或者耦合足够弱)。

[0022] 在本发明的另一种实施例中,图1和图3中的基本NOR存储组的结构可修改成导电沟道和源线/位线电极直接与硅片基底接触。在这种情况下,为使源线和位线之间的漏电流最小化(当所有FET都处于断态时),导电沟道应该与硅片基底使用相同的掺杂剂类型。比如,在p掺杂(n掺杂)的硅片基底上相应使用p掺杂(n掺杂)的硅导电沟道,或者使用高电阻的本征硅基底。导电沟道和源线/位线电极的优选掺杂结构组合与前述用于图1中的基本NOR存储组的优选掺杂方案保持一致,从而使当同一个基本存储组里所有的FET都处于断态时,源极和漏极之间没有导电通路。图4给出了这样一个在p掺杂的硅片基底上以p掺杂的硅鳍作为导电沟道的基本NOR存储组的示意图。硅鳍(导电沟道)可通过直接刻蚀硅片基底制成,或者通过在硅片基底上生长一层硅(最好是外延生长的单晶硅层)制成。

[0023] 在本发明的另一些实施例中,图1到图4中所示的基本NOR存储组可修改成只采用左侧(或者右侧)的栅极结构或者双侧栅极结构的一部分。

[0024] 在本发明的其他一些实施例中,图1、3、4中所示的基本NOR存储组的导电沟道(诸如硅鳍等片状半导体,或者两块分离的片状半导体),和图2中所示的沟道堆栈可以沿着指向基底面外的任意方向(或者任意弯曲的方向),而不是仅局限于竖直方向。另外,导电沟道(比如硅鳍)的确切形状可以变动,只要同一个基本存储组里各存储单元在电路上是并联起来实现NOR逻辑门即可。

[0025] 本发明的具体实施例包括一种读写方案,提供完全随机存取功能来读写图1-4中所示的基本NOR存储组中任意存储单元。读取某特定单个存储单元(即FET)的方案如下:首先,选中目标存储单元所在的基本NOR存储组;其次,把目标存储单元的字线设在合适的控制电压 $V_{read}$ (此时相应的FET状态由电荷陷阱状态决定),同时将其余存储单元的字线设在另一控制电压 $V_{off}$ (无论电荷陷阱状态如何,此时相应的FET均处于断态);最后,检测目标存储组的位线输出信号来确定目标存储单元的状态(如果目标单元中存储的陷阱电荷使其对应的FET处于通态,源漏极间电路接通,位线将处于“0”态;反之,源漏极间电路不通,位线将保持“1”态)。与典型的NOR闪存一样,该读取方案符合NOR门逻辑。

[0026] 写操作(Program)可针对某一特定存储单元单独进行,也可针对基本NOR存储组内任意数量的选定存储单元群并行操作。单独写某一特定存储单元的方案如下:首先选中目标存储单元所在的基本NOR存储组,将其位线设在一正电压 $V_{cc}$ (比如3-5V)同时源线接地;然后向目标存储单元的字线输出一个合适的短脉冲写控制电压 $V_{pgm}$ (比如6-12V)使存储电荷可以隧穿到源极附近的电荷陷阱(比如氮化硅)中,比如通过沟道热电子注入(channel hot electron injection)的方法,与此同时将同一存储组中其余所有字线浮置或者设在一小于 $V_{pgm}$ 的适度保护电压(从而使这些存储单元的电荷陷阱状态不受影响)。若需对组内若干选定存储单元群进行并行写操作时,与上述写单个存储单元方案唯一的不同在于最后一步:向所有目标存储单元的字线同时输出短脉冲写控制电压 $V_{pgm}$ ,同时将其他字线浮置或者设在保护电压。该并行写入方案带来了高写入速度的优势。此外,在上述写操作方案中,由于存储电荷从源极隧穿而入并被局部限制在源极附近的介电电荷陷阱(氮化硅)中,通过交

换源线和位线,同一存储单元中靠近沟道两端的电荷陷阱可分别写入1bit数据(从而实现存储2bit每存储单元)。除去沟道热电子注入方法外,写操作也可通过Fowler-Nordheim隧穿来实现:将选定的位线浮置(或接地),选定的源线接地,同时向目标存储单元的字线输出短脉冲写控制电压 $V_{pgm}$ 使得电荷可以从源极(或者沟道)隧穿到电荷陷阱(氮化硅)中存储。

[0027] 同样,擦除操作(Erase)可针对某一特定存储单元单独进行,也可针对基本NOR存储组内任意数量的选定存储单元群并行操作。单独擦除某一特定存储单元的方案如下:首先选中目标存储单元所在的基本NOR存储组,将其位线浮置;然后将目标存储单元的字线接地同时向目标单元的源线输出短脉冲擦除电压 $V_{erase}$ (从而使存储电荷从源极附近的电荷陷阱中隧穿释放出来),而同时将存储组里其他字线设在保护电压 $V_{pass}$ (以保护其陷阱电荷状态)。类似的,可通过交换源线和位线,对同一存储单元中靠近沟道另一端的电荷陷阱中存储的另一位信息进行擦除操作(如果采用前述2bit每存储单元写入方案)。若需并行擦除存储组内的所有单元,可将目标组内的所有字线接地同时向其源线和位线输出短脉冲擦除电压 $V_{erase}$ (使存储电荷从所有电荷陷阱中隧穿释放出来)。该并行擦除方案也可用于包含很多基本NOR存储组的大存储块,实现快速擦除操作。在另一种替代方案中,存储单元的擦除也可通过沟道热空穴注入(channel hot hole injection)的方式来中和电荷陷阱中存储的电荷:比如,将目标位线设在负电压 $V_{dd}$ (例如,-3到-5V),将目标源线接地,同时向目标存储单元的位线输出合适的短脉冲擦除电压 $V_{G\text{Erase}}$ (例如,-6到-12V),使得空穴可以隧穿到漏极附近的电荷陷阱里来中和存储电荷。类似的,通过交换源线位线上施加的控制电压,也可用热空穴注入来中和沟道另一边附近的陷阱电荷。

[0028] 另外,原则上,通过在写入/擦除/读取操作时对字线/位线/源线施加合适的阈值电压,本发明中的各存储单元均可实现多级存储单元的功能。

[0029] 本发明的实施例也包括器件制造方法,以用于把图1中的基本NOR存储组连成阵列来实现三维NOR闪存器件。图5a-5d给出了具体器件工艺流程的一个范例。首先,在硅片上沉积一层100nm量级厚的二氧化硅(或其他绝缘体)缓冲层(buffer layer),然后通过LPCVD,ALD,PECVD,或物理气相沉积(PVD)等技术交替沉积出栅极/绝缘体堆栈。范例之一:栅极层可采用LPCVD制备的重掺杂多晶硅(poly-Si),或者CVD制备的TaN或钨;绝缘层可采用LPCVD制备的二氧化硅。范例之二:栅极层可采用原子层沉积ALD(Atomic Layer Deposition)制备的导电层(比如TiN或金属),绝缘层可采用ALD制备的 $\text{HfO}_2$ , $\text{Al}_2\text{O}_3$ ,或者 $\text{ZrO}_2$ 。栅极层和绝缘层的厚度可根据所期望的存储密度和性能的不同而调整,虽然栅极层的典型厚度可在10nm到500nm之间,而绝缘层应足够厚(比如在某些实施例中要大于30nm)来抑制读写操作时相邻存储单元之间的干扰。接下来,通过掩膜离子铣(masked ion-milling)或者其他干法、湿法刻蚀方法,将栅极/绝缘体多层堆栈刻蚀成带状(如图5a所示)。然后,将栅极/绝缘体堆栈的侧壁覆盖上一层介质电荷捕捉结构(如图5b所示)。该电荷捕捉结构可采用ONO夹层结构,包括一层隧穿介质层(tunneling dielectric layer):例如二氧化硅(O),一层电荷存储层(charge storage layer):例如氮化硅(N),一层阻断介质层(blocking dielectric layer):例如二氧化硅(O),均可通过LPCVD制备。一典型实施例为:隧穿介质层采用2nm厚的二氧化硅,电荷存储层采用5nm厚的氮化硅,阻断介质层采用5.5nm厚的二氧化硅;加起来提供了12.5nm厚的有效栅介质(使得在写入/擦除操作时,可用10V或更小的栅极电压来实现有效电荷隧穿),但是具体每一层的厚度可根据操作电压和写入/擦除速度进行



优化。在另一实施例中,ONO结构中的二氧化硅层可替换成高介电系数介电材料(high-k dielectrics),比如ALD制备的 $\text{Al}_2\text{O}_3$ 或者 $\text{HfO}_2$ 。在又一实施例中,可采用能带调制过的ONO结构,其隧穿介质层包含有利于电荷隧穿的复合材料:比如二氧化硅(1nm)/氮化硅(2nm)/二氧化硅(2.5nm)的三层结构。随后,CVD制备的外延硅或LPCVD制备的多晶硅被用来形成导电沟道,器件然后被化学机械抛光(chemical-mechanical polishing,CMP)平坦化(图5c)。若采用上述的CVD外延硅选项(图5c中未显示),沟槽底部应事先刻蚀直至硅基底暴露(随后进行表面清洗),而在该刻蚀步骤之前也可通过制备薄牺牲层(比如无定型硅)来保护侧壁ONO结构。接下来,通过掩膜离子注入(到整个硅层)的掺杂方式在选定区域形成源线和位线电极(如图5d所示)。导电沟道(硅鳍)的宽度 $t_{\text{fin}}$ 优选值可在20nm到200nm之间,以利于降低同层左右栅极之间的耦合。如先前所讨论的,为在读取方案中实现NOR门逻辑,导电沟道和源线/位线电极的掺杂结构优选方案如下:沟道采用p掺杂(n掺杂)硅,而源线和位线电极采用简并n掺杂(p掺杂)硅(这样在FET通态时反型层作为导电通道)。下一步,如图5e所示,通过刻蚀掉部分区域的掺杂硅再填充以绝缘体(例如二氧化硅),将同一列中相邻存储组的位线/源线电极(即图5d中掺杂硅柱)实施电路上的隔离。在不同于图5e的另一种结构中,同一列中相邻存储组的位线/源线电极(即图5d中掺杂硅柱)可共享(电路上相连接),因而形成虚地(virtual-ground)NOR结构。值得指出的是在由基本NOR存储组连结成的周期阵列器件中(图5e),同一列中的所有基本存储组共享同一字线堆栈。为组成更大的NOR模块(block),同一行中所有奇数列(偶数列)的基本NOR存储组的位线/源线电极可连上同一条局部位线/源线,这样一行中有两条局部位线(源线)来对相应的奇数列或偶数列存储组分别寻址。这些较大的NOR模块可进一步通过附加晶体管在芯片层面上连结起来(比如通过选择晶体管将上述的局部位线/源线连接上全局位线/源线),从而可通过地址译码器寻址。对单个选定的NOR模块而言,可针对每个存储单元进行完全随机存取,也可针对多个单元进行并行的读/写/擦除操作(可照搬之前提出的对基本NOR存储组的读写方案,只需将较大的NOR模块视为一个等效的基本组)。最后,图5e中被覆盖的各栅极层(埋栅层)的电路接出可用以下方式实现(类似于三维NAND闪存器件采用的方案):首先将存储阵列边缘附近的埋栅层通过刻蚀露出形成阶梯状图案;再沉积一厚绝缘层然后进行CMP操作;最后刻蚀出通孔(via)直到与埋栅层连结并用导体填充这些通孔。

[0030] 本发明的另一种实施例提供器件制造方法,以用于把图2中的基本NOR存储组连成阵列来实现三维NOR闪存器件。器件制造方法的一个范例如图6a-6c所示。其中由掺杂半导体/绝缘体层(比如掺杂多晶硅/二氧化硅)交替堆叠而成的沟道堆栈为基本NOR存储组里所有的FET提供并联导电沟道。该多层沟道堆栈制造时可源于同一栅极/绝缘体堆栈(图6a):采用LPCVD技术交替沉积掺杂多晶硅和二氧化硅层,然后进行光刻掩膜刻蚀。随后,采用类似于图5中描述的工艺来制备电荷捕捉结构(图6b)。再后,将沟道堆栈选定区域刻蚀到底成孔,再用CVD制备的简并掺杂外延硅或者LPCVD制备的多晶硅加以填充形成位线和源线的电极(如图6c所示)。

[0031] 如图7所示,本发明的另一实施例包括一平面基本NOR存储组,其中各存储单元(FET)沿着平行于(或近似平行于)基底平面的方向排列且电路上并联(共享源极漏极)。其位线和源线分别位于导电沟道(片状半导体:比如硅鳍)的顶部和底部,而两套侧栅极和电荷陷阱结构也沿着平行于基底平面的方向排列(与各存储单元相应)。材料结构和操作程序

的优选方案与图1所示的竖直基本NOR存储组一致。比如,导电沟道(以硅鳍为例)和源线位线电极(以简并掺杂的硅为例)的掺杂结构优选方案如下(在FET通态时以反型层作为电传导通路):(i)沟道采用p掺杂硅,而源线和位线电极采用简并n掺杂硅;或者(ii)沟道采用n掺杂硅,而源线和位线电极采用简并p掺杂硅。在FET通态时以积累层作为电传导通路的情况下,沟道可采用高电阻的未掺杂硅,而源线和位线电极采用简并掺杂的n型或者p型硅均可。另外,图7中的导电沟道也可修改成类似于图2和图3中的结构,即:(i)沟道由掺杂半导体/绝缘体(比如掺杂硅/二氧化硅)或者轻掺杂/重掺杂半导体(比如p Si/p+Si)沿着平行于基底平面的方向交替排列而成,且与相应的栅极/绝缘体排列对齐,来形成源极漏极之间分隔开的并联导电沟道;或者(ii)将半导体沟道分成两半以消除左右两侧栅极的耦合效应。在另一种替代方案中,图7的基本NOR存储组中左右两侧栅极可连接起来形成一个单栅极。

[0032] 本发明的实施例也包括其他平面基本NOR存储组:类似于图7,但其中各存储单元(FET)的排列方向可变化(比如沿平行于或近似平行于基底平面的弯曲方向),导电沟道(比如硅鳍)的确切形状也可以变动,只要能使各存储单元电路上并联(共享源极漏极)来实现NOR门逻辑即可。

[0033] 本发明的另一实施例包括器件制造方法,用于将图7中的平面基本NOR存储组连成阵列来实现三维NOR闪存器件。器件制造方法的一个范例如图8a-8d所示。首先,绝缘体/n+硅/p硅/n+硅(insulator/n+Si/p Si/n+Si)四层结构被交替并重复沉积到带有一缓冲氧化层(绝缘层)的硅片基底上,然后刻蚀成沟道堆栈(如图8a所示)。其中这些刻成带状的n+硅层构成成列的源线/位线,带状p硅层构成导电沟道(另外,根据前面关于图7的讨论,导电沟道和源线/位线掺杂结构也可采用其他方案)。绝缘层、n+硅层、和p硅层的厚度从1nm到几微米均可,但是p硅层厚度(决定导电沟道的长度)优选值为10nm到100nm。在其他可选替代方案中,位线n+硅层的上表面或者源线n+硅层的下表面可用一层硅化物(比如硅化钨、硅化钴、硅化钛)来增强电导性。每一个四层结构形成同一平面层内的基本NOR存储组阵列,该四层结构的重复次数可根据期望存储密度调整。接下来,按图5中描述的类似工艺来制备电荷捕捉结构(如图8b所示)。随后,用铺盖沉积法制备一厚栅极层(比如多晶硅、TaN、钨)来覆盖电荷捕捉结构,然后进行平坦化(比如通过化学机械抛光),再刻蚀成互相分隔的横带状栅极(此步骤中可用只针对栅极材料的选择性刻蚀法,而不伤及其下的沟道堆栈)以作为成行的字线(如图8c所示)。最后,再沉积一绝缘层来填充字线行之间的空隙,再进行平坦化使器件成型(如图8d所示)。在图8d的结构中,各基本NOR存储组的左右两侧栅极是连接在一起的,因而其存储密度与图7相比将减半。图8d中掩埋的位线/源线的电路接出可通过以下方案实现:首先将存储阵列边缘附近的各位线层(源线层)用阶梯状刻蚀暴露出来;然后沉积一厚绝缘层覆盖再CMP平坦化;最后刻蚀出通孔(via)直到与掩埋的位线/源线层连结并用导体填充这些通孔。

[0034] 在另一实施例中,可对图8所示的工艺流程进行修改,使左右两侧栅极电路上分隔开,以充分利用图7中的基本NOR存储组的特性。具体方法为:在图8c步骤之后,通过刻蚀横带状栅极上表面一定厚度层使得左右两侧栅极电路上分开(如图9a所示)。然后,用铺盖沉积制备一厚绝缘层(例如SiO<sub>2</sub>)来覆盖器件上表面(包括栅极)并经CMP平坦化。然后,刻蚀出一系列成行的孤立孔洞穿过绝缘层来暴露出左侧栅极(奇数列),也刻蚀出另一系列成行的

孤立孔洞穿过绝缘层来暴露出右侧栅极(偶数列)。最后,如图9b所示,在器件表面上沉积一导体层并刻蚀成带状来构成多行的字线,其中相应左侧栅极通过刻蚀孔连成一字线行,而相应右侧栅极通过刻蚀孔连成另一字线行,因而每一行物理存储单元有两行字线分别连结左右侧栅极。

[0035] 本发明的实施例包括另一器件制造方法,用于将图7中的平面基本NOR存储组连成阵列来实现三维NOR闪存器件:该方法直接采用硅片基底内的单晶硅或外延生长的单晶硅作为导电沟道。图10a-10d给出了一例采用p掺杂硅晶片的工艺流程。首先,如图10a所示,通过离子注入和快速热退火技术在p掺杂硅晶片内形成两层n+掺杂硅(也可用另一方案,在n掺杂硅晶片内形成两层p+掺杂硅);此后可加一额外步骤(可选),在上层n+硅表面形成一层硅化物(比如硅化钨、硅化钴、硅化钛)。另外,也可用替代方案制备图10a的结构:在p掺杂硅晶片上外延生长n+硅/p硅/n+硅三层结构(n+Si/p Si/n+Si tri-layer)。上述n+硅层和p硅层的厚度从1nm到几微米均可,但是p硅层的厚度(决定导电沟道的长度)优选值为10nm到200nm。之后,可制备一可选的保护层(比如硅)来覆盖顶部的n+硅层。接下来,如图10b所示,刻蚀出一系列沟槽(进入硅晶片内部),以界定硅鳍(导电沟道)和分隔相邻的存储组;沟槽底部应低于下层的n+硅层(优选值为低5到500nm,当然该深度是可变的,只要能使电路隔离足够好)。为了更好的隔离,可采用一额外步骤:在上述刻蚀步骤后清除覆盖硅鳍区域的光刻胶之前,用离子注入空穴掺杂剂(比如硼)在沟槽底部制备一p+硅层。随后,如图10c所示,采用类似于图5中描述的工艺来制备电荷捕捉结构。之后,采用图8c和8d中描述的方法,铺盖沉积一厚栅极层(比如多晶硅、TaN、钨)来覆盖电荷捕捉结构;接着通过化学机械抛光平坦化;再选择性地刻蚀成互相分隔的横带状栅极来形成字线行;随后沉积一绝缘层再加平坦化使器件成型(图10d)。图10d中成列掩埋的位线/源线的电路接出可用下述方式实现:首先将存储阵列边缘附近的各位线层(源线层)用阶梯状刻蚀暴露出来;然后沉积一厚绝缘层覆盖再CMP平坦化;最后刻蚀出通孔(via)直到与掩埋的位线/源线层连结并用导体填充这些通孔。在图10d的结构中,各基本NOR存储组的左右两侧栅极是连接在一起的;但是在别的替代结构中,这两侧栅极可采用类似于图9的方法隔离开。

[0036] 本发明的实施例包括又一种器件制造方法,用于将图7中的平面基本NOR存储组连成阵列而且堆叠起来实现三维NOR闪存器件(图11)。首先,在p掺杂的硅晶片上用CVD或MBE外延生长法重复制备n+硅/p硅双层结构来形成堆栈,之后在堆栈最上端外延生长一层n+硅,形成图11a中的结构(注:在另一种替代结构中,也可采用n掺杂的硅晶片,而在其上外延生长重复堆叠的p+硅/n硅双层结构)。其中n+硅和p硅层的厚度从1nm到几微米均可,但是p硅层的厚度(决定导电沟道的长度)优选值为10nm到200nm。另外,也可采用其他替代方案:通过多次不同深度的离子注入和随后的快速热退火技术来制备图11a中的结构。此外,可制备一可选的保护层(比如硅)来覆盖顶部的n+硅层。接下来,可采用类似于图10b-10d中描述的工艺流程,来实现如图11b所示的三维NOR闪存器件:其中字线按行排列,堆叠的多重位线/源线按列排列。图11b中掩埋的各位线/源线的电路接出可通过以下方式实现:首先将存储阵列边缘附近的各位线层(源线层)用阶梯状刻蚀暴露出来;然后沉积一厚绝缘层覆盖再CMP平坦化;最后刻蚀出通孔(via)直到与掩埋的位线/源线层连结并用导体填充这些通孔。在图11b中,每一列堆栈中沿着竖直方向的任意两层相邻n+硅层均可用作一套位线/源线,来对该套位线/源线加一字线定义的存储单元寻址。图11b中的器件等效于一个三维的虚地

NOR结构;为避免同一列堆栈中各存储单元之间的互相干扰,在读取/写入/擦除某一特定存储单元过程中,选定操作目标位线和源线时其他位线/源线应被浮置。

[0037] 在本发明的另一实施例中,可将图10中的整个器件层一一堆叠并且电路上进行连结来制成三维NOR闪存器件。比如,从带有图10d器件的两个硅晶片入手,首先采用一绝缘层(比如二氧化硅)来钝化(passivate)器件表面,再采用化学机械抛光使其平坦化;其次把氢离子深度注入到其中一硅晶片中形成一氢离子层(位置大大低于器件层),再实施退火;然后将上述两个硅晶片器件层对器件层粘合起来(wafer bonding),再分离开时其中离子注入过的硅晶片会在注入的氢离子层位置分裂,导致其器件层留在另一个硅晶片上因而形成堆叠的两个器件层。类似地,可将多个器件层一步步堆叠在同一硅晶片上,并电路连接起来形成三维NOR闪存器件。

[0038] 在本发明的一些实施例中,可将前述的任一种基本NOR存储组连成阵列来构成较大的NOR闪存模块。比如,类似于前面对图5器件描述的那样,可采用以下方案:将至少一行、至少一列或者至少一面内的全部或部分基本NOR存储组的漏极连结起来形成局部位线以及将这些基本NOR存储组的源极连结起来形成局部源线;同时将不连结在同一局部位线/源线上的多个基本NOR存储组(比如:与位线排列正交的行、列或面内的全部或部分基本NOR存储组)的栅极连结起来形成字线。把上述的NOR闪存模块进一步连成阵列,可构成芯片级别上的NOR闪存器件:比如,用额外的选择晶体管将多个上述NOR闪存模块的局部位线连接到全局位线以及将这些NOR闪存模块的局部源线连结到全局源线;因而每个NOR闪存模块可被选择性地寻址来对其中任一存储单元(场效应晶体管)进行读取/写入/擦除操作。

[0039] 另外,由图7中的平面基本NOR存储组的阵列连结形成的三维NOR闪存器件也可用绝缘体上硅(silicon-on-insulator)晶片来实现。

[0040] 以上所述的仅为本发明的优选实施例,所述实施例并非用以限制本发明的专利保护范围,因此凡是运用本发明的说明书及附图内容所作的等同结构变化,同理均应包含在本发明的保护范围内。

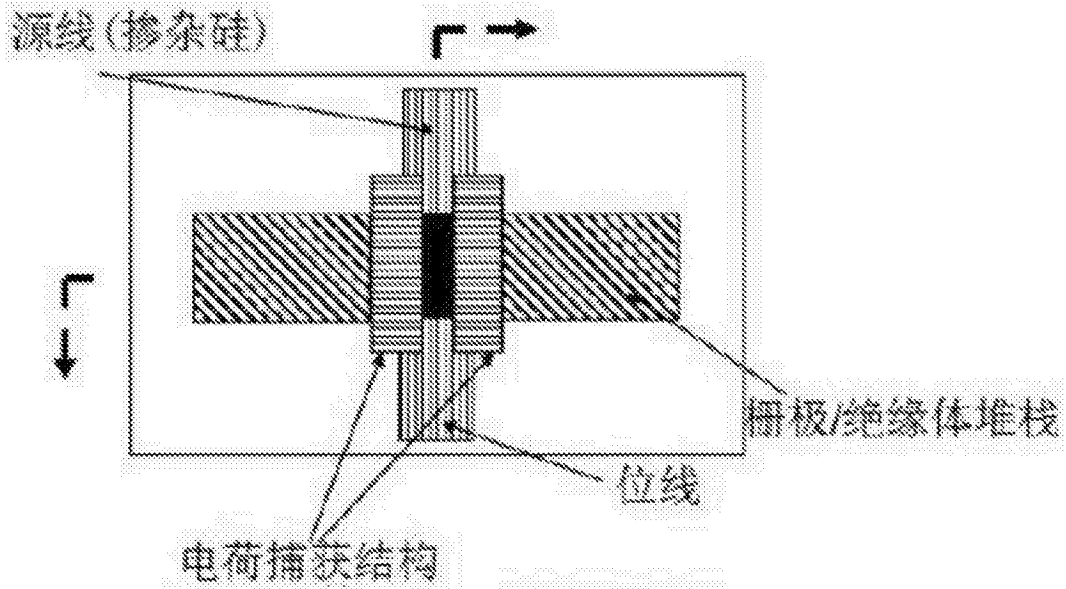


图1a

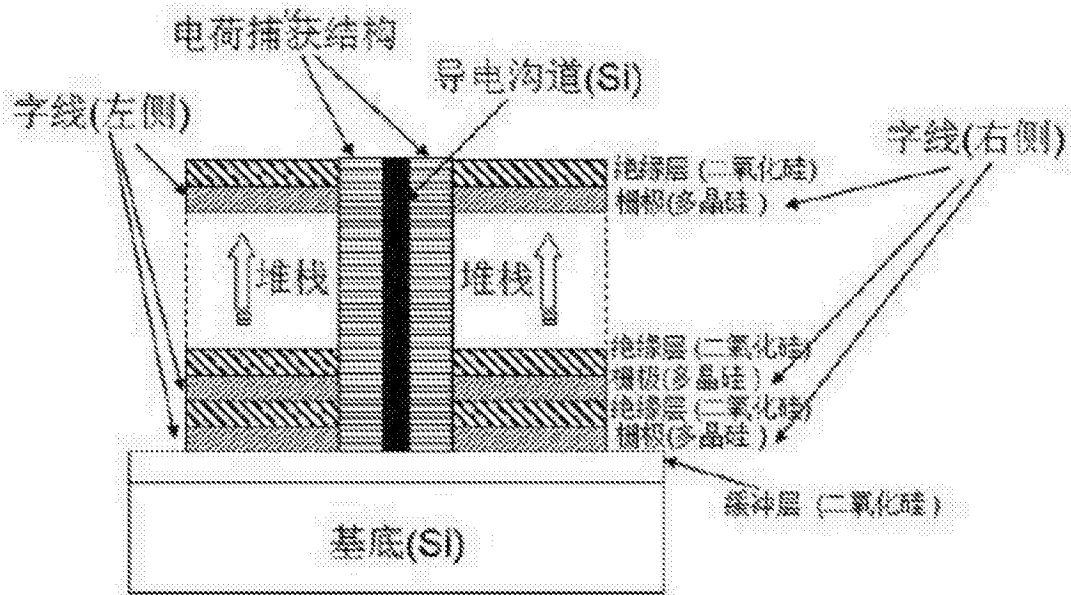


图1b

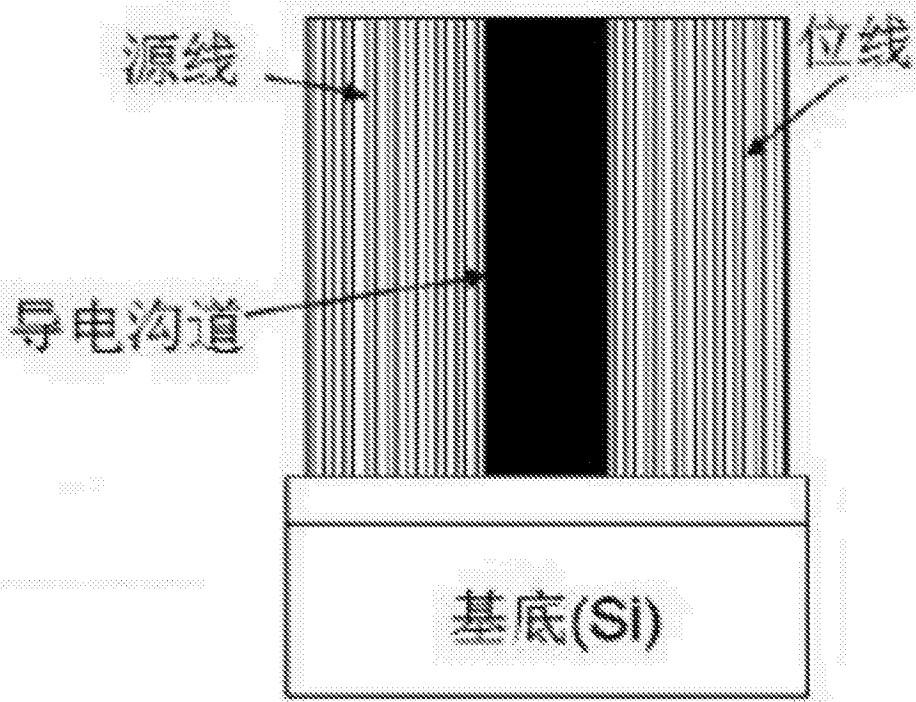


图1c

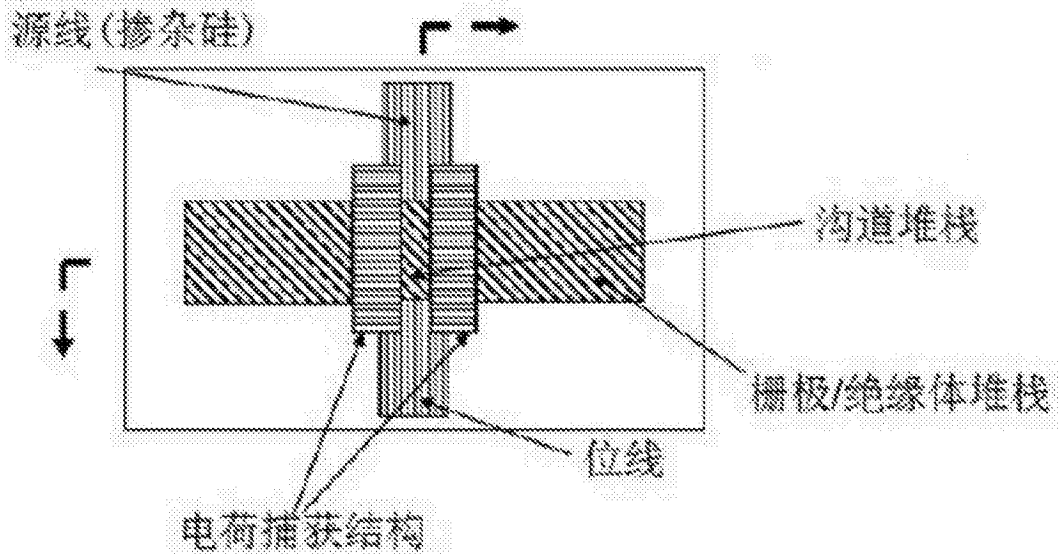


图2a

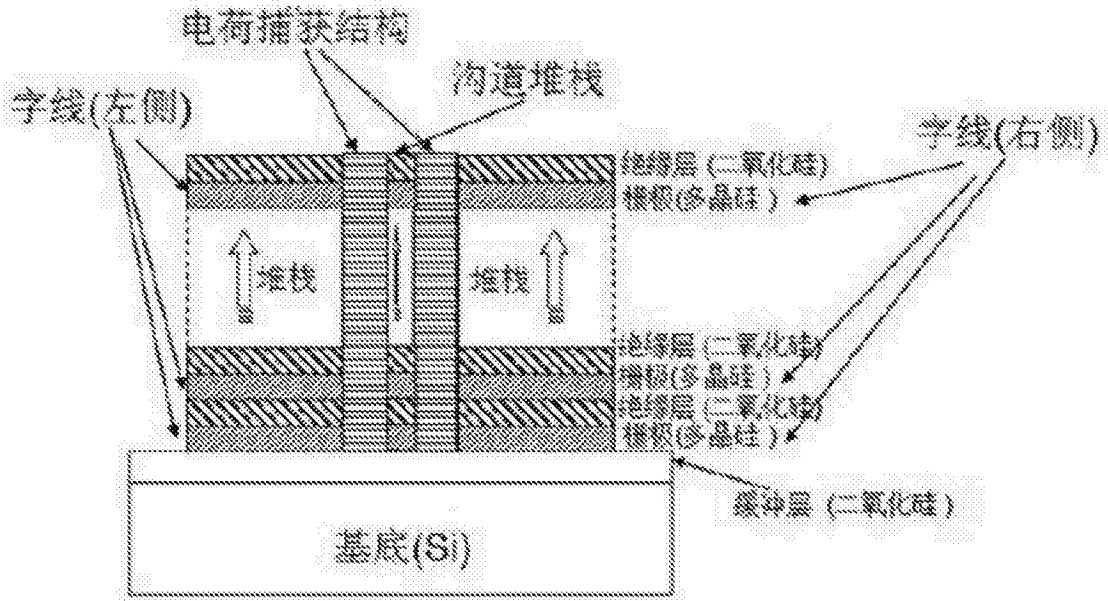


图2b

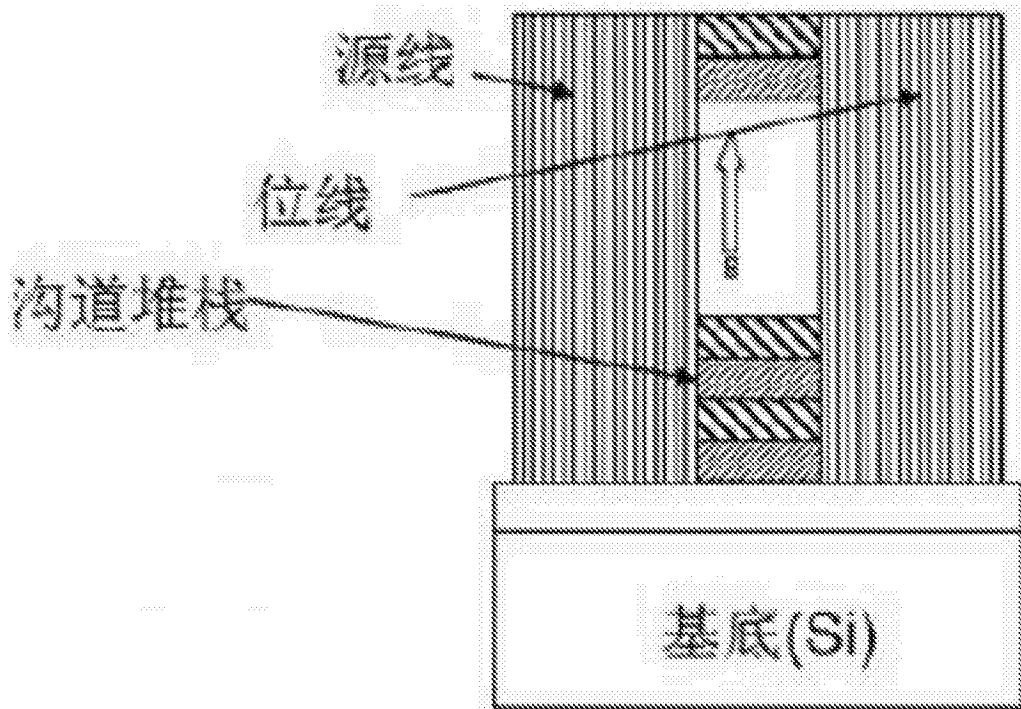


图2c

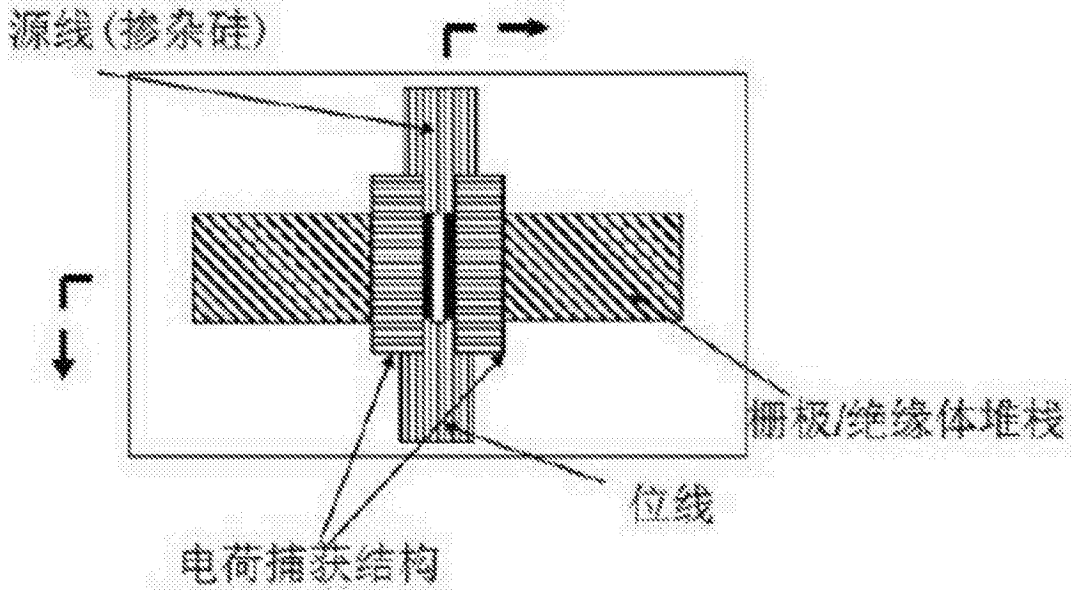


图3a

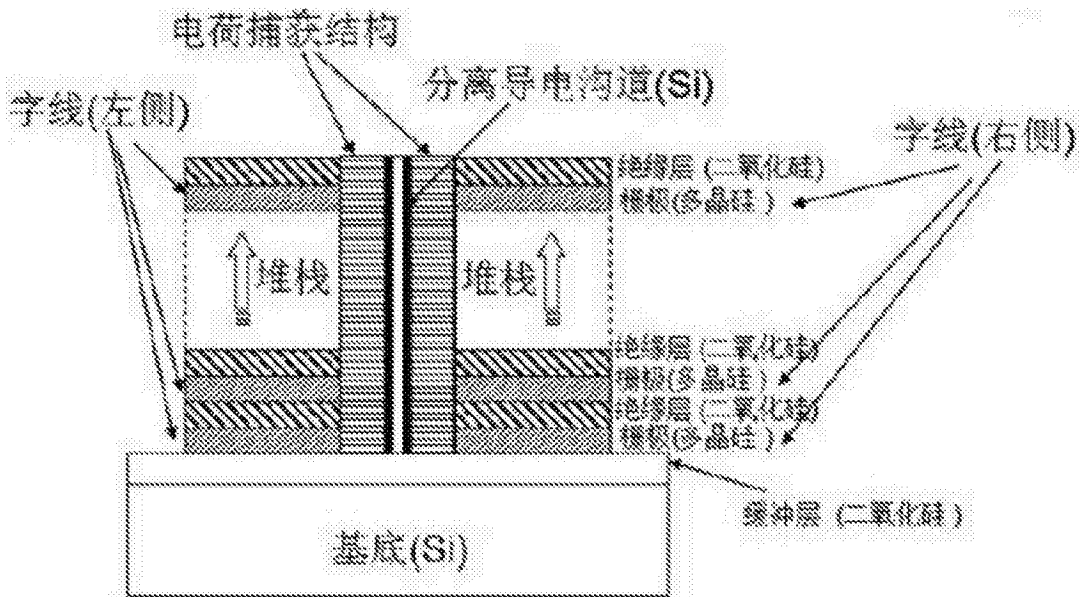


图3b



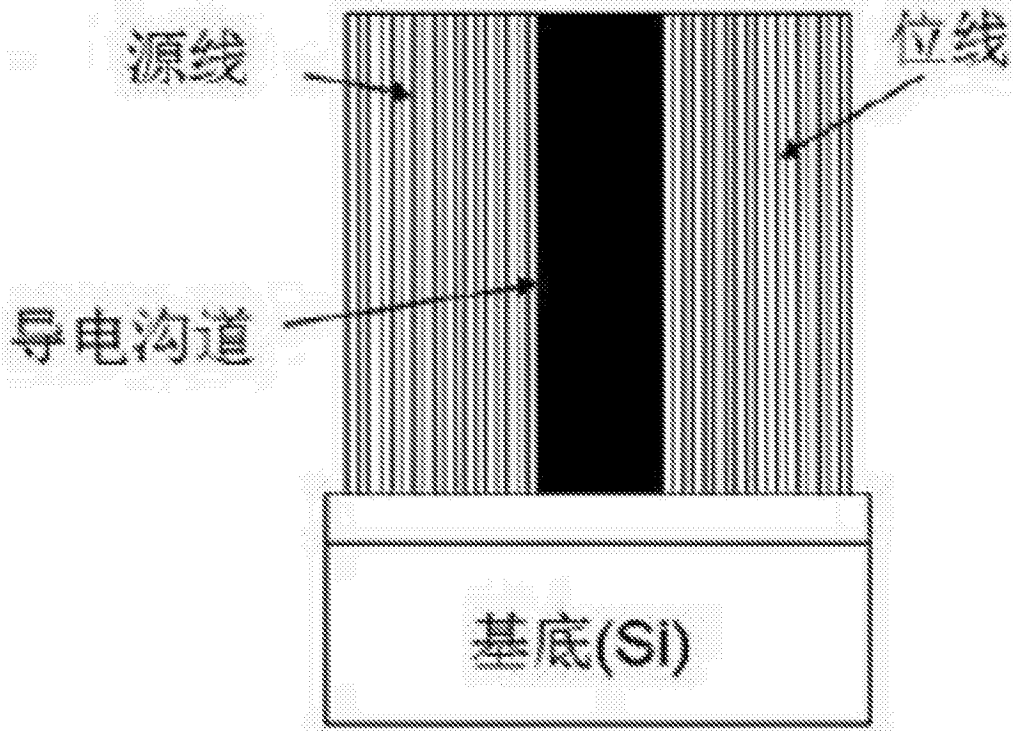


图3c

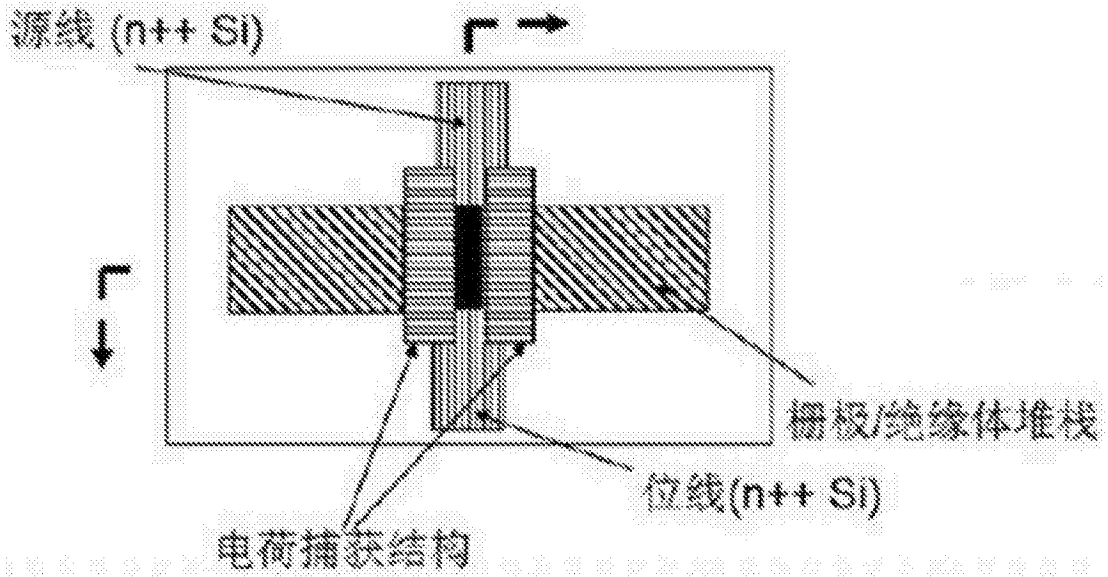


图4a

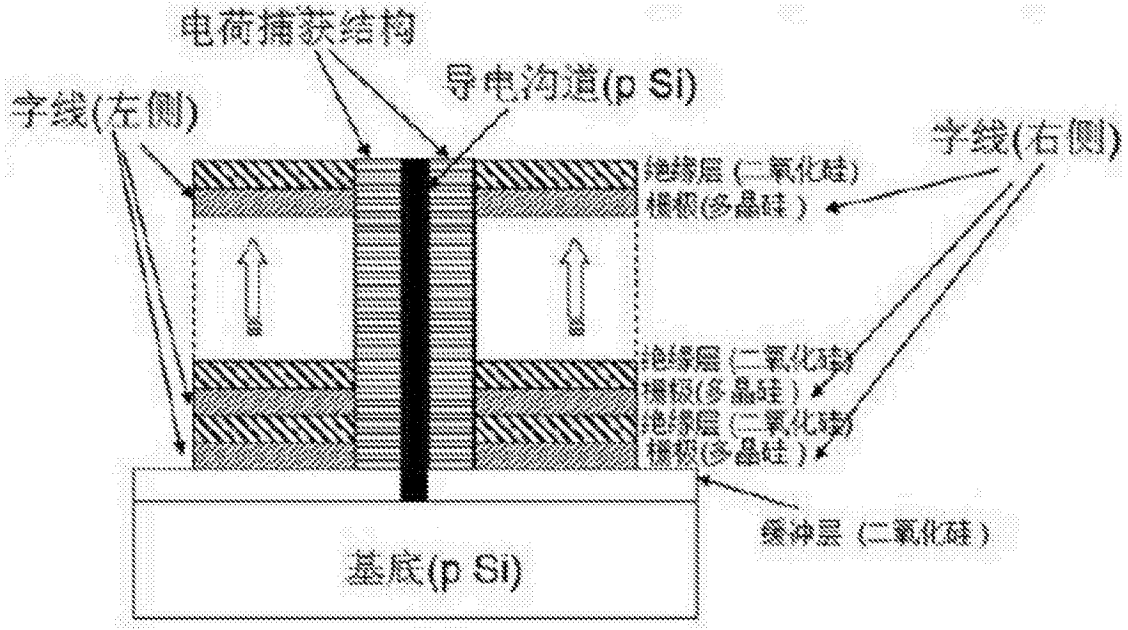


图4b

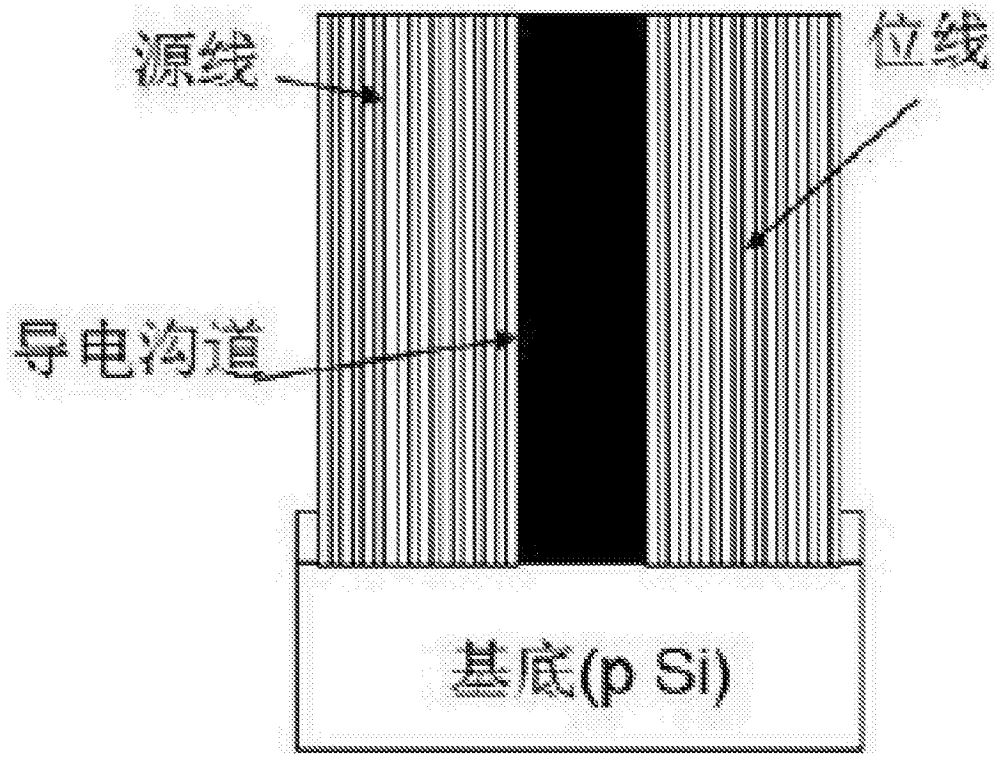


图4c

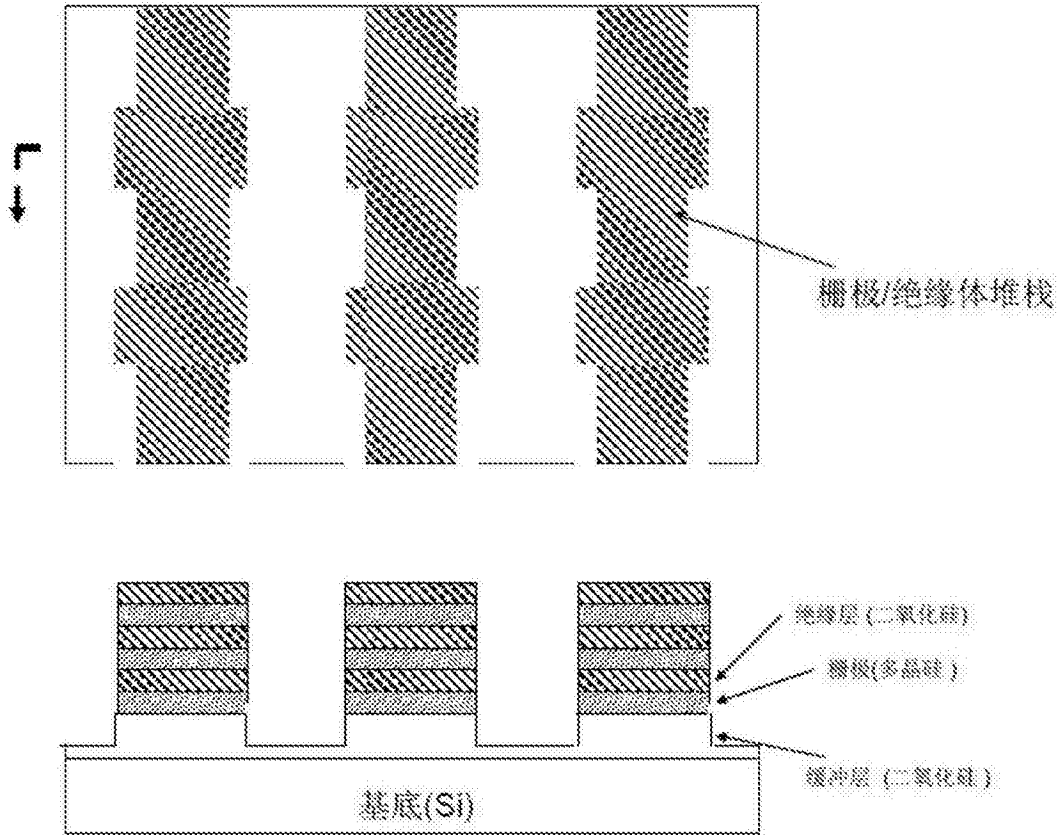


图5a

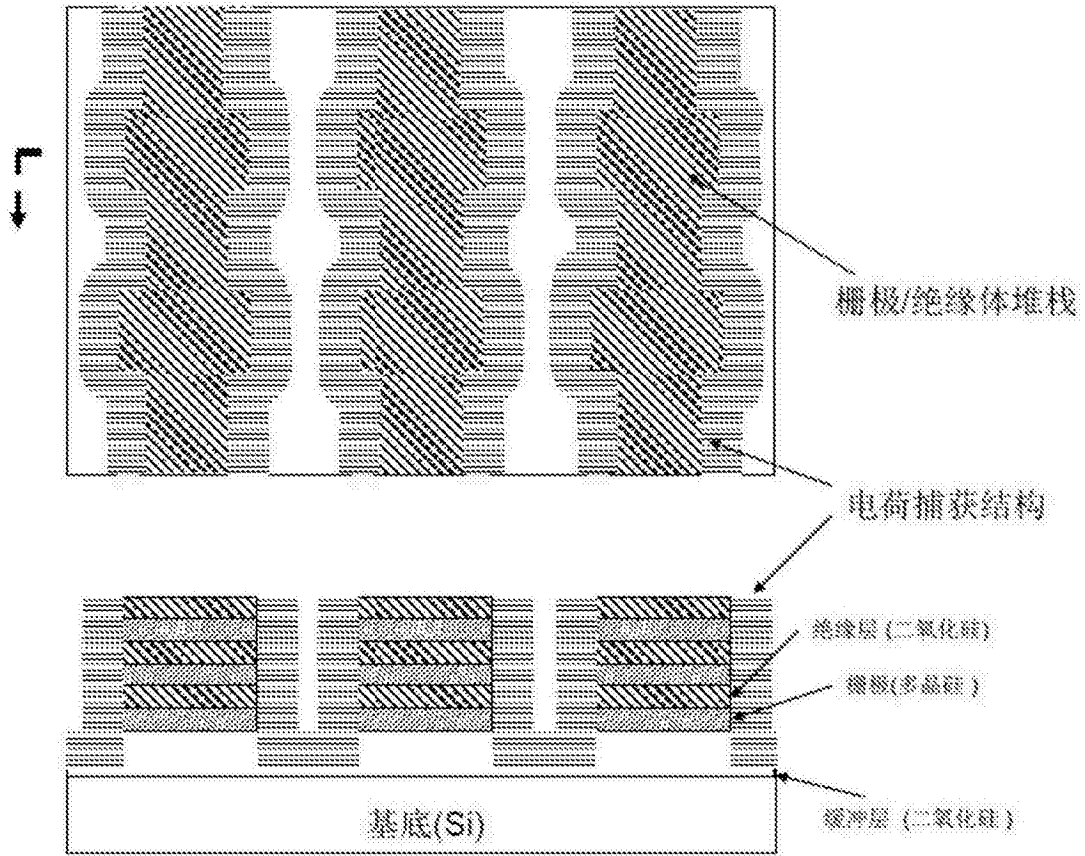


图5b

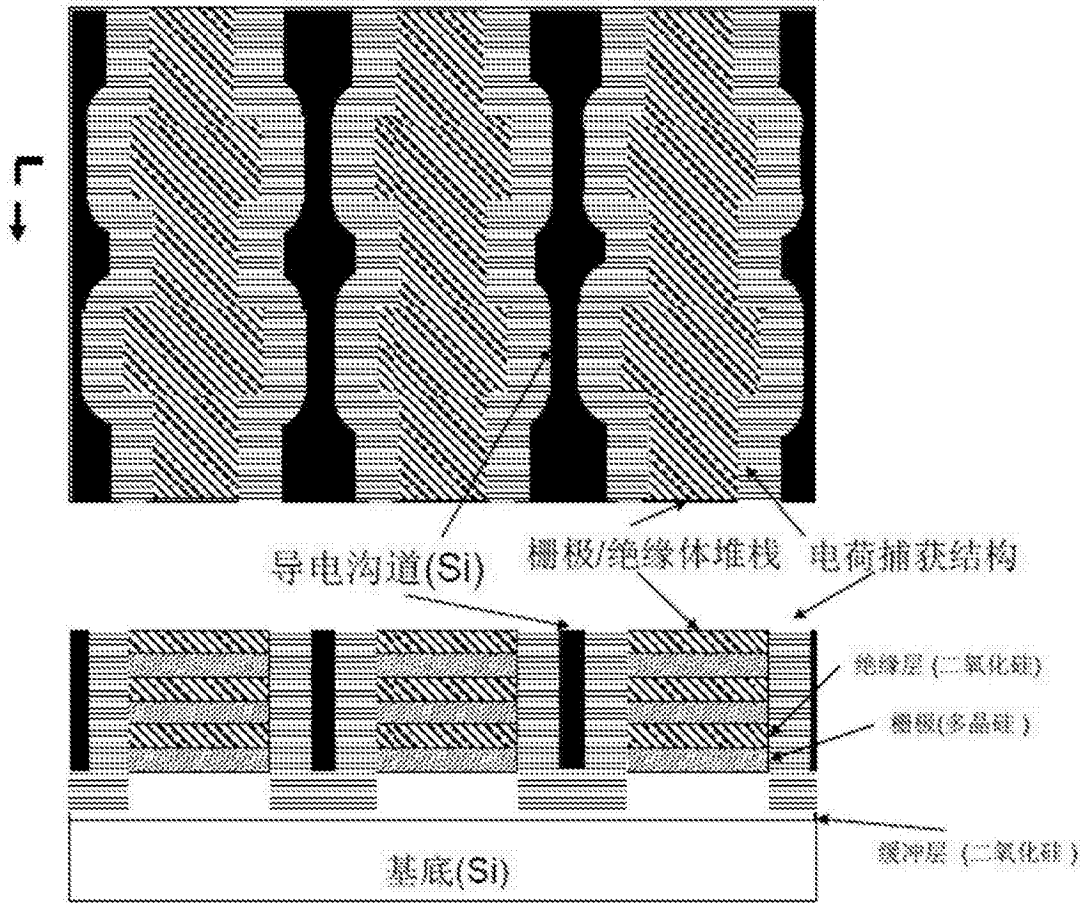


图5c

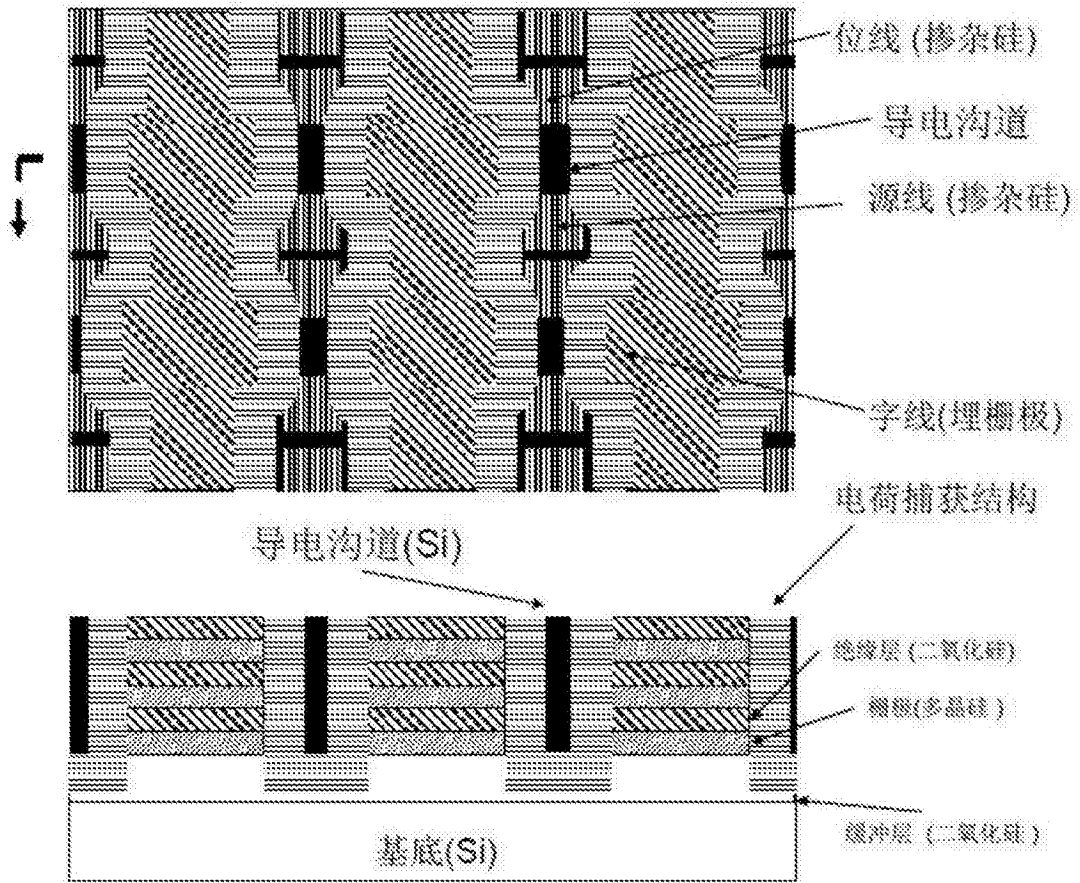


图5d

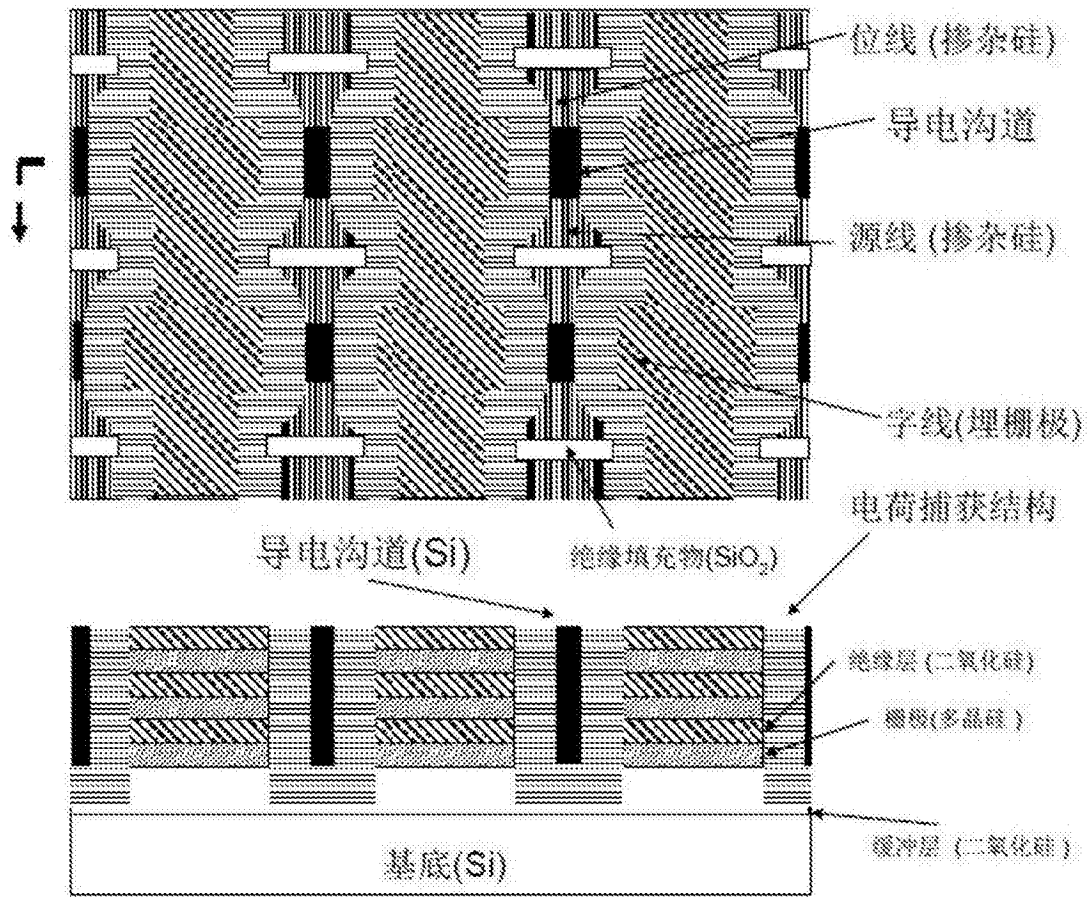


图5e

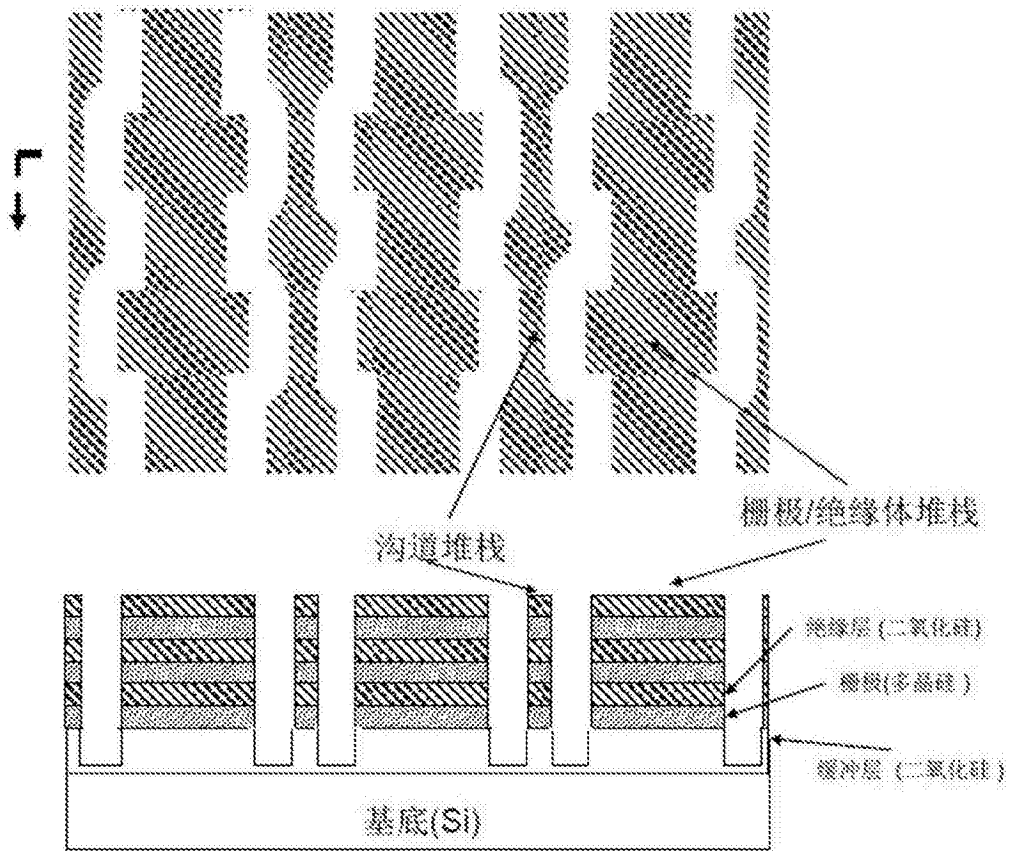


图6a



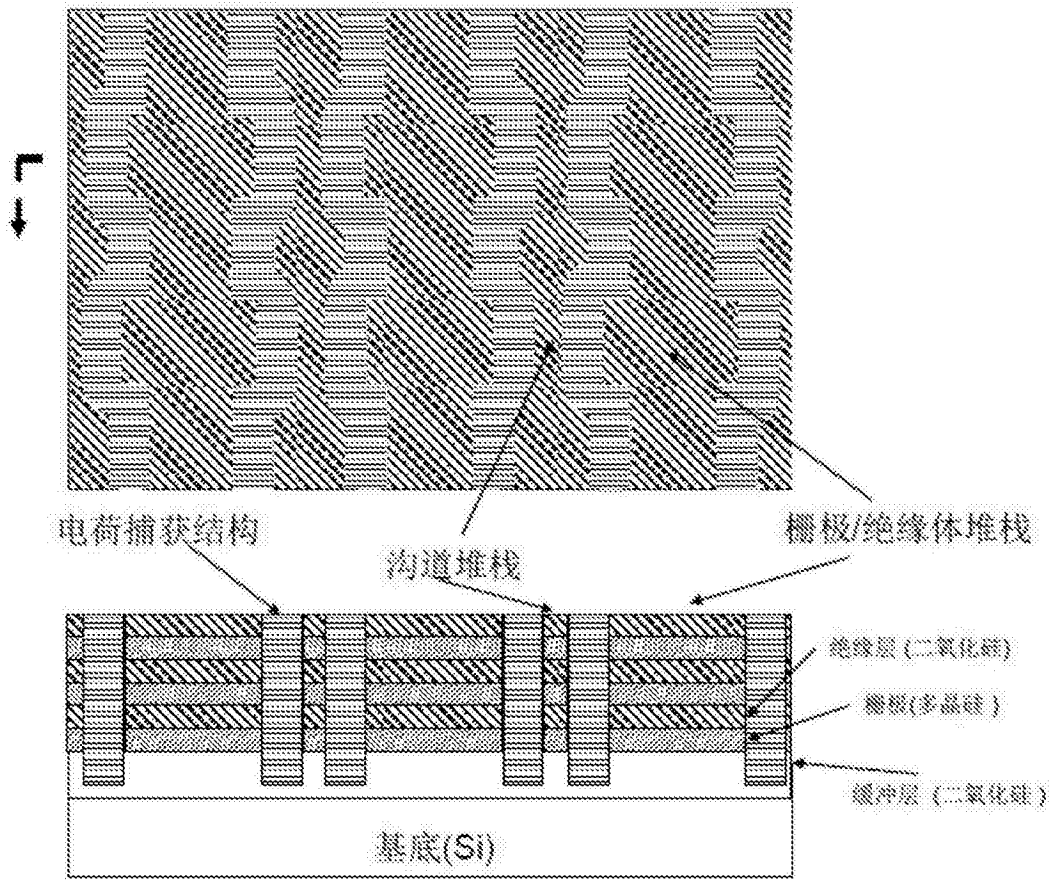


图6b

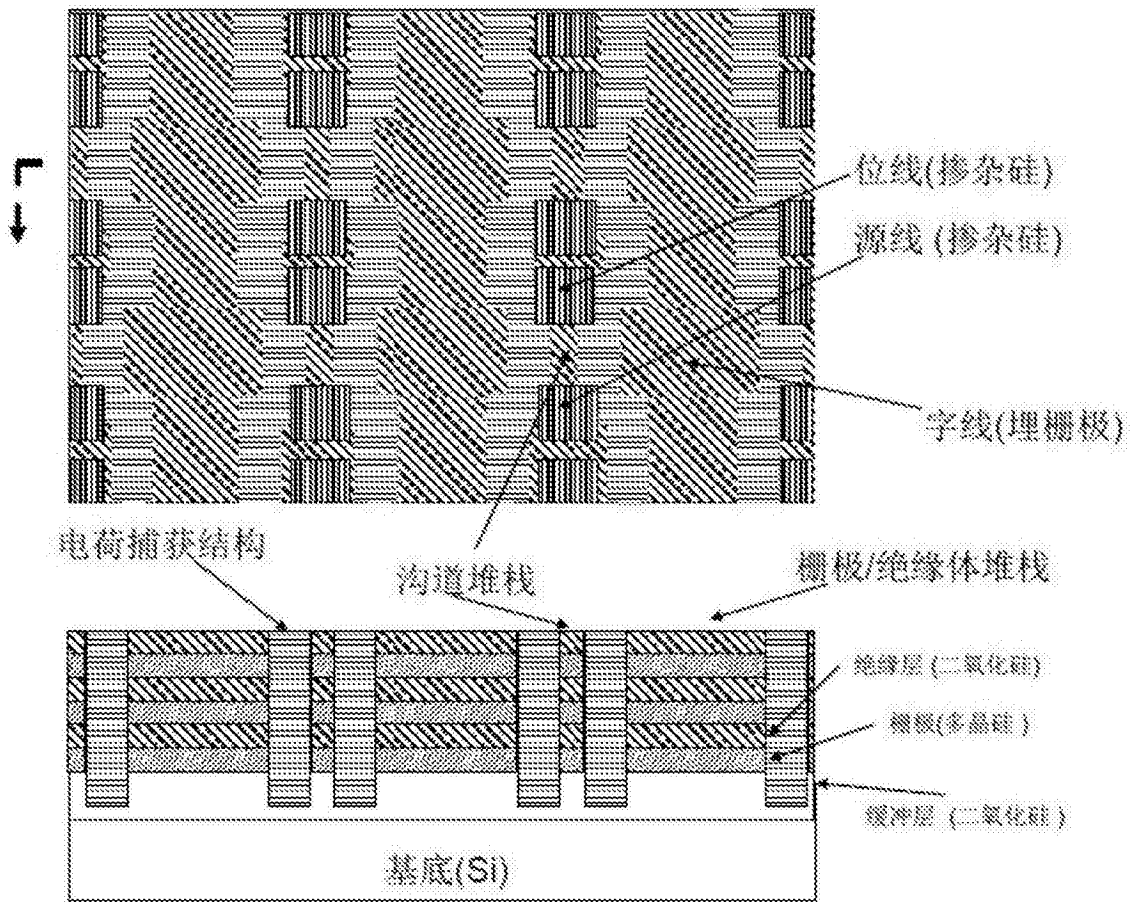


图6c

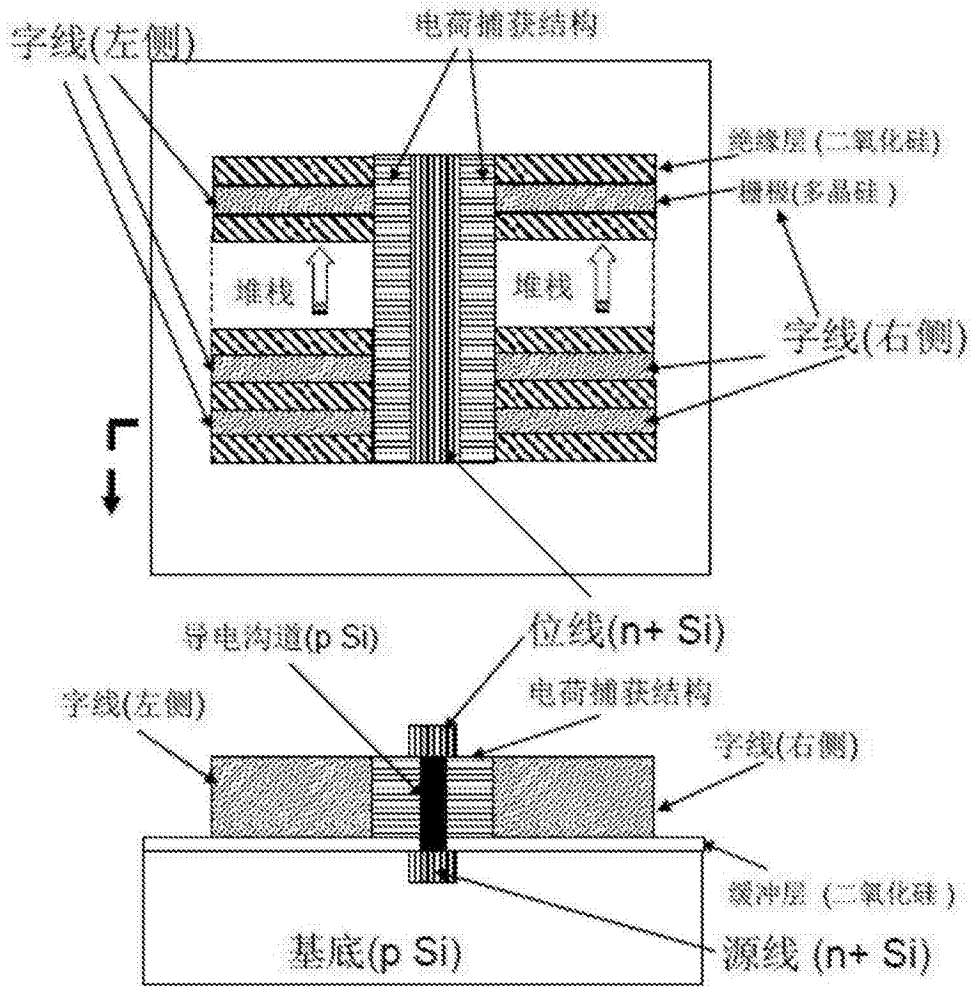


图7

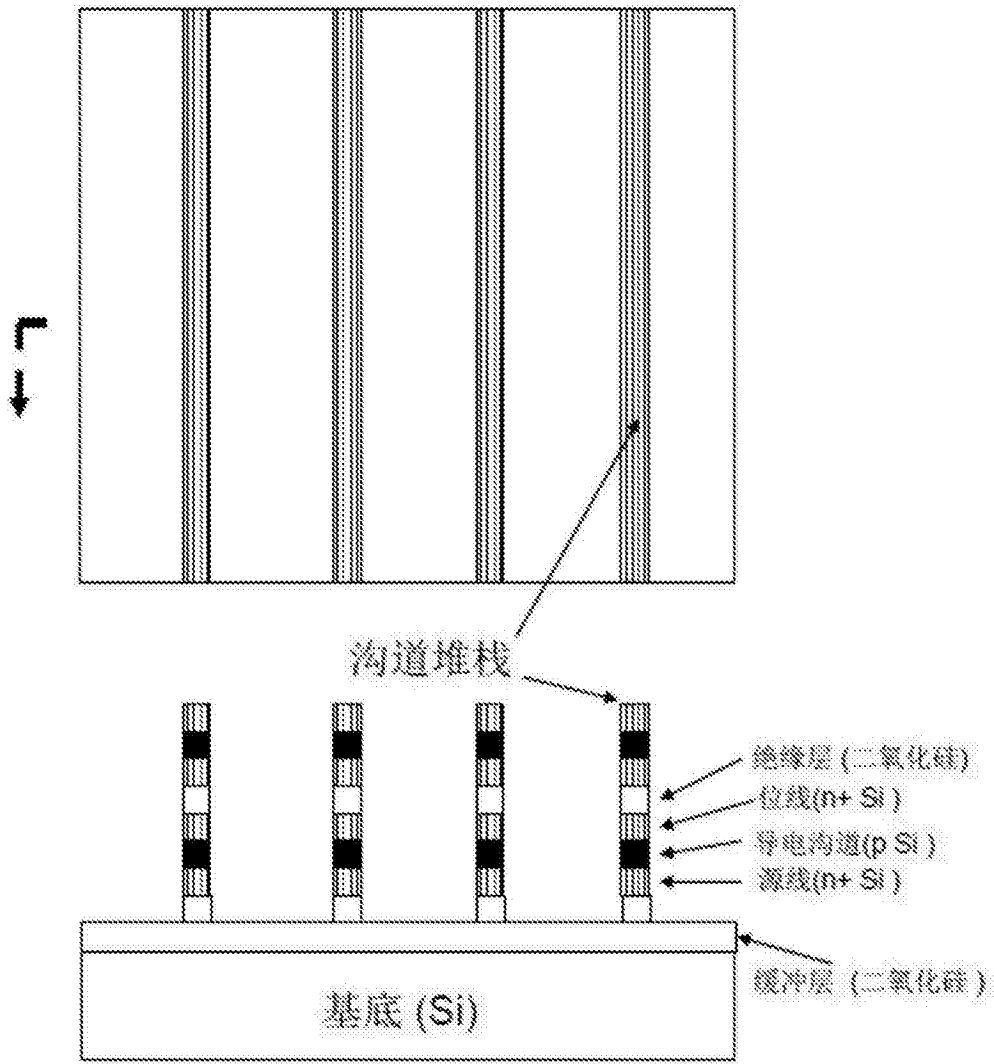


图8a

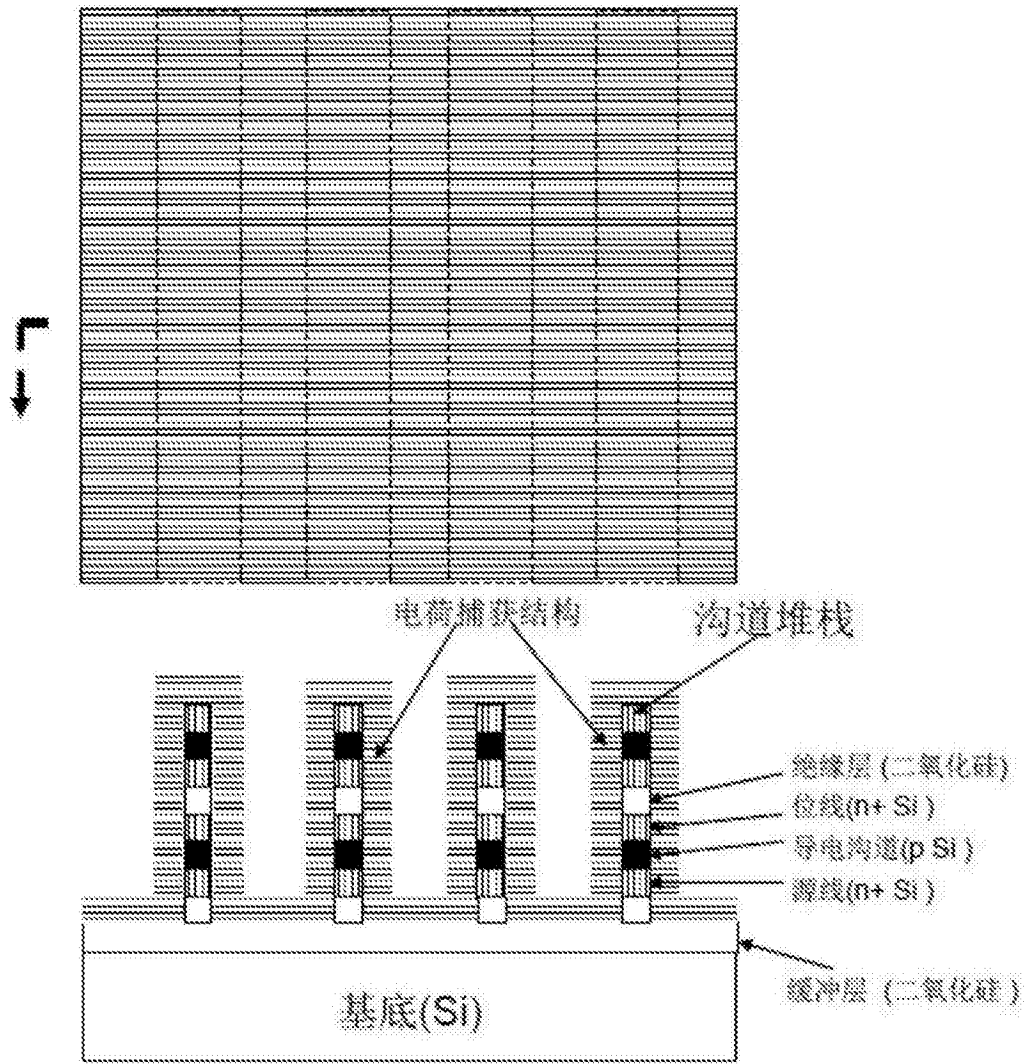


图8b

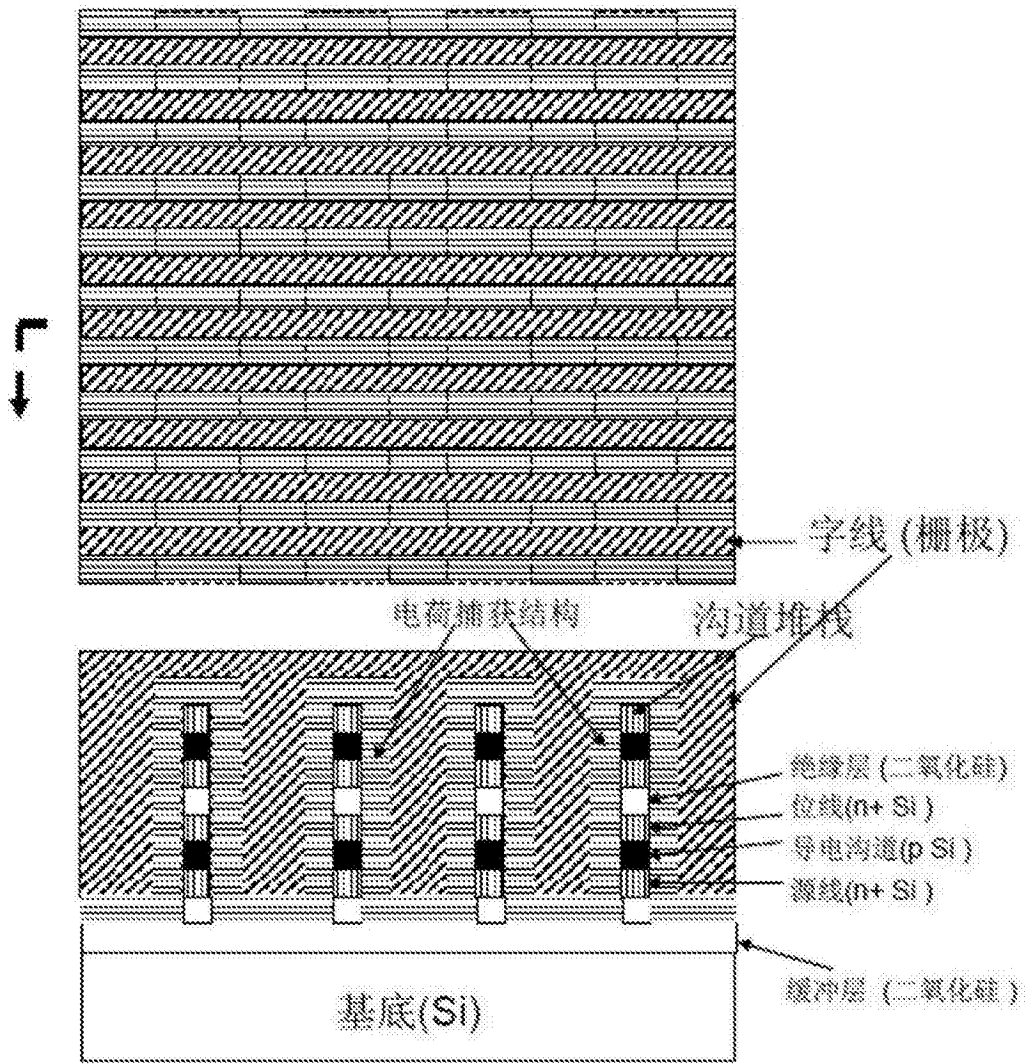


图8c

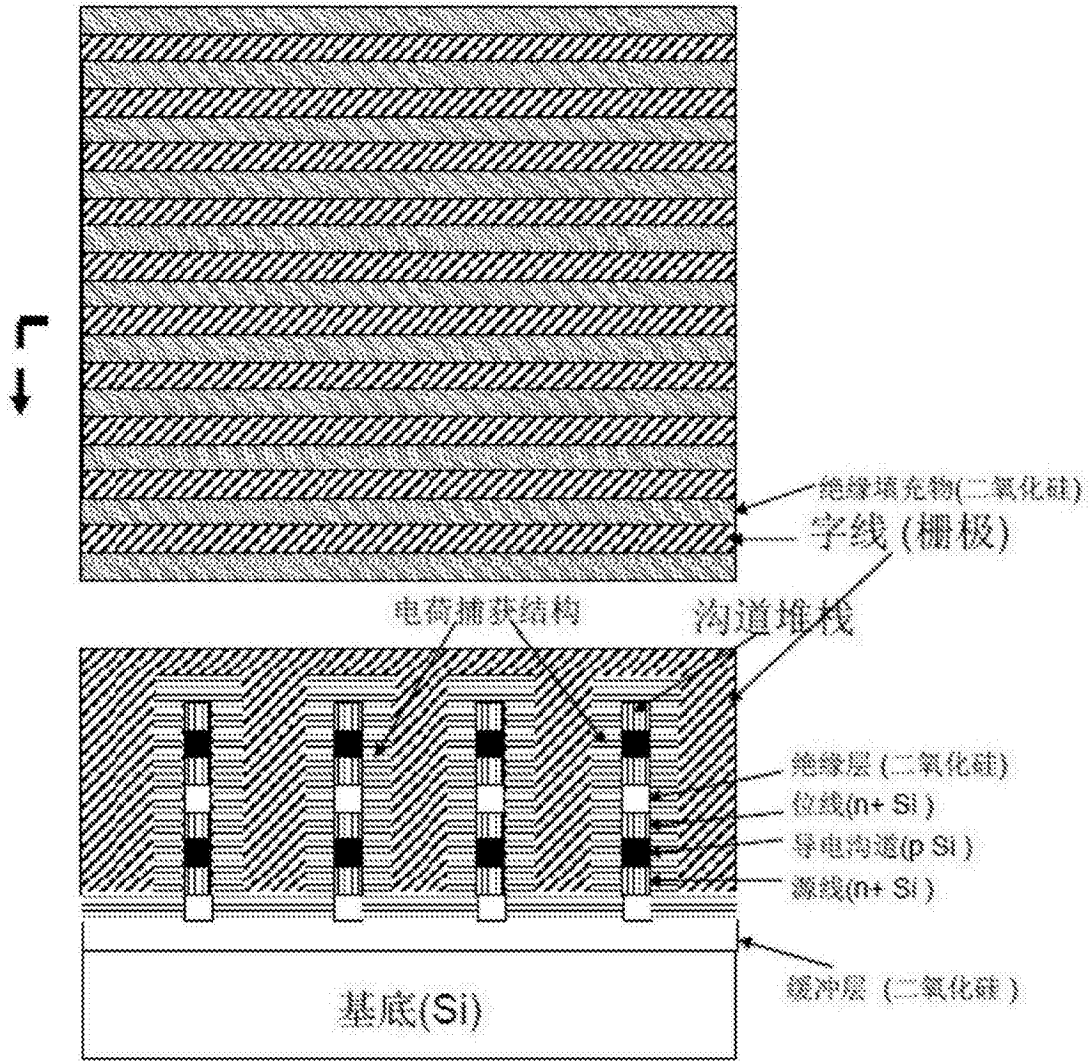


图8d

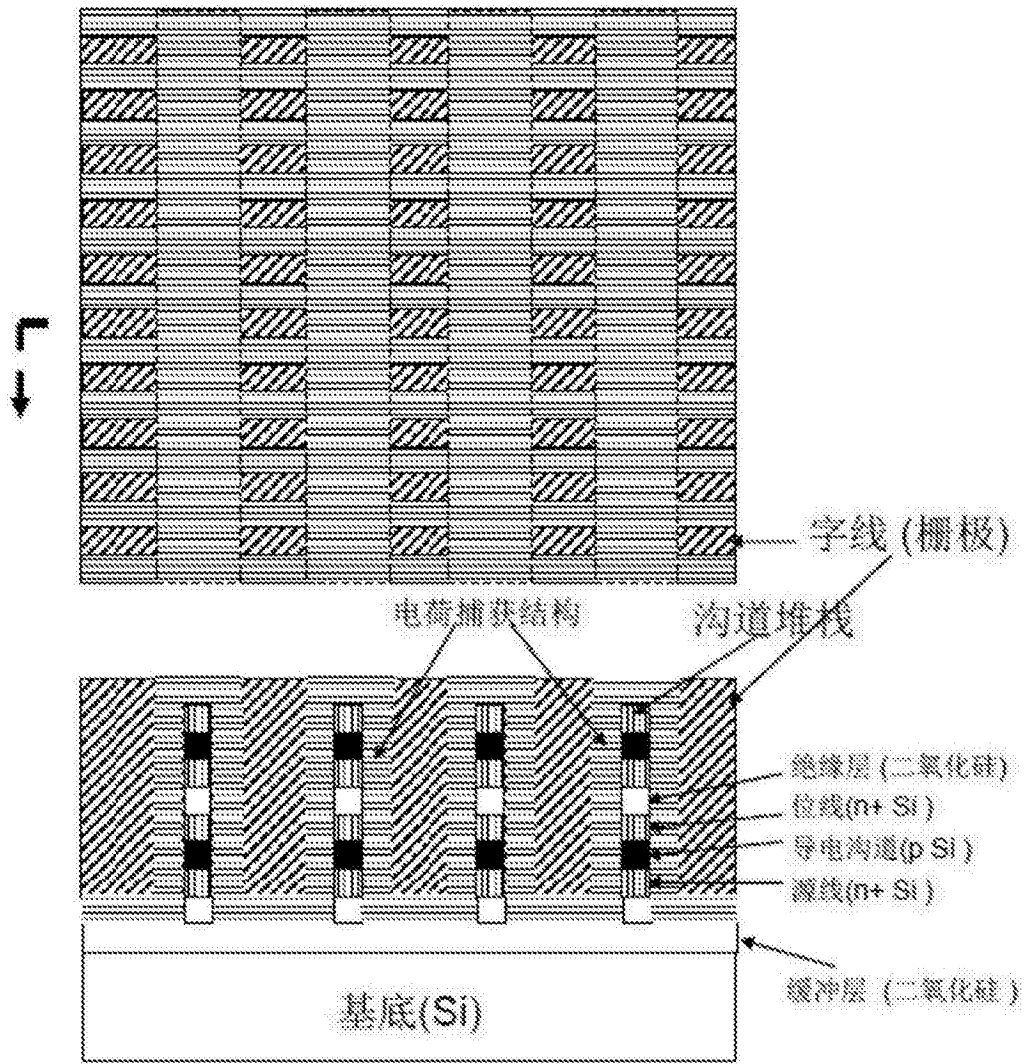


图9a



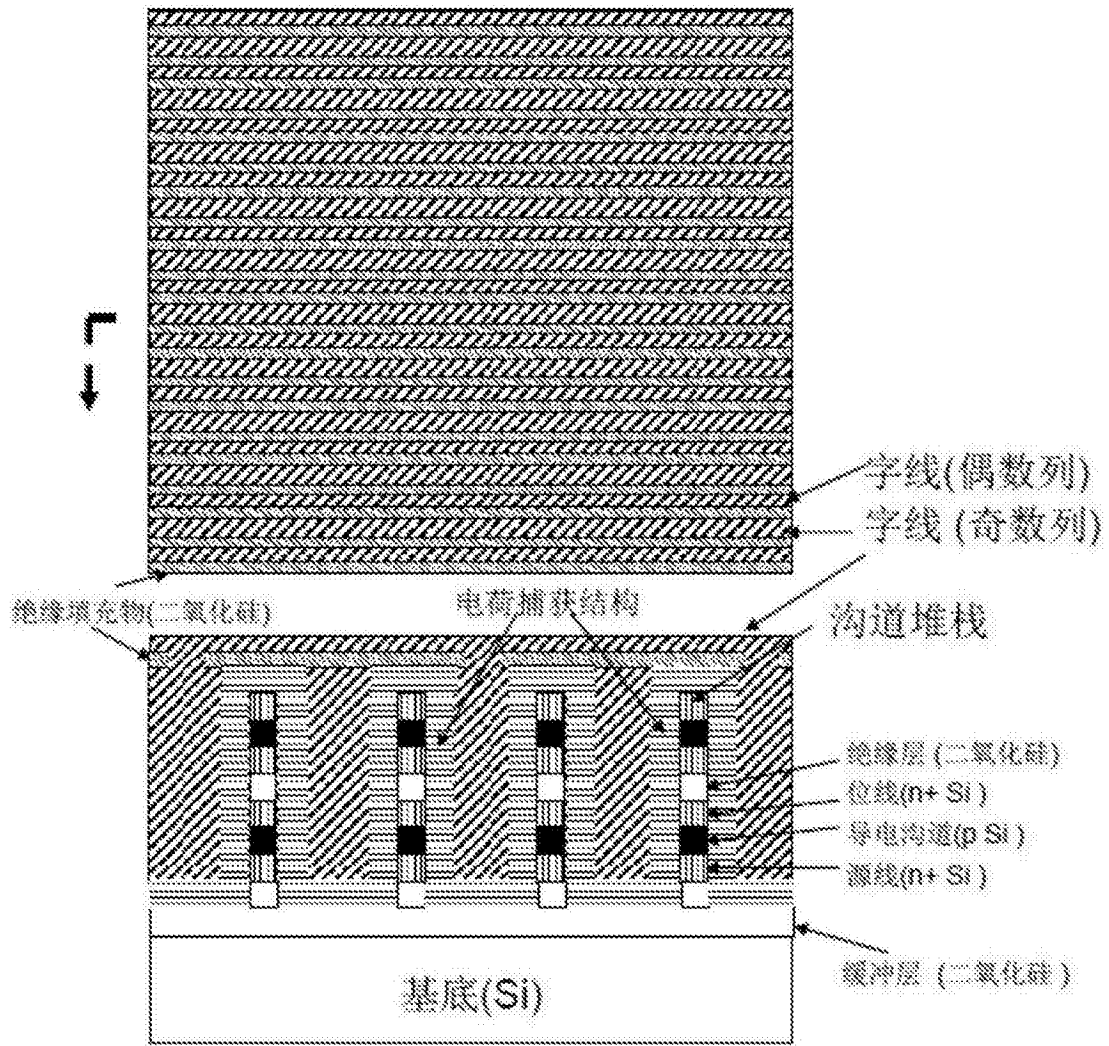


图9b

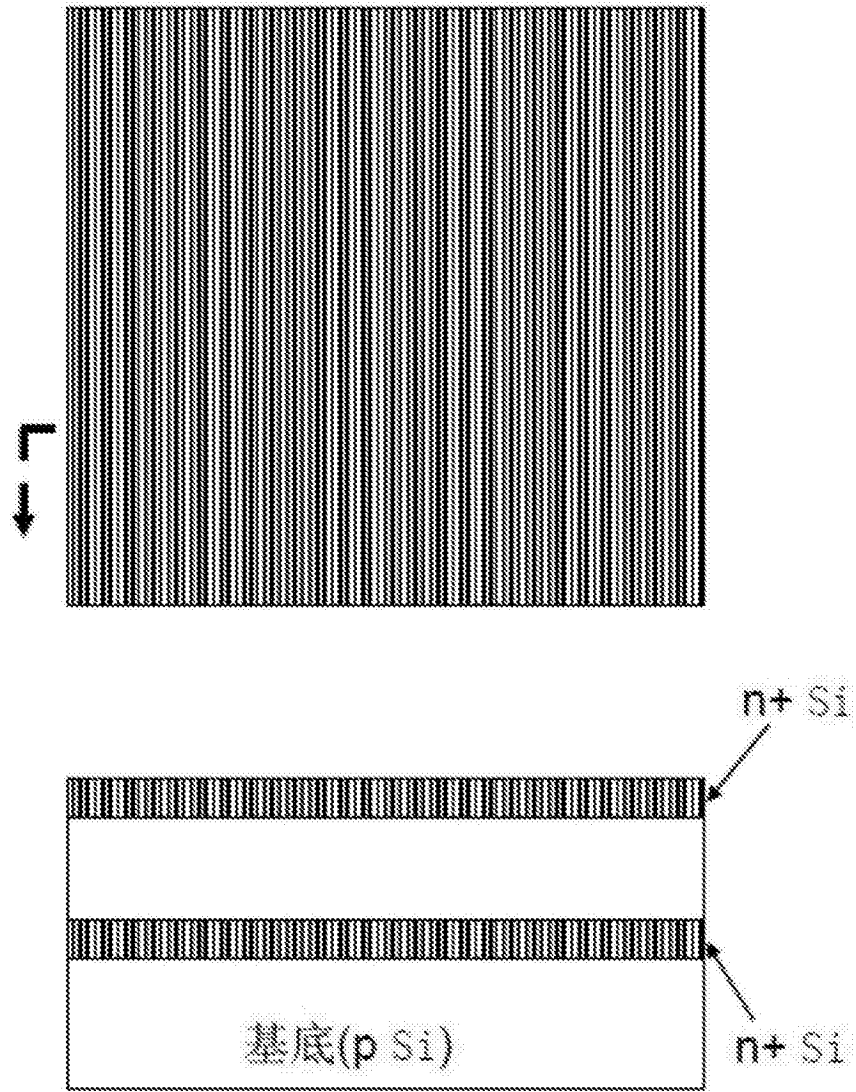


图10a

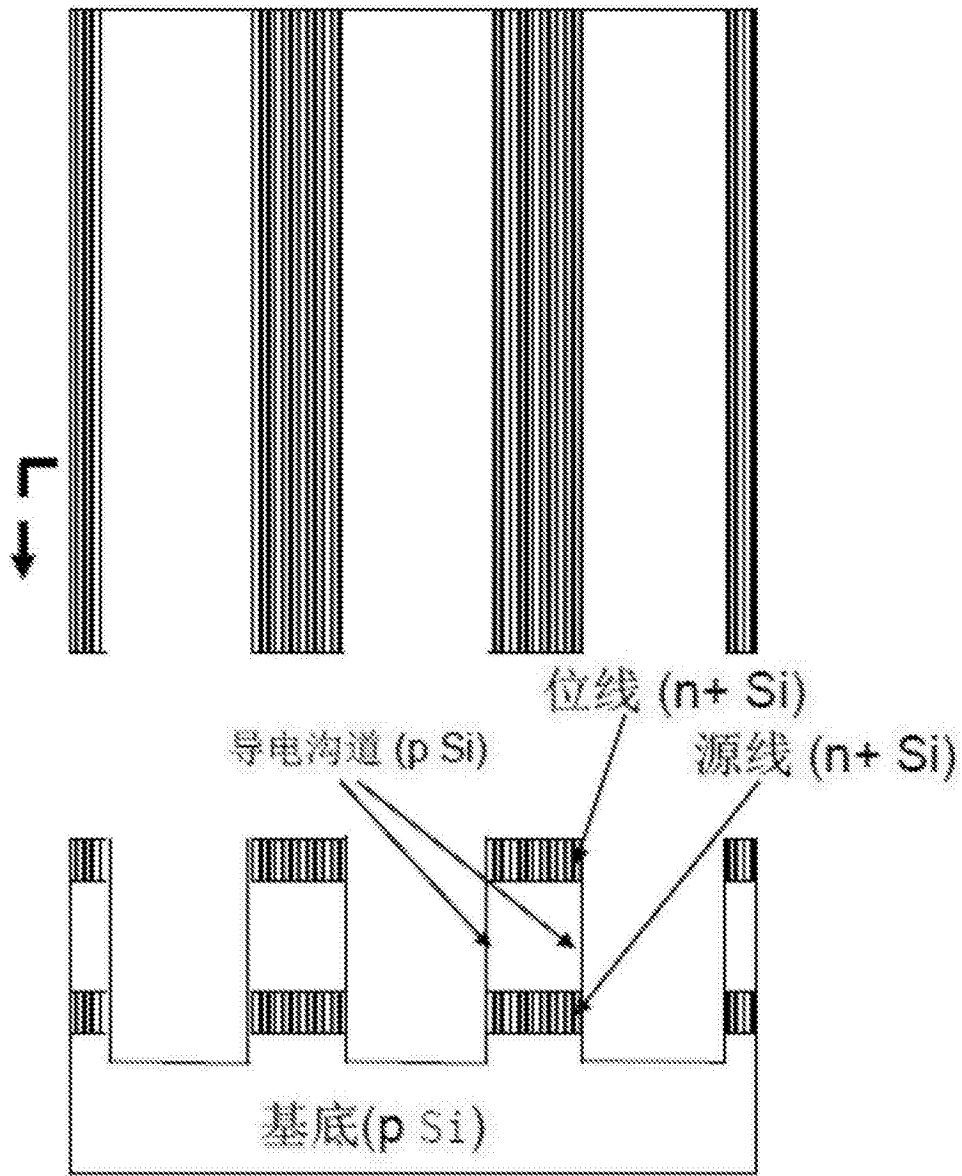


图10b

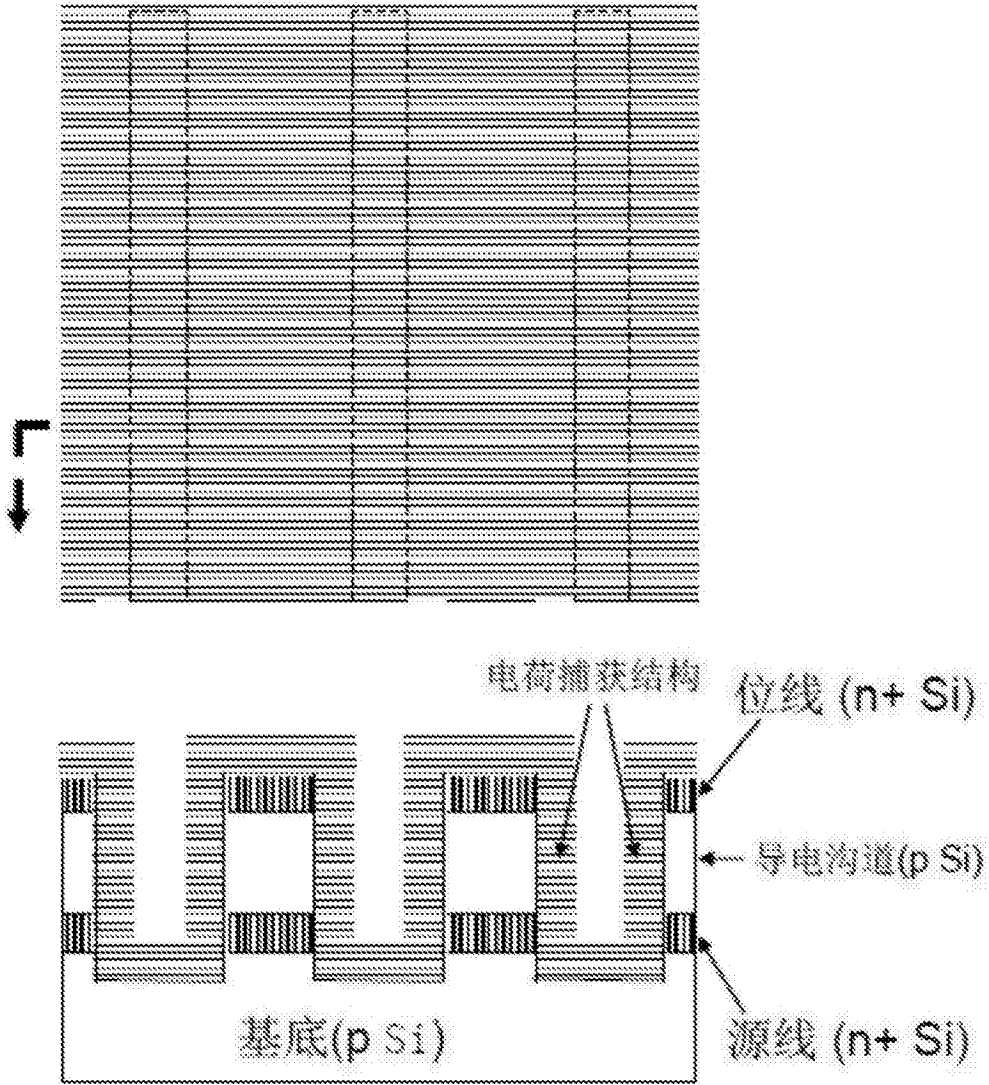


图10c

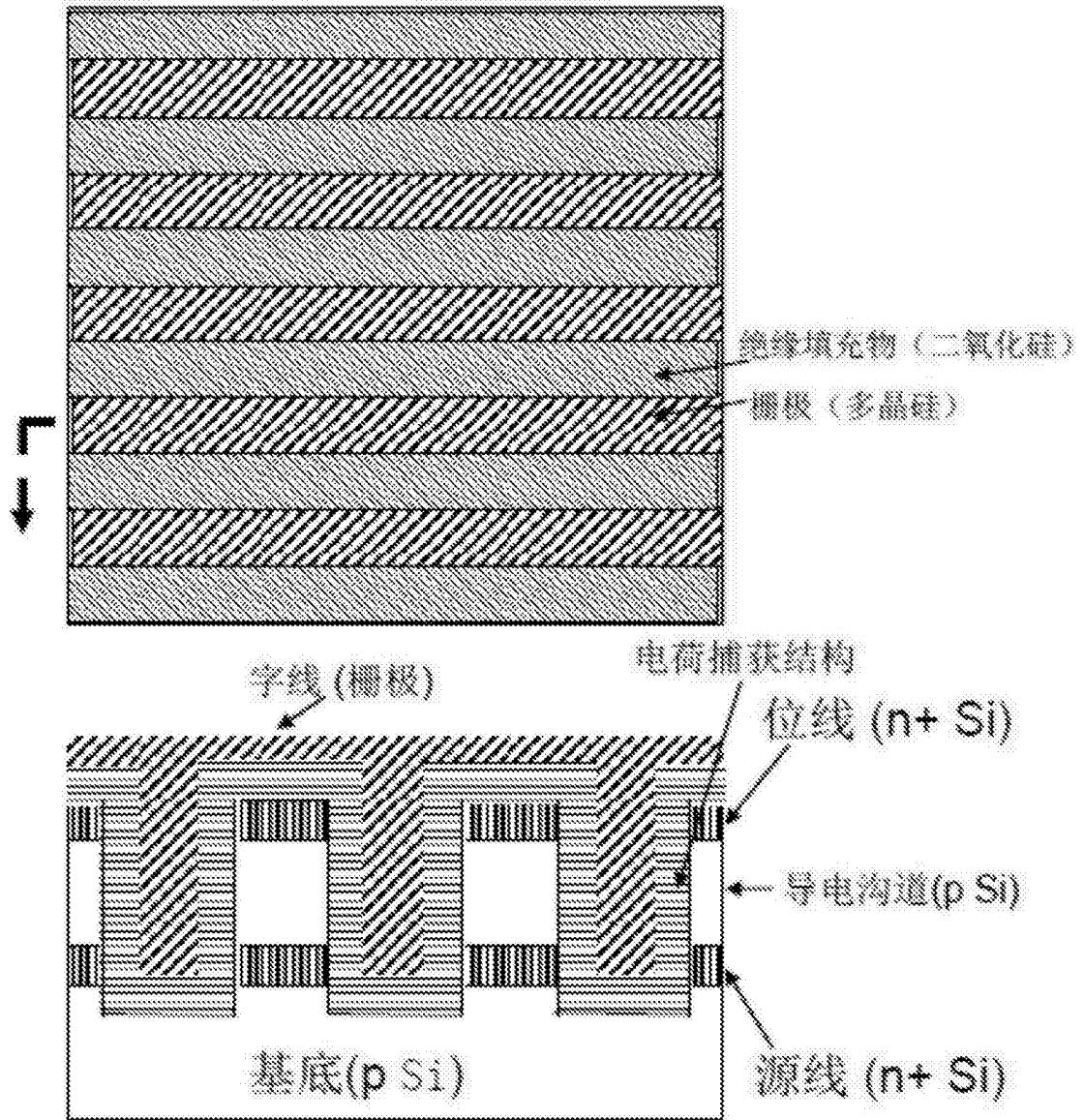


图10d

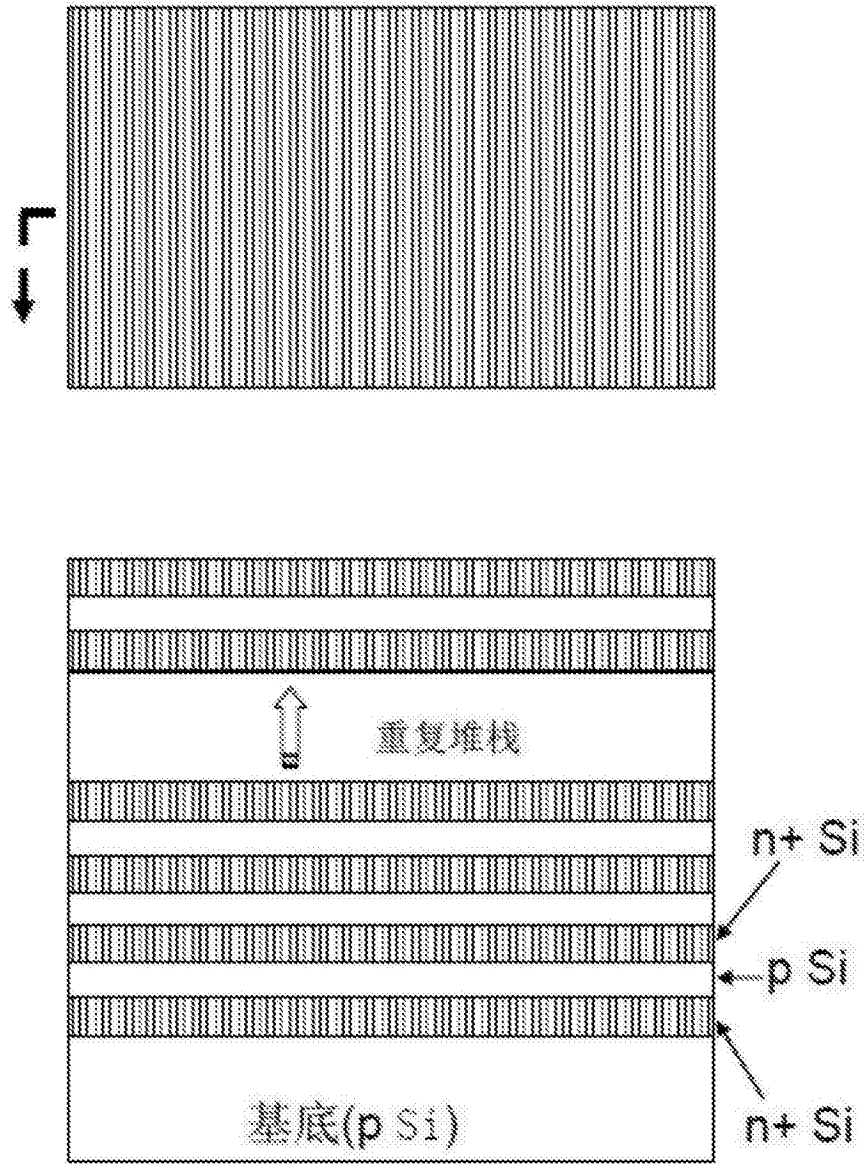


图11a

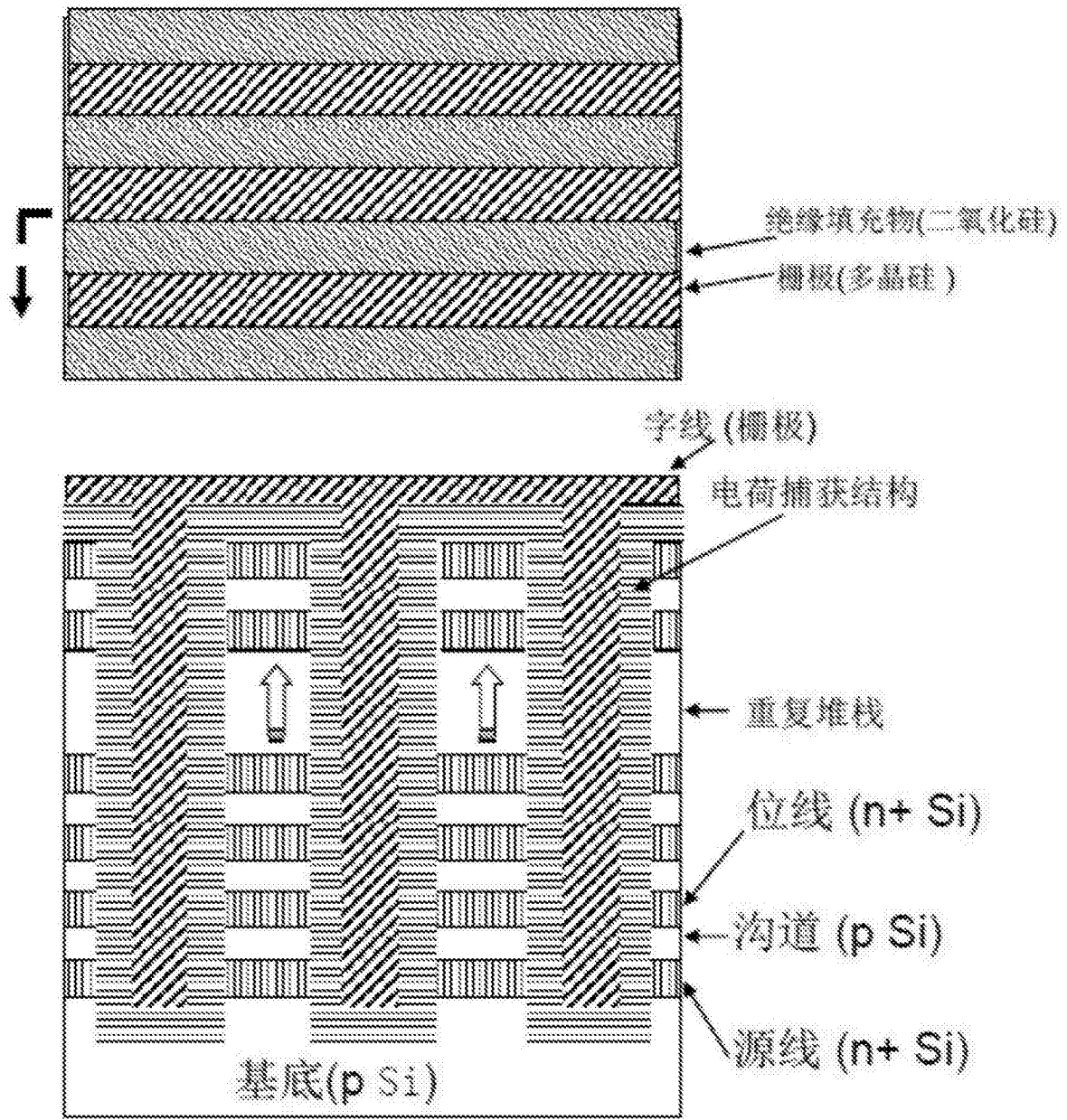


图11b