

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3930053号

(P3930053)

(45) 発行日 平成19年6月13日(2007.6.13)

(24) 登録日 平成19年3月16日(2007.3.16)

(51) Int. Cl.

H03K 19/177 (2006.01)

F I

H03K 19/177

請求項の数 10 (全 11 頁)

(21) 出願番号	特願平10-503122	(73) 特許権者	ザイリンクス、インコーポレイテッド
(86) (22) 出願日	平成9年6月11日(1997.6.11)		アメリカ合衆国、カリフォルニア 951
(65) 公表番号	特表平11-511941		24, サンノゼ, ロジック ドライブ 2
(43) 公表日	平成11年10月12日(1999.10.12)		100
(86) 国際出願番号	PCT/US1997/010147	(74) 代理人	弁理士 小橋 正明
(87) 国際公開番号	W01997/050177		
(87) 国際公開日	平成9年12月31日(1997.12.31)	(72) 発明者	リー, ナポレオン ダブリュ.
審査請求日	平成16年6月10日(2004.6.10)		アメリカ合衆国, カリフォルニア 950
(31) 優先権主張番号	08/670,472		35, ミルピタス, アーバー ウエイ 4
(32) 優先日	平成8年6月26日(1996.6.26)		35
(33) 優先権主張国	米国 (US)	(72) 発明者	カード, ディレック アール.
			アメリカ合衆国, サンノゼ, リバー オー
			クス サークル 373, ナンバー 70
			2
			最終頁に続く

(54) 【発明の名称】 動作プログラム可能論理装置における部分的プログラミング回路

(57) 【特許請求の範囲】

【請求項1】

プログラム可能論理装置において、

プログラミング命令を受取るための形態とされている命令バス、

前記命令バスへ接続されている第一のプログラム可能な機能ユニット、

前記命令バスへ接続されている第二のプログラム可能な機能ユニット、

前記第一及び第二のプログラム可能な機能ユニットの各々へ接続されている命令ブロッ

キング回路であって、前記命令バスからのプログラミング命令を前記第一及び第二のプログ

ラム可能な機能ユニットの選択した1つに対して選択的にブロックし、その際に該選択し

たプログラム可能な機能ユニットが該プログラミング命令によって中断されることなしに

既にプログラムされている機能を実行することを可能とする命令ブロッキング回路、

を有する装置。

【請求項2】

請求項1において、前記命令ブロッキング回路がコマンドバスへ接続しているレジスタで

ある装置。

【請求項3】

請求項1において、前記第一のプログラム可能な機能ユニットが再プログラム可能である

装置。

【請求項4】

請求項1において、前記第一のプログラム可能な機能ユニットが第一論理機能を実施すべ

10

20

くプログラムされ且つ前記第二のプログラム可能な機能ユニットが第二論理機能を実施すべくプログラムされ、且つ前記第二のプログラム可能な機能ユニットは、前記第一のプログラム可能な機能ユニットが前記第一論理機能を実施する期間中に再プログラム可能である装置。

【請求項 5】

請求項 1 において、前記ブロッキング回路が、
前記命令バスへ接続されている入力ノード、
前記第一及び第二の機能ユニットへ夫々接続している第一及び第二の出力ノード、
を有している装置。

【請求項 6】

請求項 5 において、前記入力ノードが前記命令バス上のブロッキング命令を受取るための形態とされ、且つ前記ブロッキング命令が、前記第一及び第二の機能ユニットのうちいずれが前記命令バス上の爾後のプログラミング命令に応答するかを表す装置。

【請求項 7】

集積回路において、
第一及び第二のプログラム可能な機能ユニット、
第一及び第二の論理機能を夫々実行するために前記第一及び第二のプログラム可能な機能ユニットをプログラミングする手段、
前記第二のプログラム可能な機能ユニットが前記第二論理機能を実行している間に前記第一のプログラム可能な機能ユニットを再プログラミングする手段、
を有しており、前記第一のプログラム可能な機能ユニットは、前記第二のプログラム可能な機能ユニットの論理機能を中断させることなしに既にプログラムされている前記第二論理機能を実行することを可能とさせたまま、再プログラムさせることが可能である回路。

【請求項 8】

請求項 7 において、更に、前記第一のプログラム可能な機能ユニットが前記第一論理機能を実行している期間中に、前記第二のプログラム可能な機能ユニットを再プログラムする手段を有している回路。

【請求項 9】

第一及び第二の機能ユニットを具備するプログラム可能な論理装置を部分的に再プログラミングする方法において、前記第一及び第二の機能ユニットは夫々第一及び第二論理機能を実行すべくプログラムされ、前記第一の機能ユニットにおいて前記第一論理機能を実行し、且つ前記第一論理機能を実行している間に、前記プログラム可能な論理装置へプログラミング命令を供給し、前記第一の機能ユニットが前記プログラミング命令に回答しないように前記第一の機能ユニットに対して前記プログラミング命令をブロックし、前記第二の機能ユニットを再プログラムさせるために前記第二の機能ユニットに対して前記プログラミング命令を通過させる、方法。

【請求項 10】

プログラム可能な論理装置において、
プログラミング命令を受取るための形態とされている命令バス、
前記命令バスへ接続している第一のプログラム可能な機能ユニット、
前記命令バスへ接続している第二のプログラム可能な機能ユニット、
を有しており、前記第一及び第二のプログラム可能な機能ユニットの各々に対して接続されている命令ブロッキング回路であって、前記第一及び第二のプログラム可能な機能ユニットのうち一方が特定された論理機能を実行している間に、前記第一及び第二のプログラム可能な機能ユニットのうち他方に対して前記命令バスからのプログラミング命令を選択的にブロッキングする命令ブロッキング回路を有している装置。

【発明の詳細な説明】

発明の背景

発明の分野

本発明は、大略、プログラム可能論理装置 (P L D) に関するものであって、更に詳細に

10

20

30

40

50

は、複雑なインシステムプログラム可能 P L D に関するものである。

関連技術の説明

P L D はユニバーサル相互接続マトリクス (U I M) を介して接続されている同一の機能ブロックからなるアレイを包含する公知のタイプのプログラマブル即ちプログラム可能な集積回路である。入力信号は装置入力ピンから U I M へ送られ且つ U I M によって機能ブロックに対して経路付けされる。各機能ブロックは 1 個の A N D アレイと多数のマクロセルとを包含している。

各機能ブロック内において、A N D アレイは U I M からの入力信号を受取り且つマクロセルに対して積項を与える。各マクロセルは A N D アレイからの選択した積項に基づいて出力信号を発生する O R ゲートを有している。マクロセルによって発生された出力信号は、更なる処理のために U I M へフィードバックされるか、又は出力信号として P L D の出力ピンへ送られる。上述した回路構成を有する P L D は、ザイリンクス社に発行されている

10

ザ・プログラマブル・ロジック・データ・ブック (The Programmable Logic Data Book) (1994) の 3 章、3 - 2 乃至 3 - 90 頁において詳細に記載されており、尚該文献は引用によって本明細書に取込む。
機能ブロック及び U I M は「ユーザ」(例えば、回路設計者)によって所望される論理機能を与えるべくプログラム即ち書込むことが可能である。このようなプログラミングを達成するために、各機能ブロック及び U I M は所望の機能即ち関数を特定するためにプログラムすることの可能な例えばフラッシュトランジスタ格納セル等のプログラム可能なメモリセルからなるアレイを包含している。個々の機能ブロックは別個の論理機能を与えるべくプログラムすることが可能であり、又は機能ブロック及び U I M はより複雑な論理機能を与えるために一体的にプログラムすることが可能である。

20

「インシステム」、即ち P L D がプリント回路基板上に据え付けられている間に、P L D を再プログラムすることは公知である。然しながら、P L D を物理的に取り外すことは必要ではないが、従来のインシステム再プログラミングは、再プログラミングプロセス期間中に P L D の動作を中断させることを必要とするものである。然しながら、この必要的な中断は、P L D が通信リンクを維持しているか又は基本的なクロック信号を供給している場合のように一時的な動作の中断であっても許容することの不可能なシステムの構成要素である場合には問題を発生する場合がある。以上の理由により、P L D によって与えられている基本的な動作を中断させることなしに再プログラムすることの可能な P L D に対する必要性が存在している。

30

発明の要約

本発明は、P L D によって与えられている基本的な動作を中断することなしに再プログラムすることの可能な P L D に関するものである。本発明 P L D は外部的に供給されるプログラミング命令を受取るための形態とされている命令バスへ接続されている多数のプログラム可能な機能ユニットを有している。このようなプログラミング命令を発生させることによって、ユーザは特定の論理機能を実行するために機能ユニットの 1 つ又はそれ以上のものをプログラムする。

本発明によれば、入力されてくるプログラミング命令が 1 つ又はそれ以上の機能ユニットに影響を与えることを選択的に阻止し、一方残りの機能的ユニットが該命令に応答することを可能とさせる命令ブロッキング回路を包含している。従って、P L D の残りの機能ユニットの動作を中断させることなしに、1 つ又はそれ以上の機能ユニットを再プログラムさせることが可能である。更に、本発明によれば、ユーザは 1 つ又はそれ以上の機能ユニットにおいて基本的な論理機能を実行させ、残りの機能的ユニットが例えばより基本的なものでない論理機能を実施させることが可能である。従って、ユーザが基本的な論理機能のうちのいずれかを中断させることなしにより基本的なものでない論理機能のうちの 1 つを再プログラムすることを所望する場合には、残りの機能的ユニットが再プログラムされている間にプログラミング命令が基本的な論理を包含する機能的ユニットに対してブロックさせるために命令ブロッキング回路が使用される。従って、本発明は、基本的な論理機能を中断させることなしに再プログラムされる P L D に対する必要性を満足させている。

40

50

【図面の簡単な説明】

本発明のこれら及びその他の特徴、側面及び利点は、以下の説明、請求の範囲及び添付の図面を参照して理解されることとなる。

図1は本発明に基づく複雑なPLD100のブロック図であり、

図2はJTAGテスト回路115のブロック図であり、且つ

図3は機能ブロックFB5のブロック図である。

図面の詳細な説明

図1は本発明に基づく複雑なPLD100のブロック図である。PLD100はユニバーサル相互接続マトリクス(UIM)110によって互いに接続されている6個の同一な機能ブロックFB0-FB5からなるアレイを包含している。機能ブロックFB0-FB5及びUIM110の各々は、所望の機能即ち関数を特定するためにプログラムすることの可能なフラッシュトランジスタ格納セルからなるアレイを包含している。この理由により「機能ユニット」という用語は、機能ブロックFB0-FB5とUIM110の両方のことを言及するものとして使用される。PLD100は、更に、JTAGテスト回路115を包含している。

PLD100はインシステムプログラミング特徴及び命令をサポートしている。当業者にとって公知の如く、「インシステムプログラミング(in-system programming)」(以後、ISP)は、PLDをインシステム即ちシステム内においてプログラミングするプロセス全体のことを意味しており、従って、例えば、消去、プログラミング(書込)、及びフラッシュトランジスタ格納セル状態の検証等の動作を包含している。本発明によれば、JTAGテスト回路115はISPをサポートするためのISPインーブルレジスタ120を包含している。

6個の同一の機能的ブロックFB0-FB5の各々はそれらのそれぞれの入力バスIB0-IB5上において72個の入力ノード(36個の入力ノードとそれらの補元)を有している。10線命令バスINSTは該機能ユニットの各々によって共用されており、例えば、機能ユニットの各々におけるプログラム可能なメモリセルの状態をプログラミング、消去、検証するための命令を供給するテスト制御回路(不図示)へ結合されている。該テスト制御回路に関連する種々のコマンドに関する詳細な説明については、1995年9月25日付で出願した発明者がNapoleon W. Lee、Derek R. Curd、Wei-Yi Ku、Sholeh Diba、George Simmonsであり発明の名称が「フラッシュPLD用のワード線ドライバ(Wordline Driver For Flash PLD)」であり本願出願人が所有する米国特許出願第08/533,412(代理人ドケット番号X-181)を参照するとよく、尚該文献を引用によって本明細書に取込む。

UIM110は例えばバスFBU<0:17>上において各機能ブロックから18個ずつ108個の入力線を受取り、且つ例えば機能ブロックFB5に対して特定のバスUIMBL<0:35>上の機能ブロックFB0-FB5の各々に対する36個の出力線を駆動する。残りの機能ブロックFB0-FB4に対する接続も同様なものであり、従って、簡単化のために符号を省略してある。

JTAGテスト回路115は、PLD100及び互換性のあるJTAGテスト回路を有する組立てられたプリント回路基板上のその他の回路の間のプリント回路基板トレースの一体性即ち信頼性を検証するために従来使用されている。必要な互換性を与えるために、JTAGテスト回路115は通常「JTAGスタンダード」又は単に「JTAG」と呼ばれるIEEEスタンダード1149.1テストアクセスポート及びバウンダリースキャンアーキテクチャを完全に順守するものである。即ち、テスト回路115はIEEEスタンダード1149.1を順守するものであると主張する全てのベンダーがサポートせねばならない1組の必須の「パブリック」命令をサポートしている。JTAGはJTAGスタンダードを取り決めた技術的副委員会であるジョイントテストアクショングループ(Joint Test Action Group)に対する略称である。

必須のパブリック命令に加えて、JTAGテスト回路115は、更に、JTAGスタンダ

10

20

30

40

50

ードによって定義されている幾つかのオプションとしてのパブリック命令をサポートしている。このようなオプションの命令は、例えば、単一のチップをテストするためにその回路を回路ボードから分離させるものがある。JTAGテスト回路115は図2に関連してより詳細に説明する。

ISPイネーブルレジスタ120は3つのオプションコードビットOP[2:0]、UIMプログラムステータスビットPS[6]、6個の機能ブロックプログラムステータスビットPS[5:0]を一体的に格納する10個のプログラムステータス(PSTATUS)フリップフロップを包含している。プログラムステータスビットを格納する各フリップフロップは、UIM110及び機能ブロックFB0-FB5の対応する1つへ接続している出力線(UPSTAT及びPSTAT0-PSTAT5)を駆動する。ISPイネーブルレジスタ120は実質的に同一の態様で機能ブロックFB0-FB5の各々と共動するので、以下の説明は単一の機能ブロック、即ち機能ブロックFB5、及びUIM110に焦点をあてる。

各機能ユニット内におけるもののようなプログラム可能メモリセルがプログラムされるかまたは消去される場合には、影響を受けるメモリセルの結果的に得られる状態(即ち、プログラムされたか又は消去されたか)を検証するために、通常、プログラム検証又は消去検証テストが行なわれる。この検証プロセスのうちの1つのステップは、テスト中のメモリセルに対して検証電圧を印加させることを包含しており、その検証電圧のレベルは、実施されるテストがプログラム検証であるか又は消去検証テストであるかに依存する。オプションコードビットOP[2:0]はPLD100が与えられた検証命令に対して適宜の検証電圧を供給させることを可能とする。メモリセルの状態がどのようにして検証されるかについての更なる詳細な説明に関しては、本願出願人が所有する「フラッシュPLD用のワード線ドライバ」という名称の米国特許出願第08/533,412号を参照するとよい。

本発明によれば、PSTATUSビットPS[6:0]を使用して、1つ又はそれ以上の機能ユニットを選択的に再プログラムすると共に、残りの機能的ユニットが動作状態に留まること(即ち、「アクティブモード」に留まること)を可能とさせる。PSTATUSビットPS[6:0]の状態(例えば、論理0又は論理1)が、機能ユニットのうちのどれがアクティブのまま残存され且つどれが再プログラムされるかを決定する。例えば、残りの機能ユニットの動作を中断することなしに(即ち、FB0-FB4及びUIM110がアクティブモードに留まることを可能とさせる)機能ブロックFB5の再プログラムを行なうためには、PSTATUSビットPS[6:0]は、機能ブロックFB5に対するものを除いて、命令バスINST上のプログラミング命令をブロック即ち阻止すべく形態とされる。図2はJTAGテスト回路115の詳細を示したブロック図である。JTAGスタンダードによって定義される全ての必須の命令及び特徴をサポートするために、JTAGテスト回路115は以下の従来のJTAG構成要素、即ちバンドリースキャンレジスタ210、システム論理220、バイパスレジスタ240、命令デコーダ250、命令レジスタ260、出力回路265、JTAGテストアクセスポート(TAP)制御器280を包含している。本発明によれば、JTAGテスト回路115は、更に、ISP回路270を包含しており、それは、図1のISPイネーブルレジスタ120とコンフィギュレーション(形態特定)レジスタ272とを包含しており、それらは両方とも付加的なJTAGデータレジスタに対するガイドラインの下でのJTAGスタンダードに従って定義されている。これらのJTAG構成要素の詳細な説明については、1995年8月9日付で出願した発明者がDerek R. Curd、Kameswara K. Rao、Napoleon W. Leeであり発明の名称が「非揮発性プログラム可能論理装置用の効率的なインシステムプログラミング構成体及び方法(Efficient In-System Programming Structure and Method for Non-Volatile Programmable Logic Devices)」という名称の本願出願人が所有する米国特許出願第08/512,796号(代理人ドケット番号X-184)を参照するとよい。

10

20

30

40

50

システム論理 220 (ここでは詳細には示していない)は、JTAG 回路 115 と複数個の入力/出力 (I/O) ピンとの間に従来のインターフェースを与えている。システム論理 220 は、バウンダリースキャンレジスタ 210 を介して選択的に入力/出力ピン I/O へ接続され、且つシステム論理 220 又はバウンダリースキャンレジスタ 210 のいずれかからの信号が I/O ピンを駆動するような形態とされる。I/O ピン及び JTAG テスト回路 115 の間のインターフェースは当該技術分野において公知であるので、その詳細な説明は割愛する。

TAP 制御器 280 は JTAG スタンドアードに基づいて JTAG アーキテクチャ 115 の種々のレジスタ内へデータをスキミングすることを制御する 16 状態の有限状態マシンである。TAP 制御器 280 は 4 つの端子 TDI、TDO、TMS、TCK を有しており、それらはテストアクセスポートを構成している。端子 TDI は PLD 100 への直列入力端子であり、ISP イネーブルレジスタ 120、バイパスレジスタ 240、命令レジスタ 260、コンフィギュレーション (形態特定) レジスタ 272 へ信号を供給する。端子 TMS は TAP 制御器 280 の状態遷移を制御するための信号を供給し、一方端子 TCK は TAP 制御器 280 内のマルチプレクサ 282 へクロック信号を供給する。TAP 制御器 280 の状態に依存して、端子 TCK 上のクロック信号から派生されるローカルクロック信号は、ISP イネーブルレジスタ 120、バウンダリースキャンレジスタ 210、バイパスレジスタ 240、命令レジスタ 260 又はコンフィギュレーションレジスタ 272 のうちの選択した 1 つをクロック動作させ、これらの全てのレジスタはトライステート可能な直列シフトレジスタである。従って、そのような形態とされると、レジスタ 120、240、260、272 のうちのいずれかの内容を、例えば、複雑な PLD 100 と同一の回路基板上の 2 番目の JTAG 互換性のある複雑な PLD の同様なレジスタ内に直列的にシフト入力させることが可能である。

端子 TDO は PLD 100 の直列出力端子であり、且つマルチプレクサ 267、フリップフロップ FF、トライステート可能なドライバ 268 を包含する出力回路 265 によって駆動される。マルチプレクサ 267 は、命令レジスタ 260 か又はデータレジスタのうちの 1 つのいずれかの出力を選択するために、JTAG スタンドアードに従って TAP 制御器 280 によりセレクト (選択) 端子を介して制御される。更に、JTAG スタンドアードに従って、フリップフロップ FF が出力端子 TDO をしてクロック信号 TCK の下降エッジ上で状態を変化させ、且つ出力端子 TDO はトライステート可能なドライバ 268 によってトライステート状態とさせることが可能である。ドライバ 268 のトライステート端子は、端子 TDO 上の信号が JTAG アーキテクチャ 115 を介してデータをシフト動作している期間中のみアクティブであるように制御され、端子 TDO はその他の全ての時間においてトライステート状態とされる。

1 実施例においては、テストアクセスポートの端子 (TDI、TDO、TCK、TMS) は、更に、プログラム可能な JTAG ディスエーブルビット (不図示) の状態に依存して、入力/出力端子として作用する。JTAG ディスエーブルビットが論理 0 である場合には、該 4 個のテストアクセスポート端子を駆動する出力バッファ (不図示) が、TAP 制御器 280 及び種々の JTAG レジスタが JTAG 端子上的の信号に応答することを可能とさせる。一方、JTAG ディスエーブルビットが論理 1 である場合には、JTAG アーキテクチャ 115 は完全にディスエーブル即ち動作不能状態とされる (例えば、TAP 制御器 280 は強制的に永久的なりセット状態とされる)。JTAG ディスエーブルビット及びそれに関連する回路の詳細な説明については、発明者が Ronald J. Mack、Derek R. Curd、Sholeh Diba、Napoleon W. Lee、Kameswara K. Rao、Mihai G. Statovice であり発明の名称が「プログラム可能な論理装置用のリセット回路 (Reset Circuit For a Programmable Logic Device)」である本願出願人の米国特許出願 (代理人ドケット番号 X-170) を参照するとよく、それを引用によって本明細書に取込む。

命令レジスタ 260 は 8 個のビット、即ち IR [7:0] を有しており且つ端子 TDI と

10

20

30

40

50

端子TDOとの間に接続されている。命令レジスタ260からの8ビット並列出力バス266が、命令レジスタ260内に格納されている命令(即ち、「OPCODE(命令コード)」)をデコードする命令デコーダ250へ信号を供給する。次いで、従来技術の如く、命令デコーダ250の出力信号が端子TDIとTDOとの間のJTAGレジスタのうち

のいずれが与えられた命令に対して選択されるかを決定する。
バイパスレジスタ240は端子TDIと端子TDOとの間に接続されている1段シフトレジスタである。JTAG機能がPLD100に対して所望されない場合には、バイパスレジスタ240は、PLD100がPLD100の動作に影響を与えることなしに、端子TDIからのデータを端子TDOへバイパスさせることによって、多数のJTAG互換性構成要素からなる直列JTAGチェーンから「バイパス」されることを可能とする。

10

上述した如く、JTAGアーキテクチャ115はISPイネーブルレジスタ120とコンフィギュレーションレジスタ272とを包含するISP回路270を具備するISPをサポートしている。ISPをサポートするために更に設けられているものとしては、付加的な命令ISPイネーブル(ISPEN)、インシステムプログラム(IPGM)、インシステム検証(IVFI)、インシステム消去(ERASE)、コンフィギュレーションロード(CONLD)等があり、それらはJTAG命令セットに付加されている。これらのISP命令はJTAGスタンダードにおいて特定されているものではないが、付加的な命令を付加するためのJTAGスタンダード規則に完全に順守するものである。

ISPイネーブルレジスタ120は、インシステムプログラム消去(ISPen)命令が命令レジスタ260内にロードされる場合に、アクティブである。命令レジスタ260内にロードされるISPen命令は、命令デコーダ250をして、ISPイネーブルレジスタ120を選択させ、その際にISPイネーブルレジスタ120が端子TDIからの直列的に入力されるプログラムステータス命令を受取れることを可能とさせる。該プログラムステータス命令は、PLD100をして完全な又は部分的な再プログラミングに対して準備をさせる。再プログラミングの程度は、図1に関連して上述した如く、ISPイネーブルレジスタ120内に格納されるPSTATUSビットPS[6:0]の値によって決定される。

20

コンフィギュレーションレジスタ272は、アドレスフィールドADD、プログラムデータフィールドPDATA、ステータスフィールドSTATUSを包含している。ISP命令IPGM、IVFY、ERASEのうちいずれかが命令レジスタ260内にエンターされると、コンフィギュレーションレジスタ272が選択され且つ端子TDIへ入力されるデータはコンフィギュレーションレジスタ272を介して出力端子TDOへ通過される。命令デコーダ250は命令レジスタ260における命令ビットをデコードし且つ制御/イネーブル信号をコンフィギュレーションレジスタ272へ供給する。

30

図3は、例えば図1のFB5のような機能ブロックのブロック図である。各機能ブロックは、入力マルチプレクサ(IMUX)310、ワード線ドライバ320、マルチプレクサ325、ANDアレイ330、センスアンプアレイ340、マクロセルブロック360を包含している。本発明によれば、機能ブロックFB5を包含する各機能ブロックは、更に、NANDゲート1130、1142、1150、1177を包含している。これらのNANDゲートは、ラインPOR上のパワーオンリセット信号、プレロードラインPRLD上の信号、コンフィギュレーションロードラインCONLD上の信号、及びコンロード(ConLoad)/プログラム・検証/DC・消去ラインCPVDC上上の信号を、プログラムステータスラインPSTAT上の信号と論理的に結合させる。NANDゲート1130、1142、1150、1177は、ラインPOR、PRLD、CONLD、CPVDC上のコマンド信号が、ノードPSTAT上の信号が論理1である場合に、機能ブロックFB5の種々の構成要素へ通過することを可能とし、且つノードPSTAT上の該信号が論理0である場合には、これらのコマンド信号をブロック即ち阻止することを可能とするスイッチとして動作する。従って、ISPイネーブルレジスタ120及びNANDゲート1130、1142、1150、1177は、一体的に、命令ブロック回路として動作し、該回路は、機能ユニットのうちの選択したものがプログラミング命令を無視し

40

50

且つアクティブモードに留まることを可能とさせる。

勿論、命令信号を選択的にブロックさせるためにその他の論理要素を使用することも可能である。例えば、各機能ブロック内のマルチプレクサを使用してNANDゲート1130、1142、1150、1177によって図3において与えられる論理を与えることが可能であり、又は単一の複雑なマルチプレクサが機能ブロックFB0-FB5及びUIM110の全てに対し必要な命令ブロッキング論理を与えることが可能である。

ANDアレイ330と関連しているコンフィギュレーションビットラッチ(不図示)は、従来技術の如く、機能ブロックFB0-FB5及びUIM110によって与えられる論理機能を決定するコンフィギュレーション即ち形態特定情報を格納する。コンフィギュレーションロード(即ち、「コンロード(conroad)」)モードにおいては、PLD100がリセットされた直後に、コンフィギュレーション情報がプログラム可能メモリセル内にプログラムされ、次いで、自動的にコンフィギュレーションビットラッチ内にロードされる。PLD100が完全に形態特定され且つ初期化されると、PLD100はアクティブモードへ入る。

OMUX310は151個の入力ノードと36個の出力ノードとを有しており、該出力ノードは入力バス96、ローカルフィードバックバスLFB<0:17>、及びUIM110からのグローバルフィードバックバスUIMBL<0:35>からの入力信号のマルチプレクス化された即ち多重化された組み合わせを与える。OMUX310と関連するプログラム可能なメモリセルは、該入力信号のうちのいずれが出力として供給されるかを決定する。

ANDアレイ330はANDゲートからなるプログラム可能なアレイを形成すべく形態特定される複数個のメモリセルからなるアレイである。これらのANDゲートは、選択された論理機能を与えるべくプログラムすることが可能である。本発明の1実施例に基づくANDアレイの動作の更なる詳細な説明については、上掲した「フラッシュPLD用のワード線ドライバ」という名称の特許出願を参照するとよい。

センスアンプアレイ340は18個のセンスアンプからなるアレイであり、該センスアンプの各々はANDアレイ330からのビット線BL#1-BL#18のうちの対応する1つから入力信号を受取る。センスアンプアレイ340はビット線BL#1-BL#18上の電圧レベルを増幅して、0V及びV_{cc}(例えば、5V)の論理レベルを有する論理出力信号をマクロセルブロック360へ供給する。

プログラム可能なANDアレイ330は、ビット線BL#1-BL#18及びセンスアンプアレイ340を介して各ブロック内のマクロセルへ供給される多数の積項を発生する。マクロセルブロック360の18個のマクロセルは、各々、プログラミングの前においては同一であり、プログラミングの後に、それらの各々は、例えば、フリップフロップ等の機能を与えるものの形態とさせることが可能である。

図2を参照すると、ISPイネーブル命令が端子TDIから命令レジスタ260内にロードされると、命令デコーダ250がISPイネーブルレジスタ120をして端子TDI上で受取られたデータを受け付けることを可能とさせる。このデータ、即ちプログラムステータスデータは、PSTATUSビットPS[6:0]内に格納される値を決定し、従って機能ユニットのうちのいずれが爾後のプログラミングコマンドによって影響を受けるかを決定する。プログラムイネーブルはインシステムプログラミングサイクル期間中に実行される最初の命令でなければならない。何故ならば、どの機能ユニットがこれらの命令に応答すべきかを最初に選択することなしに、他のISP命令(例えば、プログラム、消去又はコンフィギュレーション(形態特定)ロード)を実行することは不可能だからである。

プログラムステータス命令がISPイネーブルレジスタ120内にロードされた後に、PSTATUSビットPS[6:0]のうちの特定の1つに格納されている論理1が、そのPSTATUSビットと関連する機能ユニットをして、命令バスINSTを介してプログラミング命令を受取ることを可能とさせる。逆に、論理0は、命令バスINST上の入力してくるプログラミング命令をブロックし、従って対応する機能ユニットはアクティブモ

10

20

30

40

50

ードに留まる。PSTATUSビットがプログラムステータス命令によって上書きされない場合には、ISPイネーブルレジスタ120は各PSTATUSビットに対してデフォルトの論理1を出力し、その結果、全ての機能ユニットを再プログラミングさせることとなる。

図3において、機能ブロックFB5と関連しているPSTATUSビットPS[5]はプログラムステータスラインPSTAT5上の論理レベルを決定する。例えば、機能ブロックFB5のみを再プログラムするために部分的な再プログラミングシーケンスが開始される場合には、PSTATUSビットPS[5]は1にセットされ、ラインPSTAT5上の信号を論理1とさせる。このような場合においては、ANDゲート1130、1142、1150、1177は、ラインPOR、PRLD、CPVDCE、CONLD上の夫々の信号が機能ブロックFB5に関して動作することを可能とさせる。一方、機能ブロックFB5に影響を与えるべきでない部分的な再プログラムが開始されると、PSTATUSビットPS[5]が論理0へセットされ、ラインPSTAT5上の信号は論理0とされ、その結果、NANDゲート1130、1142、1150、1177はラインPOR、PRLD、CPVDCE、CONLD上の信号をブロックし、従って機能ブロックFB5はこれらのライン上の信号によって影響を受けることはない。図3には示していないその他のNANDゲートが、前述した説明から理解されるように、機能ブロックFB0-FB5及びUIM110のうちの1つ又はそれ以上のものをプログラミングすることに関連する多数のその他の命令信号を選択的に許容するか又はブロックする。

パワーMUX325は、ワード線ドライバ320に対して、ノードV_{cc}上の電圧レベルか又はノードV_{pe}上の電圧レベルで交互に電圧を供給する。ノードV_{cc}上の電圧は、典型的に5Vであり、アクティブモードにおいてワード線ドライバ320へパワーを供給する。然しながら、機能ブロックFB5内のフラッシュメモリセルは、プログラミング及び消去動作のためにより高い電圧(例えば12V)を必要とする。従って、パワーMUX325はノードPSTAT5へ接続されており且つ、PSTAT5が論理1である場合(機能ブロックFB5が再プログラムされるべきであることを表わす)、ノードV_{pe}上のプログラミング又は消去電圧がワード線ドライバ320へ接続され、且つPSTAT5が論理0である場合(機能ブロックFB5がアクティブモードに留まるべきであることを表わす)には、ノードV_{cc}上の電圧がワード線ドライバ320へ接続されるように所定の形態とされる。UIM110内の同様のパワーマルチプレクサ(不図示)がパワーMUX325と同一の機能を達成し、且つノードUPSTAT上の論理レベルによってスイッチ動作される。

注意すべきことであるが、PLD100は、与えられた機能ユニットが該機能ユニットの他のものからの入力信号に依存するようにプログラムすることが可能である。例えば、機能ブロックFB5はUIM110からフィードバック信号を受取ることが可能である。このような場合には、アクティブな機能ユニットが依存する機能ユニットを再プログラムする試みはエラーを発生する場合がある。従って、1実施例においては、別個の論理機能が別の機能ブロック内においてプログラムされる。

例えば、PLD100は、機能ブロックFB5がカウンタ回路に対して必要な組合わせ論理を供給し且つ機能ブロックFB4がクロックドライバ回路に対して必要な組合わせ論理を供給するようにプログラムすることが可能である。従って、機能ブロックFB5のカウント回路が機能ブロックFB4からの入力信号に依存することがないものと仮定すると、機能ブロックFB4は、機能ブロックFB5のカウント回路の動作を中断することなしに、再形態特定させることが可能である。

本発明をある実施例についてかなり詳細に説明したが、その他の実施例も可能である。例えば、本発明の1実施例は、上述したような単一のマルチプレクス動作される命令バスの代わりに、複数個の機能ユニットに対し複数個の別々の命令バスを包含することが可能である。従って、請求範囲は本明細書に記載した実施例の説明に制限されるものではない。

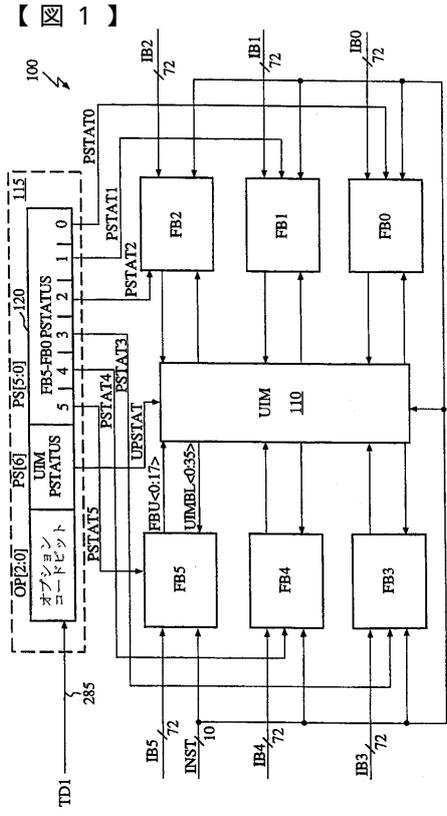


FIG. 1

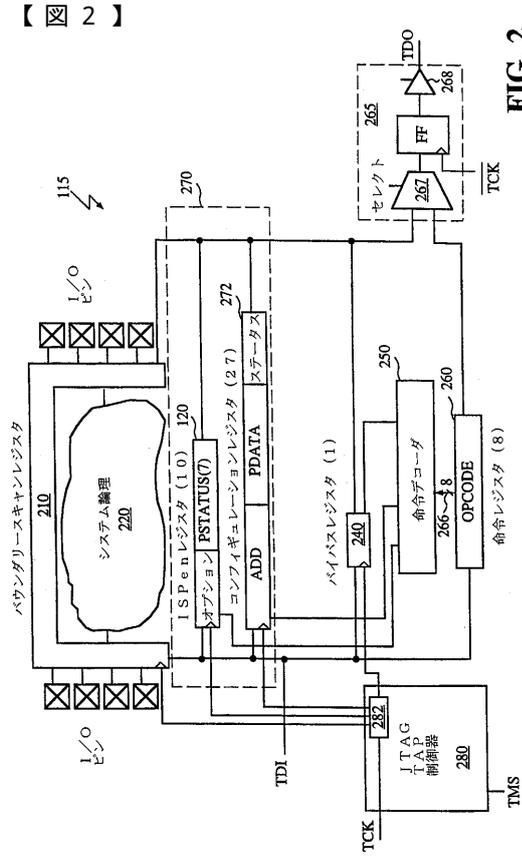


FIG. 2

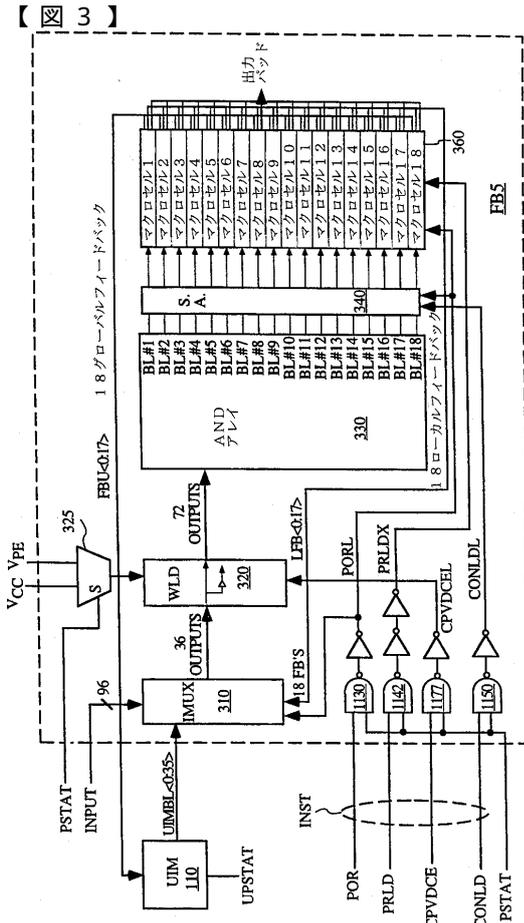


FIG. 3

フロントページの続き

- (72)発明者 セルツァー, ジェフリー エイチ.
アメリカ合衆国, カリフォルニア 95030, ロスガトス, ロン ロード 17015
- (72)発明者 ゴールドバーグ, ジェフリー
アメリカ合衆国, カリフォルニア 95123, サンノゼ, ヘンダーソン ドライブ 394
- (72)発明者 チアン, デイビッド
アメリカ合衆国, カリフォルニア 95070, サラトガ, カサ ブランカ レーン 18658
- (72)発明者 ラオ, カマエスワラ ケイ.
アメリカ合衆国, カリフォルニア 95129, サンノゼ, アーリントン レーン 1172
- (72)発明者 クチャレウスキー, ニコラス, ジュニア
アメリカ合衆国, カリフォルニア 94588, プリーザントン, プリ コート 2

審査官 石井 研一

- (56)参考文献 特開平05 - 143284 (JP, A)
特開平07 - 175677 (JP, A)
特開平01 - 134501 (JP, A)
特開昭63 - 231636 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/177