

公告本

申請日期	89 年 4 月 6 日
案 號	89106332
類 別	H01L 21/00

A4
C4

444257

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	Semiconductor device and method for fabricating the same
二、發明人 創作	姓 名	(1) 山崎舜平 (2) 小山潤 (3) 高山徹
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (2) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (3) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地
	代 表 人 姓 名	(1) 山崎舜平

經濟部智慧財產局員工消費合作社印製

裝 訂 線

申請日期	89 年 4 月 6 日
案 號	89106332
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、 發明 新型 名稱	中 文	
	英 文	
二、發明 人 創作	姓 名	④ 浜谷敏次
	國 籍	④ 日本
	住、居所	④ 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部智慧財產局員工消費合作社印製

裝 訂 線

444257

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

日本 1999年4月12日 11-104646 有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背頁注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明部份

本發明係有關半導體裝置，設有一主動電路，包含一薄膜電晶體（此後稱為“TF T”）在具有絕緣表面之一基體上。本發明可特別有利用於光電裝置上，普通為一液晶顯示裝置，具有影像顯示區，及構製於同一基體上之其驅動電路，以及用於裝有光電裝置之電子儀器上。在本整個說明中，“半導體裝置”指根據半導體性質作用之一般裝置，且在其範圍中包括上述之光電裝置及具有光電裝置安裝於其上之電子裝置。

2. 有關技藝之說明

具有由晶質矽薄膜所構成之半導體層之TF T（此後稱“晶質矽TF T”）具有高場效可動性，且故此能製造具有各種功能之電路。使用晶質矽TF T之主動矩陣式液晶顯示裝置具有一影像顯示區及影像顯示之一驅動電路構製於同一基體上。影像顯示區中設有一像素TF T由n通道TF T構成，及一儲存電容器，同時驅動電路由轉移暫存電路，位準轉移電路，緩衝電路，抽樣電路等構成，此根據CMOS電路製造。

然而，像素TF T及驅動電路TF T之作用情形並不相同，且故此，常需要不同性質之TF T。例如，像素TF T作用如開關元件，且由施加一電壓於液晶上來驅動。由於液晶由交流驅動，故最常使用所謂框反向驅動系統

（請先閱讀背面之注意事項）
寫本頁）

裝
訂
線

五、發明說明(2)

。在此系統中，像素 T F T 需要具有充分低之斷電流值（當 T F T 關斷時流過汲極之電流）之性質，以減少功率消耗至最低程度。另一方面，由於高驅動電壓施加於驅動電路之緩衝電路上，故需增加電壓電阻，以防止高壓施加時崩潰。增加電流驅動容量需要充分確保通狀態電流值（當 T F T 通時流過汲極之電流）。

已知輕度摻雜之汲（L D D）結構作為 T F T 之結構，呈現較低之斷狀態電流值。此結構設有一區，具有雜質元素以低濃度加於通道形成區及源區或汲區（由加進高濃度之雜質元素構成）之間，且此區稱為“L D D 區”。用以防止通電流值由熱載子引起惡化之一已知裝置為稱為 G O L D（閘—汲極重疊之 L D D）之結構，其中，置 L D D 於閘電極上，其間有一閘絕緣薄膜。已知此種結構可由衰減汲極附近之高電壓，有效防止熱載子之侵入，從而避免惡化現象。

同時，較大型及更複雜之螢幕之需求增加，以增加主動矩陣式液晶顯示裝置之產值。然而，較大型及更複雜之螢幕增加掃描線（閘接線）之數目及長度，從而提高低電阻閘接線之需要。即是，隨掃描線數之增加，晶體之充電時間縮短，故閘接線之時間常數（電阻×電容）需減小，俾能快速反應。例如，如構成閘接線之材料之電阻係數為 $100 \mu \Omega \text{ cm}$ ，則螢幕尺寸之限度為約 6 吋，但在 $3 \mu \Omega \text{ cm}$ 時，顯示器可相當於 27 吋。

而且，像素矩陣電路之像素 T F T 及驅動電路（諸如

（請先閱讀背面之注意事項，寫本頁）

裝 · · · · · 訂 · · · · · 線

五、發明說明(3)

轉移暫存電路或緩衝電路)之TFT所需之性質並非恆相同。例如，在像素TFT，大反向偏壓(在n通道TFT之情形中為負電壓)施加於閘極上，但驅動電路TFT在反向偏壓狀態中基本上不能作用。像素TFT之操作速度亦較之驅動電路TFT充分低1/100。

而且，雖GOLD結構提供防止通狀態電流值惡化之強力效果，但亦具有較之通常LDD結構為大之斷狀態電流值之問題。故此，迄未有較宜之結構應用於像素TFT上。反之，普通LDD結構具有減小斷狀態電流值至最低程度之強力效果，但具有由衰減汲極附近之電場來防止由熱載子侵入所引起之惡化低效果。故此，通常宜製造具有相同結構之所有TFT於半導體裝置中，包含具有不同操作情況之多個積體電路，諸如主動矩陣式液晶顯示裝置。在具有較高特性之晶質矽TFT中，且當主動矩陣式液晶顯示裝置需要較大之性能時，此等問題尤其顯著。

有考慮使用鋁(Al)及銅(Cu)作為接線材料，以達成大型主動矩陣式液晶顯示裝置，但此具有諸如防銹蝕及耐熱不良等缺點。故此，此等材料並非一定宜於製造TFT閘電極，且不易引進此等材料於TFT製造過程中。接線當然可由其他導電性材料製成，但並無具有如鋁(Al)及銅(Cu)之低電阻之材料，但此妨礙大型顯示裝置之製造。

發明概要

(請先閱讀背面之注意事項，寫本頁)

裝 · 訂 · 線

五、發明說明(4)

為解決以上所討論之問題，本發明之構造為一種半導體裝置，在同一基體上具有一像素 T F T 設置於一顯示區中，及一驅動電路 T F T 設置於顯示區周圍，其中，像素 T F T 及驅動電路 T F T 具有閘電極由一第一導電性層構成，閘電極經由連接頭與由第二導電性層所製之閘接線電接觸，及連接頭設置於像素 T F T 及驅動電路 T F T 之通道形成區外。

本發明之另一構造為一種半導體裝置，在同一基體上具有一像素 T F T 設置於一顯示區中，及一驅動電路 T F T 設置於顯示區周圍，其中，像素 T F T 及驅動電路 T F T 具有閘電極由一第一導電性層構成，閘電極經由連接頭與由第二導電性層所製之閘接線電接觸，連接頭設置於像素 T F T 及驅動電路 T F T 之通道形成區外，像素 T F T 之 L D D 區設置不重疊於像素 T F T 之閘電極，驅動電路之第一 n 通道 T F T 之 L D D 區設置重疊第一 n 通道 T F T 之閘電極，及驅動電路之第二 n 通道 T F T 之 L D D 區設置使其至少一部份重疊於第一 n 通道 T F T 之閘電極。

在本發明之此構造中，第一導電性層具有一導電性層 (A)，含有氮及選自鉬，鎢，鈦，及鉬之至少之一，一導電性層 (B)，構製於導電性層 (A) 上，且主要由選自鉬，鎢，鈦，及鉬之至少之一構成，及一導電性層 (C)，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自鉬，鎢，鈦，及鉬之至少之一，同

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明(5)

時第二導電性層具有一導電性層(D)主要由鋁及銅構成，及一導電性層(E)主要由選自鉬，鎢，鈦，及鉕之至少之一構成，及導電性層(C)及導電性層(D)在連接頭處接觸。導電性層(B)包含氫作為添加元素，及導電性層(B)中之氧濃度為30ppm或以下。

為解決上述問題，本發明之一種用以製造半導體裝置之方法為用以製造半導體裝置之方法，該裝置在同一基體上具有一像素TFT設置於顯示區中，及一驅動電路TFT設置於顯示區周圍，該方法包括由一第一導電性層構製像素TFT及驅動電路TFT之閘電極之步驟；及由一第二導電性層構製連接至閘電極之閘接線之步驟，其中，閘電極及閘接線經由像素TFT及驅動電路TFT之通道形成區外所設置之連接頭連接。

依據本發明製造半導體裝置之方法亦為用以製造半導體裝置之方法，該裝置在同一基上具有一像素TFT設置於顯示區中，及一驅動電路TFT設置於顯示區周圍，該方法包括選擇加進一n型雜質元素於形成驅動電路之第一及第二n通道TFT中至濃度範圍 2×10^{16} 至 5×10^{19} 原子/cm³之第一步驟；由第一導電性層構製像素TFT及驅動電路TFT之閘電極之第二步驟；選擇加進一p型雜質元素於形成驅動電路之p通道TFT之半導體層中至濃度範圍 3×10^{20} 至 3×10^{21} 原子/cm³之第三步驟；選擇加進一n型雜質元素於形成驅動電路之第一及第二n通道TFT半導體層及像素TFT之半導體

(請先閱讀背面之注意事項五、寫本頁)

裝 · 訂 · 線

五、發明說明(6)

層中至濃度範圍 1×10^{20} 至 1×10^{21} 原子 / cm^3 之
 第四步驟；選擇加進一 n 型雜質元素於像素 T F T 之半導
 體層中至濃度範圍 1×10^{16} 至 5×10^{18} 原子 / cm^3
 之第五步驟，使用該 n 通道 T F T 之至少閘電極作為蔽罩
 ；及由第二導電性層製造像素 T F T 及驅動電路 T F T 之
 閘接線之第六步驟；其中，閘電極及閘接線經由設置於像
 素 T F T 及驅動電路 T F T 之通道形成區外之連接頭連接
 。

在本發明之半導體裝置之製造方法中，第一導電性層
 由製造一導電性層 (A)，含有氮及選自鉬，鎢，鈦，及
 鉬之至少之一之一步驟，製造一導電性層 (B)，構製於
 導電性層 (A) 上，且主要由選自鉬，鎢，鈦，及鉬之至
 少之一構成之一步驟，及製造一導電性層 (C)，構製於
 導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包
 含氮及選自鉬，鎢，鈦，及鉬之至少之一之一步驟所構成
 ，同時第二導電性層由製造一導電性層 (D)，主要由鋁
 或銅構成之至少一步驟，及製造一導電性層 (E)，主要
 由選自鉬，鎢，鈦，及鉬之至少之一構成，及導電性層 (C)
 及導電性層 (D) 在連接頭處接觸之一步驟所構成。
 導電性層 (A) 可由濺塗法製造，使用主要由選自鉬，鎢
 ，鈦，及鉬之至少之一所構成之靶子，在氬及氮或氬之混
 合大氣中製造，及導電性層 (C) 宜由導電性層 (B) 在
 氮大氣中由在 1 p p m 或以下濃度之氧以熱處理製成。導
 電性層 (C) 亦可由導電性層 (B) 在氮電漿大氣中由在

(請先閱讀背面之注意事項)
 寫本頁)

裝
 訂
 線

五、發明說明(7)

1 p p m 或以下濃度之氧以熱處理製成。

附圖簡述

圖 1 A 至 1 D 為像素 T F T，儲存電容器，及驅動電路 T F T 之製造步驟之斷面圖；

圖 2 A 至 2 D 為像素 T F T，儲存電容器，及驅動電路 T F T 之製造步驟之斷面圖；

圖 3 A 至 3 D 為像素 T F T，儲存電容器，及驅動電路 T F T 之製造步驟之斷面圖；

圖 4 A 至 4 C 為像素 T F T，儲存電容器，及驅動電路 T F T 之製造步驟之斷面圖；

圖 5 為像素 T F T，儲存電容器，及驅動電路 T F T 之斷面圖；

圖 6 A 至 6 C 為像素 T F T，儲存電容器，及驅動電路 T F T 之製造步驟之頂視圖；

圖 7 A 至 7 C 為像素 T F T，儲存電容器，及驅動電路 T F T 之製造步驟之頂視圖；

圖 8 A 至 8 C 為驅動電路 T F T 之製造步驟之頂視圖；

；

圖 9 A 至 9 C 為像素 T F T 之製造步驟之頂視圖；

圖 10 為液晶顯示裝置之 I / O 接頭及接線電路佈置之頂視圖；

圖 11 為液晶顯示裝置之構造之斷面圖；

圖 12 為液晶顯示裝置之構造之透視圖；

(請先閱讀背面之注意事項再寫本頁)

裝 · 訂 · 線

五、發明說明(8)

圖 1 3 為顯示區中之像素之頂視圖；

圖 1 4 為液晶顯示裝置之電路方塊圖；

圖 1 5 A 至 1 5 C 為一組圖，顯示閘電極及 L D D 區間之位置關係；

圖 1 6 A 至 1 6 C 為一組圖，顯示閘電極及閘接線區間之連接；

圖 1 7 A 至 1 7 E 為一組圖，顯示半導體裝置之例；



圖 1 8 A 及 1 8 B 分別為 E L 顯示裝置之頂視及斷面圖；

圖 1 9 A 及 1 9 B 分別為 E L 顯示裝置之像素部份之斷面圖；

圖 2 0 A 及 2 0 B 分別為 E L 顯示裝置之像素部份之頂視及電路圖

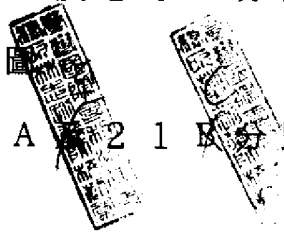


圖 2 1 A 及 2 1 B 分別為 E L 顯示裝置之像素部份之電路圖；

圖 2 2 為由透射電子顯微鏡所取之閘電極及閘接線之接觸部份之斷面照片；

圖 2 3 為由透射電子顯微鏡所取之閘電極

(T a) 及閘接線 (A l - N d) 中之介面之斷面照片；

圖 2 4 A 及 2 4 B 為 V V G - I V D 特性曲及 T F T 之偏壓熱應力測試之檢查；

圖 2 5 A 及 2 5 B 為信號輸入部份及接順部份間之波

(請先閱讀背面之注意事項及寫本頁)

裝 · 訂 · 線

五、發明說明(9)

形之不同，其中，圖 2 5 A 顯示波形之上升，及 2 5 B 顯示波形之下降；及

圖 2 6 A 及 2 6 B 為閘電極及閘接線之接觸電阻之計算模擬。

元件對照表

- 1 1 : 像素部份
- 1 2 : 源方驅動電路
- 1 3 : 閘方驅動電路
- 1 9 : 密封材料
- 2 2 : 驅動電路 T F T
- 2 9 : 自發光發射層
- 3 0 : 陰極
- 4 1 : 鈍化薄膜
- 4 2 : 平坦化薄膜
- 4 6 : 電洞注入層
- 5 1 : 堤防
- 8 1 : 密封劑
- 8 3 填料
- 1 0 1 : 基體
- 1 0 2 : 基底薄膜
- 1 0 3 : 晶質矽薄膜
- 1 0 4 : 島形半導體層
- 1 0 8 : 蔽罩層

(請先閱讀背面之注意事項，
寫本頁)

裝
訂
線

五、發明說明 (10)

- 1 0 9 : 光阻罩
- 1 1 7 : 摻雜區
- 1 2 0 : 閘絕緣薄膜
- 1 2 1 : 導電性層
- 1 2 8 : 閘電極
- 1 3 2 : 電容器接線
- 1 5 1 : 源接線
- 1 5 5 : 汲接線
- 1 6 0 : 層間絕緣薄膜
- 1 6 1 : 像素電極
- 2 0 1 : p 通道 T F T
- 2 0 6 : 通道形成區
- 2 0 7 : 源區
- 2 0 8 : 汲區
- 2 1 0 : L D D 區
- 3 0 1 : 輸入接頭
- 3 0 2 : 輸入接線
- 3 0 6 : 顯示區
- 9 0 9 : 矽薄膜
- 1 0 0 : 影像信號驅動電路
- 1 0 0 2 : 轉移暫存電路
- 1 0 0 3 : 位準轉移電路
- 1 0 0 4 : 緩衝電路
- 1 0 0 5 : 抽樣電路

(請先閱讀背面之注意事項再
寫本頁)

裝
訂
線

五、發明說明 (11)

- 1 0 0 7 : 掃描信號驅動電路
- 1 0 1 2 : 預充電電路
- 2 0 0 1 : 主體
- 2 0 0 2 : 影像輸入裝置
- 2 0 0 4 : 鍵盤
- 2 1 0 3 : 聲音輸入裝置
- 2 1 0 4 : 操作開關
- 2 1 0 6 : 影像接收裝置
- 2 4 0 4 : 記錄媒體
- 2 5 0 3 : 目鏡

較佳實施例之詳細說明

(實施例模式 1)

現參考圖 1 至 5，說明本發明之實施例。以下之詳細說明討論處理步驟，由此製造同一基體上之顯示區中之像素 T F T 及其周圍之驅動電路 T F T。然而，為簡單說明，驅動電路顯示具有一轉移暫存電路，一 C M O S 電路作為基本電路，諸如緩衝電路，及一 n 通道 T F T 形成抽樣電路。

在圖 1 A 中，可使用一低鹼玻璃基體或石英基體作為基體 1 0。在本實施例中，使用低鹼玻璃基體。此可先在較玻璃應變溫度低約 1 0 - 2 0 °C 之溫度上熱處理。在 T F T 所構製處之基體 1 0 1 之表面上，構製一基底薄膜 1 0 2，諸如氧化矽薄膜，氮化矽薄膜，或氧氮化矽薄膜

五、發明說明 (12)

，以防止雜質自基體 1 0 1 擴散。例如，使用電漿 C V D 方法，以製造由 $N i H_4$ ， $N H_3$ 及 $H_2 O$ 所製之氧氮化矽薄膜至厚度 1 0 0 n m 及由 $S i H_4$ 及 $N_2 O$ 所製之氧氮化矽薄膜至厚度 2 0 0 n m 之疊層。

其次，由眾所知之方法，諸如電漿 C V D 或濺塗法製造具有非晶質結構之一半導體薄膜 1 0 3 a，具有厚度 2 0 - 1 5 0 n m (宜 3 0 - 8 0 n m)。在本實施例中，由電漿 C V D 製造非晶質矽薄膜至 5 5 n m 厚度。具有非晶質結構之半導體薄膜包含非晶質半導體薄膜及細晶質半導體薄膜，且亦可使用具有非晶質結構之化合物半導體薄膜，諸如非晶質矽鍺薄膜。由於基底薄膜 1 0 2 及非晶質矽薄膜 1 0 3 a 可由相同之薄膜形成方法製造，故此等可連續製造。在基底薄膜製成後，可防止其一旦移去後表面受大氣污染，從而降低 T F T 性質之波動，及所製之 T F T 之臨限電壓之變動 (圖 1 A)。

然後使用眾所知之晶化技術，製造非晶質矽薄膜 1 0 3 a 為晶質矽薄膜 1 0 3 b。例如，可使用雷射晶化或加熱晶化方法 (固相生長方法)，且在此，由使用催化元素之晶化方法，製造晶質矽薄膜 1 0 3 b，依據日本專利公報 7 - 1 3 0 6 5 2 所發表之技術。在晶化步驟之前，雖此視非晶質矽薄膜之濕氣含量而定，但熱處理宜在 4 0 0 - 5 0 0 °C 上執行約一小時，以降低濕氣含量至 5 大氣 % 以下，然後晶化。非晶質矽薄膜之晶化導致原子重新排列成更緊密形態，故晶質矽薄膜之厚度自原非晶質薄

五、發明說明 (13)

膜之厚度 (在本實施例中為 55 nm) 減小約 1 - 15 % (圖 1 B) 。

晶質矽薄膜 103b 然後分離為島形部份，以形成島形半導體層 104 - 107。然後由電漿 CVD 或濺塗法，由氧化矽薄膜形成一蔽罩層 108，具有厚度 50 - 100 nm (圖 1 C) 。

設置一光阻罩 109，並加進濃度約 1×10^{16} 至 5×10^{17} 原子 / cm^3 之硼 (B)，作為 p 型雜質元素，用以限制構成 n 通道 TFT 之島形半導體層 105 - 107 之臨限電壓。硼 (B) 之加進可由離子摻雜法達成，或可與非晶質矽薄膜之製造同時加進。雖硼 (B) 之加進並非必要，但半導體層 110 - 112 宜有硼 (B) 加於其中，以保持 n 通道 TFT 之臨限電壓於規定之範圍中 (圖 1 D)，

為製造驅動電路之 n 通道 TFT 之 LDD 區，選擇加進 n 型雜質元素於島形半導體層 110，111 中。先構製一光阻罩 113 - 116，以供此用。所用之 n 型雜質元素可為磷 (P) 或砷 (As)，且在本例中，使用離子摻雜法，使用磷化氫 (PH_3) 來加進磷 (P)。製成之摻雜區 117，118 之磷 (P) 濃度可在 2×10^{16} 至 5×10^{19} 原子 / cm^3 範圍。在本整個說明中，在此所製之摻雜區 117 - 119 中之 n 型雜質元素之濃度以 (n^-) 表示。摻雜區 119 為用以形成像素矩陣電路之儲存電容器之半導體層，及磷 (P) 亦以相同之濃度加進此區中

五、發明說明 (14)

(圖 2 A) 。

隨後為由氫氟酸等移去蔽罩層 1 0 8，並活化加於圖 1 D 及圖 2 A 中之雜質元素之步驟。可在氮大氣中以 5 0 0 - 6 0 0 °C 熱處理 1 - 4 小時，或由雷射活化法執行該活化。此等亦可合併執行。在本實施例中，使用雷射活化法，由 K r F 準分子雷射光 (2 4 8 n m 波長) 形成線性光束，以振動頻率 5 - 5 0 H z 掃描，及能量密度為 1 0 0 - 5 0 0 m J / c m ²，具有 8 0 - 9 8 % 線性光束重疊，以處理其上已構製有島形半導體層之整個基體。雷射光射線情況並無特別限制，且可由操作者適當設定。

然後由含矽之絕緣薄膜構製一閘絕緣薄膜 1 2 0 至 1 0 - 1 5 0 n m 厚度，使用電漿 C V D 或濺塗法。例如，構製氧氮化矽薄膜至 1 2 0 n m 厚度。閘絕緣薄膜亦可為其他含矽絕緣薄膜之單層或多層結構 (圖 2 B) 。

然後構製一第一導電性層，以形成閘電極。此第一導電性層可構製成單層，但如需要，亦可具有二或三層之疊層結構。在本實施例中，由導電性金屬氮化物薄膜所製之導電性層 (A) 1 2 1 及由金屬薄膜所製之導電性層 (B) 1 2 2 疊合。導電性層 (B) 1 2 2 可為選自鉭 (T a)，鈦 (T i)，鉬 (M o)，及鎢 (W) 之一元素，或主要由此等元素之一所構成之合金，或包含此等元素之組合之一合金薄膜 (普通為 M o - W 合金薄膜或 M o - T a 合金薄膜) 所製成，及導電性層 (A) 1 2 1 為氮化鉭 (T a N)，氮化鎢 (W N)，鉭化鈦 (T i N)，或氮化

(請先閱讀背面之注意事項及 寫本頁)

裝 · 訂 · 線

五、發明說明 (15)

鉬 (M o N) 所製成。作為導電性層 (A) 之另外材料，可使用矽化鎢，矽化鈦，或矽化鉬。導電性層 (B) 可具有較小之雜質濃度，用於較低電阻，且尤其是氧濃度在 3 0 p p m 以下為滿意。例如，具有氧濃度在 3 0 p p m 以下之鎢 (W) 可達成在 2 0 $\mu \Omega$ c m 以下之電阻係數。

導電性層 (A) 可為 1 0 - 5 0 n m (宜為 2 0 - 3 0 n m)，及導電性層 (B) 1 2 2 可為 2 0 0 - 4 0 0 n m (宜為 2 5 0 - 3 5 0 n m)。在本實施例中，使用具有厚度 3 0 n m 之氮化鉬薄膜作為導電性層 (A) 1 2 1，及使用 3 5 0 n m 之 T a 薄膜作為導電性層 (B) 1 2 2，且二者由濺塗法製造。在以濺塗法製造此薄膜中，加進適量之 x e 或 K r 於 A r 濺塗氣體中可減輕所製成之薄膜之內部應力，從而防止薄膜剝落。雖未顯示，但可在導電性層 (A) 1 2 1 下面構製以磷 (P) 摻雜之矽薄膜至約 2 - 2 0 n m 厚度。此可提高附著力，並防止其上所構製之導電性薄膜氧化，同時並防止導電性層 (A) 或導電性層 (B) 中之絲量金屬元素擴散進入閘絕緣薄膜 1 2 0 中 (圖 2 C)。

然後構製一光阻罩 1 2 3 - 1 2 7，並蝕刻導電性層 (A) 1 2 1 及導電性層 (B) 1 2 2 一起，以製造閘電極 1 2 8 - 1 3 1 及電容器接線 1 3 2。閘電極 1 2 8 - 1 3 1 以及電容器接線 1 3 2 包含整體成形之由導電性部份 (A) 所構成之部份 1 2 8 a - 1 3 2 a 及由導電性層 (B) 所構成之部份 1 2 8 b - 1 3 2 b。在此，構製於

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明 (16)

驅動電路中之閘電極 1 2 9 , 1 3 0 經由閘絕緣層 1 2 0 重疊於摻雜區 1 1 7 , 1 1 8 之一部份上 (圖 2 D) 。

隨後為加進 p 型雜質元素，以製造驅動電路之 p 通道 T F T 源區及汲區之步驟。在此，使用閘電極 1 2 8 為蔽罩，以製造自我對齊之摻雜區。構製有 n 通道 T F T 之區此時由光阻蔽 1 3 3 蓋住。摻雜區 1 3 4 由離子摻雜法製造，使用二硼氫 (B_2H_6) 。此區中之硼 (B) 濃度為 3×10^{20} 至 3×10^{21} 原子 / cm^3 。在本整個說明中，此處所製之摻雜區 1 3 4 中之 p 型雜質元素之濃度以 (p^+) 表示 (圖 3 A) 。

其次，構製用作源區或汲區之摻雜區於 n 通道 T F T 中。構製光阻罩 1 3 5 - 1 3 7 ，並加進 n 型雜質元素，以形成摻雜區 1 3 8 - 1 4 2 。此由離子摻雜法達成，使用磷化氫 (PH_3) ，及區中之磷 (P) 濃度在 1×10^{20} 至 1×10^{21} 原子 / cm^3 。在此整個說明中，在此所構製之摻雜區 1 3 8 - 1 4 2 中之 n 型雜質元素之濃度由 (n^+) 表示 (圖 3 B) 。

摻雜區 1 3 8 - 1 4 2 已含有前步驟中所加進之磷 (P) 或硼 (B) ，但由於加進之磷 (P) 之濃度充分較高，故在前步驟中所加進之磷 (P) 或硼 (B) 之影響可忽視。由於加進於摻雜區 1 3 8 中之磷 (P) 之濃度為在圖 3 A 中所加進之硼 (B) 之濃度之 $1/2$ 至 $1/3$ ，確保 p 型導電性，故對 T F T 之性質無影響。

隨後為加進 n 型雜質，以形成一 L D D 區於像素距陣

(請先閱讀背面之注意事項五
為本頁)

裝
訂
線

五、發明說明 (17)

電路之 n 通道 T F T 中之步驟。在此，使用閘電極 1 3 1 為蔽罩，由離子摻雜法自我對齊加進 n 型雜質元素。所加進之磷 (P) 之濃度為 1×10^{16} 至 5×10^{18} 原子 / cm^3 ，及加進較之在圖 2 A，圖 3 A，及圖 3 B 中所加之雜質元素之濃度為低之濃度，僅大致形成摻雜區 1 4 3，1 4 4。在此整個說明中，此等摻雜區 1 4 3，1 4 4 中之 n 型雜質元素以 (n⁻) 表示 (圖 3 C)。

隨後為一熱處理步驟，用以活化以其各別濃度所加進之 n 型或 p 型雜質元素。此步驟可由爐徐冷法，雷射徐冷法，或急速熱徐冷法 (R T A 法) 達成。在此，由爐徐冷法達成活化步驟。在氮大氣中執行熱處理，具有氧濃度不大於 1 p p m，且宜不大於 0.1 p p m，在 400 - 800 °C 上且普通 500 - 600 °C 上，且在本實施例中，熱處理在 550 °C 上執行 4 小時。當使用耐熱材料，諸如石英基體為基體 1 0 1 時，可甚至在 800 °C 上熱處理一小時，此使雜質元素活化，並在雜質元素所加進之摻雜區及通道形成區之間形成滿意之黏合。

在熱處理中，自金屬薄膜 1 2 8 b - 1 3 2 b 之表面形成導電性層 (C) 1 2 8 c - 1 3 2 c 至 5 - 80 n m 之厚度，形成閘電極 1 2 8 - 1 3 1 及電容器接線 1 3 2。例如，當導電性層 (B) 1 2 8 b - 1 3 2 b 為鎢 (W) 時，形成氮化鎢 (W N)，而當使用鉭 (T a) 時，則可形成氮化鉭 (T a N)。導電性層 (C) 1 2 8 c - 1 3 2 c 可由同樣方式製成，由曝露閘電極 1 2 8 -

(請先閱讀背面之注意事項及
為本頁)

裝
訂
線

五、發明說明 (18)

1 3 1 於含氮之電漿大氣中，使用氮或氫達成。並執行一步驟，由在含有 3 - 1 0 0 % 氫氣之大氣中以 3 0 0 - 4 5 0 °C 熱處理 1 - 1 2 小時，以氫化島形半導體層。此步驟在由熱激勵之氫，終接半導體層之懸空鍵。亦可執行電漿氫化（使用電漿激勵之氫），作為氫化之另一方法。

當使用催化元素使非晶質矽薄膜晶化之方法製造島形半導體層時，絲量之催化元素殘留於島形半導體層中。雖 T F T 當然可甚至在此情況中完成，但殘留之催化元素更宜至少自通道形成區中除去。用以消除催化元素之一方法為利用磷 (P) 之除雜效果。除雜所需之磷 (P) 濃度在與圖 3 B 中製造摻雜區 (n⁺) 相同之程度，且在此所執行之活化步驟之熱處理可除去 n 通道 T F T 及 p 通道 T F T 之通道形成區中之催化元素 (圖 3 D) 。

圖 6 A 及圖 7 A 為迄至此步驟之 T F T 之頂視圖，在此，斷面 A - A' 及斷面 C - C' 相當於圖 3 D 之 A - A' 及 C - C'。斷面 B - B' 及斷面 D - D' 相當於圖 8 A 及圖 9 A 之斷面圖。圖 6 A 至 6 C 及圖 7 A 至 7 C 之頂視圖略去閘電極薄膜，但迄至此步驟，至少閘電極 1 2 8 - 1 3 1 及電容器接線 1 3 2 形成於島形半導體層 1 0 4 - 1 0 7 上，如所示。

在完成活化及氫化步驟後，製造第二導電性層，用作閘接線。此第二導電性層可由導電性層 (D) 及導電性層 (E) 所製，前者主要為鋁 (A l) 或銅 (C u) 等低電阻材料，及後者為鈦 (T i)，鉭 (T a)，鎢 (W)，

(請先閱讀背面之注意事項五 寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (19)

或鉬 (M o) 所構成。在本實施例中，導電性層 (D) 1 4 5 為鋁 (A l) 薄膜，包含 0 . 1 - 2 w t % 之鈦 (T i) ，及導電性層 (E) 1 4 6 為鈦 (T i) 薄膜。導電性層 (D) 1 4 5 可構製至 2 0 0 - 4 0 0 n m (宜 2 5 0 - 3 5 0 n m) ，及導電性層 (E) 1 4 6 可構製至 5 0 - 2 0 0 n m (宜 1 0 0 - 1 5 0 n m) (圖 4 A) 。

導電性層 (E) 1 4 6 及導電性層 (D) 1 4 5 接受蝕刻處理，以製造閘接線連接至閘電極，如此製成閘接線 1 4 7 ， 1 4 8 及電容器接線 1 4 9 。蝕刻處理先由乾蝕刻完成移去導電性層 (E) 之表面部份至導電性層 (D) ，使用 S i C l ₄ ， C l ₂ ，及 B C l ₃ 之混合氣體，然後執行濕蝕刻，由磷酸基礎之蝕刻溶液移去導電性層 (D) ，如此可形成一閘接線，同時由基底層維持選擇性工作。

圖 6 B 及圖 7 B 為此狀態之頂視圖，在此，斷面 A - A ' 及斷面 C - C ' 相當於圖 4 B 之 A - A ' 及 C - C ' 。斷面 B - B ' 及斷面 D - D ' 相當於圖 8 B 及 9 B 之 B - B ' 及 D - D ' 。在圖 6 B 及 7 B 中，閘接線 1 4 7 ， 1 4 8 之部份重疊，且電接觸閘電極 1 2 8 ， 1 2 9 ， 1 3 1 之部份。此情形清楚顯示於圖 8 B 及 9 B 之斷面結構圖中，相當於斷面 B - B ' 及斷面 D - D ' ，在此，形成第一導電性層之導電性層 (C) 及形成第二導電性層之導電性層 (D) 電接觸。

由氧化矽薄膜或氮化矽薄膜構製一第一層間絕緣薄

(請先閱讀背面之注意事項再
寫本頁)

裝
訂
線

五、發明說明 (20)

膜 1 5 0 至 5 0 0 - 1 5 0 0 n m 厚度，其後，製造接觸孔，到達每一島形半導體層中所構製之源區或汲區，以形成源接線 1 5 1 - 1 5 4 及汲接線 1 5 5 - 1 5 8。雖此處未顯示，但在本實施例中，電極具有三層之疊層結構，由濺塗法連續製造一 T i 薄膜至 1 0 0 n m，一含 T i 之鋁薄膜至 3 0 0 n m，及一 T i 薄膜至 1 5 0 n m。

其次，製造一氮化矽薄膜，氧化矽薄膜，或氧氮化矽薄膜至 5 0 - 5 0 0 n m (普通 1 0 0 - 3 0 0 n m) 厚度，作為鈍化薄膜 1 5 9。在此狀態中。氫化處理產生提昇 T F T 特性之有利結果。例如，可在包含 3 - 1 0 0 % 氫之大氣中以 3 0 0 - 4 5 0 ° C 執行熱處理 1 - 1 2 小時，或可由使用電漿氫化法達成相似效果。在此，可在鈍化薄膜 1 5 9 所欲構製接觸孔之位置處製造開口，用以連接像素電極及汲接線 (圖 4 C)。

圖 6 C 及圖 7 C 顯示此情形之頂視圖，在此，斷面 A - A' 及斷面 C - C' 相當於圖 4 C 之 A - A' 及 C - C'。斷面 B - B' 及斷面 D - D' 相當於圖 8 C 及圖 9 C 之 B - B' 及 D - D'。圖 6 C 及圖 7 C 並未顯示第一層間薄膜，但在島形半導體層 1 0 4, 1 0 5, 1 0 7 之源及汲區 (未顯示) 中之源接線 1 5 1, 1 5 2, 1 5 4, 及汲接線 1 5 5, 1 5 6, 1 5 8 經由第一層間絕緣薄膜中所構製之接觸孔接觸。

其次，構製由有機樹脂所構成之一第二層間絕緣薄膜 1 6 0 至 1 . 0 - 1 . 5 μ m 厚度。所用之有機樹脂可為

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明 (21)

聚醯亞胺，壓克力，聚醯胺，聚醯亞胺醯胺，BCB（苯環丁基），或類似者。在此，在塗敷於基體上後，使用在 300°C 上燒製熱聚合式之聚醯亞胺來成形。然後在第二層間絕緣薄膜160中製造接觸孔，到達汲接線158，並製造像素電極161，162。所用之像素電極在透射式液晶顯示裝置之情形，可為透明之導電性薄膜，或在反射式液晶顯示裝置之情形，為金屬薄膜。在本實施例中，使用透射式液晶顯示裝置，且故此，由濺塗法製造氧化銦錫（ITO）薄膜至 100nm 厚度（圖5）。

如此完成一基體，具有驅動電路TF T及顯示區像素TF T在同一基體上。一p通道TF T 201，一第一n通道TF T 202，及一第二n通道TF T 203構製於驅動電路上，及一像素TF T 204及一儲存電容器205構製於顯示區上。在本整個說明中，為方便起見，此基體稱為主動矩陣基體。

驅動電路之p通道TF T 201具有一通道形成區206，源區207a，207b，及汲區208a，208b在島形半導體層104中。第一n通道TF T 202具有一通道形成區209，一LDD區210重疊於閘電極129（此後此式之LDD區稱為 L_v ），一源區211，及一汲區212在島形半導體層105中。此 L_v 區在通道長度方向上之長度為 $0.5 - 3.0\mu\text{m}$ ，且宜為 $1.0 - 1.5\mu\text{m}$ 。第二n通道TF T 203具有一通道形成區213，LDD區214，215，源區

（請先閱讀背面之注意事項再為本頁）

裝 · 訂 · 線

五、發明說明 (22)

216，及汲區217在島形半導體層106中。此等LDD區為一L_{ov}區，及一LDD區並不重疊於閘電極（此後此式之LDD區稱為L_{ov}），及此L_{ov}區在通道長度方向上之長度為0.3 - 2.0 μm，且宜為0.5 - 1.5 μm。像素TFT204具有通道形成區218，219，L_{ov}區220 - 223，及源或汲區224 - 226在島形半導體層107中。L_{ov}區在通道長度方向上之長度為0.5 - 3.0 μm，且宜為1.5 - 2.5 μm。電容器接線132，149及與閘絕緣薄膜相同材料所製之絕緣薄膜連接至像素TFT204之汲區226，及一儲存電容器205由加有n型雜質元素之半導體層227構成。在圖5中，像素204具有雙閘結構，但此亦可具有單閘結構，且在設有多個閘電極之多閘結構上亦無問題。

如此，本發明依據像素TFT及驅動電路所需之規格，使每一電路之TFT最佳化，如此可提高半導體裝置之操作性能及可靠性。而且，由耐熱之導電性材料製造閘電極，可方便LDD區及源及汲區之活化，且如此，由低電阻材料製造閘接線，充分減小接線電阻。如此可應用於具有4吋或更大級之顯示區（螢幕大小）之顯示裝置上。

〔實施例模式2〕

圖16A至16C顯示閘電極及閘接線之另一實施例。圖16中之閘電極及閘接線與實施例模式1所示之步驟

（請先閱讀背面之注意事項再
為本頁）

裝
訂
線

五、發明說明 (23)

相同之方式製造，且製造於島形半導體層 901 及閘絕緣薄膜 902 上。

在圖 16 A 中，作為閘電極之第一導電性層為由氮化鉭 (Ta N)，氮化鎢 (W N)，氮化鈦 (T i N)，或氮化鉬 (M o N) 所製之導電性層 (A) 903。導電性層 (B) 904 為選自鉭 (Ta)，鈦 (T i)，鉬 (M o)，及鎢 (W) 之元素，或該元素主要構成之合金，或包含此等元素之組合之合金薄膜所構成，同時導電性層 (C) 905 以與實施例模式 1 相同之方式構製於表面上。導電性層 (A) 903 可為 10 - 50 nm (宜為 20 - 30 nm)，及導電性層 (B) 904 可為 200 - 400 nm (宜為 250 - 350 nm)。作為閘接線之第二導電性層由鋁 (A l) 或銅 (C u) 低電阻材料主要構成之導電性層 (D) 906 構成，及其上之導電性層 (E) 907 為鈦 (T i) 或鉭 (T a) 所製。由於鋁 (A l) 及銅 (C u) 容易由應力遷移或電子遷移而擴散，故需構製氮化矽薄膜 908 至厚度 50 - 150 nm，以覆蓋第二導電性層。

圖 16 B 顯示以與實施例模式 1 相同之方式所製之閘電極及閘接線，及由磷 (P) 摻雜之矽薄膜 909 構製於閘電極下面。由磷 (P) 摻雜之矽薄膜 909 具有防止閘電極中絲量之鹼金屬元素擴散進入閘絕緣薄膜中之效果，且可用以確保 T F T 之可靠性。

圖 16 C 為構製於形成閘電極之第一導電性層上之一

五、發明說明 (24)

例，矽薄膜 9 1 0 由磷 (P) 摻雜。由磷 (P) 摻雜之矽薄膜為較其他導電性金屬材料為高之電阻材料，但由製造由鋁 (A l) 或銅 (C u) 所組成之閘接線之第二導電性層，此可應用於大面積之液晶顯示裝置上。在此，閘接線可為三層結構所構成，具有一 T i 薄膜 9 1 1 構製至 1 0 0 n m ，含 T i 之一鋁 (A l) 薄膜 9 1 2 構製至 3 0 0 n m ，及一 T i 薄膜 9 1 3 構製至 1 5 0 n m ，避免鋁 (A l) 薄膜及磷 (P) 摻雜之矽薄膜間直接接觸，俾耐熱。

[實施例模式 3]

圖 1 5 A 至 1 5 C 顯示本發明之 T F T 結構，顯示一 T F T 中之閘電極及 L D D 區間之位置關係，具有一半導體層通道形成區，一 L D D 區，一閘絕緣薄膜在半導體層上，及一閘電極在閘絕緣薄膜上。

圖 1 5 A 顯示設有半導體層之一構造，具有一通道形成區 2 0 9 ， L D D 區 2 1 0 ，及汲區 2 1 2 ，及一閘絕緣薄膜 1 2 0 及閘電極 1 2 9 構製於其上。L D D 區 2 1 0 為 L . v ，設置經由閘絕緣薄膜 1 2 0 重疊於閘電極 1 2 9 。 L . v 具有衰減汲極附近所產生之高電場，同時防止受熱載子惡化之功能，且此可適用於含有一轉移暫存電路，一位準轉移電路，一緩衝電路，或類似者之一驅動電路之 n 通道 T F T 上。

圖 1 5 B 顯示設有半導體層之一結構，具有一通道形

(請先閱讀背面之注意事項再
為本頁)

裝
訂
線

五、發明說明 (25)

成區 2 1 3 , L D D 區 2 1 5 a , 2 1 5 b , 及一汲區 2 1 7 , 及一閘絕緣薄膜 1 2 0 及閘電極 1 3 0 構製於半導體層上。L D D 區 2 1 5 a 經由閘絕緣薄膜 1 2 0 重疊於閘電極 1 5 0 。而且 , L D D 2 1 5 b 為 L . . . , 設置不重疊於閘電極 1 3 0 。L . . . 具有降低斷電流值之功能 , 且設有 L . v 及 L . r r 之結構可防止受熱載子惡化 , 同時亦降低斷電流值 , 故可適用於驅動電路之抽樣電路之 n 通道 T F T 上。

圖 1 5 C 顯示一半導體層 , 設有一通道形成區 2 1 9 , 一 L D D 區 2 2 3 , 及一汲區 2 2 6 。L D D 區 2 2 3 為 L . . . , 設置不經由閘絕緣薄膜 1 2 0 重疊於閘電極 1 3 1 , 且此可有效減少斷電流值 , 且故此適用於像素 T F T 。像素 T F T 之 L D D 區 2 2 3 中之 n 型雜質元素之濃度宜較驅動電路之 L D D 區 2 1 0 , 2 1 5 中之濃度低 1 / 2 至 1 / 1 0 。

[實施例模式 4]

在本實施例中 , 說明用以由主動矩陣基體製造主動矩陣式液晶顯示裝置之步驟。如顯示於圖 1 1 , 在實施例模式 1 所製之圖 5 所示之狀態中 , 構製一對齊薄膜 6 0 1 於主動矩陣基體上。常使用聚醯亞胺樹脂 , 作為大部份液晶顯示元件之對齊薄膜。在相對側之相對基 6 0 2 上 , 構製一光屏蔽薄膜 6 0 3 , 一透明導電性薄膜 6 0 4 , 及一對齊薄膜 6 0 5 。在構製對齊薄膜後 , 此接受摩擦處理 , 俾

(請先閱讀背面之注意事項再為本頁)

裝訂線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (26)

液晶分子朝向一致之預定傾斜角度。像素矩陣電路及與主動矩陣基體（其上已構製有CMOS電路）相對之基體經由密封材料或隔件（均未顯示），使用眾所知之單元接合步驟黏合一起。其次，注入液晶材料606於二基體之間，並由密封劑（未顯示）完成密封。所用之液晶材料可為眾所知之任何液晶材料。如此完成圖11所示之主動矩陣式液晶顯示裝置。

現參考圖12之透視圖及圖13之頂視圖，說明此主動矩陣式液晶顯示裝置之結構。相同之編號使用於圖12及13中，與圖1至5及圖11之斷面結構圖相對應。沿圖13之E-E'上之斷面結構相當於圖5所示之像素矩陣電路之斷面圖。

在圖12中，主動矩陣基體由構製於玻璃基體101上之一顯示區306，一掃描信號驅動電路304，及一影像信號驅動電路305構成。像素TF T 204設置於顯示區中，及繞此設置之驅動電路根據CMOS電路構製。掃描信號驅動電路304及影像信號驅動電路305各由閘接線148及源接線154連接至像素TF T 204。而且，一FPC 731連接至外I/O接頭734，並由輸入接線302，303連接至驅動電路。

圖13為頂視圖，顯示該顯示區306之約一像素部份。閘接線148經由一閘絕緣薄膜（未顯示）與其下之一半導體層107相交。半導體層上一源區，汲區，及n⁻區之一L₁區亦未顯示。一連接頭163在源接線

（請先閱讀背面之注意事項再為本頁）

裝 · 訂 · 線

五、發明說明 (27)

1 5 4 及源區 2 2 4 之間，一連接頭 1 6 4 在汲接線
 1 5 8 及汲區 2 2 6 之間，及一連接頭 1 6 5 在汲接線
 1 5 8 及像素電極 1 6 1 之間。一儲存電容器 2 0 5 構製
 於一區域中，在此，自像素 T F T 之汲區 2 2 6 延伸之半
 導體層 2 2 7 經由閘電極薄膜與電容器接線 1 3 2 ，
 1 4 9 重疊。

本實施例之主動式液晶顯示裝置以實施例模式 1 之結
 構說明，但主動式液晶顯示裝置亦可使用與實施例模式 2
 之構造之任何組合來製造。

[實施例模式 5]

圖 1 0 顯示液晶顯示裝置之 I / O 接頭，顯示區，及
 驅動電路之安排。顯示區 3 0 6 具有 m 閘接線及 n 源接線
 交越成矩陣形態。例如，當像素密度為 V G A (影像圖畫
 行列) 時，製造 4 8 0 閘接線及 6 4 0 源接線，且在
 × G A (延伸圖畫行列) ，製造 7 6 8 閘接線及 1 0 2 4
 源接線。顯示區之螢幕大小在 1 3 吋級顯示器之情形具有
 對角線長度 3 4 0 m m ，及在 1 8 吋級顯示器之情形具有
 4 6 0 m m 。為達成此液晶顯示裝置，需要由如實施例模
 式 1 及實施例模式 2 所示之低電阻材料製造閘接線。

一掃描信號驅動電路 3 0 4 及一影像信號驅動電路
 3 0 5 設置於顯示區 3 0 6 周圍。由於此等驅動電路閘接
 線亦需要隨顯示區之螢幕之大小增加而增長之長度，故宜
 由低電阻材料製造，如實施例模式 1 及實施例模式 2 所示

(請先閱讀背面之注意事項五 為本頁)

裝 · · · · · 訂 · · · · · 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (28)

，以達成大尺寸之螢幕。

依據本發明，自輸入接頭 301 連接至每一驅動電路之輸入接線 302，303 可為與閘接線相同之材料製造，且有助於降低接線電阻。

[實施例模式 6]

圖 14 顯示直觀顯示裝置電路構造之實施例模式 1 或實施例模式 2 所示之主重矩陣基體之構造。本實施例之主動矩陣基體具有一影像信號驅動電路 1001，一掃描信號驅動電路 (A) 1007，一掃描信號驅動電路 (B) 1011，一預充電電路 1012，及一顯示區 1006。在此整個說明中，“驅動電路”一辭包含影像信號驅動電路 1001 及掃描信號驅動電路 (A) 1007。

影像信號驅動電路 1001 設有一轉移暫存電路 1002，一位準轉移電路 1003，一緩衝電路 1004，及一抽樣電路 1005。掃描信號驅動電路 (A) 1007 設有一轉移暫存電路 1008，一位準轉移電路 1009，及一緩衝電路 1010。掃描信號驅動電路 (B) 1011 亦具有相同構造。

轉移暫存電路 1002，1008 具有 5 - 16 V (普通 10 V) 之驅動電壓，及構成此電路之 CMOS 電路之 n 通道 TFT 具有圖 5 之 202 所示之構造。位準轉移電路 1003，1009，及緩衝電路 1004，1010 具有高至 14 - 16 V 之驅動電壓，及包含圖 5

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明 (29)

之 n 通道 T F T 2 0 2 之 C M O S 電路適用作轉移暫存電路。在此等電路中，由多閘結構所構成之閘極有效升高電壓電阻，並提高電路穩定性。

抽樣電路 1 0 0 5 具有驅動電壓 1 4 - 1 6 V，但由於需要減小斷電流值，同時以交替反向極性執行驅動，故適用含有圖 5 之 n 通道 T F T 2 0 3 之一 C M O S 電路。圖 5 僅顯示一 n 通道 T F T，但在實際抽樣電路中，此與 p 通道 T F T 連合構成。在此，且有同圖中 2 0 1 所示之構造之 p 通道 T F T 適用。

像素 T F T 2 0 4 具有驅動電壓 1 4 - 1 6 V，且自減少功率消耗之觀點上言之，需要較抽樣電路進一步降低斷電流值，且故此，該結構宜具有一 L D D (L o c k) 區，依像素 T F T 2 0 4 之方式設置不重疊於閘電極。

本實施例之構造可容易由依據實施例模式 1 所示之步驟製造 T F T 達成。在本實施例中，僅顯示顯示區及驅動電路之構造，但在實施例模式 1 之步驟後，可製造一信號處理電路，諸如信號分裂路，副諧波電路，D / A 變換器， γ 改正電路，運算放大電路，記憶電路，或計算處理電路，或邏輯電路於同一基體上。如此，本發明可達成一半導體裝置，含有一像素矩陣電路及其驅動電路在同一基體上，例如，裝有信號驅動電路及像素矩陣電路之一半導體裝置。

[實施例模式 7]

(請先閱讀背面之注意事項五 為本頁)

裝 · 訂 · 線

五、發明說明 (30)

依本發明製造之一主動矩陣基體及液晶顯示裝置可用於各種光電裝置上。本發明亦可應用於任何電子儀器，含有此光電裝置作為顯示媒體。作為電子儀器，可提出個人電腦，數位攝影機，攝影機，便攜式資訊端末機（行動電腦，胞式電話機，電子書等），導航系統等。此等之一例顯示於圖 1 7 A 至 1 7 E。

圖 1 7 A 為個人電腦，此構造具有一主體 2 0 0 1，設有一微處理器或記憶器，一影像輸入裝置 2 0 0 2，一顯示裝置 2 0 0 3，及一鍵盤 2 0 0 4。顯示裝置 2 0 0 3 或其他信號處理電路可依據本發明製造。

圖 1 7 B 為攝影機，此構造具有一主體 2 1 0 1，一顯示裝置 2 1 0 2，一聲音輸入裝置 2 1 0 3，一操作開關 2 1 0 4，一電池 2 1 0 5，及一影像接收裝置 2 1 0 6。本發明可應用於顯示裝置 2 1 0 2 或其他信號驅動電路上。

圖 1 7 C 為便攜式資料端末機，此構造具有一主體 2 2 0 1，一影像輸入裝置 2 2 0 2，一影像接收裝置 2 2 0 3，一操作開關 2 2 0 4，及一顯示裝置 2 2 0 5。本發明可應用於顯示裝置 2 2 0 5 或其他信號驅動電路上。

圖 1 7 D 為一播放器，用於程式記錄之記錄媒體上（此後簡稱為記錄媒體），且其構造具有一主體 2 4 0 1，一顯示裝置 2 4 0 2，一揚聲器 2 4 0 3，一記錄媒體 2 4 0 4，及一操作開關 2 4 0 5。所用之記錄媒體可為

（請先閱讀背面之注意事項五）

為本頁）

裝 · 訂 · 線

五、發明說明 (31)

D V D (數立多樣碟) 或緊湊碟 (C D) ，且此可再生音樂節目及影像顯示，以及顯示影像遊戲 (或 T V 遊戲) 之資料，並通過網際網路。本發明可滿意使用顯示裝置 2 4 0 2 或其他信號驅動電路。

圖 1 7 E 為數位攝影機，此構造具有一主體 2 5 0 1 ，一顯示裝置 2 5 0 2 ，一目鏡 2 5 0 3 ，一操作開關 2 5 0 4 ，及一影像接收器 (未顯示) 。本發明可應用於影像裝置 2 5 0 2 或其他信號驅動電路中。

故此，本發明之範圍非常廣大，且可應用於多種場所之電子儀器上。此等實施例之電子儀器亦可使用實施例模式 1 至 6 之任何組合之構造達成。

[實施例模式 8]

在本實施例模式中，說明使用電發光 (E L) 材料，自與實施例模式 1 相似之一主動矩陣基體製造一自發光發射式顯示板 (此後稱為 E L 顯示裝置) 之一例。圖 1 8 A 顯示 E L 顯示板之頂視圖。在圖 1 8 A 中，參考編號 1 0 為一基體，1 1 為像素部份，1 2 為源方驅動電路，及 1 3 為閘方驅動電路，每一驅動電路經由接線 1 4 至 1 6 到達一 F P C 1 7 ，及然後連接至外部裝置。

圖 1 8 B 顯示相當於圖 1 8 A 之 A - A ' 處之斷面。在此，一相對板 8 0 置於至少像素部份上，宜在驅動電路及像素部份上。相對板 8 0 由密封材料 1 9 黏著於主動矩陣基體上，其上使用 E L 材料構製 T F T 及自發光發射層

(請先閱讀背面之注意事項再 為本頁)

裝 · 訂 · 線

五、發明說明 (32)

。填料 (未顯示於圖中) 混合於密封材料 1 9 中，及二基體由此填料黏合一起，俾具有約均勻之距離。裝置另具有一結構，由密封劑 8 1 緊密封於密封材料 1 9 之外面及 F P C 1 7 之頂及周邊上。密封劑 8 1 使用諸如矽酮樹脂，環氧樹脂，酚樹脂，或丁基橡膠等材料。

當主動矩陣基體 1 0 及相對基 8 0 由密封材料 1 9 黏合一起時，一空間形成於其內部。填料 8 3 填於該空間中。此填料 8 3 亦具有黏合相對板 8 0 之效果。可使用 P V C (聚氯化乙烯)，環氧樹脂，矽酮樹脂，P V B (聚丁基乙酯)，或 E V A (醋酸乙基乙酯) 為填料 8 3。由於自發光發射層耐濕力弱，且易於變壞，故宜在填料 8 3 之面上構製一乾燥劑，諸如氧化鋇，俾可維持吸濕效果。該裝置另由氮化矽薄膜或氧氮化矽薄膜等構製一鈍化薄膜 8 2 於自發光發射層上，以防止受填料 8 3 中所含之鹼元素等所腐蝕。

一玻璃板，一鋁板，一不銹鋼板，一 F R P (纖維加強之塑膠) 板，一 P V F (聚氟化乙烯) 薄膜，一 Myler 薄膜 (杜邦公司之商標)，一聚酯薄膜，一壓克力薄膜，或一壓克力板可用作相對板 8 0。而且，可使用一薄片增加耐濕力，此具有由 P V F 薄膜或 M y l e r 薄膜包夾數十 μ m 之一鋁箔片之構造。如此，E L 元件緊密封，並隔絕外部大氣。

在圖 1 8 B 中，驅動電路 T F T 2 2 (注意合併 n 通道 T F T 及 p 通道 T F T 之 C M O S 電路顯示於圖中) 及

(請先閱讀背面之注意事項再為本頁)

裝訂線

五、發明說明 (33)

像素部份 2 3 之 T F T (注意此處顯示 T F T , 此控制至 E L 元件之電流) 構製於一基體 1 0 及基底薄膜 2 1 上。明確言之, 在此等 T F T 中, n 通道 T F T 設有 L D D 區, 具有本實施例模式中所示之結構, 以防止由於熱載子效應所引起之通電流減少加, 及由於第 V 轉移或偏壓應力所引起之特性惡化。

例如, 圖 5 所示之 p 通道 T F T 2 0 1 及 n 通道 T F T 2 0 2 可用作驅動電路 T F T 2 2。雖此視驅動電壓而定, 但如驅動電壓為 1 0 V 或更大, 則圖 5 之第一 n 通道 T F T 2 0 4 或具有相似結構之 p 通道 T F T 可用作像素部份 T F T。雖第一 n 通道 T F T 2 0 2 構造設置與閘電極重疊之一 L D D 於汲方上, 但當驅動電壓小於 1 0 V 時, 則無需此設置, 因為由熱載子效應所引起之 T F T 之惡化幾可忽略。

為由圖 1 A 至 1 D 之狀態之主動矩陣基體製造 E L 顯示裝置, 構製包含樹脂材料之一層間絕緣薄膜 (平坦化薄膜) 2 6 於源接線及汲接線上, 並構製包含透明導電性薄膜之一像素電極 2 7 於其上, 此電連接至像素部份 T F T 2 3 之汲極。可使用氧化銦及氧化錫之化合物 (稱為 I T O) 或氧化銦及氧化鋅之化合物作為透明導電性薄膜。在製造像素電極 2 7 後, 製造一絕緣薄膜 2 8, 及製造一開口部份於像素電極 2 7 上。

其次, 製造自發光發射層 2 9。自發光發射層 2 9 可為疊層結構或單層結構, 眾所知之 E L 材料 (電洞注入層

(請先閱讀背面之注意事項五 與本頁)

裝 · 訂 · 線

五、發明說明 (34)

，電洞輸送層，光發射層，電子輸送層，或電子注入層）可在其中自由合併。有關其如何構造，可使用公開領域之技術。而且，有小分子材料及聚合物材料用作 E L 材料。在使用小分子材料之情形，使用蒸發方法，及在使用聚合物材料之情形，可使用一簡單方法，諸如旋轉塗敷，印出，或噴墨方法。

自發光發射層可由使用陰蔽罩之蒸發法，噴墨法，或散發法製造。在任一方法中，由製造發光層可顯示彩色，每像素能發射不同波長之光（紅光發射層，綠光發射層，及藍光發射層）。可使用任何其他方法，諸如合併色改變層（CCM）及濾色層，及合併白光發射層及濾色層。無待言者，單色發射 E L 顯示裝置亦可。

在製造自發光發射層 29 後，構製一陰極 30 於其上。宜盡可能移去陰極 30 及自發光發射層 29 間之介面中所存在之濕氣及氧氣。故此需採取措施，諸如在真空內由連續薄膜沉積法製造自發光發射層 29 及陰極 30，或在惰性大氣中製造自發光發射層 29 及然後製造陰極 30，而不曝露於大氣中。可使用多室系統（成簇工具系統）沉積裝置，執行本實施例中之以上薄膜沉積法。

注意 LiF（氟化鋰）薄膜及 Al（鋁）薄膜之一疊層結構用作實施例模式 8 中之陰極 30。明確言之，由蒸發法構製一 1 nm 厚之 LiF（氟化鋰）薄膜於自發光發射層 29 上，及構製一 300 nm 厚之鋁薄膜於其上。無待言者，可使用 MgAg 電極，一已知之陰極材料。陰極

（請先閱讀背面之注意事項五）
裝
訂
線

五、發明說明 (35)

30 連接至由參考編號 31 所標示之區域中之接線 16。接線 16 為電源線，以供應預設定之電壓至陰極 30，且經由各向異性導電性糊料 32 連接至 FPC。另構製樹脂層 80 於 FPC 17 上，並增加此部份之黏合強度。

為電連接陰極 30 及以參考編號 31 標示之區中之接線 16，需在層間絕緣薄膜 26 及絕緣薄膜 28 中製造一接觸孔。該接觸孔可在蝕刻層間絕緣薄膜 26 之期間中（當構製像素電極接觸孔時），及在蝕刻絕緣薄膜 28 之期間中（在製造自發光發射層前，當製造開口部份時）構製。而且，當蝕刻絕緣薄膜 28 時，可進行一次蝕刻直至層間絕緣薄膜 26。在此情形，接觸孔可具有良好之形狀，假設層間絕緣薄膜 26 及絕緣薄膜 28 為相同材料所製。

接線 16 由通過密封材料 19 及基體 10 間之空間（假設由密封劑 81 封閉）而電連接至 FPC 17。注意在此說明有關接線 16，但其他接線 14 及 15 亦同樣通過密封材料 18 下面而電連接至 FPC 17。

像素部份之更詳細斷面結構在此顯示於於圖 19A 及 19B，頂視圖顯示於圖 20A，及電路圖顯示於圖 20B。在圖 19A 中，基體 2401 上所設置之開關 TFT 2402 構製成與實施例模式 1 之圖 5 之像素 TFT 204 相同之結構。此成爲一結構，其中，二 TFT 串連，採用雙閘結構，及由製造 LDD 於不與閘電極重疊之偏置區中，可減小斷電流值。雖本實施例使用雙閘結構，但該結構可爲三閘結構，或具有更多閘極之多閘

（請先閱讀背面之注意事項五
與本頁）

裝
訂
線

五、發明說明 (36)

結構。

而且，電流控制 T F T 2 4 0 3 由使用圖 5 所示之第一 n 通道 T F T 2 0 2 構成。此 T F T 結構為一結構，其中，重疊於閘電極之 L D D 僅置於汲極方，且此由減小寄生電容及閘極及汲極間之串連電阻而增加電流驅動容量。且自其他觀點言之，此一結構之應用具有非常重要之意義。由於電流控制 T F T 為用以控制 E L 元件中所流之電流量之元件，故為具有由於多量電流流過之熱所引起之惡化及熱載子所引起之惡化之較高危險。可由設置一 L D D 區與閘電極部份重疊，防止電流控制 T F T 之惡化，並增加操作穩定性。在此情形，開關 T F T 2 4 0 2 之汲接線 3 5 經由接線 3 6 電連接至電流控制 T F T 之閘電極 3 7。以參考編號 3 8 標示之接線為閘接線，此電連接開關 T F T 2 4 0 2 之閘電極 3 9 a 及 3 9 b。

而且，雖本實施例顯示一單閘結構用於電流 T F T 2 4 0 3 上，但此可為一多閘結構，多個 T F T 串連。而且，此可為一結構，其中，多個 T F T 並聯，在實效上分割通道形成區，且其中，可高效率發散熱。此結構有效作為由熱所引起之惡化之反制措施。

如顯示於圖 2 0 A，由置一絕緣薄膜於參考編號 2 4 0 4 所標示之區域中，成為電流控制 T F T 2 4 0 3 之閘電極 3 7 之接線與電流控制 T F T 2 4 0 3 之汲接線 4 0 重疊。在此，構製一電容器於參考編號 2 4 0 4 所標示之區域中。此電容器 2 4 0 4 用以保持施加於電流控制

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明 (37)

T F T 2 4 0 3 之閘極上之電壓。汲接線 4 0 連接至電流供應線 (電源線) 2 5 0 1 , 並恆施加一恆定電壓於其上。

構製一第一鈍化薄膜 4 1 於開關 T F T 2 4 0 2 及電流控制 T F T 2 4 0 3 上 , 並構製一平面化薄膜 4 2 於其上 , 包含一樹脂絕緣薄膜。使用平面化薄膜 4 2 平坦化由 T F T 所引起之高度差 , 此非常重要。其後欲製造之自發光發射層甚薄 , 故高度差之存在有時引起發射光上之麻煩。故此 , 在製造像素電極之前 , 需執行平坦化 , 俾製造自發光發射層於盡可能平坦之表面上。

4 3 標示一像素電極 (E L 元件之陰極) , 為具有高反射性之導電性薄膜所構成 , 此電連接至電流控制 T F T 2 4 0 3 之汲極。像素電極 4 3 之材料宜為低電阻導電性薄膜 , 諸如鋁合金薄膜 , 銅合金薄膜 , 及銀合金薄膜 , 或此等薄膜之疊層薄膜。無待言者 , 此等薄膜可用以製造與其他導電性薄膜疊層之結構。絕緣薄膜 (宜為樹脂) 所製之堤防 4 4 a 及 4 4 b 形成一槽 (相當於像素) 於其間 , 以構製一發光層 4 4 於槽中。雖此處僅顯示一像素 , 但可製造與色 R (紅) , G (綠) , 及 B (藍) 分別相對應之發光層。作為用以製造發光層之有機 E L 材料 , 使用 π 共軛聚合材料。代表性之聚合材料包含聚對苯乙烯 (P P V) , 聚吡啶乙基 (P V K) , 及聚氟基礎之材料等。在各種 P P V 基礎之有機 E L 材料中 , 可用之一材料發表於例如 H. Shenk, H.Becker, O.Gelsen, E.Kluge, W.Kreuder, 及

(請先閱讀背面之注意事項再
與本頁)

裝 · 訂 · 線

五、發明說明 (38)

H.Spreitzer 之“發光二極體用之聚合物”中，歐羅顯示器，學會記錄，1999，33-37頁，或日本專利申請公報海字10-92576號。

明確言之，使用氘基聚苯乙烯為用以發紅光之發光層，使用聚苯乙烯為用以發綠光之發光層，及使用聚苯乙烯或聚醯苯為用以發藍光之發光層。其適當之薄膜厚度為30至150nm（宜為40至100nm）。然而，以上說明為可用作發光層之有機EL材料之例，且無需限制本發明於此。自發光發射層（用以發光及用以移去載子俾便發光之層）可由自由合併發光層，電荷輸送層，及電荷注入層構成。除用作本實施例所示之例中之發光層外，例如，可使用小分子有機EL材料。且可使用諸如碳化矽之有機材料為電荷輸送層及電荷注入層。已知之材料可用作此等有機EL材料及有機材料。

本實施例中之自發光發射層具有疊層結構，其中，發光層45上包含PEDOT（polythiophene）或PAni（聚苯胺）層。在本實施例之情形中，發光層45中所產生之光向頂表面（向上至TFT外）發射，此需要具有光透射性之陽極。該透明導電性薄膜可由氧化銦及氧化錫之化合物或氧化銦及氧化鋅之化合物構成，且較宜之材料為可在盡量低之溫度上製成薄膜之材料，因為透明導電性薄膜在具有低抗熱性之發光層及電洞注入層製成後製造。

自發光發射元件2045於構製陽極47後完成。自發光發射元件2045在此指一電容器，由像素電極（陰

（請先閱讀背面之注意事項五）

裝

訂

線

五、發明說明 (39)

極) 4 3 , 發光層 4 5 , 電洞注入層 4 6 , 及陽極 4 7 構成。如顯示於圖 2 0 A , 像素電極 4 3 延伸於像素之整個區域上, 故整個像素作用如自發光發射元件。故此, 發光效率非常高, 導致影像顯示光亮。

在本實施例中, 另製造一第二鈍化薄膜 4 8 於陽極 4 7 上。較宜之第二鈍化薄膜 4 8 為氮化矽薄膜或氧氮化矽薄膜。此第二鈍化薄膜之用途在使自發光發射元件與外部隔絕, 意在有機 E L 材料由於氧化而變壞, 並抑制有機關 E L 材料之去氣作用。此提高 E L 顯示裝置之可靠性。

如上述, 本實施例之 E L 顯示板包含像素部份, 包含具有圖 2 0 A 所示之結構之像素, 具有充分低斷電流值之開關 T F T , 及強力忍耐熱載子注射之電流控制 T F T 。如此獲得高度可靠並能優良顯示影像之 E L 顯示板。

圖 9 B 顯示自發光發射層之反結構之一例。電流控制 T F T 2 6 0 1 由與圖 5 之 p 通道 T F T 2 0 1 相同之結構製成。有關製造方法, 可參考實施例模式 1 。使用透明導電性薄膜作為本實施例中之像素電極 (陽極) 5 0 。明確言之, 使用由氧化銦及氧化鋅之化合物所製之導電性薄膜。無待言者, 亦可使用由氧化銦及氧化錫之化合物所製之導電性薄膜。

在製造由絕緣薄膜所製之堤防 5 1 a 及 5 1 b 後, 由施加一溶液製造包含聚吡啶乙基之一發光層 5 2 。構製包含乙醯丙酮化鉀 (標示為 acacK) 之電子注入層 5 3 及鋁合金所製之陰極 5 4 於其上。在此情形, 陰極 5 4 亦作用如

(請先閱讀背面之注意事項五 為本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (40)

鈍化薄膜。如此形成一 E L 元件 2 6 0 2 。在本實施例中，發光層 5 2 中所產生之光向其上構製有 T F T 之基體發射，如圖中箭頭所示。在應用本例之結構中，宜由 p 通道 T F T 構成電流控制 T F T 2 6 0 1 。

本實施例中所示之 E L 顯示裝置可用作實施例模式 7 之電子裝置之顯示部份。

[實施例模式 9]

圖 2 1 A 至 2 1 C 所示之本實施例顯示具有與圖 2 0 B 之電路圖中所示不同結構之像素。在本實施例中，參考編號 2 7 0 1 標示一開關 T F T 2 7 0 2 之源接線；開關 T F T 2 7 0 2 之閘接線 2 7 0 3 ；電流控制 T F T 2 7 0 4 ；電容器 2 7 0 5 ；電流供應線 2 7 0 6 及 2 7 0 7 ；及 E L 元件 2 7 0 7 。

圖 2 1 A 顯示一例，其中，電流供應線 2 7 0 6 由二像素共用。換言之，本例之特徵為構製二像素對電流供應線 2 7 0 6 成軸對稱。在此情形中，電流供應線數可減少，進一步提高像素部份之解像度。

圖 2 1 B 顯示一例，其中，電流供應線 2 7 0 8 與閘接線 2 7 0 3 成平行排列。在圖 2 1 B 中，雖電流供應線安排不重疊於閘接線 2 7 0 3 ，但如二者構製於求同之層中，則可經由一絕緣薄膜相互重疊。在此情形，電流供應線 2 7 0 8 及閘接線 2 7 0 3 可共用其佔住區，進一步提高像素部份之解像度。

(請先閱讀背面之注意事項再
為本頁)

裝
訂
線

五、發明說明 (41)

圖 2 1 C 所示之例之特徵為，與圖 2 1 B 之結構同樣，電流供應線 2 7 0 8 安排與閘接線 2 7 0 3 平行，而且，二像素製造對電流供應線 2 7 0 8 成軸對稱。亦可安排電流供應與閘接線 2 7 0 3 之一重疊。在此情形，電流供應線數可減少，進一步提高像素部份之解像度。雖設有電容器 2 7 0 5，以保持施加於圖 2 1 A 及 2 1 B 之電流控制 T F T 2 7 0 4 之閘極上之電壓，但可省略電容器 2 7 0 5。

由於圖 1 9 A 所示之本發明之 n 通道 T F T 用作電流控制 T F T 2 7 0 4，故提供一 L D D 區由中間所置之一閘絕緣薄膜重疊於閘電極。普通稱為閘電容之寄生電容形成於此重疊區中，且本實施例之特徵為使用該寄生電容取代電容器 2 7 0 5。由於此寄生電容隨閘電極及 L D D 區之重疊面積變化，故該電容由重疊區中所含之 L D D 區之長度決定。而且，圖 2 1 A 至 2 1 C 中同樣可略去電容器 2 7 0 5。

注意本實施例中所示之 E L 顯示裝置之電路結構可自實施例模式 1 中所示之 T F T 之結構中選擇，以構製圖 2 1 A 至 2 1 C 所示之電路。可使用本實施例之 E L 顯示板作為實施例模式 7 之電子裝置之顯示部份。

[實施例]

[實施例 1]

如實施例模式 1 所示，T F T 之閘電極及閘接線接觸

(請先閱讀背面之注意事項五
為本頁)

裝
訂
線

五、發明說明 (42)

一島形半導體層，而中間不設置接觸孔。此結構中閘電極及閘接線之電阻鑑定結果顯示於表 1 及 2。表 1 顯示構成閘電極及閘接線之材料之薄片電阻。

表 1：閘及閘匯流排線之金屬之各薄片電阻

金屬材料	薄片厚度(A)	薄片電阻(Ω/\square)
TaN\Ta	500\3500	1.58
W	4000	0.36
Al-Nd	2500	0.19
TaN\Ta\Al-Nd	500\3500\2500	0.16
W\Al\Nd	4000\2500	0.12

表 2 顯示自一接觸鏈（接觸數 100 至 200）之量度值計算每接觸部份之接觸電阻之結果，其構製在鑑定閘電極及閘接線之接觸電阻。每一接觸部份之面積設定於 $4\mu m \times 10\mu m$ 或 $6\mu m \times 10\mu m$ 。

表 2：閘金屬及閘匯流排線間之每接觸鏈之接觸電阻

蔽罩設計值 (寬 x 長 x 接觸數)	TaN\Ta 閘電極		W 閘電極	
	電阻(Ω)	電阻(Ω)	電阻(Ω)	電阻(Ω)
$4\mu m \times 10\mu m \times 100$	162.7	158.5	0.09	0.08
$4\mu m \times 10\mu m \times 200$	162.2	156.4	0.06	0.06
$4\mu m \times 10\mu m \times 100$	183.7	175.1	0.05	0.05
$4\mu m \times 10\mu m \times 200$	172.0	168.3	0.04	0.04

(請先閱讀背面之注意事項五頁與本頁)

裝訂線

五、發明說明 (43)

在閘電極，製造 2 種薄膜，即 T a N 薄膜及 T a 薄膜之疊層薄膜及一 W 薄膜。閘接線由 A l 製造。注意 N d 以 1 % 重量加於 A l 中（此後稱為 A l - N d 薄膜）。當假設閘電極及閘接線之重疊面積為 $4 \mu m^2$ 時，T a N 薄膜及 T a 薄膜之疊層薄膜之接觸電阻約為 200Ω ，及 W 薄膜約為 0.1Ω 。

圖 2 2 顯示由透射電子顯微鏡 (T E M) 觀察由疊層之 T a N 薄膜及 T a 薄膜，及 A l - N d 薄膜所構成之閘電極之重疊部份之結果。圖 2 3 為在 T a 薄膜及 A l - N d 薄膜間之介面處之放大，且在該圖之 * 1 至 * 4 所標示之處之組成份由能量分散 X 射頻譜儀 (E D x) 偵測。結果，雖在 * 1 處偵得 A l 及在 * 4 處偵得 T a，但發現產生包含氧化物之層，因為在 * 2 處偵得 A l 及氧，及在 * 3 處偵得 T a 及氧。此原因假設為，在雜質元素活化之熱處理（此在製造 T a 薄膜為閘電極後執行）中，T a 薄膜之表面氧化。當再製造 A l - N d 薄膜時，假設 T a 薄膜之表面中之氧氧化該 A l - N d 薄膜。接觸電阻之如此增加為使用 T a 時顯著之結果。

然而，由模擬由接觸電阻施加於信號波形上之影響所作之測試，証實在接觸電阻約為 200Ω 時，此影響並不如此大。圖 2 6 A 及 2 6 B 顯示由於電阻在波形之上升及波形之下降中所引起之不同。用以計算之等效電路顯示於插圖中。在此，由改變與接觸電阻相當之 R 2 自 10Ω 至

（請先閱讀背面之注意事項再為本頁）

裝 · 訂 · 線

五、發明說明 (44)

1 M Ω 執行模擬，並証實接觸電阻之影響甚少發現於高至約 10 k Ω 。

而且，執行導電性測試，作為接觸部份之可靠性測試，並檢查接觸電阻之不同。製造具有接觸部份面積 40 μm^2 及接觸數 200 之測試樣品，並在 180 $^{\circ}\text{C}$ 之大氣中傳導 1 mA 之電流 1 小時。雖對上述二種閘電極材料測試不同之接觸電阻，但甚少發現不同。

[實施例 2]

由偏壓熱應力測試（此後稱為 B T 測試）檢查所製之 T F T 之可靠性。T F T 之大小為通道長度 8 μm 及通道寬度 8 μm 。測試條約為閘電壓 + 20 V 及閘電壓 0 V 施加於 n 通道 T F T 上，並保持於 150 $^{\circ}\text{C}$ 下 1 小時。圖 24 A 及 24 B 分別顯示 n 通道 T F T 及 p 通道 T F T 之結果，但在任一情形中，甚少發現由偏壓應力所引起之品質下降。

[實施例 3]

鑑定由於不同之閘接線材料所引起之信號延遲。圖 25 A 及 25 B 顯示信號輸入部份及接頭部份間之波形之不同，其中，25 A 顯示波形之上升，及 25 B 顯示波形之下降。輸入部份及接頭部份間之距離為 83 mm。在圖 25 A 及 25 B 中，以 J 2 標示之特性為由疊層之 T a N 薄膜及 T a 薄膜所製之閘接線者，及由 J 4 標示之樣品為

(請先閱讀背面之注意事項再
為本頁)

裝
訂
線

五、發明說明 (45)

由 A 1 - N d 薄膜所製之樣品。閘接線之寬度為 $10 \mu m$ 。雖前者樣品具有輸入部份及接頭部份間在上升時間及下降時間上之大不同，但後者樣品之不同非常小。J 2 樣品之延遲時間約為 J 4 樣品之 10 倍，且自表 1 所示之薄片電阻顯然，可假設接線材料之電阻影響延遲時間。

表 3

單位:nsec

	上升		下降	
	J4 結構	J2 結構	4 結構	J2 結構
輸入部份	115	26	51	27
接頭部份	170	506	74	292
延遲差	55	480	23	265

自以上結果，顯示在顯示器大小為 4 吋或更大之情形，需由諸如本發明中之低電阻材料製造連接至閘電極之閘接線。

由使用本發明，可設置具有適合半導體裝置（在本例中，特別為光電裝置，具有多個功能電路構造於同一基體上）中之功能電路所需規格之性能之 T F T，從而可大為改善操作特性及可靠性。尤其是，由構製具有 n^- 濃度之像素矩陣電路之 n 通道 T F T 之 L D D 區，且作為一單獨 L.，可大為減少斷電流值，有助於降低像素矩陣電路之功率消耗。而且，由構製具有 n^- 濃度之驅動電路之 n 通

五、發明說明 (46)

道 T F T 之 L D D 區，且作為一單獨 L . v ，可增加電流驅動能量，並防止由熱載子所引起之品質下降，從而降低通電流值之惡化。且可改善具有此光電裝置作為其顯示媒體之半導體裝置（尤其是本例中之電子儀器）之操作性能及可靠性。

而且，由高度耐熱之導電性材料製造像素 T F T 及驅動電路 T F T 之閘電極，及由低電阻材料，諸如鋁（A l ）製造連接閘電極之閘接線，可達成上述滿意之 T F T 特性，並使用此 T F T 來達成 4 吋級或更大之大型顯示裝置。

（請先閱讀背面之注意事項）

裝 · 訂 · 線

四、中文發明摘要(發明之名稱: 半導體裝置及其製造方法)

本發明主要提供閘電極及閘接線，俾可製造主動矩陣式顯示裝置之大型螢幕，其中，為達成此目的，本發明之構造為一種半導體裝置，在同一基體上具有一像素TFT設置於一顯示區中，及一驅動電路TFT設置於顯示區周圍，其中，像素TFT及驅動電路TFT之閘電極由第一導電性層構製，閘電極經由連接頭與由第二導電性層所構製之閘接線電接觸，及連接頭設置於像素TFT及驅動電路TFT之通道形成區外。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME)

The invention primarily provides gate electrodes and gate wirings permitting large-sized screens for active matrix-type display devices, wherein, in order to achieve this object, the construction of the invention is a semiconductor device having, on the same substrate, a pixel TFT provided in a display region and a driver circuit TFT provided around the display region, wherein the gate electrodes of the pixel TFT and the driver circuit TFT are formed from a first conductive layer, the gate electrodes are in electrical contact through connectors with gate wirings formed from a second conductive layer, and the connectors are provided outside the channel-forming regions of the pixel TFT and the driver circuit TFT.

六、申請專利範圍

1. 一種半導體裝置，在同一基體上包含一像素 T F T 設置於一顯示區中，及一驅動電路 T F T 設置於顯示區周圍，其中：

像素 T F T 及驅動電路 T F T 包含閘電極由一第一導電性層構成，閘電極經由連接頭與由第二導電性層構成之閘接線電連接，及連接頭設置於像素 T F T 及驅動電路 T F T 之通道形成區外。

2. 如申請專利範圍第 1 項所述之半導體裝置，其中，一儲存電容器由連接至像素 T F T 之源或汲區之一半導體層構成於顯示區中，並包含一單個導電性摻雜元件，一電容器接線，及一絕緣薄膜在半導體層及電容器接線之間，且其中，電容器接線由第一導電性層及第二導電性層構成。

3. 如申請專利範圍第 1 項所述之半導體裝置，其中，第一導電性層主要由選自 T a , W , T i , 及 M o 之至少之一構成，及第二導電性層主要由 A l 或 C u 構成。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中，第一導電性層包含一導電性層 (A) ，含有氮及選自 T a , W , T i , 及 M o 之至少之一，一導電性層 (B) ，構製於導電性層 (A) 上，且主要由選自 T a , W , T i , 及 M o 之至少之一構成，及一導電性層 (C) ，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自 T a , W , T i , 及 M o 之至少之一，及其中，第二導電性層包含一導電性層 (D) ，主要由

(請先閱讀背面之注意事項再... 本頁)

裝 · 訂 · 線

六、申請專利範圍

A l 或 C u 構成，一導電性層（E），主要由選自 T a ， W ， T i ， 及 M o 之至少之一構成。

5 . 如申請專利範圍第 4 項所述之半導體裝置，其中，導電性層（B）包含氫作為添加元素，及導電性層（B）中之氧濃度為 3 0 p p m 或以下。

6 . 如申請專利範圍第 1 項所述之半導體裝置，其中，第一導電性層包含一導電性層（A），含有氮及選自 T a ， W ， T i ， 及 M o 之至少之一，一導電性層（B），構製於導電性層（A）上，且主要由選自 T a ， W ， T i ， 及 M o 之至少之一構成，及一導電性層（C），構製於導電性層（B）並不接觸導電性層（A）之區域上，並包含氮及選自 T a ， W ， T i ， 及 M o 之至少之一，及

其中，第二導電性層包含一導電性層（D），主要由 A l 或 C u 構成，及一導電性層（E），主要由選自 T a ， W ， T i ， 及 M o 之至少之一構成，且

其中，導電性層（C）及導電性層（D）在連接頭上接觸。

7 . 如申請專利範圍第 6 項所述之半導體裝置，其中，導電性層（B）包含氫作為添加元素，及導電性層（B）中之氧濃度為 3 0 p p m 或以下。

8 . 如申請專利範圍第 1 項所述之半導體裝置，其中，該半導體裝置為一 E L 顯示裝置。

9 . 如申請專利範圍第 1 項所述之半導體裝置，其中，該半導體裝置為選自個人電腦，攝影機，便攜式資訊端

六、申請專利範圍

末機，數位攝影機，及數位影碟播放機所組之群中之一。

10. 一種半導體裝置，在同一基上具有一像素 T F T 設置於一顯示區中，及一驅動電路 T F T 設置於顯示區周圍，該半導體裝置包含：

像素 T F T，包含至少一輕度摻雜區，設置不重疊於像素 T F T 之間電極；

驅動電路之第一 n 通道 T F T，包含至少一輕度摻雜區，設置重疊於第一 n 通道 T F T 之間電極；

驅動電路之第二 n 通道 T F T，包含至少一輕度摻雜區，設置其至少其一部份重疊於第二 n 通道 T F T 之間電極；及

像素 T F T 及驅動電路 T F T 之間電極，由第一導電性層構成，

其中，閘電極與第二導電性層所構成之閘接線經由像素 T F T 及驅動電路 T F T 之通道形成區外所設置之連接頭電接觸。

11. 如申請專利範圍第 10 項所述之半導體裝置，其中，一儲存電容器由連接至像素 T F T 之源或汲區之一半導體層構成於顯示區中，並包含一單個導電性摻雜元件，一電容器接線，及一絕緣薄膜在半導體層及電容器接線之間，且其中，電容器接線由第一導電性層及第二導電性層構成。

12. 如申請專利範圍第 10 項所述之半導體裝置，其中，第一導電性層主要由選自 T a，W，T i，及 M o

(請先閱讀背面之注意事項再
本頁)

裝
訂
線

六、申請專利範圍

之至少之一構成，及第二導電性層主要由 A l 或 C u 構成。

1 3 . 如申請專利範圍第 1 0 項所述之半導體裝置，其中，第一導電性層包含一導電性層 (A) ，含有氮及選自 T a ， W ， T i ，及 M o 之至少之一，一導電性層 (B) ，構製於導電性層 (A) 上，且主要由選自 T a ， W ， T i ，及 M o 之至少之一構成，及一導電性層 (C) ，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自 T a ， W ， T i ，及 M o 之至少之一，及

其中，第二導電性層包含一導電性層 (D) ，主要由 A l 或 C u 構成，及一導電性層 (E) ，主要由選自 T a ， W ， T i ，及 M o 之至少之一構成。

1 4 . 如申請專利範圍第 1 3 項所述之半導體裝置，其中，導電性層 (B) 包含氫作為添加元素，及導電性層 (B) 中之氧濃度為 3 0 p p m 或以下。

1 5 . 如申請專利範圍第 1 0 項所述之半導體裝置，其中，第一導電性層包含一導電性層 (A) ，含有氮及選自 T a ， W ， T i ，及 M o 之至少之一，一導電性層 (B) ，構製於導電性層 (A) 上，且主要由選自 T a ， W ， T i ，及 M o 之至少之一構成，及一導電性層 (C) ，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自 T a ， W ， T i ，及 M o 之至少之一，及

其中，第二導電性層包含一導電性層 (D) ，主要由 A l 或 C u 構成，及一導電性層 (E) ，主要由選自 T a

(請先閱讀背面之注意事項再
本頁)

裝
訂
線

六、申請專利範圍

， W ， T i ， 及 M o 之至少之一構成，及

其中，導電性層（ C ）及導電性層（ D ）在連接頭處接觸。

1 6 . 如申請專利範圍第 1 5 項所述之半導體裝置，其中，導電性層（ B ）包含氫作為添加元素，及導電性層（ B ）中之氧濃度為 3 0 p p m 或以下。

1 7 . 如申請專利範圍第 1 0 項所述之半導體裝置，其中，該半導體裝置為一 E L 顯示裝置。

1 8 . 如申請專利範圍第 1 0 項所述之半導體裝置，其中，該半導體裝置為選自個人電腦，攝影機，便攜式資訊端末機，數位攝影機，及數位影碟播放機所組之群中之一。

1 9 . 一種半導體裝置，在同一基上具有一顯示區，及一驅動電路設置於顯示區周圍，該半導體裝置包含：

顯示區包含一像素 T F T 設有輕度摻雜區並不重疊於像素 T F T 之間電極；及

驅動電路包含至少一第一 n 通道 T F T 設有整個輕度摻雜區重疊於第一 n 通道 T F T 之間電極，及一第二 n 通道 T F T 設有輕度摻雜區之一部份重疊於第二 n 通道 T F T 之間電極；

其中，像素 T F T 及第一及第二 n 通道 T F T 之至少間電極由第一導電性層構成，及連接至間電極之間接線由第二導電性層構成，及

其中，間電極及間接線經由像素 T F T 及驅動電路

六、申請專利範圍

T F T 之通道形成區外之連接頭電連接。

20 . 如申請專利範圍第 19 項所述之半導體裝置，其中，一儲存電容器由連接至像素 T F T 之源或汲區之一半導體層構成於顯示區中，並包含一單個導電性摻雜元件，一電容器接線，及一絕緣薄膜在半導體層及電容器接線之間，且其中，電容器接線由第一導電性層及第二導電性層構成。

21 . 如申請專利範圍第 19 項所述之半導體裝置，其中，第一導電性層主要由選自 T a , W , T i , 及 M o 之至少之一構成，及第二導電性層主要由 A l 或 C u 構成。

22 . 如申請專利範圍第 19 項所述之半導體裝置，其中，第一導電性層包含一導電性層 (A) ，含有氮及選自 T a , W , T i , 及 M o 之至少之一，一導電性層 (B) ，構製於導電性層 (A) 上，且主要由選自 T a , W , T i , 及 M o 之至少之一構成，及一導電性層 (C) ，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自 T a , W , T i , 及 M o 之至少之一，及

其中，第二導電性層包含一導電性層 (D) ，主要由 A l 或 C u 構成，及一導電性層 (E) ，主要由選自 T a , W , T i , 及 M o 之至少之一構成。

23 . 如申請專利範圍第 22 項所述之半導體裝置，其中，導電性層 (B) 包含氫作為添加元素，及導電性層 (B) 中之氧濃度為 30 p p m 或以下。

六、申請專利範圍

24. 如申請專利範圍第19項所述之半導體裝置，其中，第一導電性層包含一導電性層(A)，含有氮及選自Ta, W, Ti, 及Mo之至少之一，一導電性層(B)，構製於導電性層(A)上，且主要由選自Ta, W, Ti, 及Mo之至少之一構成，及一導電性層(C)，構製於導電性層(B)並不接觸導電性層(A)之區域上，並包含氮及選自Ta, W, Ti, 及Mo之至少之一，

其中，第二導電性層包含一導電性層(D)主要由Al或Cu構成，及一導電性層(E)主要由選自Ta, W, Ti, 及Mo之至少之一構成，及

其中，導電性層(C)及導電性層(D)在連接頭處接觸。

25. 如申請專利範圍第24項所述之半導體裝置，其中，導電性層(B)包含氫作為添加元素，及導電性層(B)中之氧濃度為30ppm或以下。

26. 如申請專利範圍第19項所述之半導體裝置，其中，該半導體裝置為一EL顯示裝置。

27. 如申請專利範圍第19項所述之半導體裝置，其中，該半導體裝置為選自個人電腦，攝影機，便攜式資訊端末機，數位攝影機，及數位影碟播放機所組之群中之一。

28. 一種用以製造半導體裝置之方法，該裝置在同一基體上具有一像素TF T設置於顯示區中，及一驅動電路TF T設置於顯示區周圍，該方法包括步驟：

(請先閱讀背面之注意事項再
本頁)

裝
訂
線

六、申請專利範圍

由一第一導電性層構製像素 T F T 及驅動電路 T F T 之閘電極；及

由一第二導電性層構製連接至閘電極之閘接線，

其中，閘電極及閘接線經由像素 T F T 及驅動電路 T F T 之通道形成區外所設置之連接頭連接。

29. 如申請專利範圍第 28 項所述之方法，其中，第一導電性層主要由選自 T a，W，T i，及 M o 之至少之一構成，及第二導電性層主要由 A l 或 C u 構成。

30. 如申請專利範圍第 28 項所述之方法，其中，第一導電性層包含一導電性層 (A)，含有氮及選自 T a，W，T i，及 M o 之至少之一，一導電性層 (B)，構製於導電性層 (A) 上，且主要由選自 T a，W，T i，及 M o 之至少之一構成，及一導電性層 (C)，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自 T a，W，T i，及 M o 之至少之一，及

其中，第二導電性層包含一導電性層 (D)，主要由 A l 或 C u 構成，及一導電性層 (E)，主要由選自 T a，W，T i，及 M o 之至少之一構成。

31. 如申請專利範圍第 30 項所述之方法，其中，導電性層 (A) 由濺塗法製造，使用主要由選自 T a，W，T i，及 M o 之至少之一所構成之靶子，在氬及氮或氬之混合大氣中製造。

32. 如申請專利範圍第 30 項所述之方法，其中，導電性層 (C) 由導電性層 (B) 在氮大氣中由在 1

六、申請專利範圍

p p m 或以下濃度之氧以熱處理製成。

33. 如申請專利範圍第30項所述之方法，其中，導電性層（C）由導電性層（B）在氮電漿大氣中由在1 p p m 或以下濃度之氧以熱處理製成。

34. 如申請專利範圍第28項所述之方法，其中，第一導電性層包含一導電性層（A），含有氮及選自Ta，W，Ti，及Mo之至少之一，一導電性層（B），構製於導電性層（A）上，且主要由選自Ta，W，Ti，及Mo之至少之一構成，及一導電性層（C），構製於導電性層（B）並不接觸導電性層（A）之區域上，並包含氮及選自Ta，W，Ti，及Mo之至少之一，

其中，第二導電性層包含一導電性層（D）主要由Al或Cu構成，及一導電性層（E）主要由選自Ta，W，Ti，及Mo之至少之一構成，及

其中，導電性層（C）及導電性層（D）在連接頭處接觸。

35. 如申請專利範圍第34項所述之方法，其中，導電性層（A）由濺塗法製造，使用主要由選自Ta，W，Ti，及Mo之至少之一所構成之靶子，在氬及氮或氬之混合大氣中製造。

36. 如申請專利範圍第34項所述之方法，其中，導電性層（C）由導電性層（B）在氮大氣中由在1 p p m 或以下濃度之氧以熱處理製成。

37. 如申請專利範圍第34項所述之方法，其中，

（請先閱讀背面之注意事項再
本頁）

裝
訂
線

六、申請專利範圍

導電性層 (C) 由導電性層 (B) 在氮電漿大氣中由在 1 p p m 或以下濃度之氧以熱處理製成。

38 . 如申請專利範圍第 28 項所述之方法，其中，該半導體裝置為一 E L 顯示裝置。

39 . 如申請專利範圍第 28 項所述之方法，其中，該半導體裝置為選自個人電腦，攝影機，便攜式通訊端末機，數位攝影機，及數位影碟播放機所組之群中之一。

40 . 一種用以製造半導體裝置之方法，該裝置在同一基體上具有一像素 T F T 設置於顯示區中，及一驅動電路 T F T 設置於顯示區周圍，該方法包括步驟：

選擇引進在濃度 2×10^{16} 至 5×10^{19} 原子 / cm^3 上之一 n 型雜質元素於驅動電路之第一及第二 n 通道 T F T 之半導體層中；

由第一導電性層構製像素 T F T 及驅動電路 T F T 之間電極；

選擇引進在濃度 3×10^{20} 至 3×10^{21} 原子 / cm^3 上之一 p 型雜質元素於驅動電路之 p 通道 T F T 之半導體層中；

選擇引進在濃度 1×10^{20} 至 1×10^{21} 原子 / cm^3 上之一 n 型雜質元素於驅動電路之第一及第二 n 通道 T F T 之半導體層及像素 T F T 之半導體層中；

選擇引進在濃度 1×10^{16} 至 5×10^{18} 原子 / cm^3 上之一 n 型雜質元素於像素 T F T 之半導體層中，使用該 n 通道 T F T 之至少閘電極作為蔽罩；及

六、申請專利範圍

由第二導電性層製造像素 T F T 及驅動電路 T F T 之閘接線；

其中，閘電極及閘接線經由設置於像素 T F T 及驅動電路 T F T 之通道成形區外之連頭連接。

4 1 . 如申請專利範圍第 4 0 項所述之方法，其中，第一導電性層主要由選自 T a , W , T i , 及 M o 之至少之一構成，及第二導電性層主要由 A l 或 C u 構成。

4 2 . 如申請專利範圍第 4 0 項所述之方法，其中，第一導電性層包含一導電性層 (A) ，含有氮及選自 T a , W , T i , 及 M o 之至少之一，一導電性層 (B) ，構製於導電性層 (A) 上，且主要由選自 T a , W , T i , 及 M o 之至少之一構成，及一導電性層 (C) ，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自 T a , W , T i , 及 M o 之至少之一，及

其中，第二導電性層包含一導電性層 (D) ，主要由 A l 或 C u 構成，及一導電性層 (E) ，主要由選自 T a , W , T i , 及 M o 之至少之一構成。

4 3 . 如申請專利範圍第 4 2 項所述之方法，其中，導電性層 (A) 由濺塗法製造，使用主要由選自 T a , W , T i , 及 M o 之至少之一所構成之靶子，在氬及氮或氬之混合大氣中製造。

4 4 . 如申請專利範圍第 4 2 項所述之方法，其中，導電性層 (C) 由導電性層 (B) 在氮大氣中由在 1 p p m 或以下濃度之氧以熱處理製成。

(請先閱讀背面之注意事項再
本頁)

裝
訂
線

六、申請專利範圍

45. 如申請專利範圍第42項所述之方法，其中，導電性層（C）由導電性層（B）在氮電漿大氣中由在1 ppm或以下濃度之氧以熱處理製成。

46. 如申請專利範圍第40項所述之方法，其中，第一導電性層包含一導電性層（A），含有氮及選自Ta，W，Ti，及Mo之至少之一，一導電性層（B），構製於導電性層（A）上，且主要由選自Ta，W，Ti，及Mo之至少之一構成，及一導電性層（C），構製於導電性層（B）並不接觸導電性層（A）之區域上，並包含氮及選自Ta，W，Ti，及Mo之至少之一，

其中，第二導電性層包含一導電性層（D）主要由Al或Cu構成，及一導電性層（E）主要由選自Ta，W，Ti，及Mo之至少之一構成，及

其中，導電性層（C）及導電性層（D）在連接頭處接觸。

47. 如申請專利範圍第46項所述之方法，其中，導電性層（A）由濺塗法製造，使用主要由選自Ta，W，Ti，及Mo之至少之一所構成之靶子，在氬及氮或氬之混合大氣中製造。

48. 如申請專利範圍第46項所述之方法，其中，導電性層（C）由導電性層（B）在氮大氣中由在1 ppm或以下濃度之氧以熱處理製成。

49. 如申請專利範圍第46項所述之方法，其中，導電性層（C）由導電性層（B）在氮電漿大氣中由在1

（請先閱讀背面之注意事項再
本頁）

裝
訂
線

六、申請專利範圍

p p m 或以下濃度之氧以熱處理製成。

50 . 如申請專利範圍第40項所述之方法，其中，該半導體裝置為一EL顯示裝置。

51 . 如申請專利範圍第40項所述之方法，其中，該半導體裝置為選自個人電腦，攝影機，便攜式通訊端末機，數位攝影機，及數位影碟播放機所組之群中之一。

52 . 一種用以製造半導體裝置之方法，該裝置在同一基體上具有一像素TFT設置於顯示區中，及一驅動電路TFT設置於顯示區周圍，該方法包括步驟：

選擇引進在濃度 2×10^{16} 至 5×10^{19} 原子 / cm^3 上之一 n 型雜質元素於驅動電路之第一及第二 n 通道 TFT 之半導體層中及顯示區中之一儲存電容器之半導體層中；

由第一導電性層構製像素 TFT 及驅動電路 TFT 之閘電極；

選擇引進在濃度 3×10^{20} 至 3×10^{21} 原子 / cm^3 上之一 p 型雜質元素於驅動電路之 p 通道 TFT 之半導體層中；

選擇引進在濃度 1×10^{20} 至 1×10^{21} 原子 / cm^3 上之一 n 型雜質元素於驅動電路之第一及第二 n 通道 TFT 之半導體層及像素 TFT 之半導體層中；

選擇引進在濃度 1×10^{16} 至 5×10^{18} 原子 / cm^3 上之一 n 型雜質元素於像素 TFT 之半導體層中，使用該 n 通道 TFT 之至少閘電極作為蔽罩；及

六、申請專利範圍

由第二導電性層製造像素 T F T 及驅動電路 T F T 之閘接線；

其中，閘電極及閘接線經由設置於像素 T F T 及驅動電路 T F T 之通道形成區外之連接頭連接。

5 3 . 如申請專利範圍第 5 2 項所述之方法，其中，第一導電性層主要由選自 T a ， W ， T i ， 及 M o 之至少之一構成，及第二導電性層主要由 A l 或 C u 構成。

5 4 . 如申請專利範圍第 5 2 項所述之方法，其中，第一導電性層包含一導電性層 (A) ，含有氮及選自 T a ， W ， T i ， 及 M o 之至少之一，一導電性層 (B) ，構製於導電性層 (A) 上，且主要由選自 T a ， W ， T i ， 及 M o 之至少之一構成，及一導電性層 (C) ，構製於導電性層 (B) 並不接觸導電性層 (A) 之區域上，並包含氮及選自 T a ， W ， T i ， 及 M o 之至少之一，及

其中，第二導電性層包含一導電性層 (D) ，主要由 A l 或 C u 構成，及一導電性層 (E) ，主要由選自 T a ， W ， T i ， 及 M o 之至少之一構成。

5 5 . 如申請專利範圍第 5 4 項所述之方法，其中，導電性層 (A) 由濺塗法製造，使用主要由選自 T a ， W ， T i ， 及 M o 之至少之一所構成之靶子，在氬及氮或氮之混合大氣中製造。

5 6 . 如申請專利範圍第 5 4 項所述之方法，其中，導電性層 (C) 由導電性層 (B) 在氮大氣中由在 1 p p m 或以下濃度之氧以熱處理製成。

(請先閱讀背面之注意事項再
本頁)

裝
訂
線

六、申請專利範圍

57. 如申請專利範圍第54項所述之方法，其中，導電性層（C）由導電性層（B）在氮電漿大氣中由在1 p p m或以下濃度之氧以熱處理製成。

58. 如申請專利範圍第52項所述之方法，其中，第一導電性層包含一導電性層（A），含有氮及選自Ta，W，Ti，及Mo之至少之一，一導電性層（B），構製於導電性層（A）上，且主要由選自Ta，W，Ti，及Mo之至少之一構成，及一導電性層（C），構製於導電性層（B）並不接觸導電性層（A）之區域上，並包含氮及選自Ta，W，Ti，及Mo之至少之一，

其中，第二導電性層包含一導電性層（D）主要由Al或Cu構成，及一導電性層（E）主要由選自Ta，W，Ti，及Mo之至少之一構成，及

其中，導電性層（C）及導電性層（D）在連接頭處接觸。

59. 如申請專利範圍第58項所述之方法，其中，導電性層（A）由濺塗法製造，使用主要由選自Ta，W，Ti，及Mo之至少之一所構製之靶子，在氬及氮或氬之混合大氣中製造。

60. 如申請專利範圍第58項所述之方法，其中，導電性層（C）由導電性層（B）在氮大氣中由在1 p p m或以下濃度之氧以熱處理製成。

61. 如申請專利範圍第58項所述之方法，其中，導電性層（C）由導電性層（B）在氮電漿大氣中由在1

（請先閱讀背面之注意事項再...本頁）

裝 · 訂 · 線

六、申請專利範圍

p p m 或以下濃度之氧以熱處理製成。

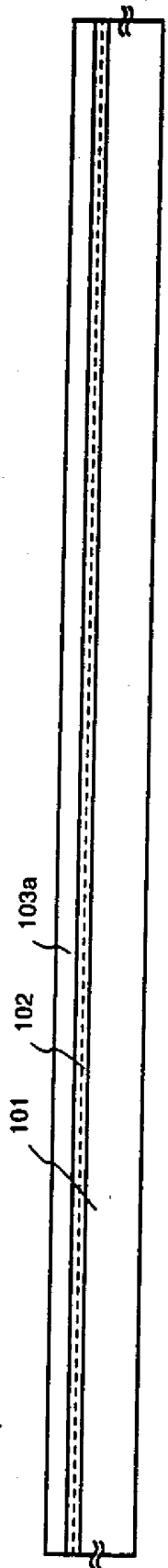
6 2 . 如申請專利範圍第 5 2 項所述之方法，其中，該半導體裝置為一 E L 顯示裝置。

6 3 . 如申請專利範圍第 5 2 項所述之方法，其中，該半導體裝置為選自個人電腦，攝影機，便攜式通訊端末機，數位攝影機，及數位影碟播放機所組之群中之一。

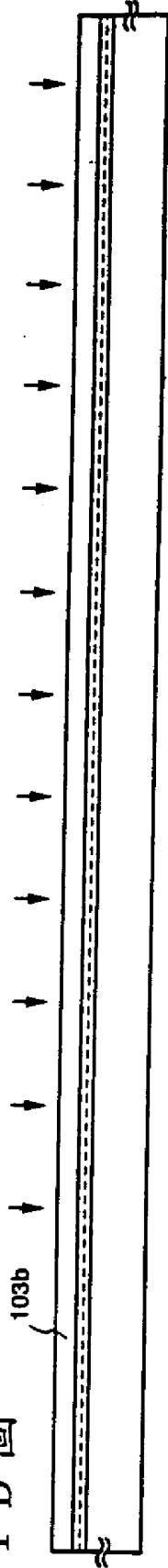
(請先閱讀背面之注意事項再
本頁)

裝
訂
線

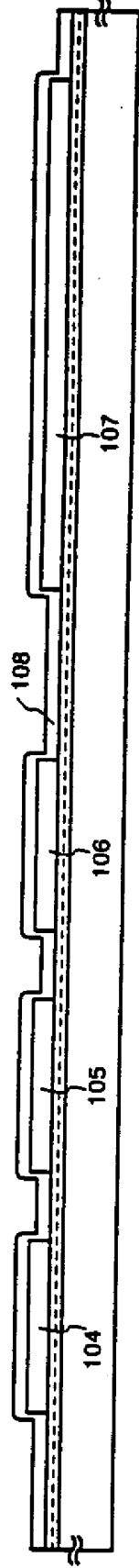
第 1 A 圖



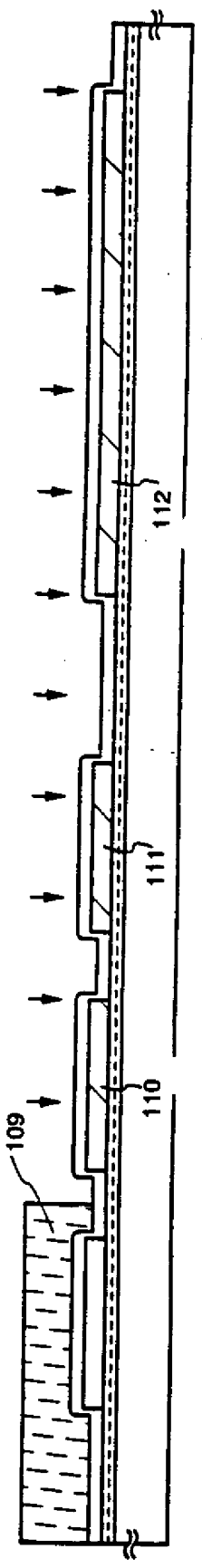
第 1 B 圖



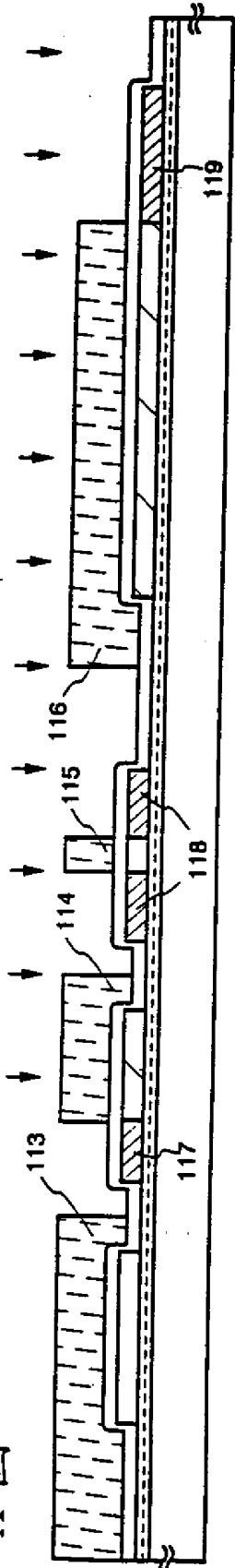
第 1 C 圖



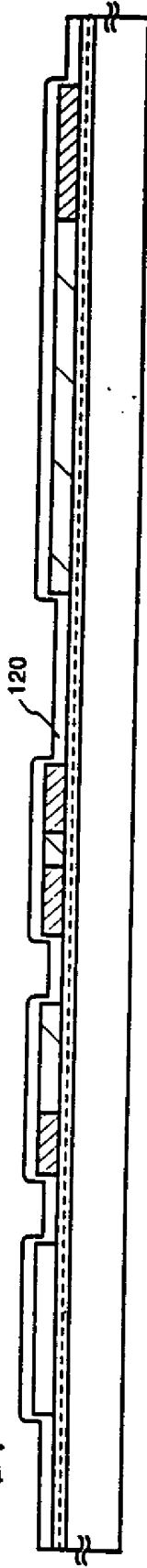
第 1 D 圖



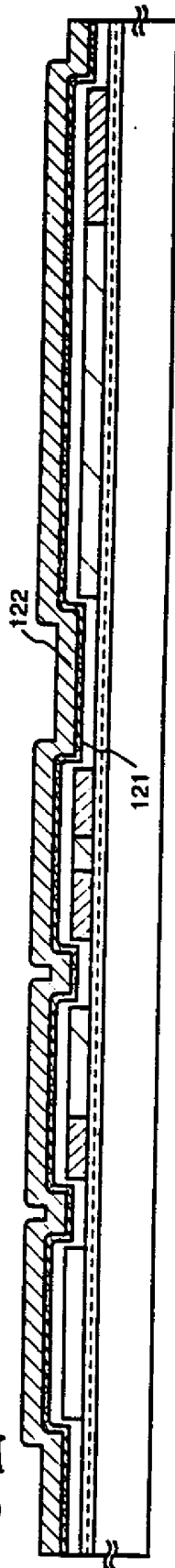
第 2 A 圖



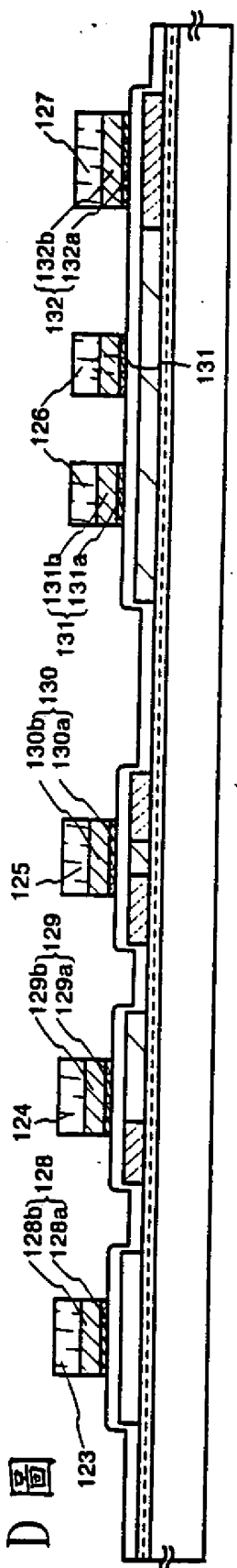
第 2 B 圖



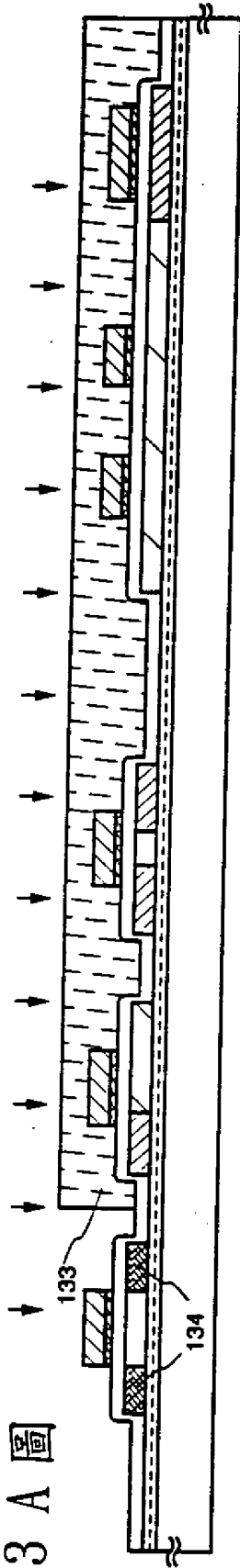
第 2 C 圖



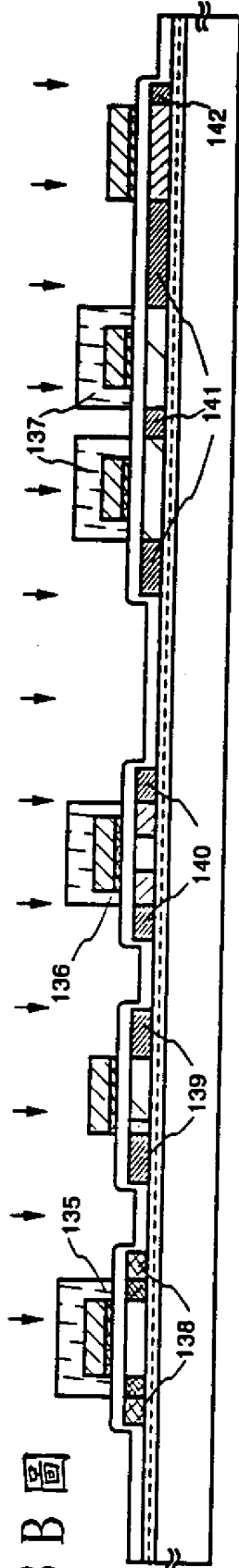
第 2 D 圖



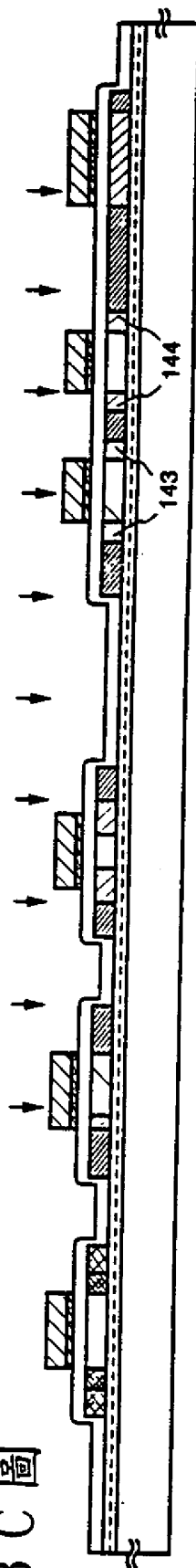
第 3 A 圖



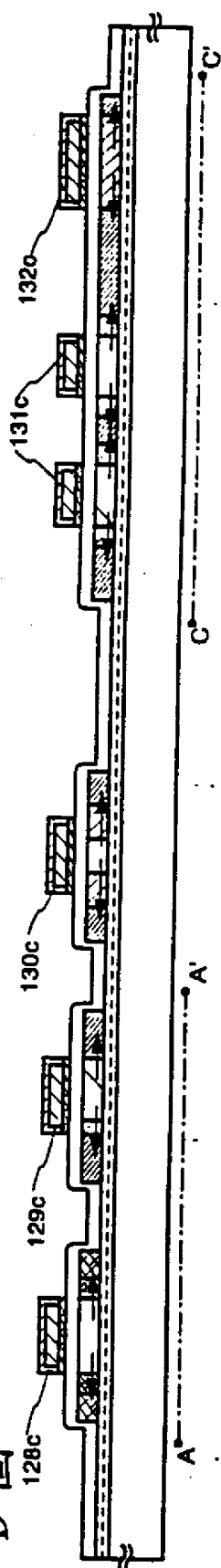
第 3 B 圖



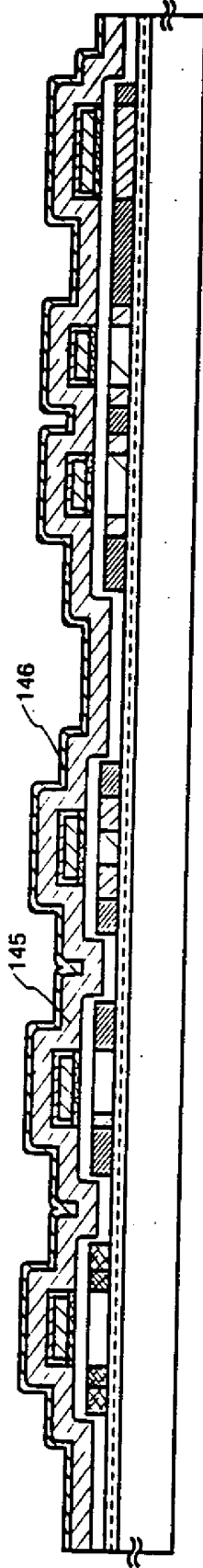
第 3 C 圖



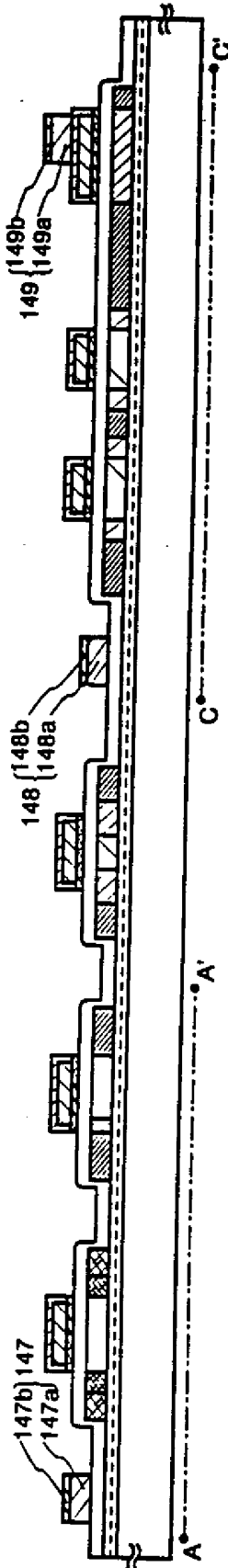
第 3 D 圖



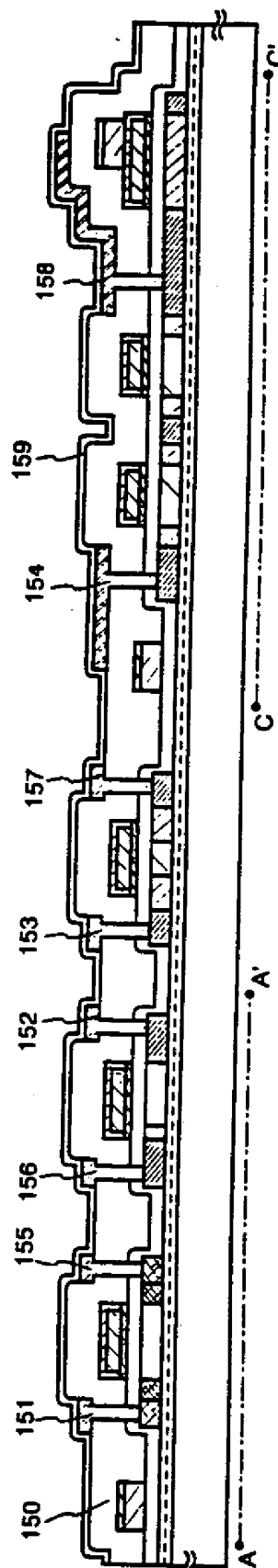
第 4 A 圖



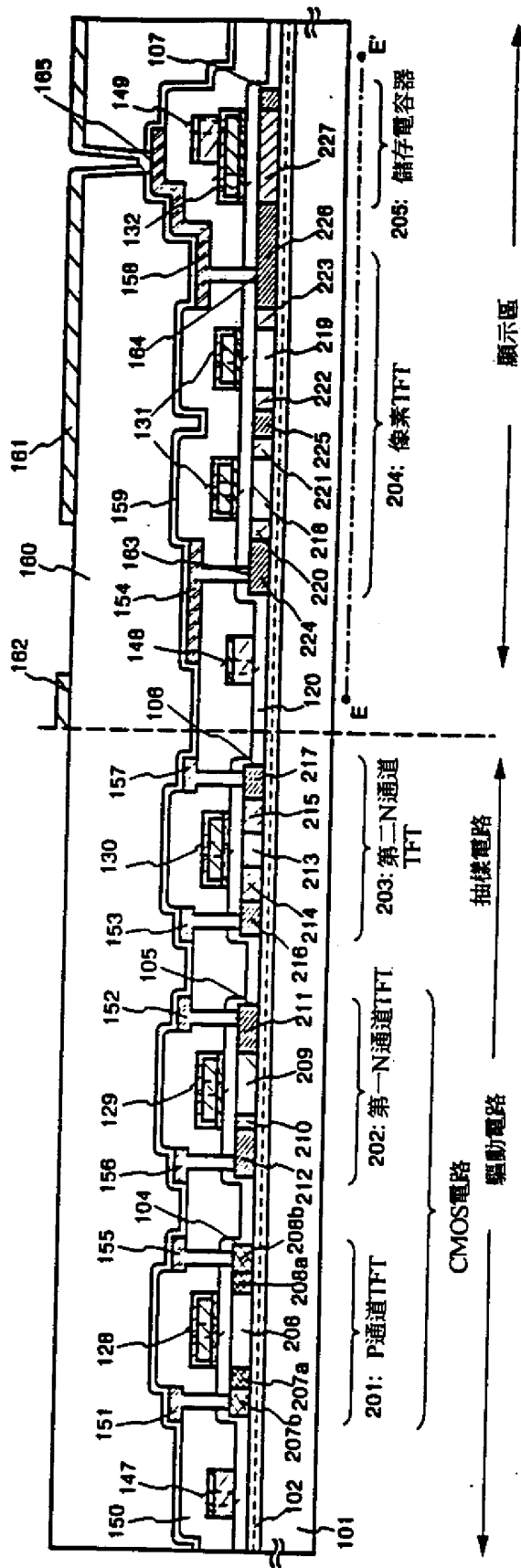
第 4 B 圖



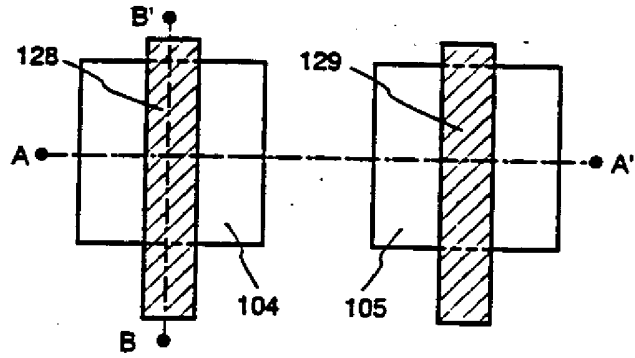
第 4 C 圖



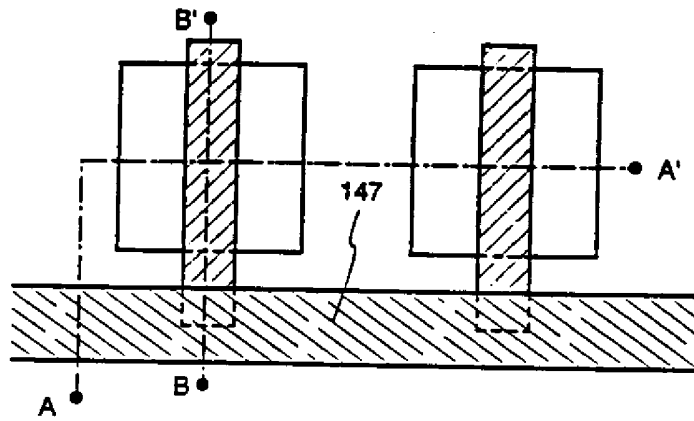
第5圖



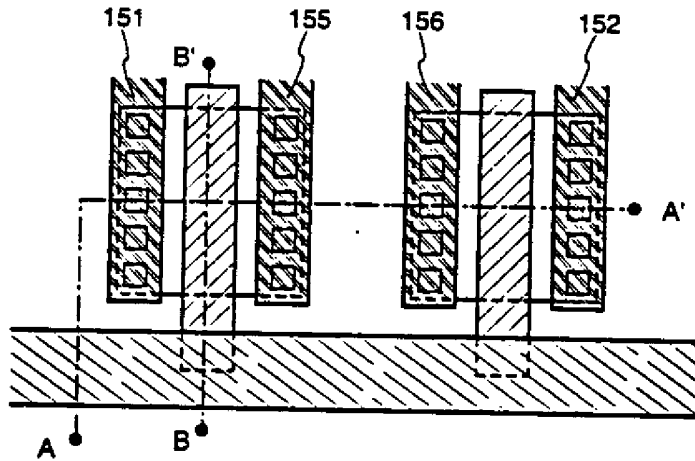
第 6 A 圖



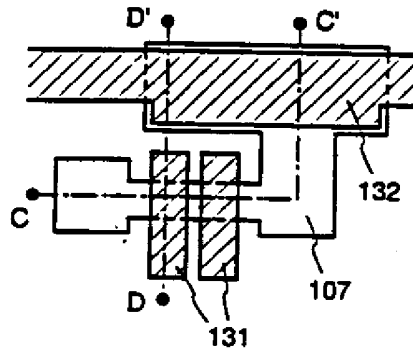
第 6 B 圖



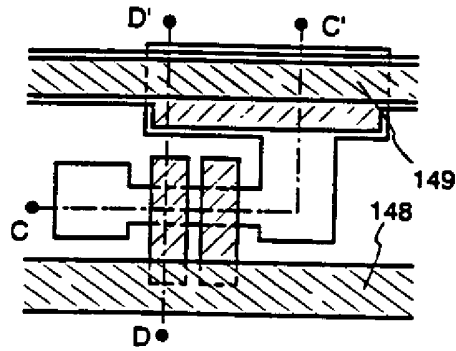
第 6 C 圖



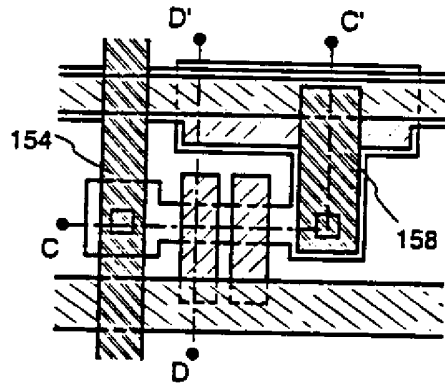
第 7 A 圖



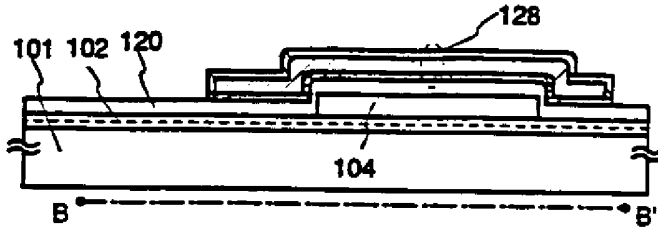
第 7 B 圖



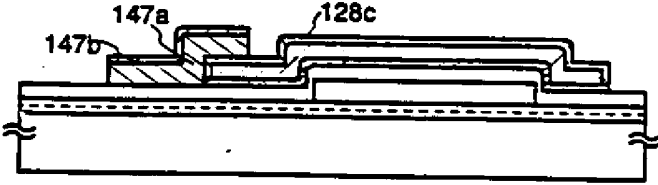
第 7 C 圖



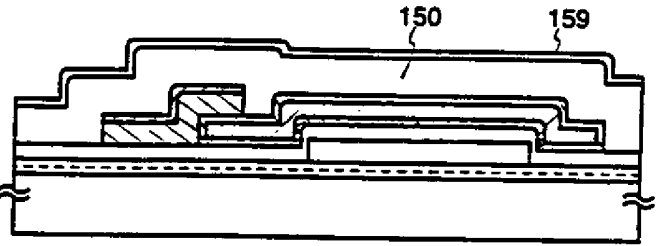
第 8 A 圖



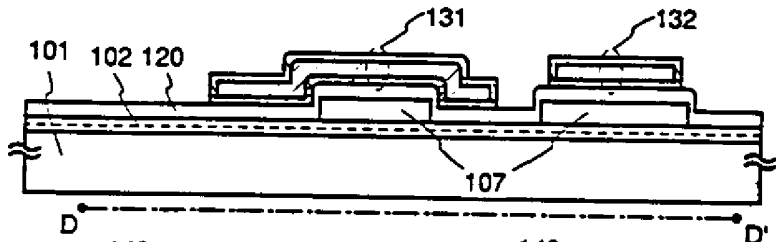
第 8 B 圖



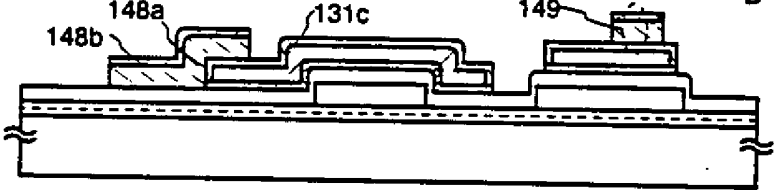
第 8 C 圖



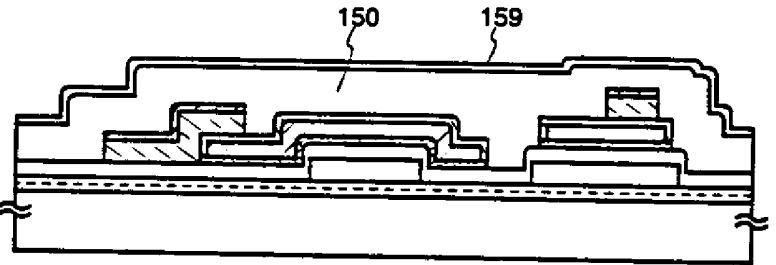
第 9 A 圖



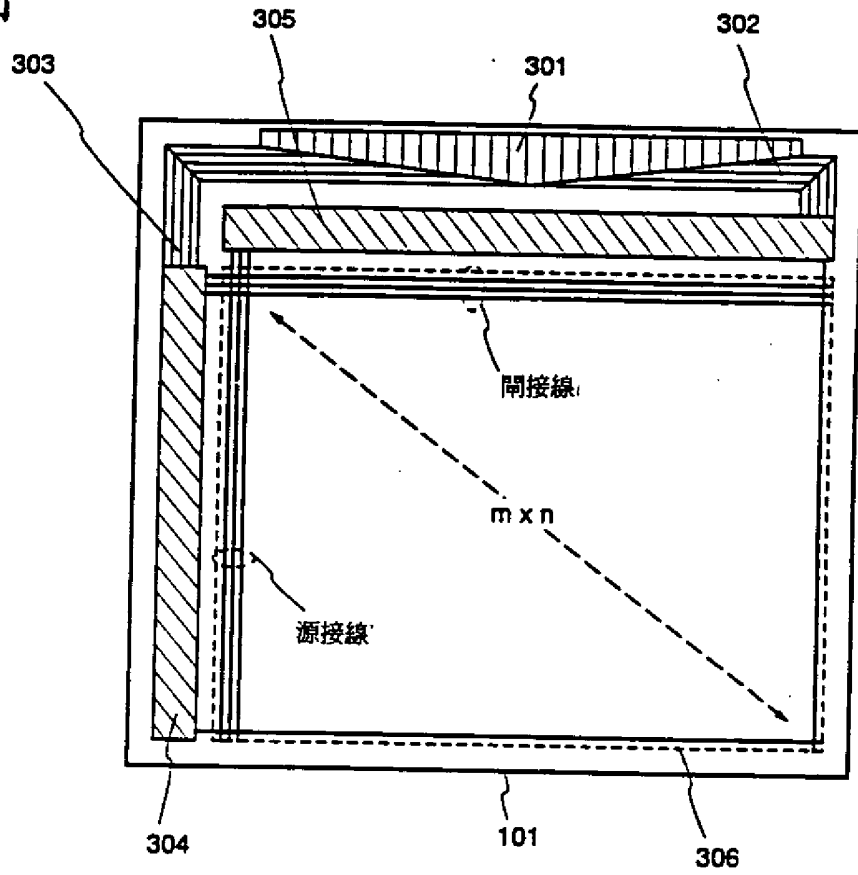
第 9 B 圖



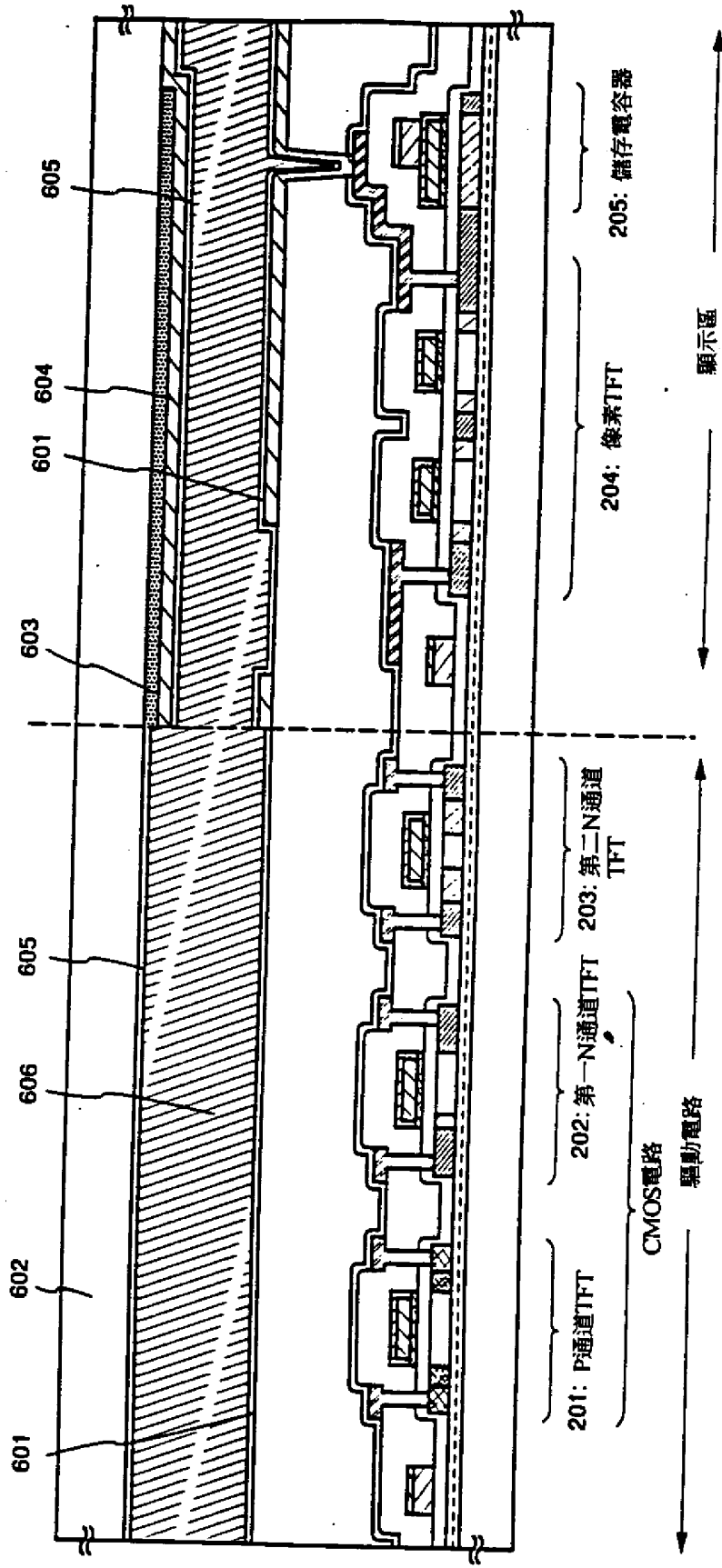
第 9 C 圖



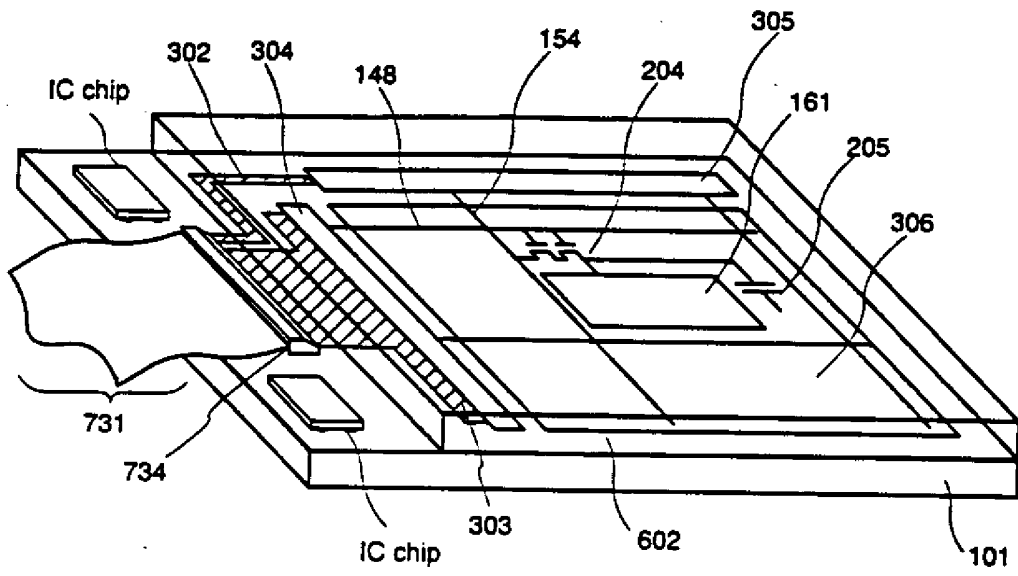
第 10 圖



第 11 圖

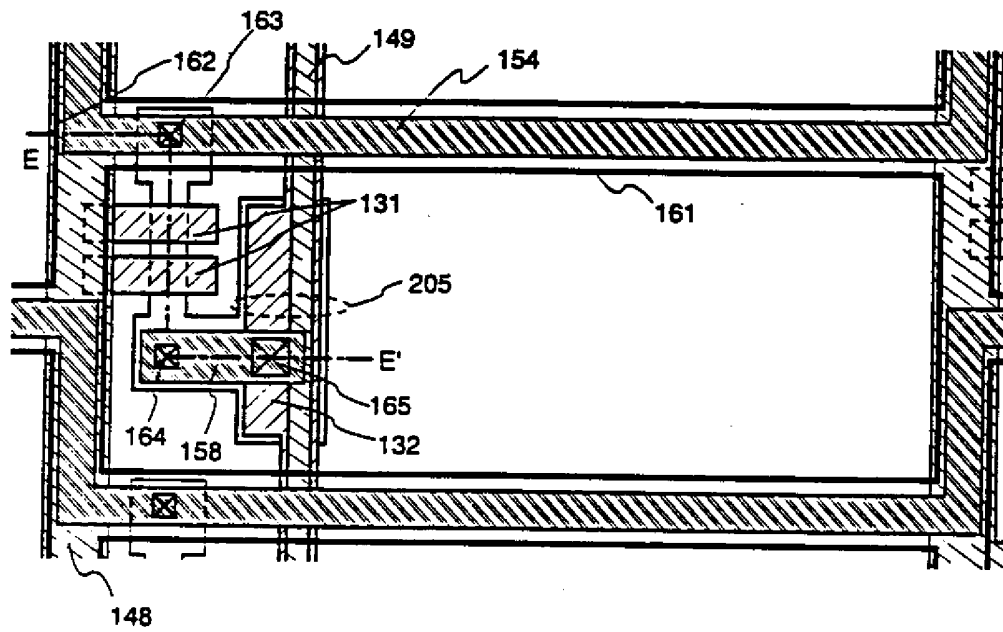


第 12 圖

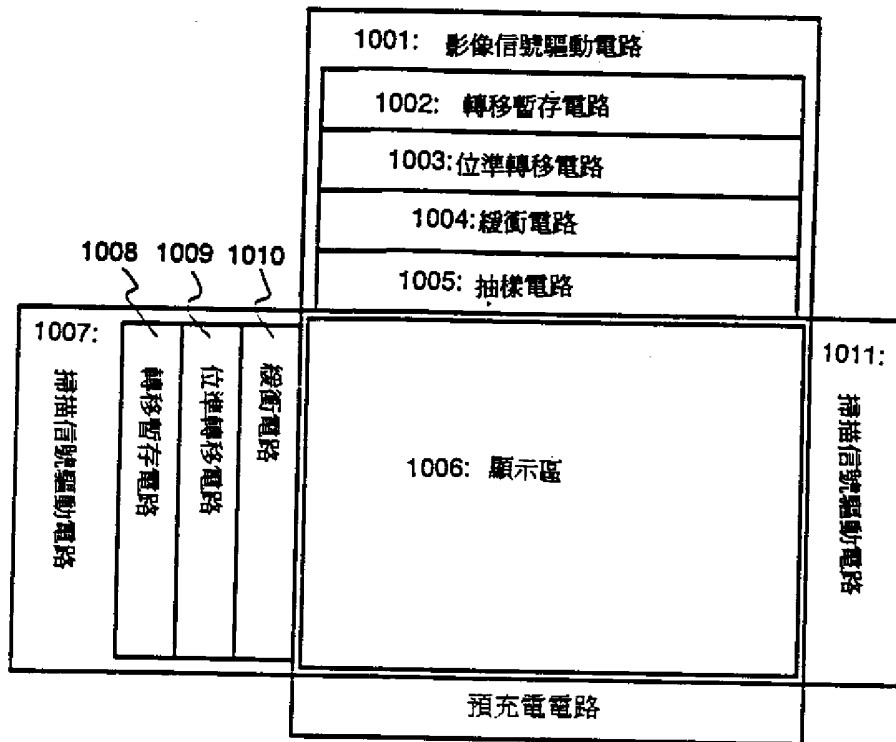


444257

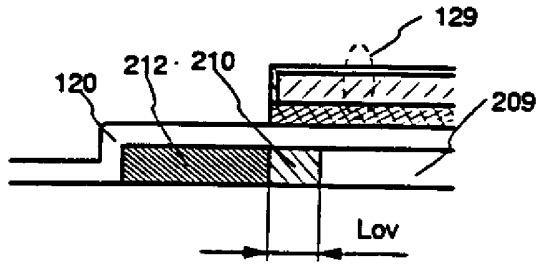
第 13 圖



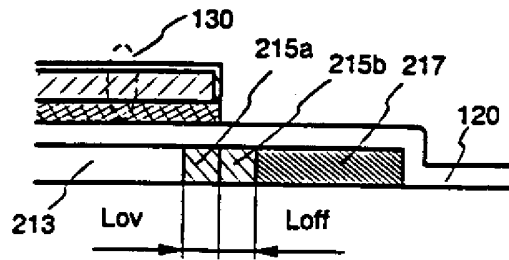
第 14 圖



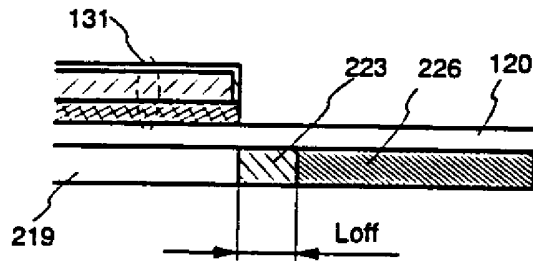
第 15 A 圖



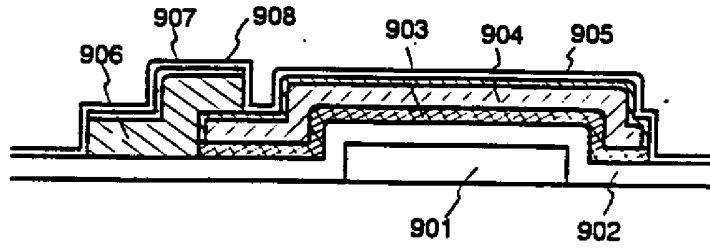
第 15 B 圖



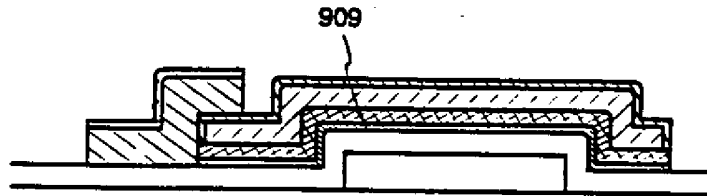
第 15 C 圖



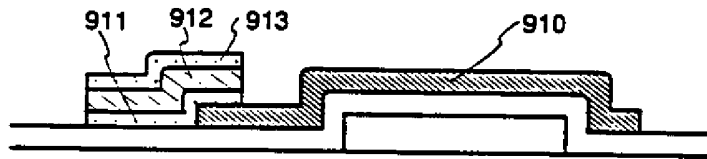
第 16 A 圖

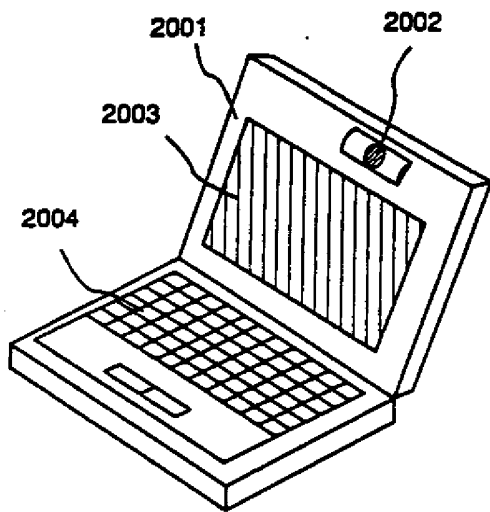


第 16 B 圖

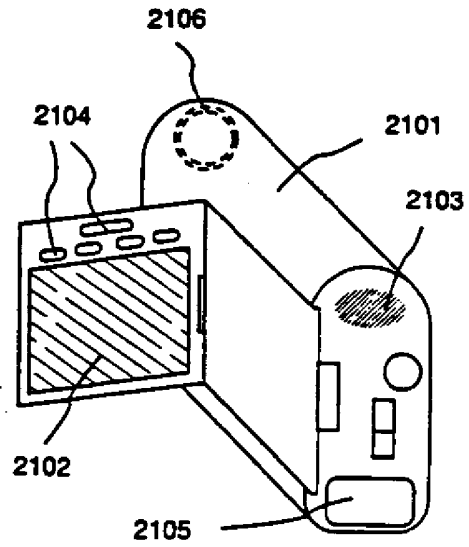


第 16 C 圖



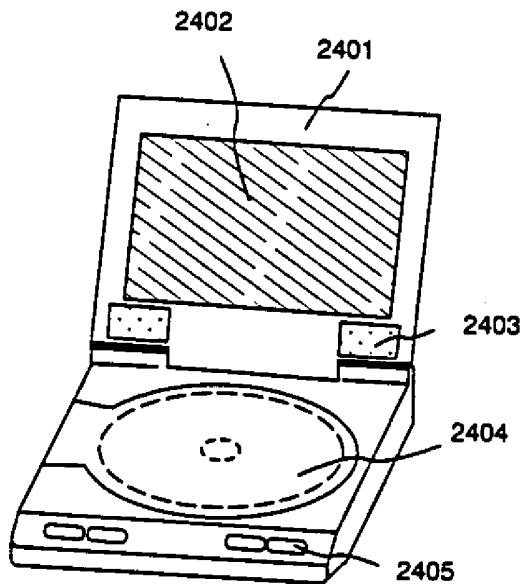
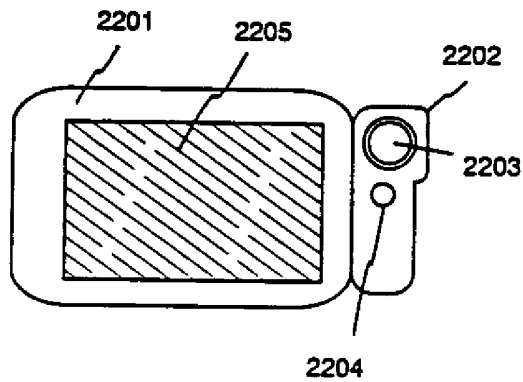


第 17 A 圖

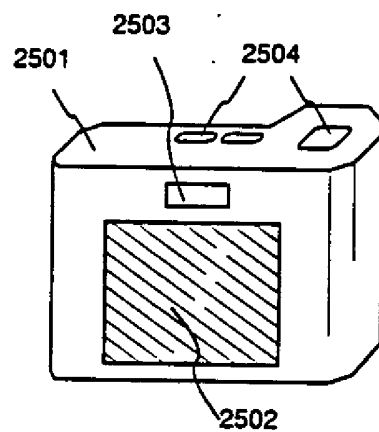


第 17 B 圖

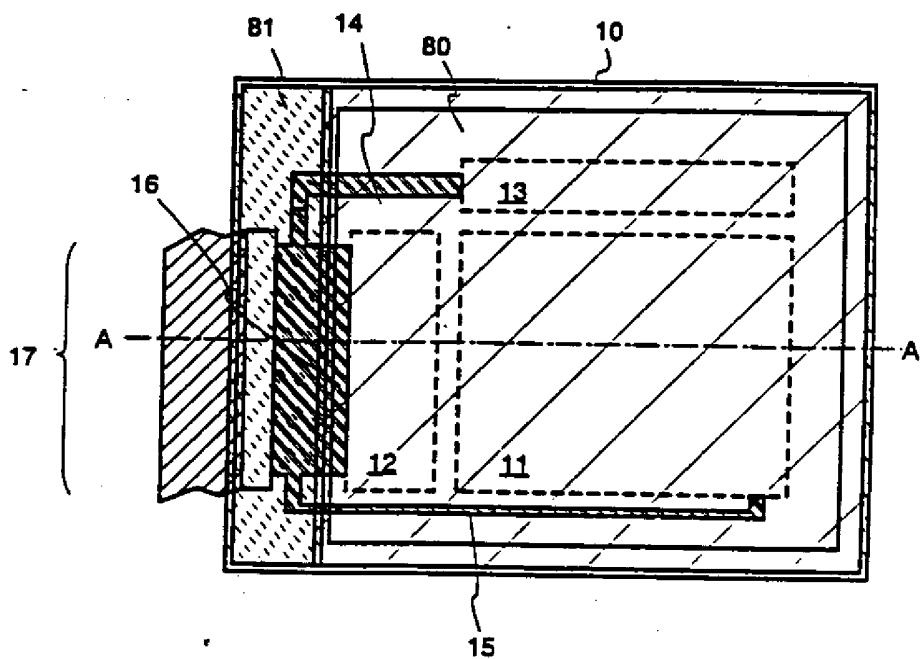
第 17 C 圖



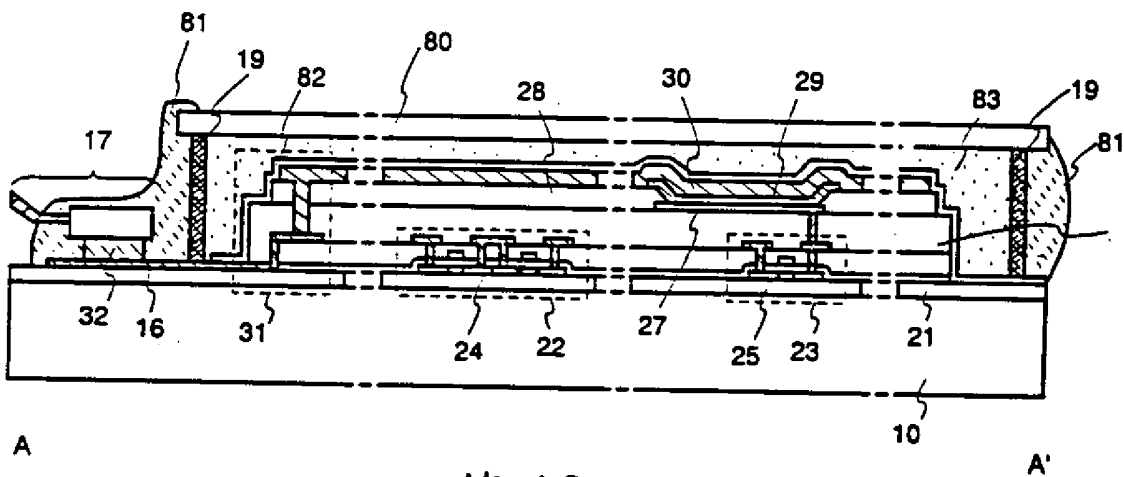
第 17 D 圖



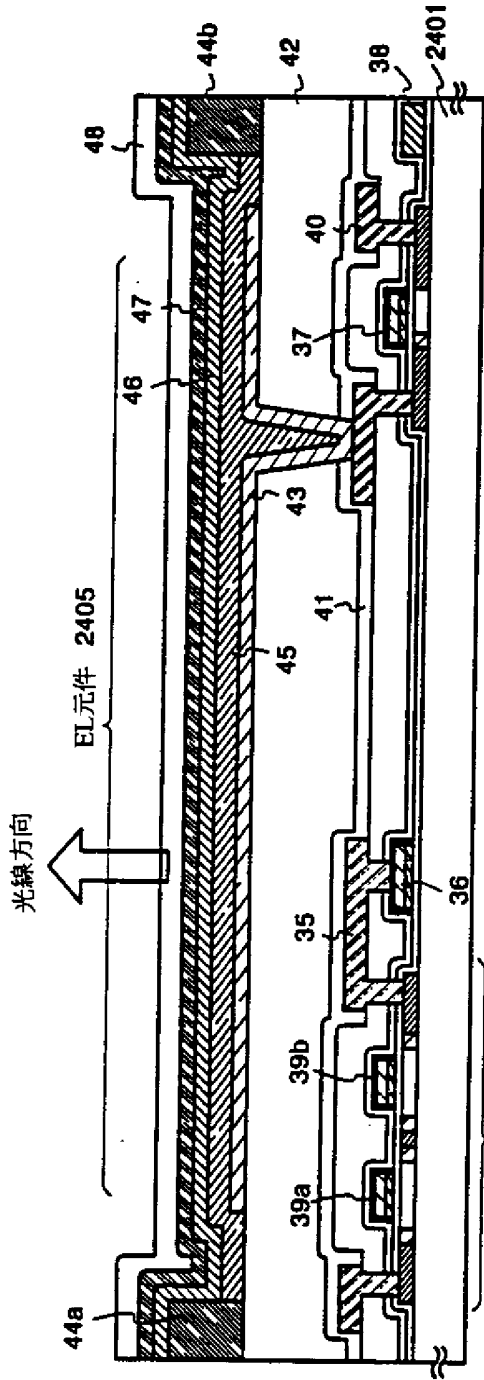
第 17 E 圖



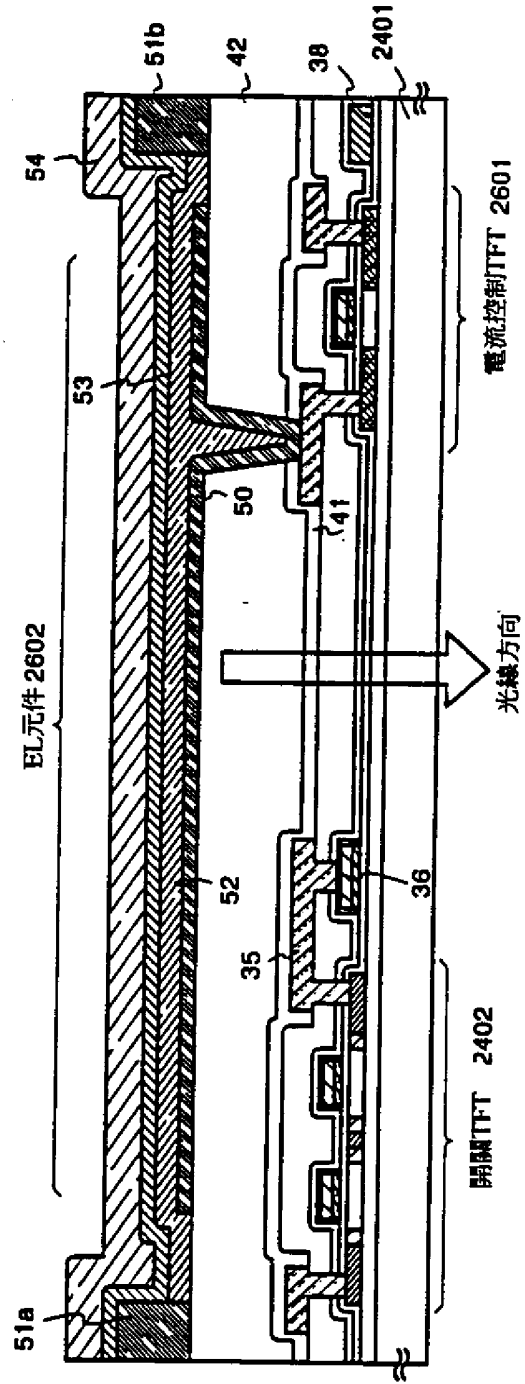
第 18 A 圖



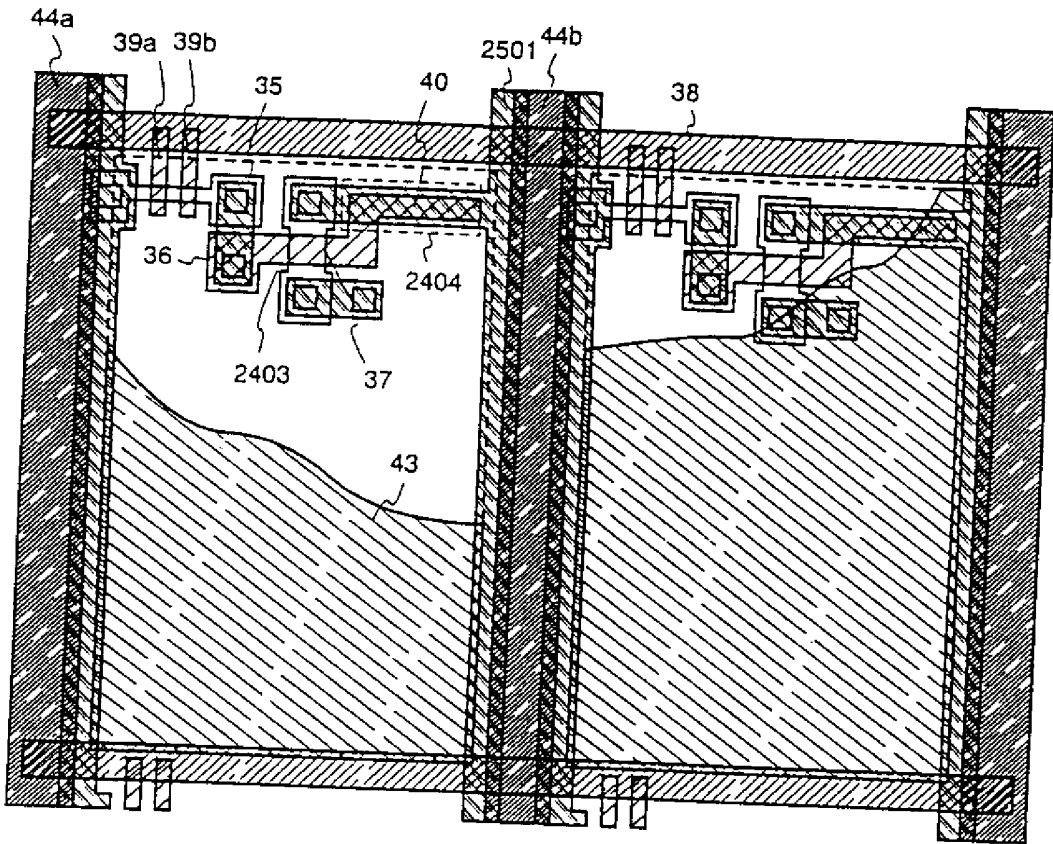
第 18 B 圖



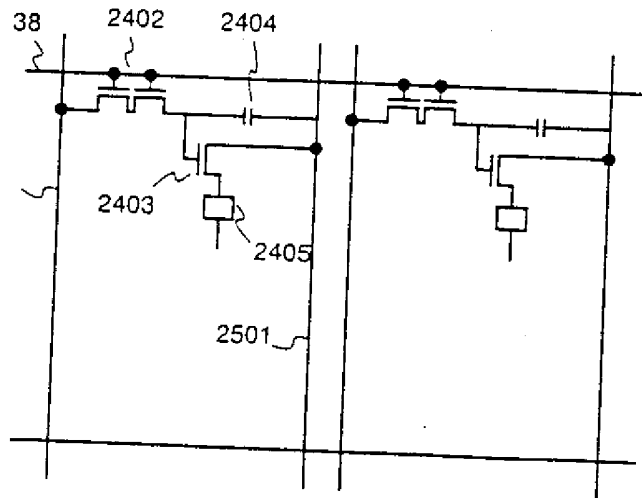
第 19 A 圖



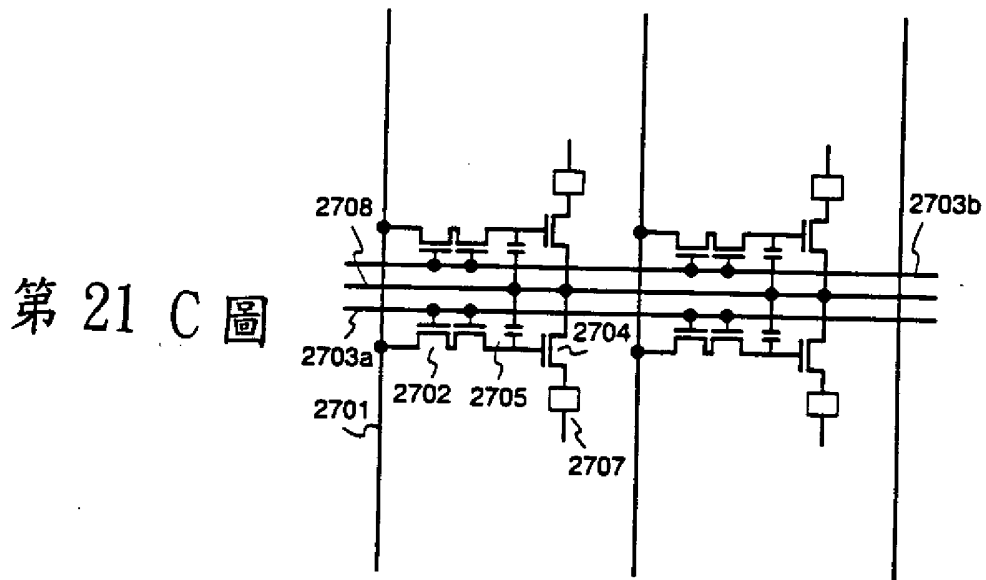
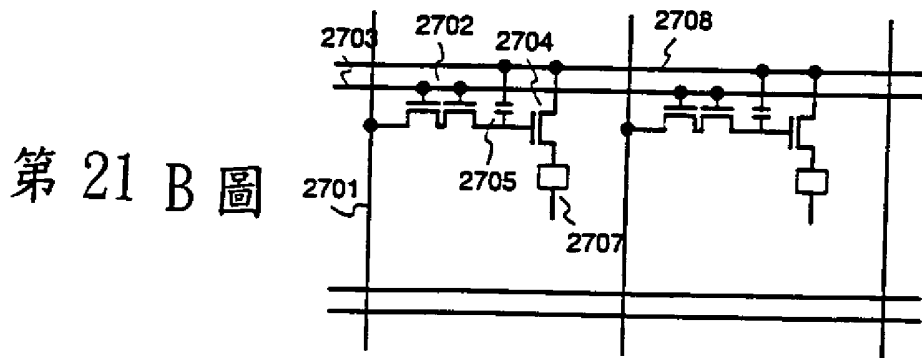
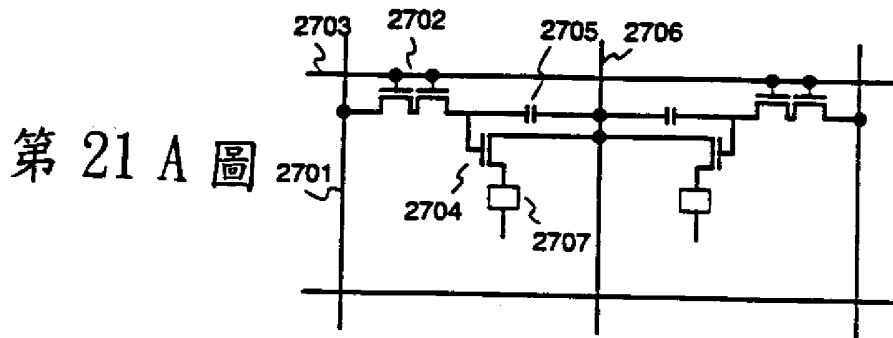
第 19 B 圖



第 20A 圖

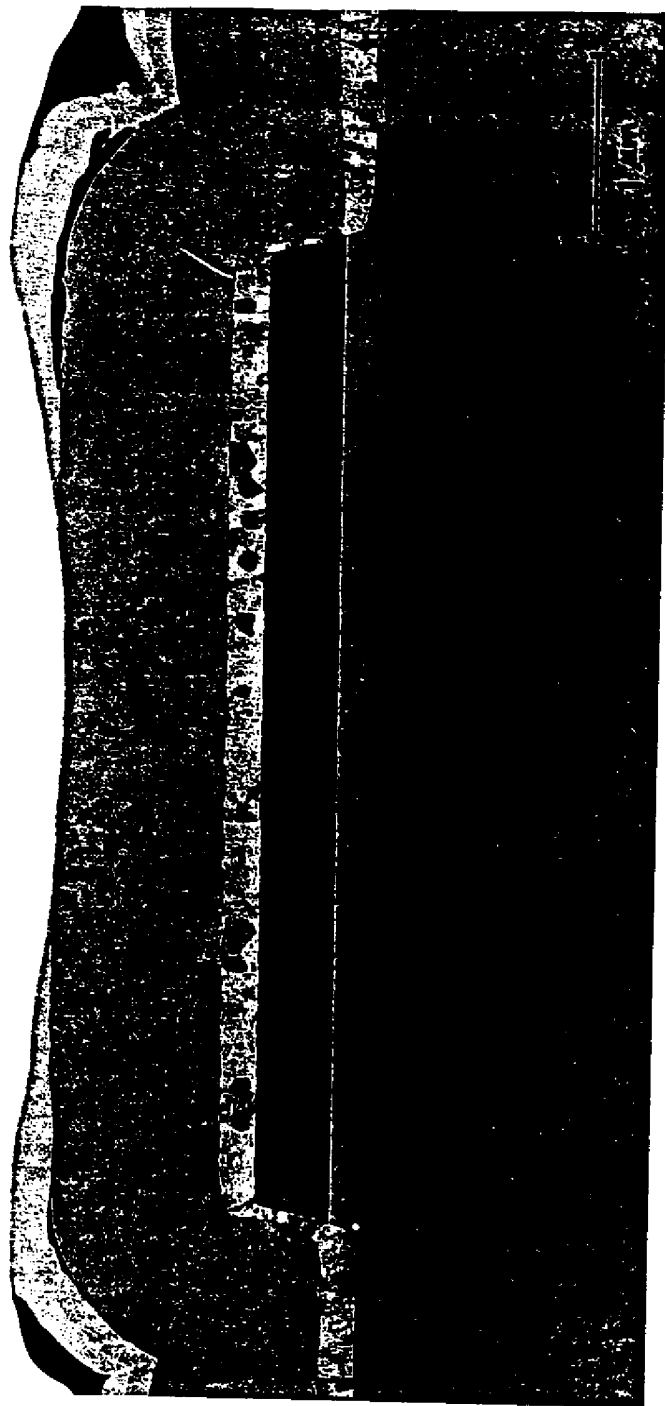


第 20 B 圖

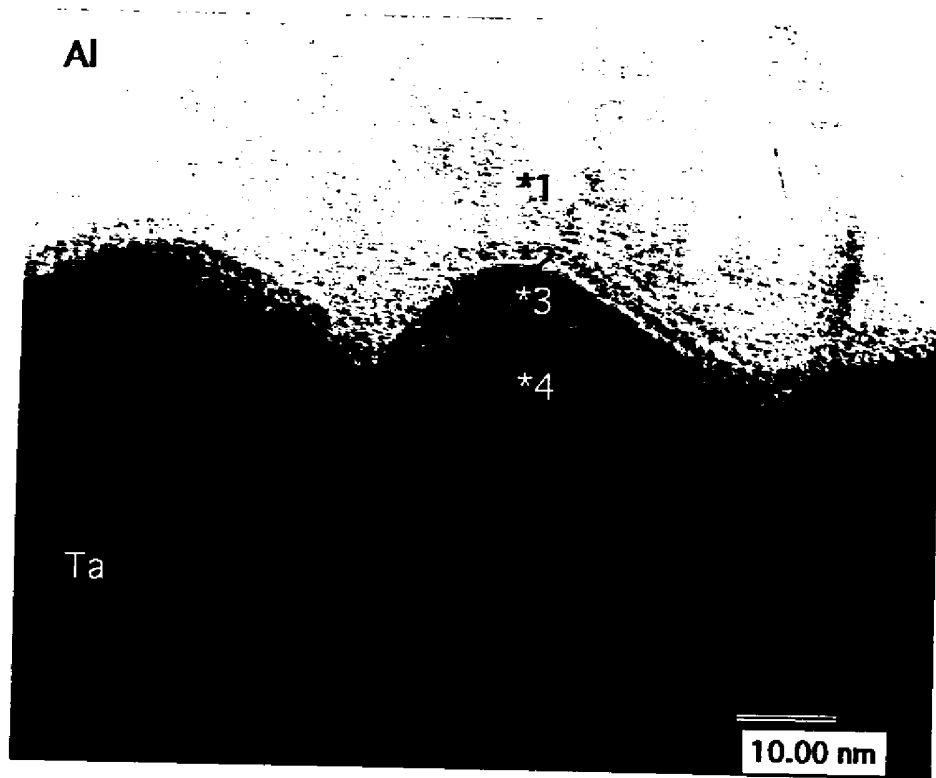


444257

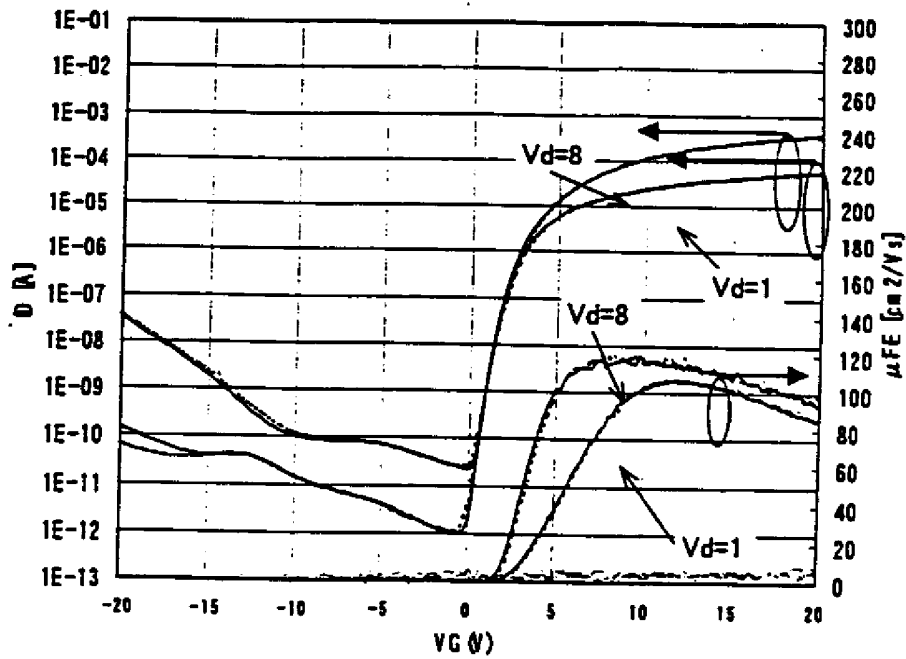
第22圖



第 23 圖

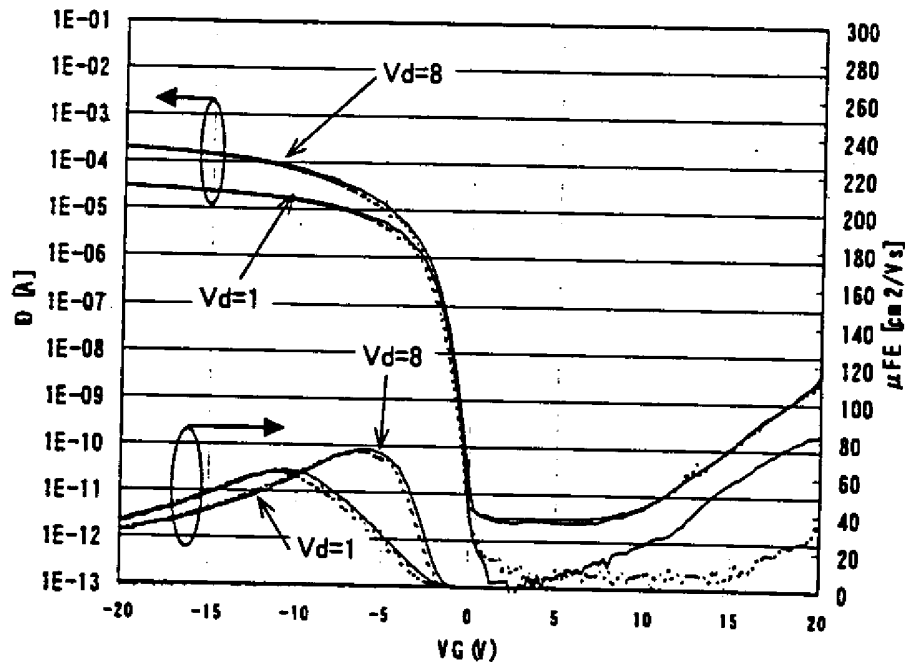


PA852, UnR2 No.AN (B) N-ch. L/W = 7.3/ 8, Tox= 115)

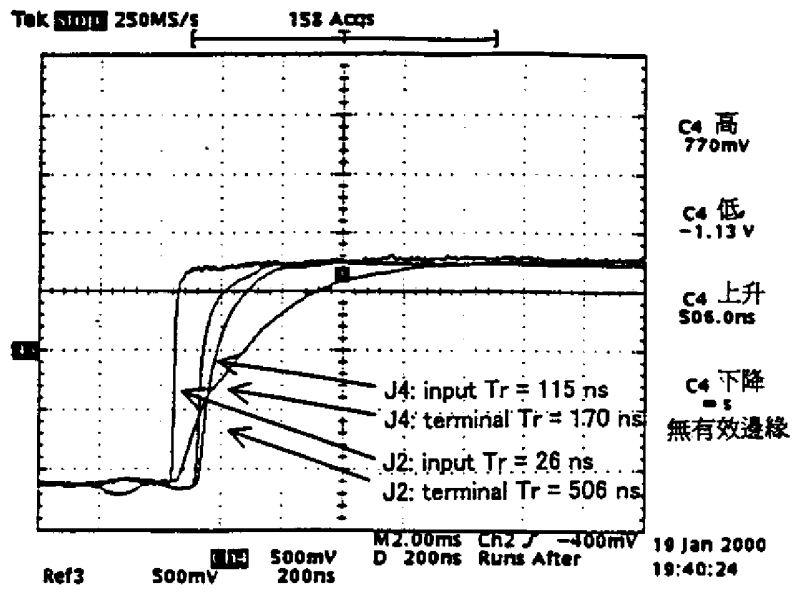


第 24 A 圖

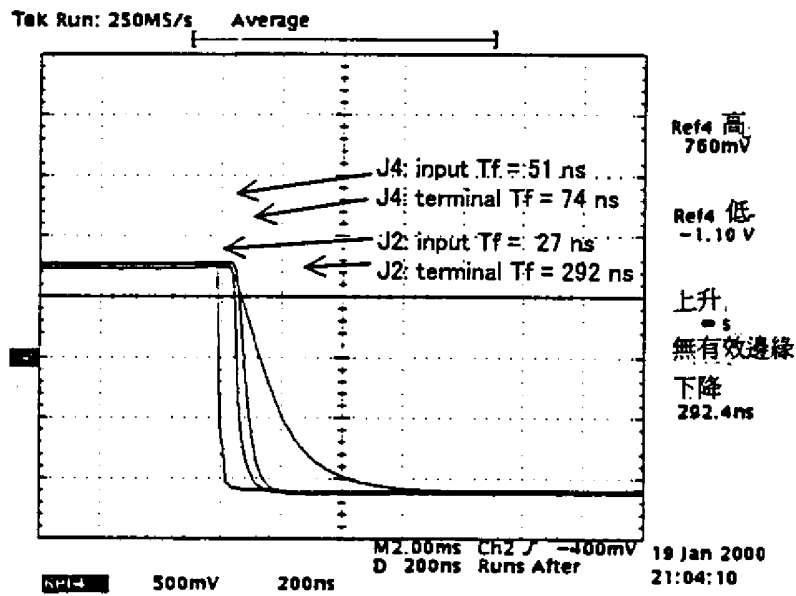
PA852, Unit2 No.AP (B) P-ch. L/W = 7/ 8, Tox= 115)



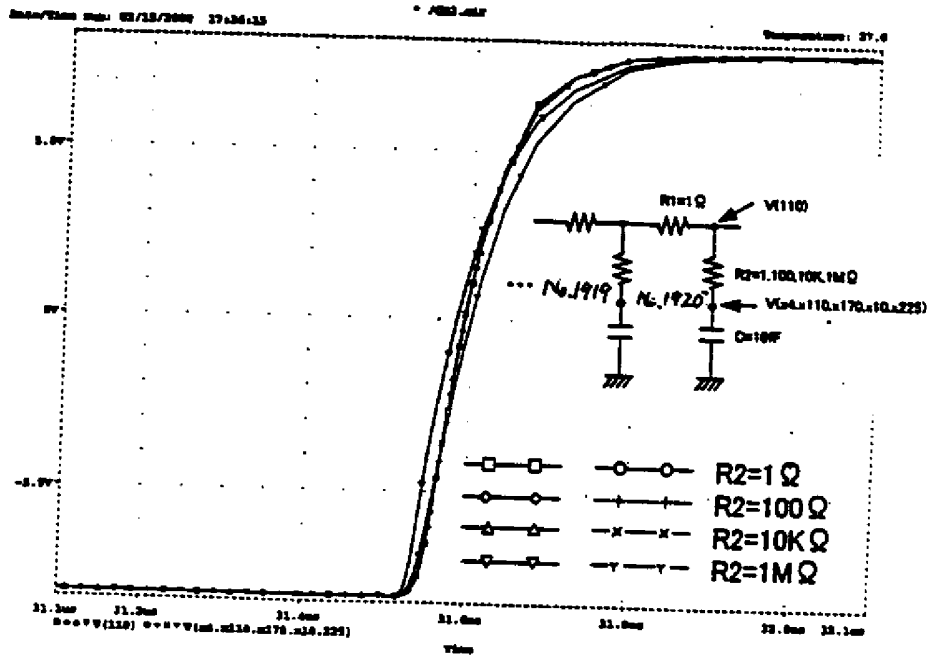
第 24 B 圖



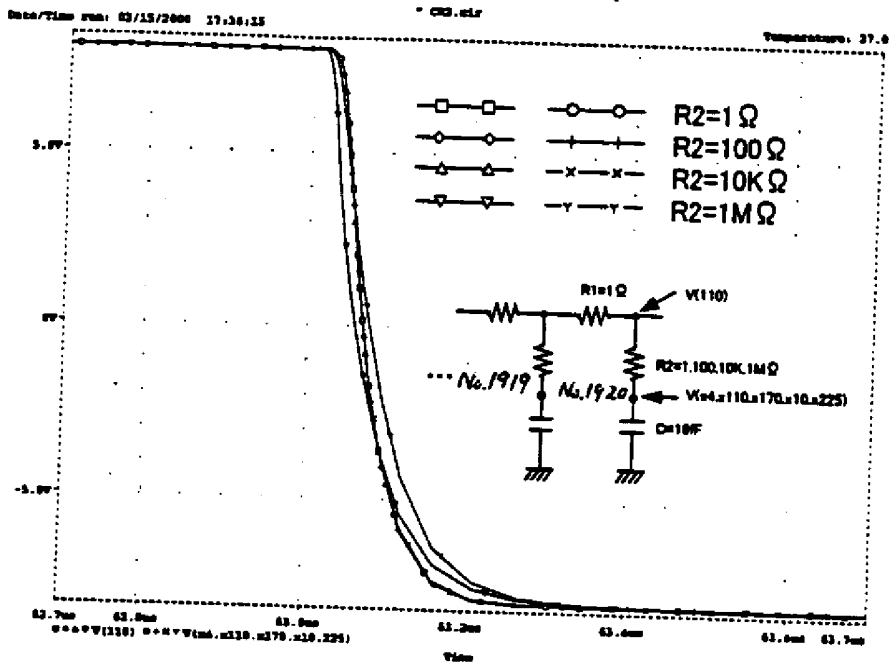
第 25 A 圖



第 25 B 圖



第 26 A 圖



第 26 B 圖