



(12) 发明专利申请

(10) 申请公布号 CN 115915759 A

(43) 申请公布日 2023. 04. 04

(21) 申请号 202210988666.7

(22) 申请日 2022.08.17

(30) 优先权数据

10-2021-0128787 2021.09.29 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 崔训诚 尹智英

(74) 专利代理机构 北京市立方律师事务所

11330

专利代理师 李娜 邓思思

(51) Int. Cl.

H10B 20/25 (2023.01)

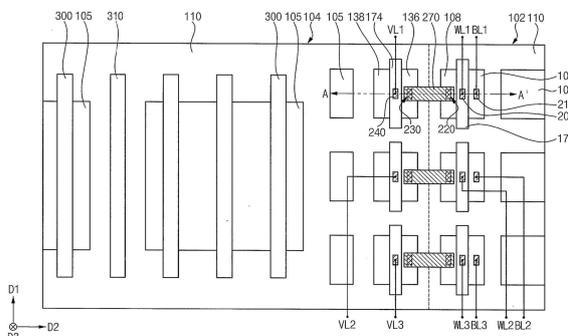
权利要求书3页 说明书8页 附图7页

(54) 发明名称

半导体集成电路器件

(57) 摘要

一种半导体集成电路器件,其包括:标准单元,位于衬底上;一次性可编程(OTP)存储器结构,位于所述标准单元的边缘部分处;以及编程晶体管,在与所述标准单元的设置有所述OTP存储器结构的所述边缘部分相邻的位置处位于所述标准单元外部,所述编程晶体管电连接到所述OTP存储器结构。所述OTP存储器结构包括第一反熔丝和第二反熔丝。当编程电压被施加到编程晶体管并且偏置电源电压被施加到所述OTP存储器结构时,所述第一反熔丝和所述第二反熔丝均变得短路,并且所述偏置电源电压被提供到所述标准单元。



1. 一种半导体集成电路器件,所述半导体集成电路器件包括:

第一阱和第二阱,所述第一阱和所述第二阱位于衬底中并且掺杂有具有彼此不同的导电类型的杂质;

编程晶体管,所述编程晶体管包括:

第一栅极结构,所述第一栅极结构位于所述第一阱上;

第一杂质区和第二杂质区,所述第一杂质区和所述第二杂质区位于所述第一阱的与所述第一栅极结构相邻的上部中;以及

一次性可编程存储器结构,所述一次性可编程存储器结构包括位于所述第二阱上的第一反熔丝和第二反熔丝,

其中,所述第二反熔丝包括位于所述第二阱上的填充氧化物层,其中,所述第一反熔丝包括:

半导体层,所述半导体层位于所述填充氧化物层上;

第二栅极结构,所述第二栅极结构位于所述半导体层上,所述第二栅极结构包括栅极绝缘图案和位于所述栅极绝缘图案上的栅电极,

其中,在所述半导体层的与所述第二栅极结构相邻的部分中形成有第三杂质区和第四杂质区,并且

其中,所述第二杂质区和所述第三杂质区彼此电连接。

2. 根据权利要求1所述的半导体集成电路器件,其中,所述第一杂质区电连接到被配置为用于施加编程电压的位线,所述第一栅极结构电连接到被配置为用于施加选择电压的字线,并且所述栅电极电连接到被配置为用于施加偏置电源电压的电压线。

3. 根据权利要求2所述的半导体集成电路器件,其中,所述编程电压与所述偏置电源电压之间的差大于所述栅极绝缘图案的击穿电压。

4. 根据权利要求2所述的半导体集成电路器件,其中,所述编程电压大于所述填充氧化物层的击穿电压。

5. 根据权利要求2所述的半导体集成电路器件,其中,所述选择电压大于所述编程晶体管的阈值电压。

6. 根据权利要求2所述的半导体集成电路器件,其中,当所述编程电压被施加到所述位线,所述选择电压被施加到所述字线,并且所述偏置电源电压被施加到所述电压线时,所述第一反熔丝和所述第二反熔丝均变得短路,并且所述偏置电源电压被提供到所述第二阱。

7. 根据权利要求1所述的半导体集成电路器件,所述半导体集成电路器件还包括:

第一接触插塞,所述第一接触插塞位于所述第一杂质区上并且电连接到所述第一杂质区;

第二接触插塞,所述第二接触插塞位于所述第一栅极结构上并且电连接到所述第一栅极结构;

第三接触插塞,所述第三接触插塞位于所述第二杂质区上并且电连接到所述第二杂质区;

第四接触插塞,所述第四接触插塞位于所述第三杂质区上并且电连接到所述第三杂质区;以及

第五接触插塞,所述第五接触插塞位于所述第二栅极结构上并且电连接到所述第二栅

极结构。

8. 根据权利要求7所述的半导体集成电路器件,所述半导体集成电路器件还包括位于所述第三接触插塞与所述第四接触插塞之间的布线,所述布线接触所述第三接触插塞和所述第四接触插塞两者,

其中,所述第二杂质区和所述第三杂质区通过所述第三接触插塞、所述第四接触插塞和所述布线彼此电连接。

9. 根据权利要求1所述的半导体集成电路器件,其中,所述一次性可编程存储器结构是位于所述第二阱上的多个一次性可编程存储器结构之一,并且所述编程晶体管是位于所述第一阱上的多个编程晶体管之一,所述多个编程晶体管分别电连接到所述多个一次性可编程存储器结构。

10. 根据权利要求9所述的半导体集成电路器件,其中,所述多个编程晶体管中的每一者的所述第一杂质区电连接到对应的被配置为用于施加编程电压的位线,所述多个编程晶体管中的每一者的所述第一栅极结构电连接到对应的被配置为用于施加选择电压的字线,并且所述多个一次性可编程存储器结构中的每一者的所述栅电极电连接到对应的被配置为用于施加偏置电源电压的电压线,并且

其中,电连接到所述多个一次性可编程存储器结构中包括的多个所述栅电极的多条所述电压线分别施加具有不同的电压电平的偏置电源电压。

11. 一种半导体集成电路器件,所述半导体集成电路器件包括:

第一阱和第二阱,所述第一阱和所述第二阱位于衬底中并且掺杂有具有彼此不同的导电类型的杂质;

第一填充氧化物层,所述第一填充氧化物层位于所述第一阱上;

第一半导体层,所述第一半导体层位于所述第一填充氧化物层上;

编程晶体管,所述编程晶体管包括:

第一栅极结构,所述第一栅极结构位于所述第一半导体层上;以及

第一杂质区和第二杂质区,所述第一杂质区和所述第二杂质区位于所述第一半导体层的与所述第一栅极结构相邻的上部中;

第二填充氧化物层,所述第二填充氧化物层位于所述第二阱上;

第二半导体层,所述第二半导体层位于所述第二填充氧化物层上;以及

第一反熔丝,所述第一反熔丝包括:

第二栅极结构,所述第二栅极结构位于所述第二半导体层上;以及

第三杂质区和第四杂质区,所述第三杂质区和所述第四杂质区位于所述第二半导体层的与所述第二栅极结构相邻的上部中,

其中,所述第二杂质区和所述第三杂质区彼此电连接。

12. 根据权利要求11所述的半导体集成电路器件,其中,所述第一杂质区电连接到被配置为用于施加编程电压的位线,所述第一栅极结构电连接到被配置为用于施加选择电压的字线,并且所述第二栅极结构电连接到被配置为用于施加偏置电源电压的电压线。

13. 根据权利要求12所述的半导体集成电路器件,其中,所述第二栅极结构包括堆叠在所述第二半导体层上的栅极绝缘图案和栅电极,并且

其中,所述编程电压与所述偏置电源电压之间的差大于所述栅极绝缘图案的击穿电

压。

14. 根据权利要求13所述的半导体集成电路器件,其中,当所述编程电压被施加到所述位线,所述选择电压被施加到所述字线,并且所述偏置电源电压被施加到所述电压线时,所述栅极绝缘图案和所述第二填充氧化物层均被击穿,所述第一反熔丝变得短路,所述第二阱、所述第二填充氧化物层和所述第二半导体层变得短路,并且所述偏置电源电压被提供到所述第二阱。

15. 根据权利要求12所述的半导体集成电路器件,其中,所述编程电压大于所述第二填充氧化物层的击穿电压。

16. 根据权利要求12所述的半导体集成电路器件,其中,所述选择电压大于所述编程晶体管的阈值电压。

17. 一种半导体集成电路器件,所述半导体集成电路器件包括:

第一阱和第二阱,所述第一阱和所述第二阱位于衬底中并且掺杂有具有彼此不同的导电类型的杂质;

编程晶体管,所述编程晶体管位于所述第一阱上并且包括第一栅电极以及第一源极/漏极区和第二源极/漏极区;

第一反熔丝;以及

第二反熔丝,所述第二反熔丝位于所述第一反熔丝与所述第二阱之间,

其中:

所述第二源极/漏极区电连接到所述第一反熔丝和所述第二反熔丝中的每一者,

当选择电压被施加到所述第一栅电极,编程电压被施加到所述第一源极/漏极区,并且偏置电源电压被施加到所述第二反熔丝时,所述第一反熔丝和所述第二反熔丝均变得短路,并且所述偏置电源电压被提供到所述第二阱。

18. 根据权利要求17所述的半导体集成电路器件,其中:

所述第二反熔丝包括:

填充氧化物层,所述填充氧化物层位于所述第二阱上;以及

半导体层,所述半导体层位于所述填充氧化物层上,并且

当所述填充氧化物层被击穿时,所述第二反熔丝变得短路。

19. 根据权利要求18所述的半导体集成电路器件,其中:

所述第一反熔丝包括:

栅极绝缘图案,所述栅极绝缘图案位于所述半导体层上;

第二栅电极,所述第二栅电极位于所述栅极绝缘图案上;以及

第三源极/漏极区和第四源极/漏极区,所述第三源极/漏极区和所述第四源极/漏极区位于所述半导体层的与所述第二栅电极相邻的部分中,并且

当所述栅极绝缘图案被击穿时,所述第一反熔丝变得短路。

20. 根据权利要求19所述的半导体集成电路器件,其中,所述第二源极/漏极区和所述第三源极/漏极区彼此电连接。

半导体集成电路器件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年9月29日在韩国知识产权局(KIPO)提交的韩国专利申请No.10-2021-0128787的优先权,其公开内容通过引用整体合并于此。

技术领域

[0003] 与本公开一致的示例实施例涉及半导体集成电路器件和向其提供偏置功率的方法。

背景技术

[0004] 在相关技术的半导体集成电路器件中,为了选择性地向标准单元的本体或阱提供偏置功率,不得不形成可能占据大面积并消耗高电功率的本体偏置发生器(body bias generator, BBGen)。因此,期望改进向标准单元的本体或阱提供偏置功率的方法,从而提高集成度并且可以降低功耗。

发明内容

[0005] 本发明的一方面是提供具有改善的电特性的半导体集成电路器件。

[0006] 另一方面是提供一种向具有改善的电特性的半导体集成器件提供偏置功率的方法。

[0007] 根据一个或更多个示例实施例的一方面,提供了一种半导体集成电路器件。所述半导体集成电路器件可以包括:第一阱和第二阱,所述第一阱和所述第二阱位于衬底中,并且掺杂有具有彼此不同的导电类型的杂质;编程晶体管,所述编程晶体管包括位于所述第一阱上的第一栅极结构以及位于所述第一阱的与所述第一栅极结构相邻的上部中的第一杂质区和第二杂质区;以及一次性可编程(OTP)存储器结构,所述OTP存储器结构包括位于所述第二阱上的第一反熔丝和第二反熔丝。所述第二反熔丝可以包括位于所述第二阱上的填充氧化物层。所述第一反熔丝可以包括位于所述填充氧化物层上的半导体层和位于所述半导体层上的第二栅极结构。所述第二栅极结构可以包括栅极绝缘图案和位于所述栅极绝缘图案上的栅电极。在所述半导体层的与所述第二栅极结构相邻的部分中可以形成有第三杂质区和第四杂质区。所述第二杂质区和所述第三杂质区可以彼此电连接。

[0008] 根据一个或更多个示例实施例的另一方面,提供了一种半导体集成电路器件。所述半导体集成电路器件可以包括:第一阱和第二阱,所述第一阱和所述第二阱位于衬底中,并且掺杂有具有彼此不同的导电类型的杂质;第一填充氧化物层,所述第一填充氧化物层位于所述第一阱上;第一半导体层,所述第一半导体层位于所述第一填充氧化物层上;编程晶体管,所述编程晶体管包括位于所述第一半导体层上的第一栅极结构以及位于所述第一半导体层的与所述第一栅极结构相邻的上部中的第一杂质区和第二杂质区;第二填充氧化物层,所述第二填充氧化物层位于所述第二阱上;第二半导体层,所述第二半导体层位于所述第二填充氧化物层上;以及第一反熔丝,所述第一反熔丝包括位于所述第二半导体层上

的第二栅极结构以及位于所述第二半导体层的与所述第二栅极结构相邻的上部中的第三杂质区和第四杂质区。所述第二杂质区和所述第三杂质区可以彼此电连接。

[0009] 根据一个或更多个示例实施例的又一方面,提供了一种半导体集成电路器件。所述半导体集成电路器件可以包括:第一阱和第二阱,所述第一阱和所述第二阱位于衬底中,并且掺杂有具有彼此不同的导电类型的杂质;编程晶体管,所述编程晶体管位于所述第一阱中,并且包括第一栅电极以及第一源极/漏极区和第二源极/漏极区;第一反熔丝;以及第二反熔丝,所述第二反熔丝位于所述第一反熔丝与所述第二阱之间。所述第二源极/漏极区电连接到所述第一反熔丝和所述第二反熔丝中的每一者,并且当选择电压被施加到所述第一栅电极,编程电压被施加到所述第一源极/漏极区,并且偏置电源电压被施加到所述第二反熔丝时,所述第一反熔丝和所述第二反熔丝均变得短路,并且所述偏置电源电压被提供到所述第二阱。

[0010] 根据本发明构思的示例实施例,提供了一种半导体集成电路器件。所述半导体集成电路器件可以包括:标准单元,所述标准单元位于衬底上;一次性可编程(OTP)存储器结构,所述OTP存储器结构位于所述标准单元的边缘部分处,并且包括第一反熔丝和第二反熔丝;以及编程晶体管,所述编程晶体管在与所述标准单元的设置有所述OTP存储器结构的所述边缘部分相邻的位置处位于所述标准单元外部,所述编程晶体管电连接到所述OTP存储器结构,其中,当编程电压被施加到所述编程晶体管并且偏置电源电压被施加到所述OTP存储器结构时,所述第一反熔丝和所述第二反熔丝均变得短路,并且所述偏置电源电压被提供到所述标准单元。

[0011] 根据一个或更多个示例实施例的又一方面,提供了一种半导体集成电路器件。所述半导体集成电路器件可以包括:第一阱和第二阱,所述第一阱和所述第二阱位于衬底中并且掺杂有具有不同的导电类型的杂质;编程晶体管,所述编程晶体管包括位于所述第一阱上的第一栅极结构以及位于所述第一阱的与所述第一栅极结构相邻的部分处的第一杂质区和第二杂质区;填充氧化物层,所述填充氧化物层位于所述第二阱上;半导体层,所述半导体层位于所述填充氧化物层上;第一反熔丝,所述第一反熔丝包括:位于所述半导体层上的栅极绝缘图案、位于所述栅极绝缘图案上的栅电极以及位于所述半导体层的与所述栅电极相邻的部分处的第三杂质区和第四杂质区;第一接触插塞,所述第一接触插塞位于所述第一杂质区上并且电连接到所述第一杂质区;第二接触插塞,所述第二接触插塞位于所述第一栅极结构上并且电连接到所述第一栅极结构;第三接触插塞,所述第三接触插塞位于所述第二杂质区上并且电连接到所述第二杂质区;第四接触插塞,所述第四接触插塞位于在所述第三杂质区上并且电连接到所述第三杂质区;第五接触插塞,所述第五接触插塞位于所述栅电极上并且电连接到所述栅电极;以及布线,位于所述第三接触插塞和所述第四接触插塞上并且公共地电连接到所述第三接触插塞和所述第四接触插塞。所述第二阱、所述填充氧化物层和所述半导体层可以形成第二反熔丝。

[0012] 根据一个或更多个示例实施例的再一方面,提供了一种向半导体集成电路器件提供偏置功率的方法。所述半导体集成电路器件可以包括:第一阱和第二阱,所述第一阱和所述第二阱位于衬底中并且掺杂有具有不同的导电类型的杂质;编程晶体管,所述编程晶体管包括位于所述第一阱上的第一栅极结构以及位于所述第一阱的与所述第一栅极结构相邻的上部中的第一杂质区和第二杂质区;以及OTP存储器结构,所述OTP存储器结构包括第

一反熔丝和第二反熔丝,并且位于所述第二阱上。所述第二反熔丝可以包括位于所述第二阱上的填充氧化物层。所述第一反熔丝可以包括位于所述填充氧化物层上的半导体层以及包括栅极绝缘图案和位于所述栅极绝缘图案上的栅电极的第二栅极结构。第三杂质区和第四杂质区可以形成在所述半导体层的与所述栅电极相邻的部分中。在该方法中,可以将选择电压施加到所述第一栅极结构。可以将编程电压施加到所述第一杂质区。可以将偏置电源电压施加到所述栅电极。因此,所述偏置电源电压可以被提供到所述第二阱。

[0013] 根据一个或多个示例实施例的再一方面,提供了一种向半导体集成电路器件提供偏置功率的方法。所述半导体集成电路器件可以包括:标准单元,所述标准单元位于衬底上;一次性可编程(OTP)存储器结构,所述OTP存储器结构位于所述标准单元的边缘部分处,并且包括第一反熔丝和第二反熔丝;以及编程晶体管,所述编程晶体管在与所述标准单元的设置有所述OTP存储器结构的所述边缘部分相邻的位置处位于所述标准单元的外部,所述编程晶体管电连接到所述OTP存储器结构。在该方法中,可以将编程电压和选择电压施加到所述编程晶体管。可以将偏置电源电压施加到所述OTP存储器结构。因此,所述偏置电源电压可以被提供到所述标准单元。

附图说明

[0014] 图1和图2分别是示出了根据示例实施例的半导体集成电路器件的结构的俯视图和截面图,并且图3是示出了根据示例实施例的用于向半导体集成电路器件中的标准单元的本体或阱提供偏置功率的构件的电连接和操作方法的电路图;

[0015] 图4是示出了根据示例实施例的半导体集成电路器件的结构的截面图;

[0016] 图5和图6分别是示出了根据示例实施例的半导体集成电路器件的结构的俯视图和截面图,并且图7是示出了根据示例实施例的用于向半导体集成电路器件中的标准单元的本体或阱提供偏置功率的构件的电连接和操作方法的电路图。

具体实施方式

[0017] 通过参考附图详细描述其示例性实施例,将更清楚地理解以上和其他方面。

[0018] 将理解的是,尽管在这里可以使用术语“第一”、“第二”和/或“第三”来描述各种元件、组件、区域、层和/或部分,但是这些元件、组件、区域、层和/或部分不应被这些术语限制。这些术语仅用于将一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分区分开。因此,在不脱离本公开的教导的情况下,下面讨论的“第一”元件、组件、区域、层或部分可以被称为“第二”或“第三”元件、组件、区域、层或部分。

[0019] 在根据各种示例实施例的半导体集成电路器件中,可以不形成可能占据大面积并消耗大量功率的用于向标准单元的本体或阱提供偏置功率的本体偏置发生器(BBGen),使得半导体集成电路器件可以具有提高的集成度和降低的功耗。换言之,作为BBGen的替代,各种示例实施例提供了一种新的结构,与BBGen相比,其提供了提高的集成度和降低的功耗。

[0020] 图1和图2分别是示出了根据示例实施例的半导体集成电路器件的结构的俯视图和截面图,并且图3是示出了根据示例实施例的用于向半导体集成电路器件中的标准单元的本体或阱提供偏置功率的构件的电连接和操作方法的电路图。图1未示出绝缘中间层

260,并且图2是第一阱102与第二阱104之间的边界区域的截面图。图2示出了沿着图1中的A-A'的截面图。

[0021] 参照图1和图2,半导体集成电路器件可以包括位于衬底100上的标准单元以及用于向标准单元的本体或阱提供偏置功率的一次性可编程(OTP)存储器结构和编程晶体管PGM TR。

[0022] 在示例实施例中,衬底100可以是绝缘体上硅(SOI)衬底或绝缘体上锗(GOI)衬底。

[0023] 第一阱102和第二阱104可以形成在衬底100中。在示例实施例中,第一阱102可以是掺杂有p型杂质的p型阱P-WELL,并且第二阱104可以是掺杂有n型杂质的n型阱N-WELL。

[0024] 在示例实施例中,多个第二阱104可以在与衬底100的上表面基本上平行的第一方向D1上彼此间隔开,并且第一阱102可以形成在沿第一方向D1设置的第二阱104之间,并且形成在第二阱104在第二方向D2上的每个相对侧处,第二方向D2与衬底100的上表面基本上平行且与第一方向D1基本上垂直。图1和图2示出了第二阱104的一部分以及第一阱102的位于第二阱104在第二方向D2上的一侧的部分。

[0025] 在示例实施例中,包括各种晶体管的标准单元可以形成在沿第一方向D1交替地且重复地设置的第一阱102和第二阱104中的每一者上,用于向标准单元的本体或阱提供偏置功率的OTP存储器结构可以形成在标准单元的在第二方向D2上的边缘处,并且编程晶体管PGM TR可以形成在第一阱102的在第二方向D2上与OTP存储器结构相邻的部分上。在示例实施例中,多个OTP存储器结构可以在每个标准单元中沿第一方向D1彼此间隔开,并且编程晶体管PGM TR可以形成在第一阱102上以电连接到多个OTP存储器结构中的每一者。图1示出了在标准单元中沿第一方向D1彼此间隔开的与三个编程晶体管PGM TR对应的三个OTP存储器结构。然而,示例实施例不限于此,并且在一些示例实施例中,可以提供多于或少于三个的OTP存储器结构以及多于或少于三个的编程晶体管PGM TR。

[0026] 隔离图案110可以形成在衬底100上,因此可以在衬底100中限定其上未形成隔离图案的有源区105。第一阱102的上部和第二阱104的上部可以通过隔离图案110彼此分开。另外,第一阱102的上部可以由隔离图案110划分,并且第二阱104的上部可以由隔离图案110划分。隔离图案110可以包括氧化物,例如氧化硅。

[0027] 第一填充氧化物层122和第一半导体层131可以堆叠在第一阱102的上表面US1上,并且第二填充氧化物层124和第二半导体层133可以堆叠在第二阱104的上表面US2上。第一填充氧化物层122和第二填充氧化物层124均可以包括氧化物,例如氧化硅,并且第一半导体层131和第二半导体层133均可以包括结晶硅,例如单晶硅或多晶硅。

[0028] 在示例实施例中,第一填充氧化物层122和第二填充氧化物层124可以具有基本上相同的厚度,并且第一半导体层131和第二半导体层133可以具有基本上相同的厚度。在一些示例实施例中,第一填充氧化物层122的上表面和第二填充氧化物层124的上表面可以是共面的,并且第一半导体层131的上表面和第二半导体层133的上表面可以是共面的。

[0029] 如图2的示例中所示,编程晶体管PGM TR可以包括第一栅极结构172以及第一杂质区106和第二杂质区108,第一栅极结构172位于第一阱102的在第二方向D2上与第二阱104相邻的部分上,第一杂质区106和第二杂质区108位于第一阱102的与第一栅极结构172相邻的上部(例如,与上表面US1相邻)。第一栅极结构172的下表面可以低于隔离图案110的上表面。

[0030] 第一栅极结构172可以包括顺序地堆叠在第一阱102的上表面US1上的第一栅极绝缘图案142、第一栅电极152和第一栅极掩模162,并且第一间隔物182可以形成在第一栅极结构172的侧壁上。第一栅电极152可以用作编程晶体管PGM TR的栅极。

[0031] 第一栅极绝缘图案142可以包括氧化物,例如氧化硅,第一栅电极152可以包括导电材料,例如掺杂多晶硅、金属、金属氮化物、金属硅化物等,并且第一栅极掩模162和第一间隔物182可以包括氮化物,例如氮化硅。

[0032] 在示例实施例中,第一杂质区106和第二杂质区108均可以包括具有与第一阱102的导电类型相反的导电类型的杂质,即n型杂质,并且第一杂质区106和第二杂质区108中的每一者可以用作编程晶体管PGM TR的源极/漏极。因此,编程晶体管PGM TR可以是NMOS晶体管。

[0033] OTP存储器结构可以包括位于衬底100的第二阱104的在第二方向D2上的边缘部分上的第一反熔丝AF1和第二反熔丝AF2。

[0034] 第二反熔丝AF2可以包括位于第二阱104与第二半导体层133之间的第二填充氧化物层124。或者,第二反熔丝AF2可以被限定为不仅包括第二填充氧化物层124,而且还包括位于第二填充氧化物层124上方的第二半导体层133的一部分和/或位于第二填充氧化物层124下方的第二阱104的一部分。

[0035] 第一反熔丝AF1可以包括第二半导体层133和第二栅极结构174。第二栅极结构174可以包括顺序地堆叠在第二阱104的上表面US2上的第二栅极绝缘图案144、第二栅电极154和第二栅极掩模164,并且第二间隔物184可以形成在第二栅极结构174的侧壁上。

[0036] 具有与第二阱104的导电类型相同的导电类型的杂质(即,n型杂质)可以掺杂到第二半导体层133的在第二栅极结构174的相对侧处的部分中,以形成第三杂质区136和第四杂质区138,并且第三杂质区136和第四杂质区138中的每一者可以用作第一反熔丝AF1的源极/漏极。

[0037] 绝缘中间层260可以形成在具有第一填充氧化物层122和第二填充氧化物层124以及第一半导体层131和第二半导体层133的衬底100上,以覆盖第一栅极结构172和第二栅极结构174以及第一间隔物182和第二间隔物184。绝缘中间层260可以包括氧化物,例如氧化硅。

[0038] 可以形成延伸穿过绝缘中间层260和第一栅极掩模162以接触第一栅电极152的上表面的第一接触插塞200、延伸穿过绝缘中间层260以分别接触第一杂质区106的上表面和第二杂质区108的上表面的第二接触插塞210和第三接触插塞220、延伸穿过绝缘中间层260以接触第三杂质区136的上表面的第四接触插塞230、以及延伸穿过绝缘中间层260和第二栅极掩模164以接触第二栅电极154的上表面的第五接触插塞240。布线270可以形成在绝缘中间层260的上表面上以及第三接触插塞220和第四接触插塞230上,并且可以公共地接触第三接触插塞220的上表面和第四接触插塞230的上表面,以将第三接触插塞220和第四接触插塞230彼此电连接。

[0039] 第一接触插塞200、第二接触插塞210、第三接触插塞220、第四接触插塞230和第五接触插塞240以及布线270可以包括导电材料,例如金属、金属氮化物、金属硅化物和/或掺杂多晶硅。

[0040] 设置在第一方向D1上的分别位于第一阱102和第二阱104上的标准单元可以包括

各种晶体管。例如,图1示出了第二阱104上的一些晶体管。每个晶体管可以包括位于有源区105上的第三栅极结构300和/或位于隔离图案110上的第四栅极结构310,并且杂质区(未示出)可以形成在与第三栅极结构300相邻的有源区105的上部处,并且可以用作源极/漏极。

[0041] 参考图1至图3,接触每个编程晶体管PGM TR中包括的第一栅电极152的第一接触插塞200可以电连接到第一字线WL1、第二字线WL2和第三字线WL3中的对应的一者,接触每个编程晶体管PGM TR中的第一杂质区106的第二接触插塞210可以电连接到第一位线BL1、第二位线BL2和第三位线BL3中的对应的一者,并且接触每个OTP存储器结构中包括的第一反熔丝AF1的第二栅电极154的第五接触插塞240可以电连接到第一电压线VL1、第二电压线VL2和第三电压线VL3中的对应的一者。接触每个编程晶体管PGM TR中包括的第二杂质区108的第三接触插塞220可以通过布线270电连接到接触对应的OTP存储器结构中包括的第一反熔丝AF1的第三杂质区136的第四接触插塞230。

[0042] 因此,每个编程晶体管PGM TR的第一栅电极152可以连接到字线WL1、WL2和WL3中的对应的一者,并且每个编程晶体管PGM TR的第一杂质区(用作漏极区)106可以连接到位线BL1、BL2和BL3中的对应的一者。每个编程晶体管PGM TR的第二杂质区(用作源极区)108可以连接到包括在对应的OTP存储器结构中的第一反熔丝AF1的第三杂质区136,该第三杂质区136可以形成在第二阱104上。第三杂质区136和第二阱104可以通过第二反熔丝AF2彼此连接,并且每个OTP存储器结构中包括的第一反熔丝AF1的第二栅电极154可以连接到电压线VL1、VL2和VL3中的对应的一者。

[0043] 在下文中,说明使用OTP存储器结构和编程晶体管PGM TR向每个标准单元的本体或阱提供偏置功率的方法。说明通过第一字线WL1、第二位线BL2和第一电压线VL1提供偏置功率的方法。

[0044] 可以将编程电压施加到第一位线BL1,可以将电压电平高于编程晶体管PGM TR的阈值电压的电压电平的选择电压施加到第一字线WL1,并且可以将偏置电源电压施加到第一电压线VL1。在示例实施例中,编程电压与偏置电源电压之间的电压差可以大于第二栅极绝缘图案144的击穿电压,并且编程电压可以大于第二填充氧化物层124的击穿电压。

[0045] 例如,可以将编程电压和选择电压中的每一者设置为5V,并且可以将偏置电源电压设置为0V、0.9V、1.8V等。第二栅极绝缘图案144的击穿电压和第二填充氧化物层124的击穿电压可以分别为1V和2V。然而,编程电压、选择电压和偏置电源电压的这些特定值是示例性的,并且编程电压、选择电压和偏置电源电压可以根据要提供给标准单元的偏置电源电压、第二栅极绝缘图案144的击穿电压和第二填充氧化物层124的击穿电压以及编程晶体管PGM TR的阈值电压而变化。

[0046] 当将编程电压施加到第一位线BL1并且编程晶体管PGM TR导通时,编程电压与偏置电源电压之间的电压差大于第一反熔丝AF1中包括的第二栅极绝缘图案144的击穿电压,使得第一反熔丝AF1可以短路,并且编程电压大于第二反熔丝AF2中包括的第二填充氧化物层124的击穿电压,使得第二反熔丝AF2也可以短路。根据示例实施例,当第二栅极绝缘图案144和第二填充氧化物层124均被击穿时,第一反熔丝AF1、第二阱104、第二填充氧化物层124和第二半导体层133可以短路。因此,当包括第一反熔丝AF1和第二反熔丝AF2的OTP存储器结构被编程时,通过第一电压线VL1施加的偏置电源电压可以被提供到标准单元的第二阱104。

[0047] 如以上所说明的,均包括第一反熔丝AF1和第二反熔丝AF2的多个OTP存储器结构可以形成在每个标准单元中,并且编程晶体管PGM TR可以形成在与标准单元相邻的区域处。因此,当制造半导体集成电路器件时,可以形成分别连接到可以分别施加例如0V、0.9V和1.8V的偏置电源电压的第一电压线VL1、第二电压线VL2和第三电压线VL3的OTP存储器结构以及连接到OTP存储器结构的编程晶体管PGM TR,并且可以仅选择一个编程晶体管PGM TR,并且可以通过上述方法对OTP存储器结构进行编程,从而可以将期望的偏置电源电压施加到标准单元。

[0048] 因此,可以省略可能占据大面积并消耗大量功率的用于向标准单元的本体或阱提供偏置功率的另外的本体偏置发生器(BBGen),使得半导体集成电路器件可以具有提高的集成度和降低的功耗。

[0049] 多个OTP存储器结构中的未被选择的OTP存储器结构(即,多个OTP存储器结构中的未被编程的OTP存储器结构)可以是虚设晶体管,并且可以保留在标准单元中。

[0050] 第一阱102和第二阱104可以分别是p型阱和n型阱,并且每个编程晶体管PGM TR和第一反熔丝AF1可以是NMOS晶体管。然而,示例实施例不限于此。因此,在一些实施例中,第一阱102和第二阱104可以分别是n型阱和p型阱,并且每个编程晶体管PGM TR和第一反熔丝AF1可以是PMOS晶体管。

[0051] 图4是示出了根据示例实施例的半导体集成电路器件的结构的截面图。除了编程晶体管PGM TR之外,图4所示的半导体集成电路器件可以与关于图1至图3所示的半导体集成电路器件基本上相同或相似,因此,为了简洁起见,本文省略了相同或相似元件的重复说明。

[0052] 参考图4,编程晶体管PGM TR中包括的第一栅极结构172可以形成在位于衬底100的第一阱102上的第一半导体层131上。

[0053] 即,参考图1至图3所示的半导体集成电路器件中的第一栅极结构172可以不形成在第一半导体层131的上表面上,而是可以直接接触第一阱102的上表面,而图4所示的半导体集成电路器件中的第一栅极结构172可以直接接触第一半导体层131的上表面。

[0054] 因此,第五杂质区132和第六杂质区134可以形成在与第一栅极结构172相邻的第一半导体层131的上部处,并且第五杂质区132和第六杂质区134中的每一者可以用作编程晶体管PGM TR的源极/漏极。第五杂质区132和第六杂质区134中的每一者可以掺杂有导电类型与掺杂在第一阱102中的杂质的导电类型相反的杂质,即n型杂质。

[0055] 第二接触插塞210和第三接触插塞220可以分别接触第五杂质区132的上表面和第六杂质区134的上表面。

[0056] 在图4的半导体集成电路器件中,编程晶体管PGM TR可以形成SOI衬底上,而在图1至图3的半导体集成电路器件中,编程晶体管PGM TR可以形成在体衬底上。通过部分地去除位于SOI衬底中的第一阱102上的第一填充氧化物层122和第一半导体层131,可以在体衬底上形成图1至图3的半导体集成电路器件中的编程晶体管PGM TR。

[0057] 图5和图6分别是示出了根据示例实施例的半导体集成电路器件的结构的俯视图和截面图,并且图7是示出了根据示例实施例的用于向半导体集成电路器件中的标准单元的本体或阱提供偏置功率的构件的电连接和操作方法的电路图。

[0058] 除了连接到第二阱104的接地电极GND之外,图5至图6所示的半导体集成电路器件

可以与图1至图3的半导体集成电路器件基本上相同或相似,因此,为了简洁起见,本文省略了相同或相似的元件的重复说明。

[0059] 参考图5至图7,第六接触插塞250可以形成为穿过绝缘中间层260以接触第二阱104的上表面,并且接地电极GND可以电连接到第六接触插塞250。

[0060] 因此,当通过位线BL1、BL2和BL3以及电压线VL1、VL2和VL3施加电压以便第一反熔丝AF1和第二反熔丝AF2可以短路时,接地电极GND可以进一步连接到第二反熔丝AF2,从而可以防止浮置并且可以更稳定地执行编程操作。

[0061] 虽然已经参考附图示出并描述了各种示例性实施例,但是对于本领域普通技术人员将明显的是,在不脱离由所附权利要求阐述的本公开的精神和范围的情况下,可以对其进行形式和细节上的各种修改。

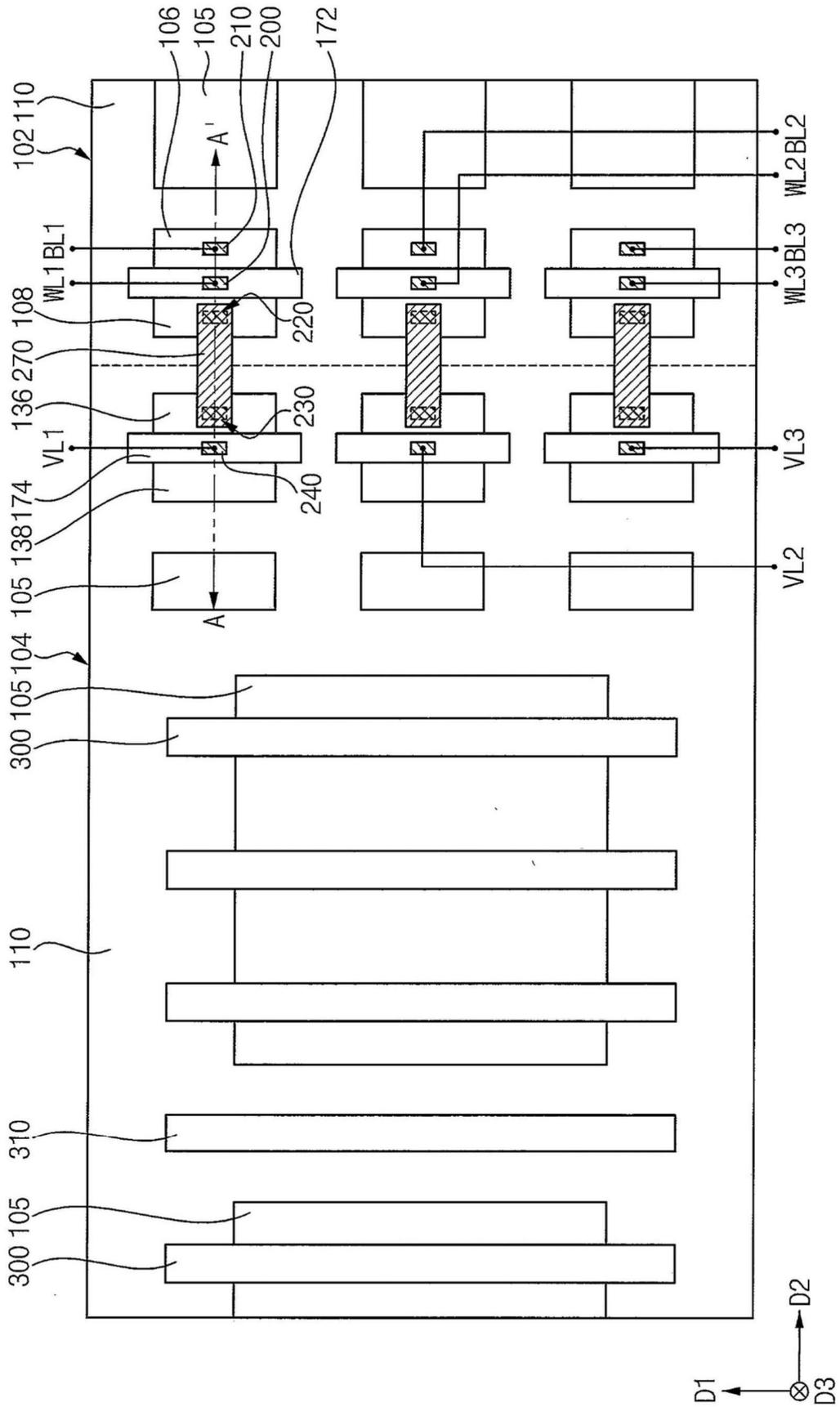


图1

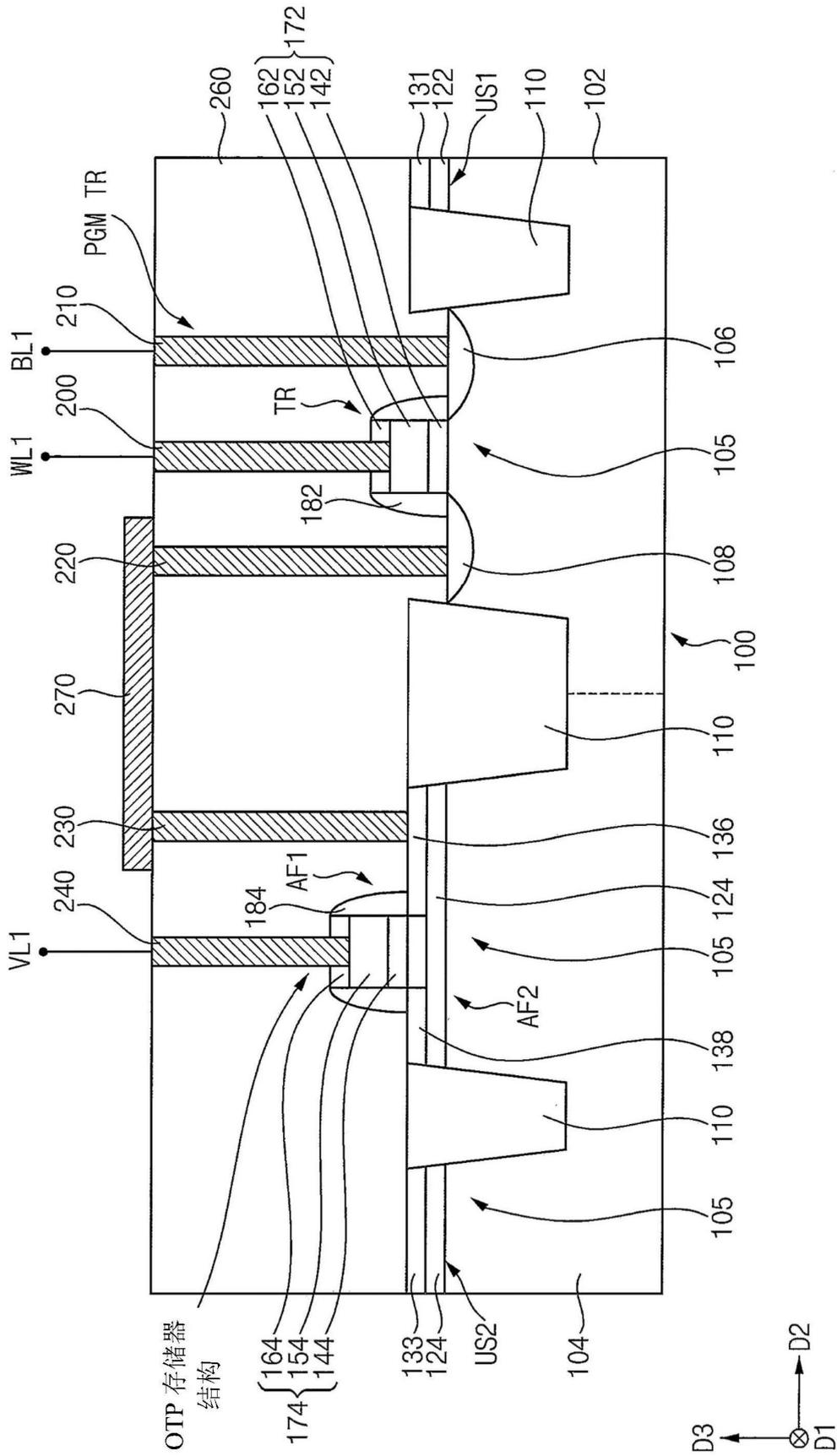


图2

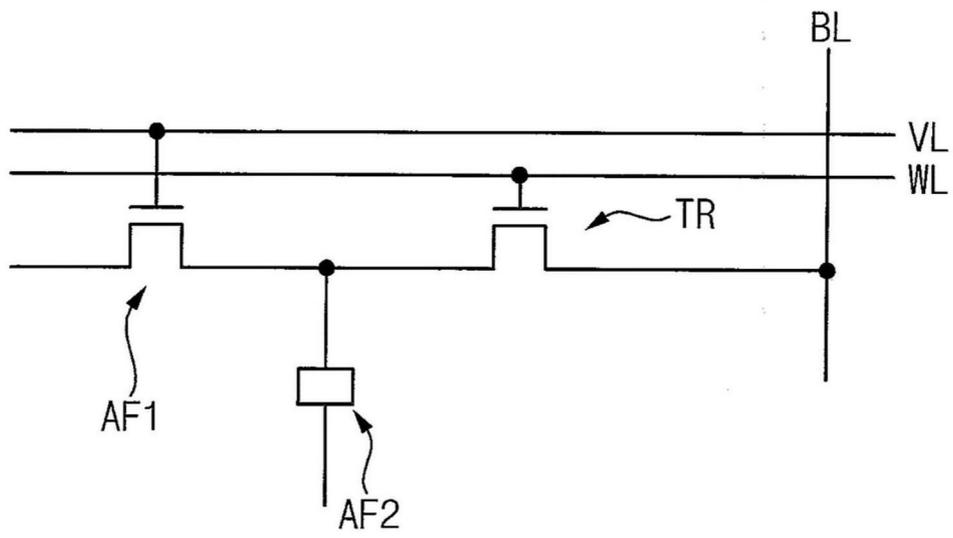


图3

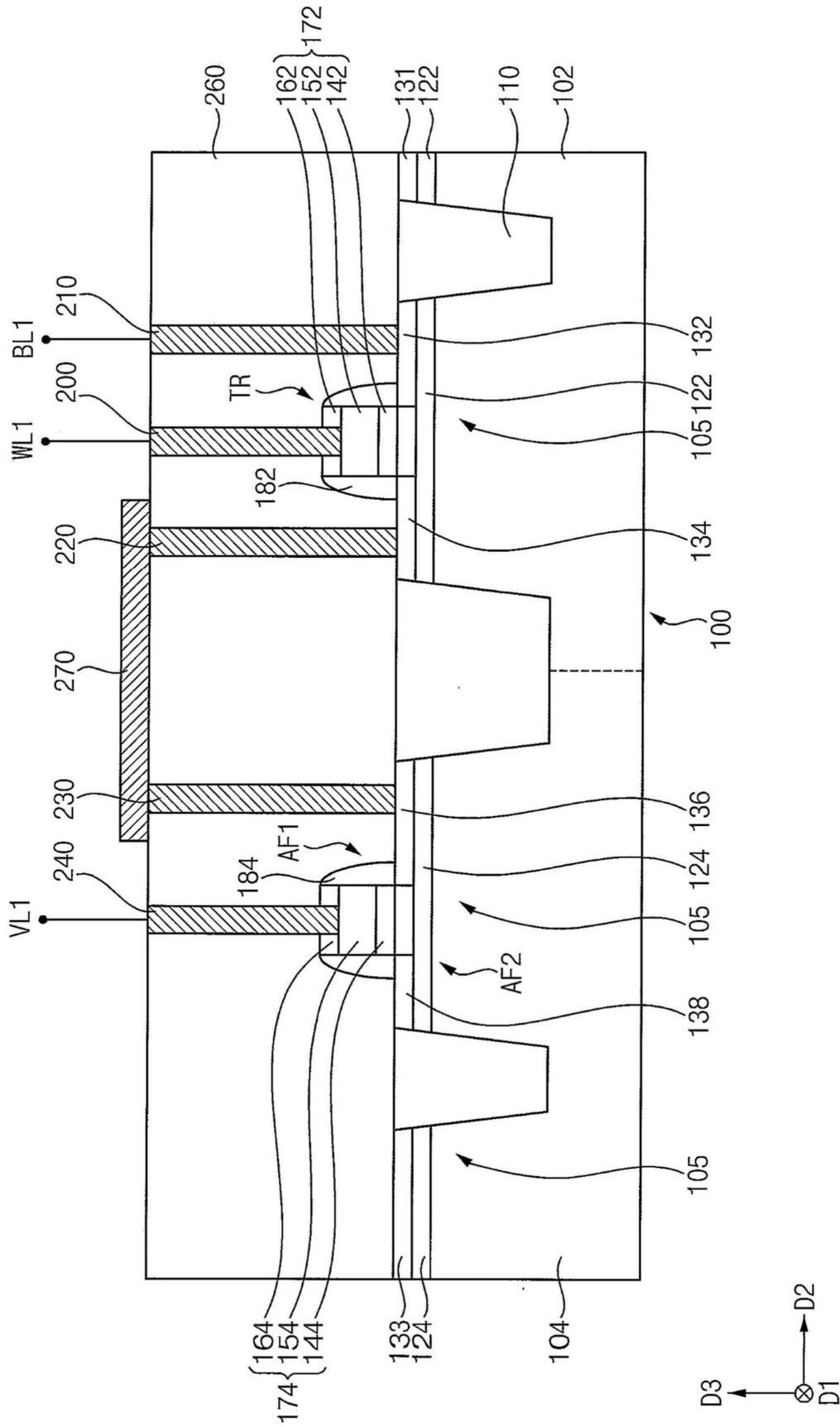


图4

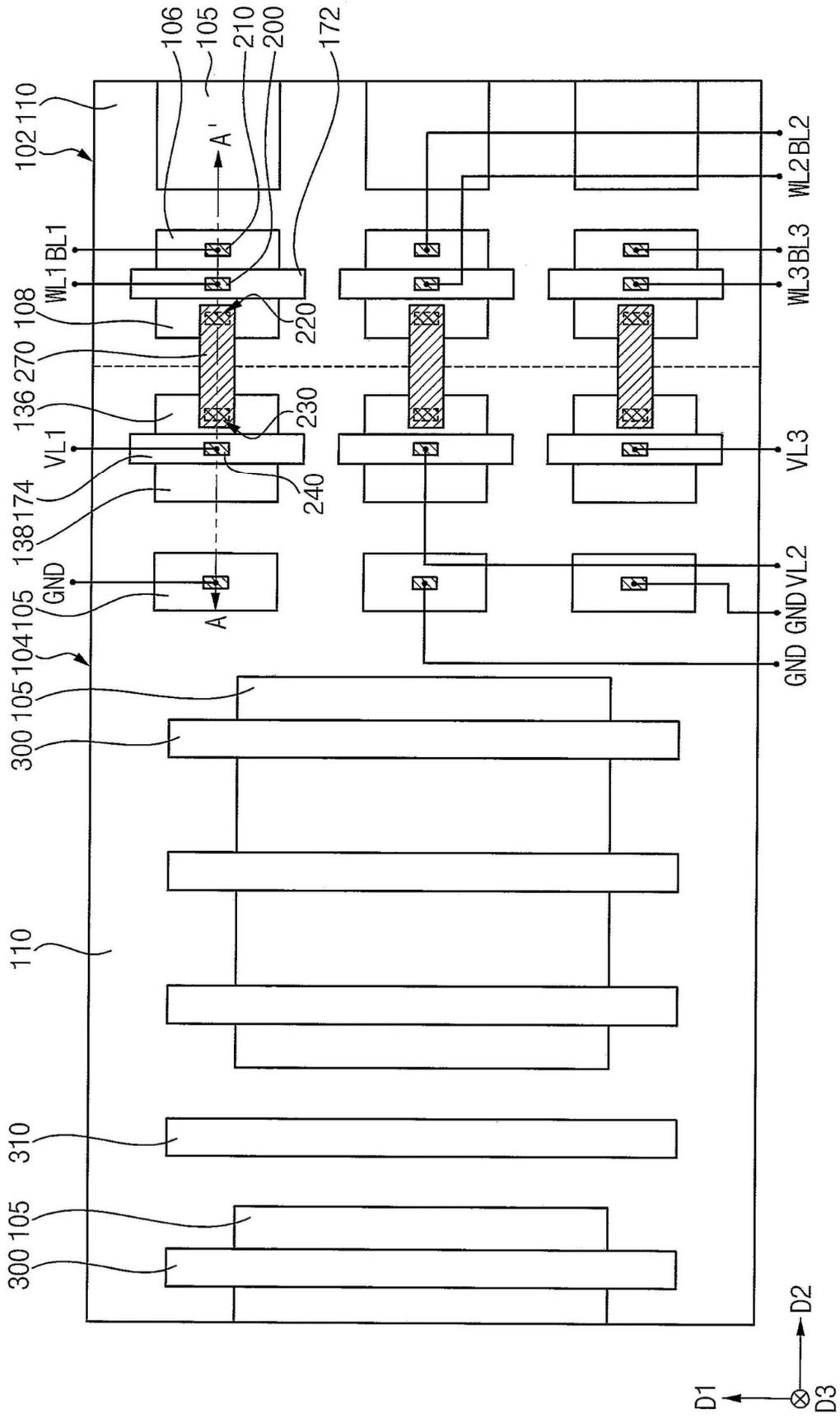


图5

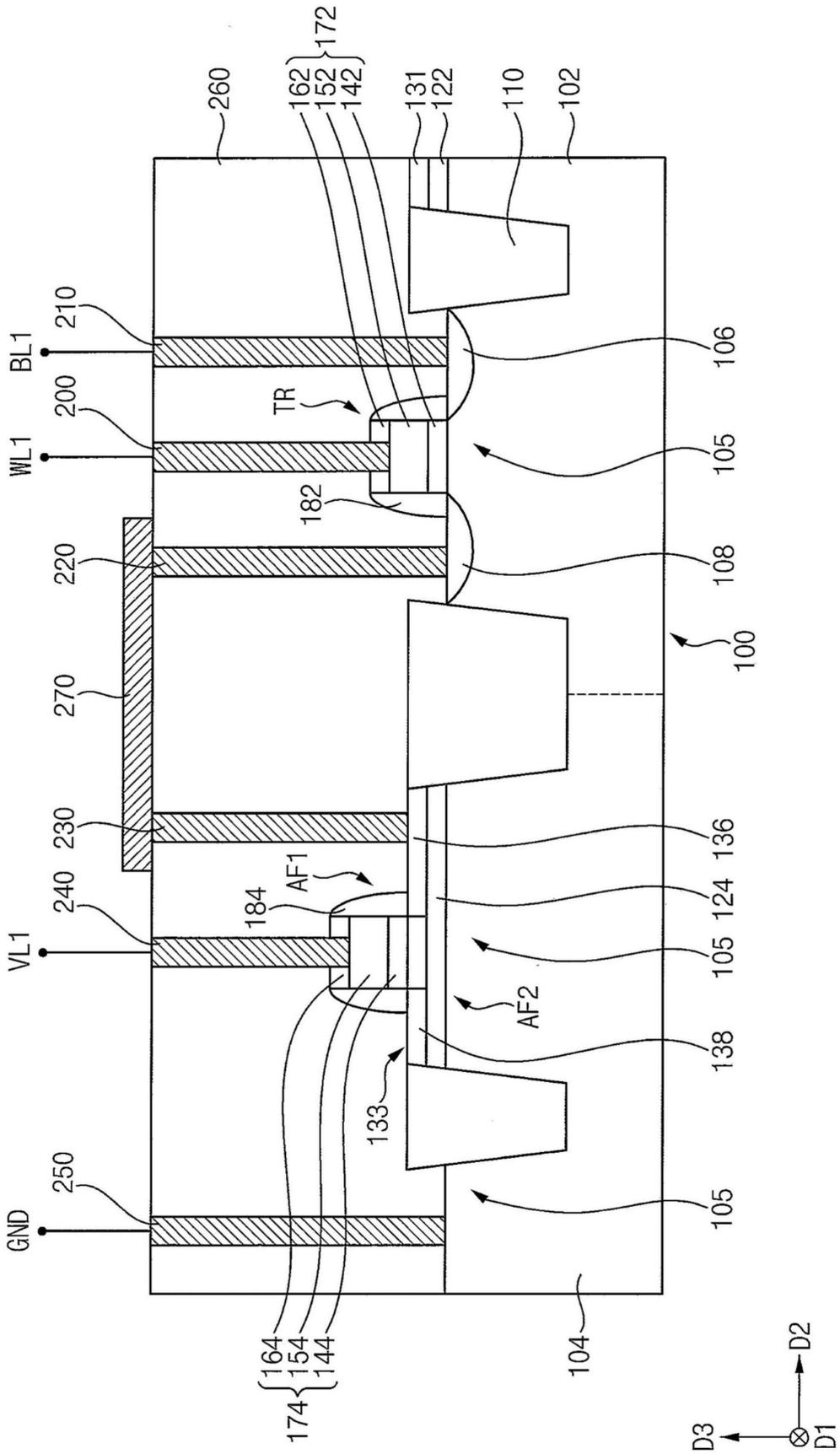


图6

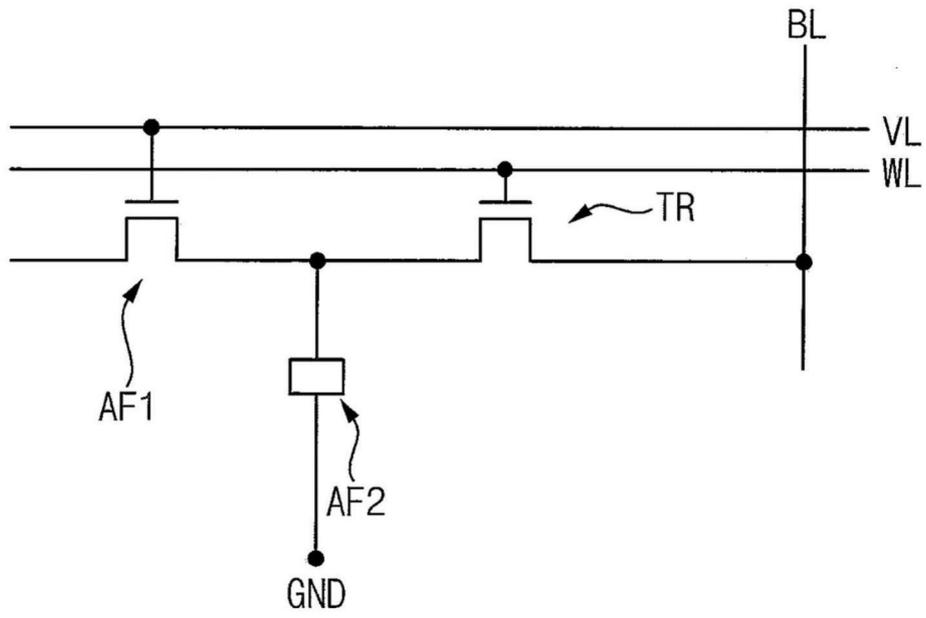


图7