

Beschreibung

Gebiet der vorliegenden Erfindung

[0001] Die vorliegende Erfindung betrifft im Allgemeinen die Herstellung integrierter Schaltungen und betrifft daher den Aufbau einzelner Feldeffekttransistorelemente, um deren Leistung zu verbessern.

Beschreibung des Stands der Technik

[0002] Integrierte Schaltungen enthalten typischerweise eine große Anzahl einzelner Schaltungselemente, etwa Transistoren, Kondensatoren, Widerstände und dergleichen. Diese einzelnen Schaltungselemente sind entsprechend dem gewünschten Schaltungsentwurf elektrisch durch entsprechende Leitungen verbunden, die hauptsächlich in separaten „Verdrahtungs-“ Schichten ausgebildet sind, die typischerweise als Metallisierungsschichten bezeichnet werden. Um die Leistungsfähigkeit der integrierten Schaltung zu verbessern, wird typischerweise die Anzahl der einzelnen Schaltungselemente erhöht, wodurch eine komplexere Funktion der Schaltung erreicht wird, wobei damit einhergehend die Strukturgrößen der einzelnen Schaltungselemente verringert werden. Im Allgemeinen werden eine Vielzahl von Prozesstechnologien gegenwärtig eingesetzt, wobei für Logikschaltungen, etwa Mikroprozessoren, Speicherchips und dergleichen, die CMOS-Technologie gegenwärtig die vielversprechendste Lösung auf Grund der besseren Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit, die Herstellungskosten und/oder die Leistungsaufnahme ist. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung der CMOS-Technologie werden Millionen von komplementären Transistoren, d. h. n-Kanaltransistoren und p-Kanaltransistoren, in und auf einem geeigneten kristallinen Halbleitermaterial hergestellt, wobei gegenwärtig der größte Anteil der Logikschaltungen auf der Grundlage von Silizium hergestellt wird. Typischerweise enthält ein MOS-Transistor, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte PN-Übergänge, die an einer Grenzfläche stark dotierter Drain- und Sourcegebiete mit einem Kanalgebiet gebildet sind, das zwischen dem Draingebiet und dem Sourcegebiet angeordnet ist, wobei das Kanalgebiet zumindest teilweise invers im Vergleich zu dem Drain- und Sourcegebiet dotiert ist. Die Leitfähigkeit des Kanalgebiets, die eine wesentliche Bauteileigenschaft darstellt, da die geringere Stromtreiberfähigkeit größenreduzierter Bauelemente zumindest teilweise durch eine erhöhte Leitfähigkeit zu kompensieren ist, wird durch eine Gateelektrode gesteuert, die über dem Kanalgebiet ausgebildet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets hängt von der Dotierstoffkonzentration, der Beweglichkeit der Ladungsträger und – für eine vorgegebene Abmessung

des Kanalgebiets in der Transistorbreitenrichtung – dem Abstand zwischen dem Sourcegebiet und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Das Transistorverhalten wird zusätzlich zu der Leitfähigkeit auch deutlich von der Fähigkeit beeinflusst, schnell einen leitenden Kanal in dem Kanalgebiet beim Anlegen einer spezifizierten Steuerspannung an die Gateelektrode zu bilden, da für gewöhnlich die Transistoren in einem geschalteten Modus betrieben werden, wobei ein rascher Übergang von dem leitenden Zustand des Transistors in den gesperrten Zustand des Transistors und umgekehrt erforderlich ist. Des weiteren müssen andere Aspekte ebenso in Betracht gezogen werden, wenn ein Transistor für eine Schaltung mit hoher Leistungsfähigkeit entworfen wird. Beispielsweise können statische und dynamische Leckströme deutlich das Gesamtverhalten einer integrierten Schaltung beeinflussen, da der erreichbare Betrag an Wärmeabfuhr, die für Transistorarchitekturen erforderlich ist, die hohe dynamische und/oder statische Leckströme hervorrufen, die maximale praktikable Betriebsfrequenz beschränken kann.

[0003] Mit Bezug zu [Fig. 1](#) wird nunmehr eine typische Transistorarchitektur eines Feldeffekttransistorelements detaillierter beschrieben, um deutlicher einige der Probleme zu erläutern, die bei gegenwärtig verwendeten Transistorkonzepten angetroffen werden. In [Fig. 1](#) umfasst ein Transistorelement **100** ein Substrat **101**, das ein Halbleitervollsubstrat, etwa ein Siliziumsubstrat, oder ein beliebiges anderes Substrat repräsentieren kann, das darauf eine kristalline Halbleiterschicht aufweist, die für Logikschaltungen typischerweise auf der Grundlage von Silizium hergestellt werden kann. Das Substrat **101** kann somit als ein Substrat betrachtet werden, das darauf ausgebildet ein im Wesentlichen kristallines Halbleitergebiet **102** aufweist, in welchem ein Draingebiet **104** mit einem sogenannten Erweiterungsgebiet **104e** ausgebildet ist. Des weiteren ist ein Sourcegebiet **103** in dem kristallinen Gebiet **102** gebildet und enthält ein Erweiterungsgebiet **103e**. Der Bereich, der zwischen den Erweiterungsgebieten **103e** und **104e** angeordnet ist, wird als ein Kanalgebiet **105** bezeichnet, da hier typischerweise ein leitender Kanal während des leitenden Zustands des Transistors **100** erzeugt wird, wie dies später beschrieben wird. Über dem Kanalgebiet **105** ist eine Gateelektrodenstruktur **106** angeordnet, die eine Gateelektrode **107** und Seitenwandabstandselemente **108** enthält. Ferner ist eine Gateisolationsschicht **109** zwischen der Gateelektrode **107** und dem Halbleitergebiet **102** vorgesehen, um die Gateelektrode **107** elektrisch von leitenden Gebieten innerhalb des kristallinen Halbleitergebiets **102** zu isolieren. Im Hinblick auf die Gestaltung und die Materialzusammensetzung der Gateelektrodenstruktur **106** gilt es anzumerken, dass die Gateelektrode **107** im Prinzip als eine Leitung betrachtet werden kann, deren „Breiten-“ Abmessung als Gatelän-

ge **107a** bezeichnet wird, wohingegen die „Länge“ der Leitung, die sich in einer Richtung senkrecht zur Zeichenebene erstreckt, als die Gate-Breite (in [Fig. 1](#) nicht gezeigt) bezeichnet wird. Die Gateelektrode **107** kann aus einem beliebigen geeigneten Material aufgebaut sein und ist typischerweise in modernen integrierten Schaltungen auf Siliziumbasis aus stark dotiertem Polysilizium in Verbindung mit einem äußerst leitfähigen Metallsilizid, etwa Nickelsilizid, Kobaltsilizid, und dergleichen gebildet. Abhängig von der Prozessstrategie und den Entwurfskriterien können jedoch auch andere Materialien, etwa Metalle verwendet werden. Häufig weist die Gateelektrodenstruktur **106** Seitenwandabstandselemente **108** auf, die in Abhängigkeit der Prozessstrategien ein oder mehrere einzelne Abstandselemente und Beschichtungen aufweisen, wobei der Einfachheit halber lediglich eine Beschichtung **108a**, die beispielsweise Siliziumdioxid aufweist, und ein Abstandselement **108**, das beispielsweise Siliziumnitrid aufweist, gezeigt sind. Die Gateisolationsschicht **109** kann aus einem beliebigen geeigneten isolierenden Material, etwa Siliziumdioxid, Siliziumnitrid und/oder Materialien mit großem ϵ aufgebaut sein, um damit die erforderliche elektrische Isolation zu gewährleisten, während eine hohe kapazitive Ankopplung an das Kanalgebiet **105** beibehalten wird. Somit ist für gut bewährte Gateisolationsschichten auf Siliziumdioxidbasis eine Dicke der Gateisolationsschicht **109** von der Größenordnung einiger Nanometer, beispielsweise 2 nm und weniger, wodurch moderat hohe statische Leckströme hervorgerufen werden, die sich auf bis zu ungefähr 30% oder mehr der gesamten elektrischen Verluste moderner Transistorelemente belaufen können. Andere Transistoreigenschaften, etwa die Schaltverluste und dergleichen, werden später erläutert, wenn ein typischer Prozessablauf zur Herstellung des Transistors **100** erläutert wird.

[0004] Während des Herstellungsprozesses wird das Substrat **101** so behandelt, um das Halbleitergebiet **102** mit hoher kristalliner Qualität zu bilden, was durch epitaktisches Aufwachsen und dergleichen erreicht werden kann. Danach werden Photolithographie-, Ätz- und Abscheidprozesse ausgeführt, um die Abmessungen des Halbleitergebiets **102** durch Bereitstellen geeigneter Isolationsstrukturen (nicht gezeigt) zu definieren. Danach können Implantationssequenzen so ausgeführt werden, um ein oder mehrere Dotierstoffe in dem kristallinen Halbleitergebiet **102** zu positionieren, um damit ein spezifiziertes vertikales Dotierstoffprofil (nicht gezeigt) in dem Gebiet **102** herzustellen, das schließlich zu einem spezifizierten vertikalen Dotierstoffprofil in dem Kanalgebiet **105** führt. Als nächstes werden Materialschichten für die Gateisolationsschicht **109** und die Gateelektrode **107** beispielsweise durch moderne Oxidations- und/oder Abscheidetechniken für die Gateisolationsschicht und durch moderne chemische Dampfab-scheidung (CVD) bei geringem Druck für eine poly-

kristalline Siliziumschicht als ein Gateelektrodenmaterial gebildet. Danach werden äußerst anspruchsvolle Photolithographie- und Ätztechniken angewendet, um das Gateelektrodenmaterial und die Gateisolationsschicht zu strukturieren, um damit die Gateelektrode **107** und die Gateisolationsschicht **109** auf der Grundlage der Entwurfsgatelänge **107a** zu bilden. Die Gateelektrode **107** kann in einem Zwei-Schritt-Ätzprozess (anisotrop/isotrop) geätzt werden, wobei die polykristalline Siliziumschicht überwiegend anisotrop geätzt wird, aber eine dünne Teilschicht (nicht gezeigt) von wenigen Nanometern wird abschließend isotrop geätzt, um Schäden in der Isolationsschicht **109** und in den darunterliegenden Siliziumgebieten, die typischerweise durch anisotrope Ätzprozesse verursacht werden, zu reduzieren. Danach werden komplexe Implantationsprozesse ausgeführt, um die Drain- und Sourcegebiete **103**, **104** und die entsprechenden Erweiterungsgebiete **103e**, **104e** zu bilden, wobei die Gateelektrode **107** teilweise in Verbindung mit den Seitenwandabstandselementen **108** als eine Implantationsmaske dient. Beispielsweise kann gemäß einer Strategie eine sogenannte Voramorphisierungsimplantation ausgeführt werden, während der eine Gattung schwerer Ionen, etwa Xenonionen und dergleichen, in das kristalline Halbleitergebiet **102** implantiert werden, um damit im Wesentlichen vollständig das kristalline Gitter bis zu einer spezifizierten Tiefe zu zerstören, was die Verringerung von Kanalisierungseffekten während der nachfolgenden Implantationsprozesse unterstützen kann. Während der Voramorphisierungsimplantation kann der Ionenstrahl in Bezug auf eine Richtung **110**, die senkrecht zu dem Substrat **101** steht, geneigt sein, um damit auch einen Bereich des Gebiets **102** zu amorphisieren, der den Erweiterungsgebieten **103e**, **104e** entspricht.

[0005] Danach kann eine sogenannte Halo-Implantation ausgeführt werden, in welcher eine Ionengattung eingeführt wird, die das gleiche Leitfähigkeitsverhalten repräsentiert, wie es bereits in dem Kanalgebiet **105** besteht, um damit die Dotierstoffkonzentration dieser Ionengattung innerhalb spezifischer Halo-Gebiete zu erhöhen, die als **111** bezeichnet sind. Ähnlich zu der Voramorphisierungsimplantation kann die Halo-Implantation mit entsprechenden Neigungswinkeln, etwa α und $-\alpha$, ausgeführt werden, um die Halo-Gebiete **111** auf der Drainseite und der Source-seite zu bilden. Anschließend kann eine weitere Implantation mit einer Ionengattung ausgeführt werden, die eine gegensätzliche Leitfähigkeitsart in Bezug auf die Halo-Implantation aufweist, um damit die Sourceerweiterung **103e** und die Drainerweiterung **104e** zu bilden, wobei ein Offset-Abstandselement **112** an Seitenwänden der Gateelektrode **107** vor der Implantation gebildet werden kann. Danach wird das Seitenwandabstandselement **108** gebildet und kann in einem nachfolgenden Implantationsprozess als eine Implantationsmaske verwendet werden, um damit

die tiefen und stark dotierten Drain- und Sourcegebiete **104**, **103** zu bilden. Danach kann das Transistorelement **100** ausgeheizt werden, um die durch die vorhergehenden Implantationssequenzen eingeführten Dotierstoffe zu aktivieren, d. h. um eine Diffusion in Gang zu setzen, um damit die Dotierstoffe an Gitterplätzen anzuordnen, wobei im Wesentlichen jene Bereiche des Gebiets **102** rekristallisiert werden, die durch die Voramorphisierung und die nachfolgenden Implantationsprozesse geschädigt wurden. Während dieses Ausheizprozesses tritt eine thermisch hervorgerufene Diffusion der Dotierstoffe gemäß dem entsprechenden Konzentrationsgradienten der betrachteten Dotierstoffgattung auf, wodurch die schließlich erreichte Größe und die Eigenschaften der Drain- und Sourcegebiete **104**, **103** und der entsprechenden Erweiterungsgebiete **104e**, **103e** sowie die Eigenschaften von PN-Übergängen **103p** und **104p** im Wesentlichen bestimmt werden, die als ein Grenzflächenbereich zwischen dem Halo-Implantationsgebiet **111** und dem entsprechenden Drain- oder Sourcegebiet **104**, **103** definiert sind. Während der Implantationssequenzen und/oder während des nachfolgenden Ausheizprozesses wird ein gewisses Maß an Überlappung erzeugt, die auch als Überlappungsgebiete **103o** und **104o** bezeichnet werden, die das Transistorverhalten merklich beeinflussen. Danach kann der Herstellungsprozess mit der Ausbildung von Metallsilizidgebieten in den Drain- und Sourcegebieten **104**, **103** und in der Gateelektrode **107** fortgesetzt werden, woran sich die Herstellung einer dielektrischen Zwischenschicht und entsprechender Kontakte zu den Drain- und Sourcegebieten **104**, **103** und der Gateelektrode **107** anschließen. Der Einfachheit halber sind diese Komponenten in [Fig. 1](#) nicht gezeigt.

[0006] Während des Betriebs wird typischerweise eine Versorgungsspannung an das Draingebiet **104** und das Sourcegebiet **103** angelegt, beispielsweise 2 bis 5 Volt für typische CPUs, während eine entsprechende Steuerspannung an die Gateelektrode **107** angelegt wird, um damit den Zustand des Kanalgebiets **105** zu definieren. Für die folgende Erläuterung wird der Transistor **100** als ein n-Kanalanreicherungs transistor betrachtet, in welchem das Kanalgebiet **105** p-dotiert und die Drain- und Sourcegebiete **104**, **103** und die entsprechenden Erweiterungsgebiete **104e**, **103e** stark n-dotiert sind. Für einen p-Kanal anreicherungs transistor sind die beteiligten Ladungsträger und die Leitfähigkeitsart der Dotierstoffe zu invertieren. Die folgenden Erläuterungen gelten auch in Prinzip für Verarmungs transistoren. Somit befindet sich beim Anlegen einer Steuerspannung an die Gateelektrode **107**, die unterhalb einer speziellen Schwellwertspannung liegt, die u. a. durch das vertikale Dotierstoffprofil in dem Kanalgebiet **105** bestimmt ist, der Transistor **100** in dem nicht leitenden Zustand, d. h. der PN-Übergang **104p** ist in Sperrrichtung vorgespannt und somit wird ein Stromfluss von

dem Sourcegebiet **103** durch das Kanalgebiet **105** zu dem Draingebiet **104** im Wesentlichen unterdrückt. Jedoch kann während des nicht leitenden Zustandes das große elektrische Feld, das an dem Überlappungsgebiet **104o** vorherrscht, zu Tunnel-Strömen in die Gateelektrode **107** führen, insbesondere, wenn die Gateisolationsschicht **109** moderat dünn ist, wie dies bei modernen Transistorbauelementen der Fall ist. Diese Ströme können als statische Leckströme betrachtet werden. Ferner bildet das Überlappungsgebiet **104o** in Verbindung mit der darüber liegenden Gateelektrode **107** und der Gateisolationsschicht **109** einen Kondensator, der beim Betrieb des Transistors **100** in einem geschalteten Modus ständig zu laden und zu entladen ist.

[0007] Während des Anliegens einer Steuerspannung, die über der Schwellwertspannung liegt, wird ein leitender Kanal in dem Kanalgebiet **105** gebildet, der sich von dem sourceseitigen Erweiterungsgebiet **103e** aufbaut und an dem drainseitigen Erweiterungsgebiet **104e** endet. Für das Ausbilden des leitenden Kanals, der in dem vorliegenden Falle durch Elektronen erzeugt wird, ist das Überlappungsgebiet **103o** sowie der relativ steile Konzentrationsgradient des PN-Übergangs **103p**, der durch die erhöhte Dotierstoffkonzentration des Halo-Gebiets **111** hervorgerufen wird, vorteilhaft, um einen hohen Strom im leitenden Zustand zu erreichen. Im Gegensatz dazu kann der steile Konzentrationsgradient an dem PN-Übergang **104p** zu erhöhten Strömen in das Substrat **101** führen, d. h. in tieferliegende kristalline Bereiche des Gebiets **102**, die schließlich durch einen entsprechenden Körper- bzw. Substratkontakt abgeführt werden, so dass die dynamischen Leckströme bei einem größeren Strom im leitenden Zustand ebenso ansteigen können. Ferner können während des Erzeugens des leitenden Kanals die parasitären Kapazitäten, die durch die Überlappgebiete **104o**, **103o** hervorgerufen werden, hohe Ströme zum Umladen des parasitären Kondensators erfordern und können damit den Beginn des leitenden Zustands verzögern, wodurch die Anstiegs- und Abfallzeiten während des Schaltvorganges beeinträchtigt werden. In typischen Anwendungen, wie zum Beispiel CMOS-Anwendungen, muss die sogenannte parasitäre Miller-Source-Kapazität bei jedem Schaltvorgang entladen oder geladen werden, wohingegen gleichzeitig die Miller-Drain-Kapazität bei jedem Schaltvorgang entladen und mit der umgekehrten Polarität aufgeladen werden muss. Deshalb erfordert die Miller-Drain-Kapazität in herkömmlichen (symmetrischen) CMOS-Transistoren bei jedem Schaltvorgang die doppelte Ladungsänderung im Vergleich zur Miller-Source-Kapazität.

[0008] Wie aus der vorhergehenden Erläuterung deutlich wird, wird zusätzlich zu der gesamtgeometrischen Konfiguration des Transistors **100**, etwa der Transistorlänge und der -breite sowie den Materialzu-

sammensetzungen, den Dotierstoffkonzentrationen und dergleichen, die schließlich erreichte Transistorleistungsfähigkeit auch durch die laterale und vertikale Dotierstoffprofilierung innerhalb des Halbleitergebiets **102** deutlich beeinflusst. Auf Grund der ständig weitergehenden Größenreduzierung von Transistorelementen, die ständig zu höheren Arbeitsgeschwindigkeiten führt, ist eine entsprechende Gestaltung der Drain- und Sourcearchitektur wichtig, um nicht unnötig Leistungsvorteile auf Grund der erhöhten statischen und dynamischen Verluste und der parasitären Kapazitäten aufzuheben, die durch Reduzieren der Strukturgrößen gewonnen wurden.

[0009] Die DE 100 11 885 A1 offenbart eine asymmetrische Seitenwandoxidation von Gateelektroden mittels Implantation von Oxidationshemmern (z. B. Stickstoff) in die Gateelektrode unter einem Neigungswinkel und anschließendem thermischen Oxidieren. Bei der Implantation ist noch ein Rest der Gateisolationsschicht auf dem Substrat vorhanden.

[0010] Die US 6 794 256 B1 offenbart asymmetrische Abstandshalter, die durch Implantation von stark amorphisierenden Ionen (z. B. Neonionen) in eine konform auf der Gateelektrode abgeschiedenen Schicht unter einem Neigungswinkel, um die Ätzrate zu lokal erhöhen und dadurch die Abstandshalter asymmetrisch zu ätzen.

[0011] Angesichts der obigen Situation ist es die Aufgabe der vorliegenden Erfindung eine verbesserte Technik bereitzustellen, die einen hohen Grad an Kompatibilität mit dem herkömmlichen Prozessablauf beibehält und gleichzeitig verbesserte Drain- und Sourceausgestaltungen ermöglicht, um damit ein erhöhtes Gesamtleistungsverhalten äußerst größenreduzierter Transistorelemente zu erreichen.

[0012] Im Allgemeinen richtet sich die vorliegende Erfindung an eine Technik, die es ermöglicht, das Transistorverhalten zu verbessern, indem die Halo-Implantation und die Erweiterungsimplantation in einer asymmetrischen Weise in Bezug auf ein Drain- und Sourcegebiet durchgeführt werden, um damit eine höhere Stromtreiberfähigkeit bereitzustellen, während statische und dynamische Leckströme sowie parasitäre Kapazitäten verringert werden. Asymmetrische Abstandselementstrukturen werden eingesetzt um die Ausbildung eines leitenden Kanals zu verbessern, wodurch die Stromtreiberfähigkeit des Transistors erhöht wird und die Drain/Gate-Überlappung, und damit die parasitäre Drain/Gate-Kapazität, verringert wird.

[0013] Die Aufgabe der vorliegenden Erfindung wird durch die Verfahren der Ansprüche 1 und 12 und durch die Vorrichtung nach Anspruch 20 gelöst.

Kurze Beschreibung der Zeichnungen

[0014] Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird; es zeigen:

[0015] [Fig. 1](#) schematisch eine Querschnittsansicht einer typischen konventionellen Architektur eines Feldeffekttransistors mit symmetrisch ausgebildeten Abstandselementen, Halo- und Drain- und Sourcegebieten;

[0016] [Fig. 2a](#) bis [Fig. 2e](#) schematisch Querschnittsansichten einer Gateelektrodenstruktur mit asymmetrisch gestalteten Abstandselementen während diverser Herstellungsphasen gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung;

[0017] [Fig. 3a](#) bis [Fig. 3d](#) schematisch Querschnittsansichten einer Gateelektrodenstruktur während diverser Herstellungsphasen eines weiteren Verfahrens zum Bilden von asymmetrischen Abstandselementen; und

[0018] [Fig. 4a](#) bis [Fig. 4c](#) schematisch Querschnittsansichten eines Transistorelementes während diverser Herstellungsphasen zum Bilden einer asymmetrischen Halo-, Drain- und Sourcegestaltung gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung.

Detaillierte Beschreibung der Erfindung

[0019] Die vorliegende Erfindung beruht auf dem Konzept, dass das Transistorverhalten verbessert werden kann, indem die Überlappung der Drain/Source-Erweiterung mit der Gateelektrode entsprechend so gestaltet wird, um eine verbesserte Stromtreiberfähigkeit bereitzustellen, während die Drain-Überlappung verkleinert werden kann, um die Überlappungskapazität, die sogenannte Miller-Drain-Kapazität, zu verringern. Dazu können asymmetrische Gatestrukturen, die Abstandselemente mit unterschiedlichen Breiten aufweisen eingesetzt werden, um die Source/Drain-Erweiterungsgebiete zu definieren. Die Herstellungsprozesse der asymmetrischen Gatestrukturen können leicht mit den derzeit verfügbaren Halbleiterherstellungsanlagen ausgeführt werden. Deshalb können Transistoren mit einer asymmetrischen Source/Drain-Überlappung hergestellt werden während noch ein hohes Maß an Kompatibilität mit dem herkömmlichen Prozessablauf der derzeitigen Technologie beibehalten wird.

[0020] In einer weiteren Ausführungsform kann der Konzentrationsgradient an dem drainseitigen

PN-Übergang so gebildet und gestaltet werden, dass dieser geringer ist im Vergleich zu dem sourceseitigen PN-Übergang, indem die Halo-Dotierstoffkonzentration auf der Drainseite entsprechend verringert wird oder indem sogar im Wesentlichen ein Halo-Implantationsgebiet auf der Drainseite vollständig vermieden wird. Folglich wird durch entsprechendes Modifizieren der Implantationssequenzen auf der Grundlage eines grundlegenden Transistoraufbaus für eine gegebene Technologie kann daher das Transistorverhalten deutlich verbessert werden, während dennoch ein hohes Maß an Kompatibilität mit dem konventionellen Prozessablauf für diese spezielle Technologie beibehalten wird. Mit Bezug zu den [Fig. 2a–Fig. 2e](#) und [Fig. 4a–Fig. 4c](#) werden nun weitere anschauliche Ausführungsformen der vorliegenden Erfindung detaillierter beschrieben. Es sollte beachtet werden, dass der Begriff „MOS“ oder „CMOS“ so zu verstehen ist, dass er jede Technologie umschließt, in der Feldeffekttransistoren verwendet werden, unabhängig von der speziellen Transistorgestaltung.

[0021] [Fig. 2a](#) zeigt schematisch eine Querschnittsansicht einer Gateelektrodenstruktur **200** während eines anfänglichen Herstellungsstadiums. Die Gateelektrodenstruktur **200** umfasst ein Substrat **201**, das ein Halbleitervollsubstrat, ein isolierendes Substrat mit einer darauf ausgebildeten kristallinen Halbleiterschicht, und dergleichen repräsentieren kann. Beispielsweise kann das Substrat **201** ein Siliziumvollsubstrat repräsentieren, das darauf beispielsweise als einen oberen Bereich davon, ein kristallines Halbleitergebiet **202** aufweist, was Silizium, Silizium/Germanium und dergleichen aufweisen kann. Das Substrat **201** kann auch als ein SOI-(Silizium auf Isolator)Substrat vorgesehen sein, wobei das Halbleitergebiet **202** eine Siliziumschicht repräsentieren kann, die darin, mit Ausnahme von Dotierstoffen, andere Materialien, etwa Germanium, Kohlenstoff, und dergleichen enthalten kann. Es sollte auch beachtet werden, dass die vorliegende Erfindung auch gleichermaßen auf ein beliebiges geeignetes Halbleitermaterial, etwa Galliumarsenid, Germanium oder andere III-V oder II-VI-Halbleitermaterialien angewendet werden kann, obwohl der Hauptanteil der Logikschaltungen gegenwärtig auf der Grundlage von Silizium hergestellt wird.

[0022] Eine teilweise geätzte Gateelektrode **207b** mit einer Gatelänge **207a**, die aus einem beliebigen geeigneten Material, etwa Polysilizium in Bauelementen auf Siliziumbasis hergestellt sein kann, ist über dem Halbleitergebiet **202** ausgebildet. Die Gateelektrode **207b** ist von einem Ätzmaskenelement **214**, das aus Photolackmaterial gebildet sein kann, bedeckt. Das Ätzmaskenelement **214** kann ferner eine (nicht gezeigte) antireflektierende Beschichtungs-(ARC)Teilschicht aufweisen. Die Gateelektrode **207b** ist von dem Halbleitergebiet **202** durch eine

Gateisolationsschicht **209b** getrennt. Wie zuvor erläutert ist, ist die Materialzusammensetzung der Gateisolationsschicht **209b** nicht notwendigerweise auf Oxide eingeschränkt, sondern kann ein beliebiges isolierendes Material enthalten, das die gewünschten Isolationseigenschaften in Verbindung mit Prozesskompatibilität und Permittivitätseigenschaften aufweist. Zum Beispiel kann die Gateisolationsschicht **209** aus Stickstoff angereichertem Siliziumdioxid, Siliziumdioxid, Siliziumnitrid oder anderen dielektrischen Materialien mit hoher Permittivität möglicherweise in Verbindung mit einem oder mehreren der vorhergehenden Materialien aufgebaut sein. Die Abmessungen der Gateelektrode **207b**, beispielsweise die Gatelänge **207a**, und die Dicke der Gateisolationsschicht **209b** können entsprechend den Entwurfserfordernissen festgelegt werden und sind im Wesentlichen durch die Entwurfsregeln für eine spezifizierte Technologie bestimmt. Beispielsweise kann in modernen Transistorelementen die Gatelänge **207a** in der Größenordnung von 50 nm oder sogar darunter liegen, wobei die Dicke der Gateisolationsschicht **209b** im Bereich von 1,5 bis 2,0 nm liegen kann, wenn die Materialzusammensetzung auf der Grundlage von Siliziumdioxid erfolgt. Es sollte jedoch beachtet werden, dass die Prinzipien und die technische Lehre, die hierin vorgestellt werden, unabhängig von den speziellen Bauteilabmessungen sind und somit kann die vorliegende Erfindung auch vorteilhaft in Verbindung mit weniger anspruchsvollen Transistorbauelementen praktiziert werden.

[0023] Ein typischer Prozessablauf zum Bilden der Gateelektrodenstruktur **200**, wie sie in [Fig. 2a](#) gezeigt ist, kann im wesentlichen die gleichen Prozessschritte zur Herstellung der Gateelektrode **207** und der Gateisolationsschicht **209b** umfassen, wie sie zuvor in Bezug zu dem Transistor **100** in [Fig. 1](#) beschrieben wurden. Die Dicke **207c** der Gateelektrode **207** kann in Abhängigkeit von der speziellen Anwendung variieren. In einer anschaulichen Ausführungsform wird die Dicke **207c** der polykristallinen Siliziumschicht, die das Gateelektrodenmaterial bereitstellt im Bereich von ungefähr 50 bis 150 nm gewählt. Das Ätzmaskenelement **214** wird eingesetzt, um die polykristalline Schicht anisotrop zu Ätzen. Der Polysiliziumätzprozess kann so gestoppt werden, dass eine dünne Polysiliziumteilschicht zurückbleibt. Die Dicke **207d** der dünnen Teilschicht kann jedoch, im Gegensatz zu der Teilschicht, die in Bezug zu der [Fig. 1](#) beschrieben wurde, auf Grundlage einer Eindringtiefe eines nachfolgend ausgeführten Implantationsprozesses, der in Bezug zu [Fig. 2b](#) beschrieben wird, bestimmt werden. In einer anschaulichen Ausführungsform kann die Dicke **207d** typischerweise im Bereich von ungefähr 10 bis 25 nm liegen.

[0024] [Fig. 2b](#) zeigt schematisch die Gateelektrodenstruktur **200** während einer Ionenimplantation **220** zum Bilden eines Seitengebietes **215a** mit höhe-

rer Dotierstoffkonzentration, im Vergleich zu einem gegenüberliegenden Seitengebiet **215b**, in der teilweise geätzten Gateelektrode **207b**. Die Implantation **220** wird unter einem großen Neigungswinkel α ausgeführt, um den Dotierstoff in dem Gebiet **215a** zu deponieren. Der Neigungswinkel α kann von ungefähr 10 bis 50° reichen. Die Implantation wird typischerweise auf dem gesamten Substrat in einem einzigen Schritt ausgeführt. Deshalb müssen alle Gateelektrodenstrukturen, bei denen das Bilden von asymmetrischen Abstandselementen beabsichtigt ist, entsprechend auf dem Substrat orientiert sein. Andere Strukturen, bei denen das Bilden von asymmetrischen Abstandselementen nicht beabsichtigt ist oder für die unterschiedliche asymmetrische Abstandselemente vorgesehen sind, zum Beispiel Gatestrukturen von komplementären Transistoren von CMOS-Bauteilen, müssen unter Anwendung entsprechender Maskierungsschritte prozessiert werden. Der Dotierstoff kann die Ionenart umfassen, die gewöhnlich verwendet wird, um die Gateelektrode zu dotieren, um die Leitfähigkeit der Gateelektrode zu verbessern, wie Bor, Phosphor, Arsen oder Indium. Die gewählten Implantationsparameter hängen von der verwendeten Implantationspezies ab. Die jeweilige Implantationsenergie und der Implantationswinkel ist ferner an die Dicke **207d** der dünnen Polysiliziumteilschicht angepasst, sodass der Dotierstoff nicht in das darunterliegende Siliziumsubstrat **201** eindringt. Es ist anzumerken, dass die Implantationsparameter für die Implantation **220** einfach durch Durchführen entsprechender Simulationen, für die geeignete Computerprogramme verfügbar sind, erhalten werden können. Beispielsweise können auf Grundlage der Simulationsergebnisse entsprechende Testparameter eingeführt und als Ausgangsbasis für Test- und Produktionsprozesse verwendet werden. Die Parameter können dann schließlich, mittels entsprechender Testergebnisse oder mittels Überwachungsmessergebnissen, die von prozessierten Produktwafern erhalten wurden, abgestimmt werden.

[0025] [Fig. 2c](#) zeigt schematisch die Gatestruktur **200** nach Abschluss des Gateätzprozesses einschließlich des Gateisolationsschichtätzprozesses und nach dem Entfernen des Ätzmaskenelementes **214**. Ein Seitengebiet **215c** mit hoher Dotierstoffkonzentration ist auf einer Seite der Gateelektrode **207** lokalisiert. Der anisotrope Gateätzprozess, der in Bezug zu [Fig. 2a](#) beschrieben wurde, wird fortgesetzt, um die Dicke **207d** der dünnen polykristallinen Siliziumteilschicht, z. B. auf wenige Nanometer, weiter zu reduzieren. Die verbleibende polykristalline Siliziumteilschicht kann nachfolgend in einem konventionellen isotropen Ätzprozess entfernt werden.

[0026] In einer Ausführungsform kann die Dicke **207d** der dünnen polykristallinen Siliziumteilschicht in dem anisotropen Gateätzprozess, der in Bezug zu [Fig. 2a](#) beschrieben wurde, auf eine Dicke reduziert

werden, die das vollständige Entfernen der verbleibenden dünnen polykristallinen Siliziumteilschicht durch einen isotropen Ätzprozess erlaubt. Die Implantationsparameter müssen dann entsprechend angepasst werden (Implantation mit großem Neigungswinkel), um sicherzustellen, dass der Dotierstoff nicht in die darunterliegende Siliziumschicht eindringt und ausreichend tief in das Gebiet **215c** implantiert ist, sodass die erforderliche asymmetrische Dotierstoffkonzentration in der Gateelektrode nach dem isotropen Ätzprozess erhalten bleibt.

[0027] [Fig. 2d](#) zeigt schematisch die Gateelektrodenstruktur **200** nach dem Ausführen eines thermischen Oxidationsschrittes. Die thermische Oxidation kann in einer nassen oder in einer trockenen sauerstoffhaltenden Atmosphäre in einem Temperaturbereich von ungefähr 800 bis 1100°C für ungefähr 10 bis 1000 s durchgeführt werden, um eine Siliziumoxidschicht **212** auf dem Substrate **201** und auf der Gateelektrode **207** zu bilden. Die Oxidbildungsrate auf der Gateelektrode **207** hängt von der Dotierstoffkonzentration in dem darunterliegenden Polysiliziumgebiet ab, so dass die Bildungsrate auf Gebieten mit hoher Dotierstoffkonzentration höher ist. Deshalb bildet sich ein dickeres Oxid auf der Gateelektrode benachbart zu dem Gebiet **215d** als auf der gegenüberliegenden Seitenwand benachbart zu dem Gebiet **215b**. Auf Grund der niedrigeren Dotierstoffkonzentration in dem Teilgebiet **215e** des Gebietes **215d** benachbart zu der unteren Ecke der Gateelektrode **207** kann das thermische Oxid dünner als an oberen Seitenwandbereichen sein. Als Ergebnis der hohen vertikalen Diffusionsrate der Dotierstoffe in der Gateelektrode auf Grund der Kornstruktur des polykristallinen Siliziums ist dieser Effekt jedoch nur gering. Deshalb kann die asymmetrische Oxidschicht **212** zum Bilden einer Gatestruktur mit asymmetrischen Abstandselementen dienen. Ein beliebiger Prozess zum Bilden von einzelnen asymmetrischen Abstandselementen aus der asymmetrischen Oxidschicht **212** wird zusätzlich mit Bezug zu [Fig. 2e](#) beschrieben.

[0028] [Fig. 2e](#) zeigt schematisch die Gateelektrodenstruktur **200** nach dem Ausführen eines weiteren Ätzschrittes, um einzelne asymmetrische Abstandselemente **212a** und **212b** zu bilden. Beliebige herkömmliche anisotrope Oxidabstandselementätzprozesse können verwendet werden um die Abstandselemente **212a** und **212b** zu bilden. In einer weiteren Ausführungsform wird ein isotroper Ätzprozess, z. B. ein Nassätzprozess mit Flußsäure (HF), eingesetzt, um die Dicke der asymmetrischen Oxidschicht **212** von [Fig. 2d](#) zu reduzieren bis nur noch ein Teil des dickeren Bereiches, der auf dem Gebiet **215d** gebildet wurde, zurückbleibt und ein einzelnes Abstandselement (nicht gezeigt) bildet. Die Breite **212c**, **212d** der Abstandselemente **212a**, **212b** kann durch die gewählte Ätzdauer eingestellt werden. Zusätzlich kann die Breite **212c**, **212d** durch die erhaltene Dotierstoff-

konzentration in dem Gebiet **215** und der gewählten Oxidationsdauer zum Bilden der Oxidschicht **212** ([Fig. 2d](#)) bestimmt werden. Es sollte beachtet werden, dass die Abmessungen der asymmetrischen Abstandselemente **212a**, **212b** so gewählt werden können, um einen gewünschten Maskierungseffekt während einer nachfolgenden Implantation zum Bilden von Source- und Drainerweiterungsgebieten zu erhalten, wie dies später in Bezug zu [Fig. 4a](#) beschrieben wird. In einer anschaulichen Ausführungsform liegt die Breite **212c** des Abstandselementes **212a** im Bereich von ungefähr 1 bis 20 nm, und die Breite **212d** des Abstandselementes **212b** liegt im Bereich von ungefähr 1 bis 30 nm. Der relative Unterschied der Breiten **212c** und **212d** der Abstandselemente **212a**, **212b** liegt im Bereich von ungefähr 1 bis 20 nm.

[0029] Die [Fig. 3a–Fig. 3d](#) zeigen in einem erläuternden Beispiel schematisch einen alternativen Prozessablauf, der geeignet ist eine asymmetrische Gatestruktur zu bilden.

[0030] [Fig. 3a](#) zeigt schematisch eine Querschnittsansicht einer Gateelektrodenstruktur **300** während eines anfänglichen Herstellungsstadiums. Die Gateelektrodenstruktur **300** umfasst ein Substrat **301** und eine Gateelektrode **307**, die durch eine Gateisolationschicht **309** von einander getrennt sind. Eine Beschichtung **316** wurde auf dem Substrat **301** und auf der Gateelektrode **307** gebildet. Über der Beschichtung **316** wird eine Schicht **318** aus dielektrischem Material abgeschieden.

[0031] Die Beschichtung **316** kann ein dielektrisches Material, wie z. B. Siliziumdioxid oder Siliziumnitrid, das eine gewisse Ätzselektivität zu anderen dielektrischen Materialien und zu Silizium aufweist, aufweisen. Die Beschichtung **316** kann z. B. durch gut eingeführte chemische Dampfabscheidung (CVD) oder im Falle von Siliziumdioxid durch thermische Oxidation gebildet werden. Die dielektrische Schicht **318** wiederum kann so gewählt werden, dass sie eine gewünschte Ätzselektivität zu dem Material der Beschichtung **316** zeigt.

[0032] [Fig. 3b](#) zeigt schematisch die Gateelektrodenstruktur **300** während einer Ionenimplantation **320**, zum Bilden dotierter Gebiete **318a** und undotierter Gebiete **318b** in der dielektrischen Schicht **318**. Eine geneigte Ionenimplantation wird unter einem Neigungswinkel α im Bereich von ungefähr 10 bis 50° durchgeführt, sodass die Ionen in die gesamte dielektrische Schicht **318**, mit Ausnahme eines Gebietes benachbart zu der Seitenwand der Gateelektrode **307**, das durch die Gateelektrode abgeschirmt wird, implantiert werden. Jede Ionenart, die die Ätzrate des dielektrischen Materials maßgeblich ändert, wie inerte Materialien, wie Argon, Neon, Xenon oder Stickstoff, oder Sauerstoff, Silizium oder Germanium oder

eine Mischung derselben, kann implantiert werden. Es ist zu beachten, dass die verwendete Ionenart in den nachfolgenden Ätzprozessen im Wesentlichen wieder entfernt wird, sodass die Auswahl der Ionenart in Bezug zu der erhaltenen Ätzratenmodifikation getroffen werden kann. In einer spezifischen Ausführungsform wird Xenon gewählt, da Xenon ein schweres Element ist, das die erforderliche Modifizierung der Ätzrate in der dielektrischen Schicht bei einer relativen niedrigen Implantationsdosis bewirken kann. Die Implantationsparameter können in Bezug zu der Dicke der dielektrischen Schicht **318** gewählt werden, wie bereits oben mit Bezug zu der Implantation **220** von [Fig. 2b](#), beschrieben wurde. Die dotierten Gebiete **318a** können eine höhere Ätzrate im Vergleich zu der Ätzrate der undotierten Gebiete **318b** der dielektrischen Schicht **318** zeigen.

[0033] [Fig. 3c](#) zeigt schematisch die Gateelektrodenstruktur **300** nach dem Ausführen eines isotropen Nass- oder eines isotropen Trockenätzprozesses. Entsprechende Ätzprozesse für Siliziumoxid und Siliziumnitrid sind gut bekannte Halbleiterherstellungsprozesse. Phosphorsäure, z. B. kann verwendet werden um Siliziumnitrid mit der erforderlichen Ätzselektivität zu einer darunterliegenden Siliziumoxidbeschichtung und Flußsäure (HF), kann z. B. eingesetzt werden um Siliziumoxid mit der erforderlichen Ätzselektivität zu einer Siliziumnitridbeschichtung zu ätzen. Die dotierten Gebiete **318a** werden im Wesentlichen entfernt, während auf Grund der geringeren Ätzrate die undotierten Gebiete **318** teilweise zurückbleiben und die Gebiete **318c** bilden können. Da Überätzen der dotierten Gebiete **318a** im Wesentlichen vermieden wird, um übermäßiges Entfernen des undotierten Materials des Gebietes **318b** zu verhindern, können Rückstände der dotierten Gebiete auf der dünnen Schicht **316** zurückbleiben. Diese Rückstände können dann in einem nachfolgend ausgeführten anisotropen Ätzprozess, der eingesetzt wird ein Abstandselement aus dem zurückbleibenden Material des Gebietes **318b** zu bilden, entfernt werden.

[0034] [Fig. 3d](#) zeigt schematisch die Gateelektrode **300** nach einem anisotropen Ätzprozess, der eingesetzt wird das gewünschte einzelne Abstandselement **318d** benachbart zu einer Seite der Gateelektrode **307** zu bilden. Das Abstandselement **318d** kann durch einen gut bekannten anisotropen Abstandselementätzprozess, wie einen anisotropen reaktiven Ionenätz-(RIE)Prozess gebildet werden. Die Breite **318e** des Abstandselementes **318d** ist im Wesentlichen durch die Dicke des geätzten undotierten Gebietes **318c** bestimmt. Diese Dicke hängt wiederum von der anfänglichen Dicke der abgeschiedenen dielektrischen Schicht **318** und vom Verhältnis der Ätzraten des dotierten Gebietes **318a** und des undotierten Gebietes **318b** ab. Deshalb kann die Breite **318e** des Abstandselementes **318d** durch Auswählen

der Dicke der dielektrischen Schicht mit Bezug zu dem erhaltenen Ätzratenverhältnis eingestellt werden. Entsprechend angepasste Prozessparameter können von Testläufen erhalten werden. Falls erforderlich kann die Beschichtung **316** wahlweise von der Oberseite der Gateelektrode **307** und von dem Substrat **301** entfernt werden. In einem Beispiel kann auch das Abstandselement **316a** durch einen isotropen Ätzprozess entfernt werden, sodass nur die Abstandselemente **316b** und **318d** erhalten bleiben. Die Gatestrukturen **200**, **300**, die die asymmetrisch gebildeten Abstandselemente aufweisen können, werden eingesetzt um ein Transistorelement mit asymmetrischen Source/Drain-Erweiterungsgebieten zu bilden. Ein entsprechender Prozessablauf ist in den [Fig. 4a–Fig. 4c](#) dargestellt.

[0035] [Fig. 4a](#) zeigt schematisch ein Transistorelement **400** während einer Source/Drain-Erweiterungsimplantation **421**. Das Transistorelement **400** umfasst eine Gatestruktur **406** mit asymmetrisch gebildeten Abstandselementen **412a**, **412b**. Die Gatestruktur **406** umfasst ferner eine Gateelektrode **407**, die durch eine Gateisolationsschicht **409** von dem Substrat **401** getrennt ist. Die asymmetrischen Abstandselemente **412a**, **412b** sind benachbart zu den Seitenwänden der Gateelektrode **407** gebildet und weisen eine unterschiedliche Abstandselementbreite **412c**, **412d** auf. Die Breite **412d** des Abstandselementes **412b** ist größer als die Breite **412c** des Abstandselementes **412a**. Das Substrat **401** weist ein Halbleitergebiet **402** auf. Ein Sourceerweiterungsgebiet **403e**, ein Drainerweiterungsgebiet **404e** und ein dazwischenliegendes Kanalgebiet **405** sind in dem Halbleitergebiet **402** definiert, wobei die Lage des Kanalgebietes **405** durch die Position der Gateelektrode **407** und durch die Asymmetrie der Abstandselemente **412a**, **412b** bestimmt ist. Das Transistorelement **400** umfasst ferner ein asymmetrisch gebildetes Hallogebiet **411**.

[0036] Die Source/Drain-Erweiterungsimplantation **421** kann mittels herkömmlicher Source/Drain-Erweiterungsimplantationstechniken, die vertikale Implantationen und unter einem Neigungswinkel ausgeführte Implantationen einschließen, ausgeführt werden. Auf Grund der asymmetrischen Form der Abstandselemente führt auch eine konventionelle symmetrische Source/Drain-Erweiterungsimplantation zu einer gewünschten asymmetrischen Source/Drain-Architektur.

[0037] Es ist zu erwähnen, dass zusätzlich die asymmetrischen Abstandselemente zum Bilden von asymmetrischen Hallogebieten mittels gut bekannter konventioneller „symmetrischer“ Haloimplantationstechniken eingesetzt werden können. In einer speziellen Ausführungsform wird ein einzelnes Hallogebiet **411** in dem Halbleitergebiet **402** in der Nähe der Sourceseite der Gateelektrode **407** gebildet,

während das Halbleitergebiet **402** im wesentlichen kein Hallogebiet in der Nähe der Drainseite aufweist. Es sollte beachtet werden, dass das Hallogebiet **411** durch eine erhöhte Dotierstoffkonzentration im Vergleich zu der Dotierstoffkonzentration im Kanalgebiet **405** definiert ist, wie bereits in Bezug zu den Hallogebieten **111** in [Fig. 1](#) erklärt.

[0038] In Ausführungsformen, die sich auf [Fig. 4a](#) beziehen, wird das Transistorelement **400** einem Haloionenimplantationsprozess (nicht gezeigt) unterworfen, um das Hallogebiet **411** asymmetrisch zu bilden, wobei die Offsetabstandselemente **412a** vor der Haloimplantation gebildet werden können, wohingegen in anderen Ausführungsformen die Offsetabstandselemente **412a** nach dem Haloimplantationsprozess gebildet werden können. Während der Haloimplantation wird ein im Wesentlichen paralleler Ionenstrahl auf das Halbleitergebiet **402** mit einer Neigung in Bezug auf eine Richtung, die senkrecht zur Oberfläche des Substrates **401** ist, gerichtet. In einigen Ausführungsformen kann ein Neigungswinkel (nicht gezeigt) so gewählt werden, dass die spezifizierte Ionenart auf der Sourceseite deutlich unter der Gateelektrode **407** lokalisiert ist und dadurch ein Hallogebiet **411** bildet, während die Gateelektrode **407** das Gebiet in der Nähe der Drainseite maskiert. Es kann ein Neigungswinkel gewählt werden, der ausreichend groß ist um eine angemessen große Überlappung des Hallogebietes **411** mit der Gateelektrode **407** zu erhalten. In einer Ausführungsform wird eine Haloimplantation unter einem festen Neigungswinkel als ausreichend erachtet, um das Hallogebiet **411** zu bilden. Dabei können die Implantationsparameter, wie Implantationsdosis und -energie entsprechend angepasst werden, um die gewünschte Form des Hallogebietes **411** zu erhalten.

[0039] [Fig. 4b](#) zeigt schematisch das Transistorelement **400** in einem weiter fortgeschrittenen Herstellungsstadium während einer tiefen Source/Drain-Implantation **422**, die das tiefe Sourcegebiet **403** und das tiefe Draingebiet **404** bildet. Das Transistorelement **400** weist hierbei zusätzliche Seitenwandabstandselemente **408** auf, die eine Beschichtung (nicht gezeigt) umfassen können, und die auf den Abstandselementen **412a**, **412b** gebildet sind. Die Gateelektrode **407** bildet in Kombination mit der Gateisolationsschicht **409** und den Seitenwandabstandselementen **412a**, **412b**, **408** und der Beschichtung eine Gateelektrodenschicht **406**. Es sollte beachtet werden, dass die Gateelektrodenstruktur **406** jeden Type von Gateelektroden einschließt, der ein oder mehrere asymmetrische und symmetrische Abstandselemente und Beschichtungen, die zum weiteren Profilieren der Dotierstoffkonzentration in dem Halbleitergebiet **402** und/oder zum Bilden von Metallsilizidgebieten in einer selbstjustierenden Weise und/oder zum Bilden von epitaktisch aufgewachsenen Halbleitergebieten über dem Draingebiet **404**

und dem Sourcegebiet **403** erforderlich sind, wenn eine Transistorarchitektur mit erhöhten Source/Drain-Gebieten betrachtet wird. Des Weiteren soll die Gateelektrodenstruktur **406** jede Konfiguration mit einschließen, in der ein oder mehrere Seitenwandabstandselemente zeitweilig in der Gateelektrodenstruktur **406** ausgebildet sind und in einem späteren Herstellungsstadium entfernt werden.

[0040] Das Transistorelement **400** unterliegt einem weiteren Ionenimplantationsprozess **422**, um das tiefe Draingebiet **404** und das tiefe Sourcegebiet **403** zu bilden, während die Seitenwandabstandselemente **412a**, **412b**, **408** in Kombination mit der Gateelektrode **407** als eine Implantationsmaske fungieren. Als Folge werden die Erweiterungsgebiete **403e**, **404e** und das Halogebiet **411** im Wesentlichen unter den Seitenwandabstandselementen **408** während der Ionenimplantation **422** beibehalten. Somit zeigen die Erweiterungsgebiete **403e**, **404e** eine gewünschte asymmetrische Form und definieren einen gewünschten steilen Konzentrationsgradienten in Verbindung mit dem Halogebiet **411**, während der Konzentrationsgradient an der Drainseite einen moderat steilen Gradienten auf Grund des mehr oder weniger Fehlens des Halo-Implantationsgebiets zeigt.

[0041] Der Herstellungsprozess für das Transistorelement **400**, wie in [Fig. 4b](#) gezeigt, kann im Wesentlichen die gleichen Prozesse, wie sie zuvor in Bezug zu [Fig. 1](#) beschrieben wurden, aufweisen, wobei das Bilden der Seitenwandabstandselemente **408**, wie zuvor diskutiert, von der spezifischen Transistorarchitektur abhängen kann.

[0042] [Fig. 4c](#) zeigt schematisch das Transistorelement **400** in einem weiter fortgeschrittenen Herstellungsstadium. In [Fig. 4c](#) ist das abschließend erhaltene Dotierstoffprofil, abgesehen von kleineren Veränderungen, die durch thermisch induzierte Diffusion in nachfolgenden Herstellungsprozessen auftreten können, gezeigt, nachdem das Transistorelement von [Fig. 4b](#) einem Wärmebehandlungsprozess unterzogen wurde, um die Dotierstoffe zu aktivieren und um zumindest teilweise implantationsinduzierte Gitterschäden zu heilen. Während der Wärmebehandlung findet eine spezifizierte Diffusion statt, die dann die Lage der pn-Übergänge **403p** und **404p** in Bezug zu der Gateelektrode **407** bestimmt. Dabei stellt sich ein hoher Dotierstoffkonzentrationsgradient, das ist der Übergang von einer spezifischen Dotierstoffkonzentration einer Leitungsart zu einer Dotierstoffkonzentration der entgegengesetzten Leitungsart am pn-Übergang **403p** auf Grund der moderat hohen Konzentration des ersten Leitfähigkeitstyps in dem Erweiterungsgebiet **403e** und der moderat hohen Konzentration des entgegengesetzten Leitfähigkeitstyps in dem Halogebiet **411** ein. Außerdem definiert der pn-Übergang **403p** ein Überlappungsgebiet **403o** an der Sourceseite, das bedeutend größer als eine

Überlappung **404o** ist, die durch den Drain-pn-Übergang **404p** definiert wird. Es ist anzumerken, dass in besonderen Ausführungsformen keine Überlappung oder sogar ein gewisser Abstand zwischen dem pn-Übergang **404p** und der Gateelektrode **407** definiert ist. Von einem anderen Blickwinkel gesehen, können die Überlappungsgebiete **403o** und **404o** in Bezug auf die Gateelektrode definiert werden und dabei eine asymmetrische Ausgestaltung definieren, wobei berücksichtigt werden sollte, dass die seitliche Beziehung der jeweiligen pn-Übergänge zu der Gateelektrode **407** tatsächlich die Eigenschaft ist, die das Transistorverhalten in Bezug auf eine Überlappung beeinflusst. Außerdem kann in einer Ausführungsform der Konzentrationsgradient des pn-Überganges **404p**, im Vergleich zu dem pn-Übergang **403p**, auf Grund eines fehlenden Halogebietes, bedeutend weniger steil sein.

[0043] Als Ergebnis wird eine Transistorausführung mit einer asymmetrischen Gestaltung in Bezug auf die Lage der pn-Übergänge der Source- und Draingebiete **403**, **404** zur Gateelektrode **407**, und auch einer asymmetrischen Konfiguration, in Bezug auf den Konzentrationsgradienten an den jeweiligen pn-Übergängen, aufweisen kann, bereitgestellt. Insbesondere stellt das Überlappungsgebiet **403o** an der Sourceseite in Kombination mit einem steilen Konzentrationsgradienten eine verbesserte Stromtreiberfähigkeit bereit, während das Fehlen oder die reduzierte Größe einer Überlappung **404o** an der Drainseite eine reduzierte parasitäre Kapazität vorsieht, wodurch das Schaltverhalten verbessert und auch die statischen Leckströme verringert werden. Zusätzlich kann der moderat steile Konzentrationsgradient an dem pn-Übergang **404p** den dynamischen Leckstrom deutlich reduzieren. Wie durch die obige Diskussion offenkundig wird, können die relevanten Parameter, die im Wesentlichen das Transistorverhalten bestimmen, wie die Größe des Überlappungsgebietes **403o**, der Wert des Dotierstoffgradienten an den pn-Übergängen **403p** **404p**, als auch die Gesamtdotierstoffkonzentration in den Erweiterungsgebieten **403e** und **404e**, durch die Prozessparameter der Haloimplantation und der Source/Drain-Erweiterungsimplantation zusätzlich zu einer geeigneten Wahl der Abmessungen und der Asymmetrie der Offsetabstandselemente **412a**, **412b** und der Seitenwandabstandselemente **408**, gesteuert werden. Folglich kann auf der Grundlage von gut eingeführten Prozesstechniken das Transistorverhalten für eine vorgegebene Transistorarchitektur wesentlich verbessert werden, wobei nicht ungebührlich zur Prozesskomplexität beigetragen wird, im Vergleich zu einem Standardprozessablauf, wie er zum Beispiel in Bezug zu [Fig. 1](#) beschrieben wurde.

Patentansprüche

1. Verfahren mit:

Bereitstellen einer Polysilizium-Gateelektrodenstruktur, die gegenüberliegende Seitenwände und seitliche Gebiete benachbart zu den gegenüberliegenden Seitenwänden aufweist und durch teilweises Ätzen einer Polysiliziumschicht gebildet wird, wobei eine Polysiliziumteilschicht erhalten bleibt;
Einbringen von Dotierstoffen in die seitlichen Gebiete der Polysilizium-Gateelektrodenstruktur mit einer unterschiedlichen Dotierstoffkonzentration, wobei die Polysiliziumteilschicht darunter liegende Halbleitergebiete abschirmt;
Entfernen der Polysiliziumteilschicht nach dem Einbringen der Dotierstoffe; und
Bilden von Abstandselementen benachbart zu den seitlichen Gebieten, wobei die Abstandselemente eine unterschiedliche Breite aufweisen, die mit der Dotierstoffkonzentration des jeweiligen darunterliegenden seitlichen Gebietes korreliert ist.

2. Verfahren nach Anspruch 1, wobei die Abstandselemente durch Ausführen eines Oxidationsprozesses auf der Gateelektrode gebildet werden.

3. Verfahren nach Anspruch 2, wobei die Dotierstoffe die Oxidwachstumsrate in dem Oxidationsprozess erhöhen.

4. Verfahren nach Anspruch 1, wobei die Abstandselemente Siliziumdioxid aufweisen.

5. Verfahren nach Anspruch 1, wobei die Dotierstoffe mittels eines Ionenimplantationsprozesses, der unter einem Neigungswinkel ausgeführt wird, eingebracht werden.

6. Verfahren nach Anspruch 5, wobei der Neigungswinkel im Bereich von 10 bis 50° liegt.

7. Verfahren nach Anspruch 5, wobei die Dotierstoffe zumindest Bor und/oder Phosphor und/oder Arsen und/oder Indium aufweisen.

8. Verfahren nach Anspruch 1, wobei auf einem Substrat mehrere Polysilizium-Gateelektrodenstrukturen angeordnet sind, wobei alle Polysilizium-Gateelektrodenstrukturen so auf dem Substrat orientiert sind, dass das Einbringen der Dotierstoffe in einem einzigen Implantationsschritt ausführbar ist.

9. Verfahren nach Anspruch 1, wobei die Gateelektrode und die Abstandselemente als eine Implantationsmaske für eine nachfolgende Source/Drain-Erweiterungsgebiet-Implantation in ein darunterliegendes Halbleitergebiet dient, wodurch eine Source-Seite und eine gegenüberliegende Drain-Seite der Gateelektrode definiert wird.

10. Verfahren nach Anspruch 9, wobei die Breite der Abstandselemente auf der Drain-Seite größer als auf der Source-Seite ist.

11. Verfahren nach Anspruch 10, wobei ein asymmetrisches Halbleitergebiet in dem Halbleitergebiet gebildet wird.

12. Verfahren mit:
Bereitstellen eines Halbleitergebietes mit einer darauf gebildeten Gateelektrode mit gegenüberliegenden Seitenwänden;
Ausführen einer asymmetrischen Implantation von Gate-Dotierstoffen in die Gateelektrode, um ein asymmetrisches Dotierprofil in der Gateelektrode zu erzeugen, wobei Dotierstoffe eingesetzt werden, die die Leitfähigkeit der Gateelektrode erhöhen;
Bilden asymmetrischer Abstandselemente benachbart zu den gegenüberliegenden Seitenwänden, wobei die Abstandselemente eine unterschiedliche Breite, die mit der Asymmetrie des Dotierprofils korreliert ist, aufweisen; und
Implantieren von Source/Drain-Dotierstoffen in das Halbleitergebiet unter Verwendung der Gateelektrode und der Abstandselemente als Maskierungselemente.

13. Verfahren nach Anspruch 12, wobei Ausführen einer asymmetrischen Implantation Implantieren der Gate-Dotierstoffe mittels einer Implantation unter einem Neigungswinkel umfasst.

14. Verfahren nach Anspruch 13, wobei die Abstandselemente mittels eines Oxidationsprozesses gebildet werden.

15. Verfahren nach Anspruch 14, wobei die Gate-Dotierstoffe die Oxidwachstumsrate in dem Oxidationsprozess erhöhen.

16. Verfahren nach Anspruch 12, wobei die Abstandselemente Siliziumdioxid aufweisen.

17. Verfahren nach Anspruch 13, wobei der Neigungswinkel im Bereich von 10 bis 50° liegt.

18. Verfahren nach Anspruch 13, wobei die implantierten Gate-Dotierstoffe zumindest Bor und/oder Phosphor und/oder Arsen und/oder Indium aufweisen.

19. Verfahren nach Anspruch 12, wobei auf einem Substrat mehrere Gateelektroden angeordnet sind, wobei alle Gateelektroden so auf dem Substrat orientiert sind, dass die asymmetrische Implantation in einem einzigen Implantationsschritt ausführbar ist.

20. Gatestruktur mit:
einer Gateelektrode, die gegenüberliegende Seitenwände und dazu benachbarte Seitengebiete aufweist, wobei eine Dotierstoffkonzentration von Dotierstoffen, die die Leitfähigkeit der Gateelektrode erhöhen, in den Seitengebieten unterschiedlich ist;
einer Gateisolationsschicht, die die Gateelektrode

von einem darunterliegenden Halbleitergebiet trennt;
und
einem ersten Abstandselement und einem zweiten
Abstandselement, die benachbart zu den gegenüber-
liegenden Seitenwänden gebildet sind, wobei das
erste Abstandselement eine Lage eines Sourcege-
bietes und das zweite Abstandselement eine Lage ei-
nes Draingebietes definiert, wobei die ersten und
zweiten Abstandselemente eine unterschiedliche
Breite aufweisen.

21. Gatestruktur nach Anspruch 20, wobei die
Breite des zweiten Abstandselementes größer als die
Breite des ersten Abstandselementes ist.

22. Gatestruktur nach Anspruch 20, wobei die
Gateelektrode Polysilizium umfasst.

23. Gatestruktur nach Anspruch 20, wobei die
ersten und zweiten Abstandselemente Siliziumdioxid
umfassen.

24. Gatestruktur nach Anspruch 20, wobei das
darunterliegende Halbleitergebiet asymmetrisch an-
geordnete Source- und Drain-Erweiterungsgebiete
umfasst.

25. Gatestruktur nach Anspruch 24, wobei das
darunterliegende Halbleitergebiet ferner asymmet-
risch angeordnete Halogebiete umfasst.

26. Gatestruktur nach Anspruch 24, wobei das
darunterliegende Halbleitergebiet ferner ein einziges
Halogebiet, das auf der Sourceseite angeordnet ist,
umfasst.

Es folgen 7 Blatt Zeichnungen

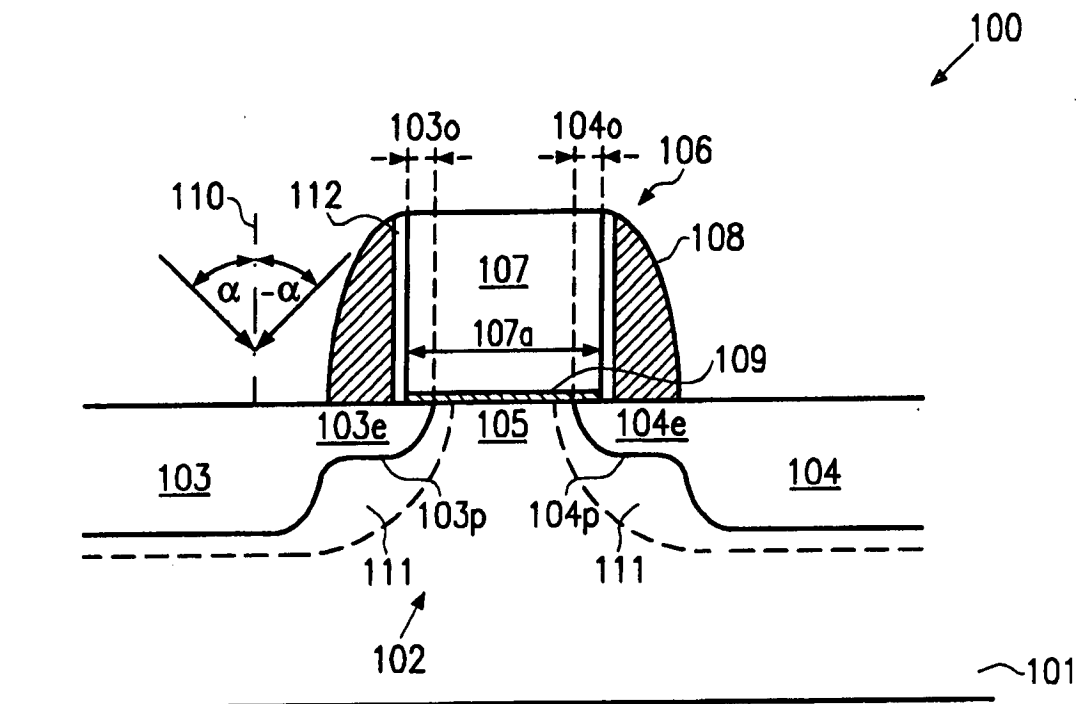


Fig.1

(Stand der Technik)

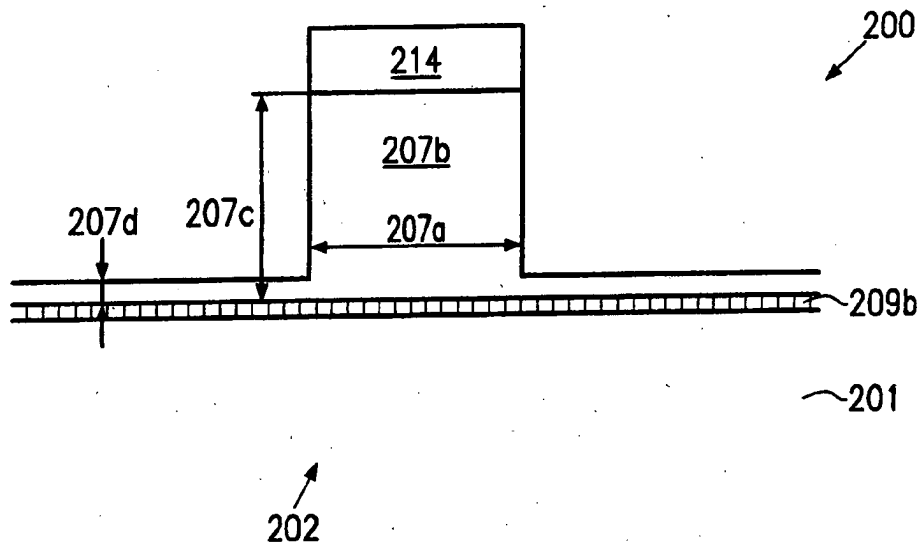


Fig.2a

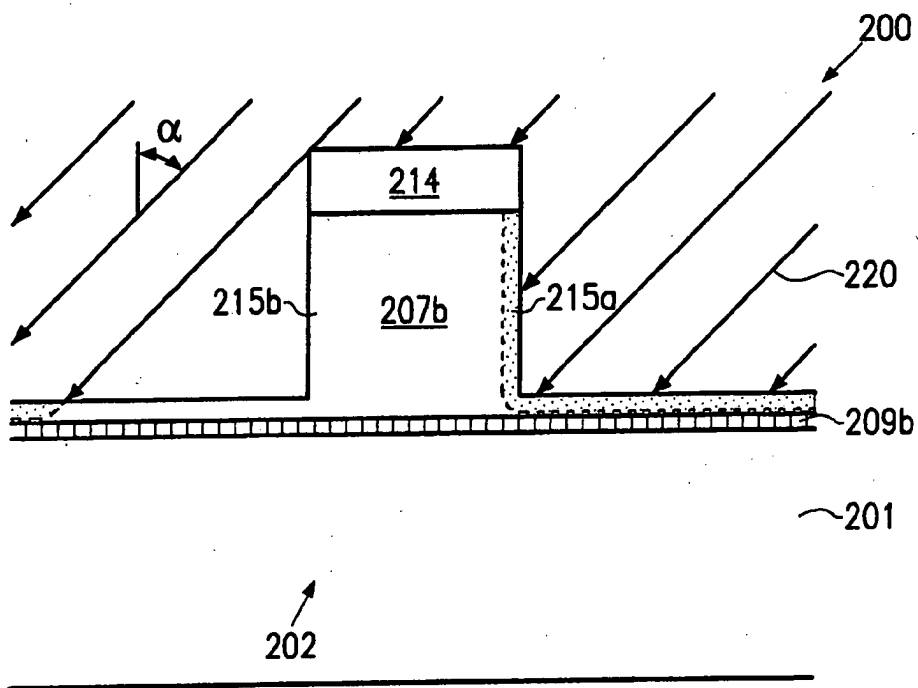


Fig.2b

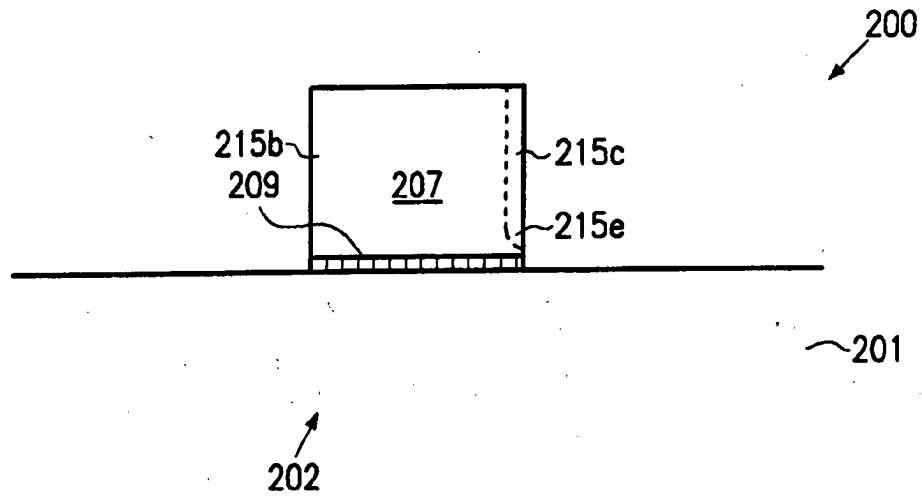


Fig.2c

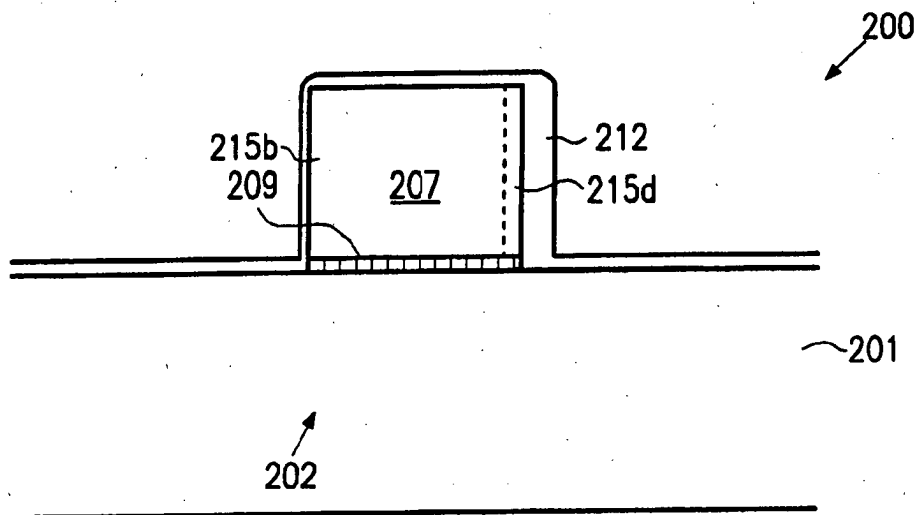


Fig.2d

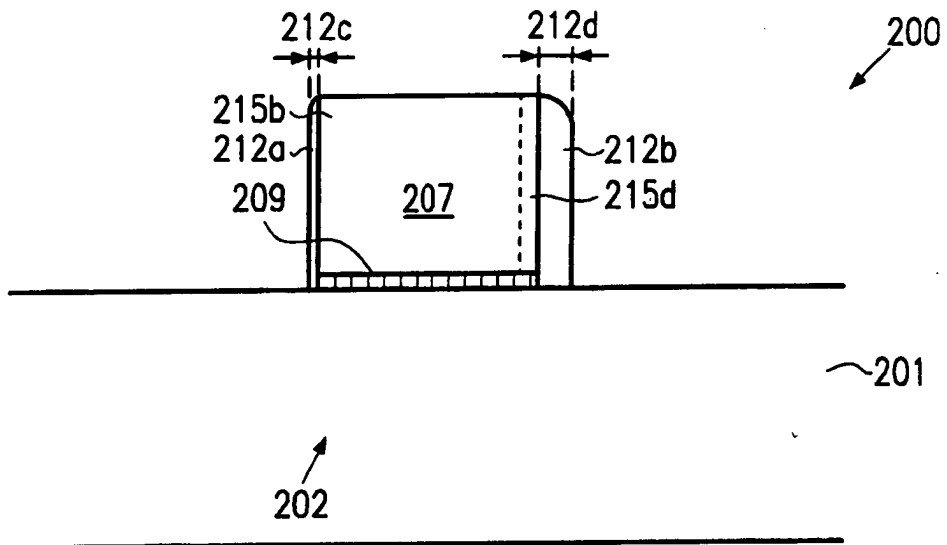


Fig.2e

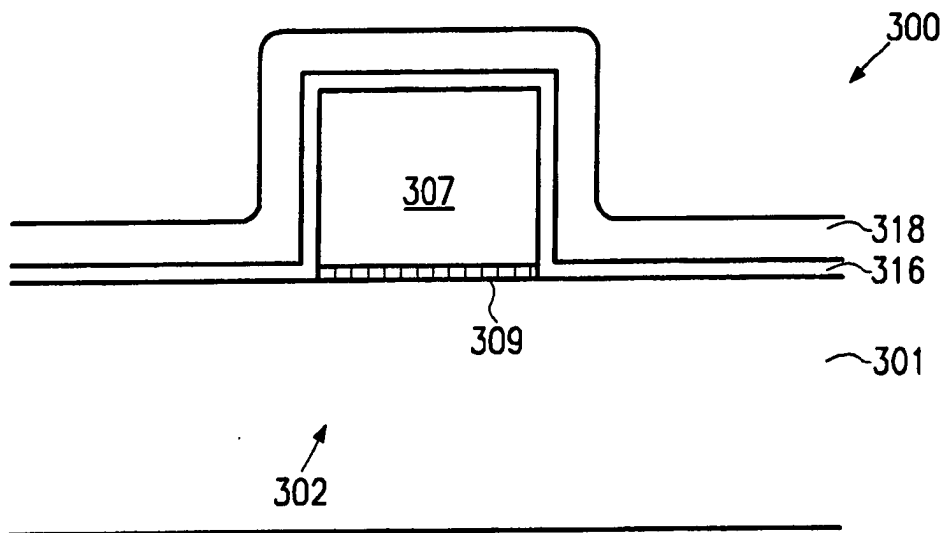


Fig.3a

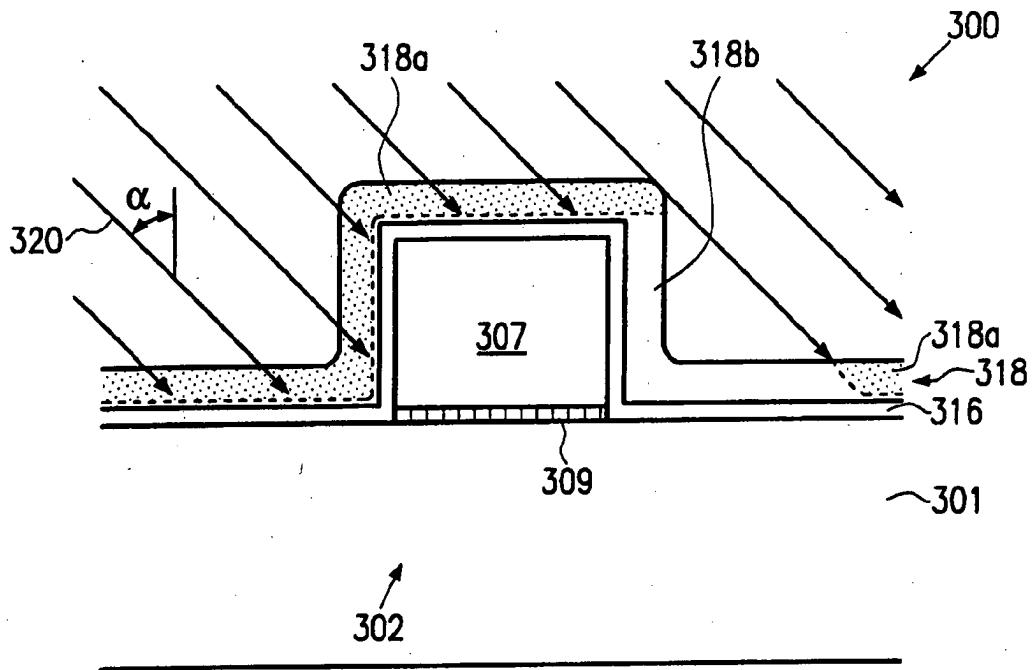


Fig.3b

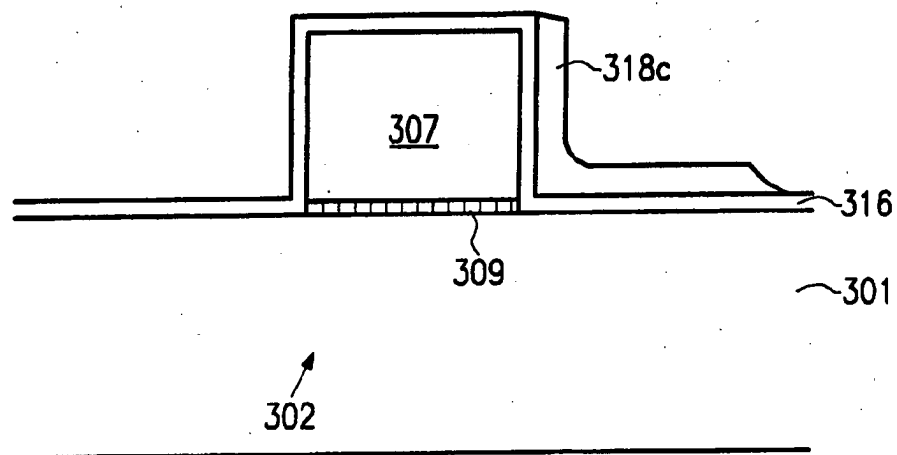


Fig.3c

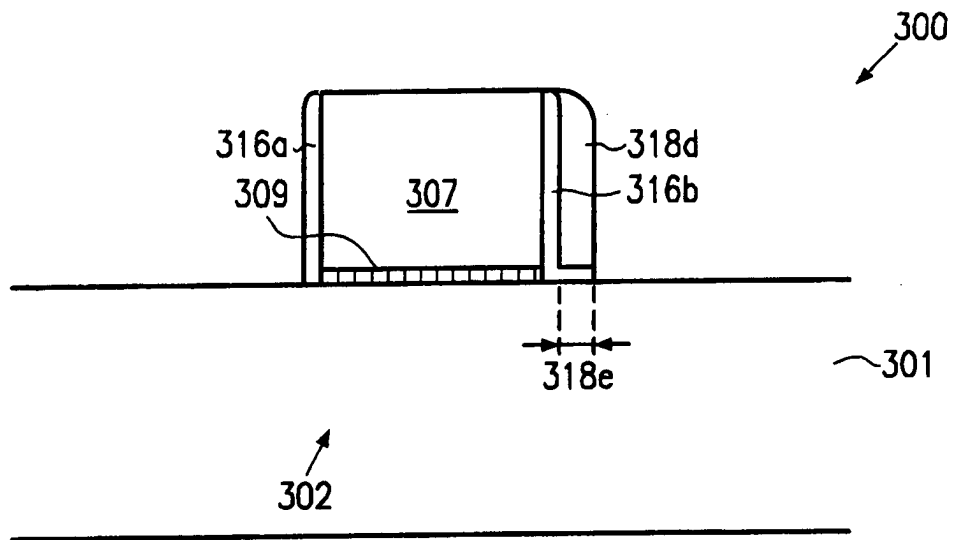


Fig.3d

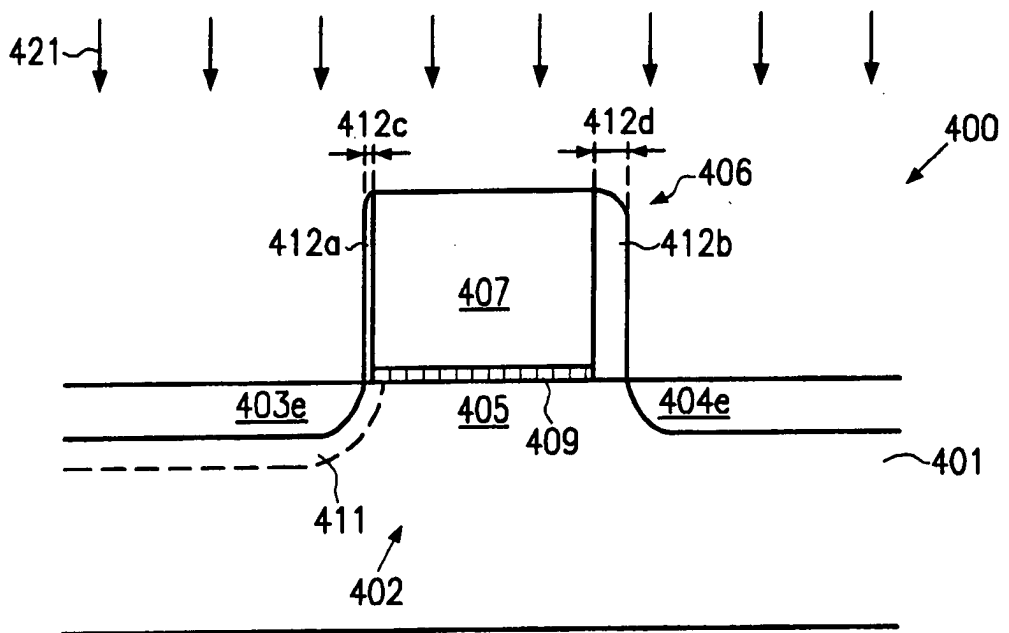


Fig.4a

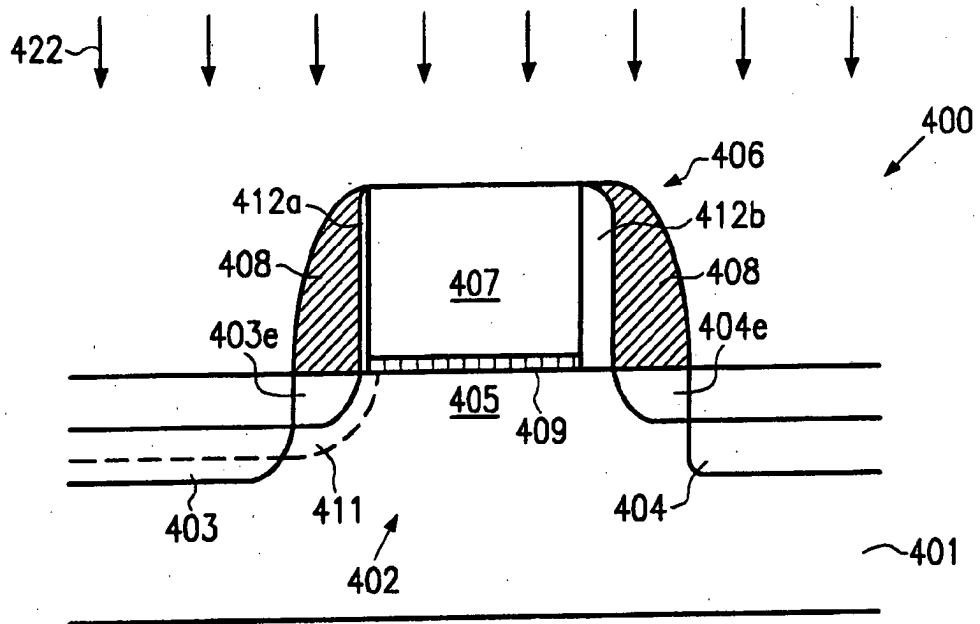


Fig.4b

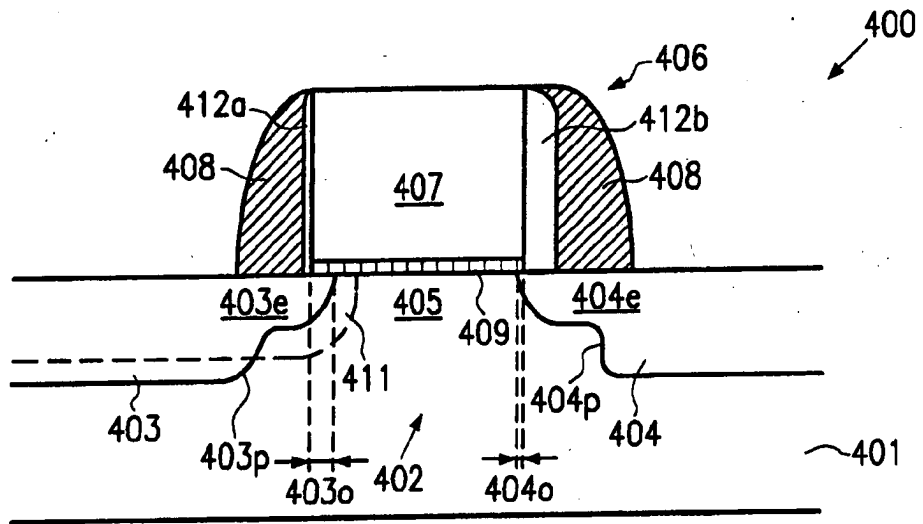


Fig.4c