

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6921794号
(P6921794)

(45) 発行日 令和3年8月18日(2021.8.18)

(24) 登録日 令和3年7月30日(2021.7.30)

(51) Int.Cl.		F I			
HO 1 L	25/07	(2006.01)	HO 1 L	25/04	C
HO 1 L	25/18	(2006.01)	HO 2 M	7/48	Z
HO 2 M	7/48	(2007.01)			

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2018-173126 (P2018-173126)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成30年9月14日(2018.9.14)	(73) 特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2020-47677 (P2020-47677A)	(74) 代理人	100119035 弁理士 池上 徹真
(43) 公開日	令和2年3月26日(2020.3.26)	(74) 代理人	100141036 弁理士 須藤 章
審査請求日	令和2年9月4日(2020.9.4)	(74) 代理人	100178984 弁理士 高下 雅弘
		(72) 発明者	松山 宏 東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

基板と、
前記基板の上の金属層と、
前記金属層の上に設けられ、上部電極と、前記金属層に電氣的に接続される下部電極と、
を有する少なくとも1個の半導体チップと、
前記基板の上に設けられ、第1の板状部と、第2の板状部と、第3の板状部とを有し、
前記第1の板状部と、前記第2の板状部と、前記第3の板状部は前記基板に垂直で、前記第1の板状部は前記第2の板状部に平行で、前記第3の板状部は前記第1の板状部及び前記第2の板状部に垂直で、前記第3の板状部は前記第1の板状部の一端と前記第2の板状部の一端に接続され、前記上部電極に電氣的に接続された第1の配線板と、
前記基板の上に設けられ、第5の板状部と、第6の板状部と、第7の板状部とを有し、
前記第5の板状部と、前記第6の板状部と、前記第7の板状部は前記基板に垂直で、前記第5の板状部は前記第6の板状部に平行で、前記第7の板状部は前記第5の板状部及び前記第6の板状部に垂直で、前記第7の板状部は前記第5の板状部の一端と前記第6の板状部の一端に接続され、前記金属層に電氣的に接続された第2の配線板と、
を備え、
前記第1の板状部と前記第2の板状部は、前記第5の板状部と前記第6の板状部の間に設けられ、
前記少なくとも1個の半導体チップは、前記第5の板状部を含む平面と、前記第6の板

10

20

状部を含む平面との間に位置する半導体装置。

【請求項 2】

前記第 1 の配線板は、第 4 の板状部を有し、前記第 4 の板状部は前記第 3 の板状部に平行で、前記第 4 の板状部は前記第 1 の板状部の他端と前記第 2 の板状部の他端に接続され、

前記第 2 の配線板は、第 8 の板状部を有し、前記第 8 の板状部は前記第 7 の板状部に平行で、前記第 8 の板状部は前記第 5 の板状部の他端と前記第 6 の板状部の他端に接続された請求項 1 記載の半導体装置。

【請求項 3】

前記少なくとも 1 個の半導体チップは複数個の半導体チップであり、

前記第 1 の配線板は、複数の接続部を有し、前記上部電極と前記接続部が接続される請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 の配線板と前記上部電極は、ボンディングワイヤを間に挟んで電氣的に接続される請求項 1 又は請求項 2 記載の半導体装置。

【請求項 5】

前記第 1 の配線板及び前記第 2 の配線板の少なくともいずれか一方にスリットが設けられる請求項 1 ないし請求項 4 いずれか一項記載の半導体装置。

【請求項 6】

前記第 1 の板状部と前記第 5 の板状部との間、及び、前記第 2 の板状部と前記第 6 の板状部との間に、誘電体層が設けられる請求項 1 ないし請求項 5 いずれか一項記載の半導体装置。

【請求項 7】

前記第 1 の板状部と前記第 5 の板状部との間の距離、及び、前記第 2 の板状部と前記第 6 の板状部との間の距離は、2 mm 以下である請求項 1 ないし請求項 6 いずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

パワー半導体モジュールでは、例えば、金属基板の上に、絶縁基板を間に挟んで複数のパワー半導体チップが実装される。パワー半導体チップは、例えば、MOSFET (Metal Oxide Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor)、又は、ダイオードである。パワー半導体モジュール内部の配線インダクタンスが大きいと、スイッチング損失が大きくなるという問題が生ずる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 5555206 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、配線インダクタンスの低減が可能な半導体装置を提供することにある。

【課題を解決するための手段】

【0005】

本発明の一態様の半導体装置は、基板と、前記基板の上の金属層と、前記金属層の上に

10

20

30

40

50

設けられ、上部電極と、前記金属層に電氣的に接続される下部電極と、を有する少なくとも1個の半導体チップと、前記基板の上に設けられ、第1の板状部と、第2の板状部と、第3の板状部とを有し、前記第1の板状部と、前記第2の板状部と、前記第3の板状部は前記基板に垂直で、前記第1の板状部は前記第2の板状部に平行で、前記第3の板状部は前記第1の板状部及び前記第2の板状部に垂直で、前記第3の板状部は前記第1の板状部の一端と前記第2の板状部の一端に接続され、前記上部電極に電氣的に接続された第1の配線板と、前記基板の上に設けられ、第5の板状部と、第6の板状部と、第7の板状部とを有し、前記第5の板状部と、前記第6の板状部と、前記第7の板状部は前記基板に垂直で、前記第5の板状部は前記第6の板状部に平行で、前記第7の板状部は前記第5の板状部及び前記第6の板状部に垂直で、前記第7の板状部は前記第5の板状部の一端と前記第6の板状部の一端に接続され、前記金属層に電氣的に接続された第2の配線板と、を備え、前記第1の板状部と前記第2の板状部は、前記第5の板状部と前記第6の板状部の間に設けられ、前記少なくとも1個の半導体チップは、前記第5の板状部を含む平面と、前記第6の板状部を含む平面との間に位置する。

10

【図面の簡単な説明】

【0006】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】第1の実施形態の半導体装置の模式上面図。

【図3】第1の実施形態の半導体装置の模式上面図。

【図4】第1の実施形態の半導体装置の模式断面図。

20

【図5】第1の実施形態の半導体装置の作用及び効果の説明図。

【図6】第2の実施形態の半導体装置の模式断面図。

【図7】第3の実施形態の半導体装置の模式上面図。

【図8】第3の実施形態の半導体装置の模式上面図。

【図9】第3の実施形態の半導体装置の模式断面図。

【図10】第4の実施形態の半導体装置の模式上面図。

【図11】第4の実施形態の半導体装置の模式断面図。

【図12】第5の実施形態の半導体装置の模式断面図。

【図13】第6の実施形態の半導体装置の模式上面図。

【図14】第7の実施形態の半導体装置の模式上面図。

30

【発明を実施するための形態】

【0007】

本明細書中、同一又は類似する部材については、同一の符号を付し、重複する説明を省略する場合がある。

【0008】

本明細書中、部品等の位置関係を示すために、図面の上方方向を「上」、図面の下方方向を「下」と記述する場合がある。本明細書中、「上」、「下」の概念は、必ずしも重力の向きとの関係を示す用語ではない。

【0009】

(第1の実施形態)

40

第1の実施形態の半導体装置は、基板と、基板の上の金属層と、金属層の上に設けられ、上部電極と、金属層に電氣的に接続される下部電極と、を有する少なくとも1個の半導体チップと、基板の上に設けられ、第1の板状部と、第2の板状部と、第3の板状部とを有し、第1の板状部と、第2の板状部と、第3の板状部は基板に垂直で、第1の板状部は第2の板状部に平行で、第3の板状部は第1の板状部及び第2の板状部に垂直で、第3の板状部は第1の板状部の一端と第2の板状部の一端に接続され、上部電極に電氣的に接続された第1の配線板と、基板の上に設けられ、第5の板状部と、第6の板状部と、第7の板状部とを有し、第5の板状部と、第6の板状部と、第7の板状部は基板に垂直で、第5の板状部は第6の板状部に平行で、第7の板状部は第5の板状部及び第6の板状部に垂直で、第7の板状部は第5の板状部の一端と第6の板状部の一端に接続され、金属層に電氣

50

的に接続された第2の配線板と、を備え、第1の板状部と第2の板状部は、第5の板状部と第6の板状部の間に設けられ、少なくとも1個の半導体チップは、第5の板状部を含む仮想平面と、第6の板状部を含む仮想平面との間に位置する。

【0010】

図1は、第1の実施形態の半導体装置の模式断面図である。図2は、第1の実施形態の半導体装置の模式上面図である。図3は、第1の実施形態の半導体装置の模式上面図である。図4は、第1の実施形態の半導体装置の模式断面図である。

【0011】

第1の実施形態の半導体装置は、パワー半導体モジュール100である。パワー半導体モジュール100は、6個のショットキーバリアダイオード(SBD)が並列に接続されている。

10

【0012】

第1の実施形態のパワー半導体モジュール100は、複数個のSBD10(半導体チップ)、金属基板12、絶縁基板14(基板)、金属層16、アノード配線板18(第1の配線板)、カソード配線板20(第2の配線板)、樹脂ケース22、蓋24、シリコンゲル26を備える。

【0013】

SBD10は、アノード電極10a(上部電極)、カソード電極10b(下部電極)を有する

【0014】

アノード配線板18は、アノード外部端子18a、複数のアノード接続部18b(接続部)、第1の板状部P1、第2の板状部P2、第3の板状部P3、第4の板状部P4を有する。カソード配線板20は、カソード外部端子20a、カソード接続部20b、第5の板状部P5、第6の板状部P6、第7の板状部P7、第8の板状部P8を有する。

20

【0015】

図1は、図2のAA'断面図である。図2は、パワー半導体モジュール100から蓋24及びシリコンゲル26を除いた状態の上面図である。図3は、パワー半導体モジュール100から蓋24、シリコンゲル26、及び、アノード配線板18を除いた状態の上面図である。図4は、図2のBB'断面図である。

【0016】

金属基板12は、例えば、銅である。例えば、パワー半導体モジュール100を製品に実装する際、金属基板12の裏面には、図示しない放熱板が接続される。

30

【0017】

樹脂ケース22は、金属基板12の周囲に設けられる。樹脂ケース22の上には蓋24が設けられる。また、パワー半導体モジュール100の内部には、封止材としてシリコンゲル26が充填されている。樹脂ケース22、金属基板12、蓋24、及びシリコンゲル26は、パワー半導体モジュール100内の部材を保護又は絶縁する機能を有する。

【0018】

絶縁基板14は、樹脂ケース22の中に設けられる。絶縁基板14は、金属基板12の上に設けられる。絶縁基板14は、金属基板12と、金属層16を絶縁する機能を有する。絶縁基板14は、樹脂中に、例えば、窒化ホウ素などで形成される熱伝導率の高いフィラを含有する。絶縁基板14は、例えば、高熱伝導材である窒化アルミニウムである。

40

【0019】

金属層16は、絶縁基板14上に設けられる。金属層16は、例えば、銅、又は、アルミニウムである。

【0020】

SBD10は、金属層16の上に設けられる。SBD10は、例えば、はんだやAgナノ粒子を用いて、金属層16に接続される。SBD10は、上面にアノード電極10a、下面にカソード電極10bを有する。

【0021】

50

SBD10は、例えば、炭化珪素(SiC)、シリコン(Si)、又は、窒化ガリウム(GaN)などを用いた半導体チップである。

【0022】

アノード配線板18は、絶縁基板14の上に設けられる。アノード配線板18は、アノード外部端子18aを有する。アノード外部端子18aは、樹脂ケース22の外に設けられる。

【0023】

アノード配線板18は、第1の板状部P1、第2の板状部P2、第3の板状部P3、第4の板状部P4を有する。第1の板状部P1、第2の板状部P2、第3の板状部P3、第4の板状部P4は、絶縁基板14に対して垂直である。

10

【0024】

第1の板状部P1は、第2の板状部P2に対向する。第1の板状部P1は、第2の板状部P2に平行である。

【0025】

第3の板状部P3は、第4の板状部P4に対向する。第3の板状部P3は、第4の板状部P4に平行である。第3の板状部P3及び第4の板状部P4は、第1の板状部P1及び第2の板状部P2に垂直である。

【0026】

第3の板状部P3は、第1の板状部P1の一端と、第2の板状部P2の一端に接続される。第4の板状部P4は、第1の板状部P1の他端と、第2の板状部P2の他端に接続される。

20

【0027】

第1の板状部P1、第2の板状部P2、第3の板状部P3、及び、第4の板状部P4は、枠形状を形成する。

【0028】

アノード配線板18は、複数のアノード接続部18bを有する。アノード接続部18bとアノード電極10aが接続される。アノード接続部18bとアノード電極10aは、例えば、半田を用いて接続される。また、例えば、超音波溶接を用いて接続される。

【0029】

カソード配線板20は、絶縁基板14の上に設けられる。カソード配線板20は、カソード外部端子20aを有する。カソード外部端子20aは、樹脂ケース22の外に設けられる。

30

【0030】

カソード配線板20は、第5の板状部P5、第6の板状部P6、第7の板状部P7、第8の板状部P8を有する。第5の板状部P5、第6の板状部P6、第7の板状部P7、第8の板状部P8は、絶縁基板14に対して垂直である。

【0031】

第5の板状部P5は、第6の板状部P6に対向する。第5の板状部P5は、第6の板状部P6に平行である。

【0032】

第7の板状部P7は、第8の板状部P8に対向する。第7の板状部P7は、第8の板状部P8に平行である。第7の板状部P7及び第8の板状部P8は、第5の板状部P5及び第6の板状部P6に垂直である。

40

【0033】

第7の板状部P7は、第5の板状部P5の一端と、第6の板状部P6の一端に接続される。第8の板状部P8は、第5の板状部P5の他端と、第6の板状部P6の他端に接続される。

【0034】

第5の板状部P5、第6の板状部P6、第7の板状部P7、及び、第8の板状部P8は、枠形状を形成する。

50

【 0 0 3 5 】

第1の板状部P1、第2の板状部P2、第3の板状部P3、及び、第4の板状部P4は、第5の板状部P5、第6の板状部P6、第7の板状部P7、及び、第8の板状部P8の内側に位置する。第1の板状部P1及び第2の板状部P2は、第5の板状部P5と第6の板状部P6の間に位置する。第3の板状部P3及び第4の板状部P4は、第7の板状部P7と第8の板状部P8の間に位置する。

【 0 0 3 6 】

SBD10は、第5の板状部P5、第6の板状部P6、第7の板状部P7、及び、第8の板状部P8が形成する枠形状の内側に位置する。例えば、第5の板状部P5を含む仮想平面(図1中のKP5)と、第6の板状部P6を含む仮想平面(図1中のKP6)との間にSBD10は、位置する。

10

【 0 0 3 7 】

また、SBD10は、第1の板状部P1、第2の板状部P2、第3の板状部P3、及び、第4の板状部P4が形成する枠形状の内側に位置する。例えば、第1の板状部P1を含む仮想平面(図1中のKP1)と、第2の板状部P2を含む仮想平面(図1中のKP2)との間にSBD10は、位置する。

【 0 0 3 8 】

第1の板状部P1と第5の板状部P5との間の距離は、例えば、2mm以下である。第2の板状部P2と第6の板状部P6との間の距離は、例えば、2mm以下である。

【 0 0 3 9 】

次に、第1の施形態の半導体装置の作用及び効果について説明する。

20

【 0 0 4 0 】

パワー半導体モジュールの内部の配線インダクタンスが大きいと、半導体チップのスイッチング動作を高速で行う際に、サージ電圧や電圧波形のリングングが生ずる。サージ電圧や電圧波形のリングングは、デバイスの破壊やEMI(電磁干渉)ノイズの増加につながるため問題である。スイッチング動作を低速にすれば、サージ電圧や電圧波形のリングングは抑制できるが、スイッチング損失が大きくなるという問題が生ずる。したがって、パワー半導体モジュールの内部インダクタンスを低減することが望まれる。

【 0 0 4 1 】

図5は、第1の実施形態の半導体装置の作用及び効果の説明図である。図5は、図1に相当する断面図である。図5は、アノード配線板18とカソード配線板20とに流れる電流の向きを矢印で示している。

30

【 0 0 4 2 】

配線のインダクタンスには、自己誘導による自己インダクタンスと相互誘導による相互インダクタンスがある。配線のインダクタンスは、自己インダクタンスと相互インダクタンスの和になる。例えば、アノード配線板18とカソード配線板20のインダクタンスは、アノード配線板18とカソード配線板20のそれぞれの自己インダクタンスと、アノード配線板18とカソード配線板20の相互誘導に伴う相互インダクタンスの和である。

【 0 0 4 3 】

パワー半導体モジュール100は、アノード配線板18とカソード配線板20の大部分が平行平板であり、平行平板の部分では、電流の流れる向きが逆向きとなっている。このため、相互インダクタンスは、自己インダクタンスを打ち消す方向に作用する。したがって、アノード配線板18とカソード配線板20のインダクタンスが低減する。よって、パワー半導体モジュール100の内部のインダクタンスが低減する。

40

【 0 0 4 4 】

また、パワー半導体モジュール100では、複数のSBD10を囲むように、アノード配線板18とカソード配線板20を設けている。このため、それぞれのSBD10の電流経路の電気抵抗が小さくなる。また、SBD10の電流経路の電気抵抗のばらつきが小さくなる。したがって、例えば、複数のSBD10の間で、電流ばらつきが小さくなる。よって、例えば、特定のSBD10に電流が集中することによるデバイス破壊が抑制され、

50

パワー半導体モジュール100の信頼性が向上する。

【0045】

内部インダクタンスを低減する観点から、第1の板状部P1と第5の板状部P5との間の距離、及び、第2の板状部P2と第6の板状部P6との間の距離は、2mm以下であることが好ましく、1mm以下であることがより好ましく、0.5mm以下であることが更に好ましい。

【0046】

以上、第1の実施形態によれば、内部インダクタンスが低減され、スイッチング損失の小さいパワー半導体モジュールの実現が可能となる。また、デバイス間の電流ばらつきが抑制され、信頼性の向上したパワー半導体モジュールの実現が可能となる。

10

【0047】

(第2の実施形態)

第2の実施形態の半導体装置は、第1の板状部と第5の板状部との間、及び、第2の板状部と第6の板状部との間に、誘電体層が設けられる点で、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については、記述を省略する。

【0048】

図6は、第2の実施形態の半導体装置の模式断面図である。図6は、第1の実施形態の図1に対応する図である。

【0049】

第2の実施形態の半導体装置は、パワー半導体モジュール200である。パワー半導体モジュール200は、6個のショットキーバリアダイオード(SBD)が並列に接続されている。

20

【0050】

パワー半導体モジュール200は、第1の板状部P1と第5の板状部P5との間に誘電体層40が設けられる。誘電体層40は、高い絶縁性能を有する誘電体材料である。また、第2の板状部P2と第6の板状部P6との間に誘電体層40が設けられる。同様に、第3の板状部P3と第7の板状部P7との間、第4の板状部P4と第8の板状部P8との間にも、誘電体層40が設けられる。

【0051】

誘電体層40は、例えば、エポキシ樹脂である。また、例えば、ポリイミド樹脂である。

30

【0052】

誘電体層40を設けることで、アノード配線板18の板状部と、カソード配線板20の板状部との間の距離が小さい構造を、容易に製造することが可能となる。よって、内部インダクタンスを低減することが容易となる。

【0053】

以上、第2の実施形態によれば、第1の実施形態同様、内部インダクタンスが低減され、スイッチング損失の小さいパワー半導体モジュールの実現が可能となる。また、デバイス間の電流ばらつきが抑制され、信頼性の向上したパワー半導体モジュールの実現が可能となる。更に、内部インダクタンスを低減することが容易となる。

40

【0054】

(第3の実施形態)

第3の実施形態の半導体装置は、第1の配線板が第4の板状部を有さず、第2の配線板が第8の板状部を有さない点で、第1の実施形態と異なる。以下、第1の実施形態と重複する内容については、記述を省略する。

【0055】

図7は、第3の実施形態の半導体装置の模式上面図である。図7は、第1の実施形態の図2に対応する図である。

【0056】

図8は、第3の実施形態の半導体装置の模式上面図である。図8は、第1の実施形態の

50

図 3 に対応する図である。

【 0 0 5 7 】

図 9 は、第 3 の実施形態の半導体装置の模式断面図である。図 9 は、第 1 の実施形態の図 4 に対応する図である。

【 0 0 5 8 】

第 3 の実施形態の半導体装置は、パワー半導体モジュール 3 0 0 である。パワー半導体モジュール 3 0 0 は、6 個のショットキーバリアダイオード (S B D) が並列に接続されている。

【 0 0 5 9 】

パワー半導体モジュール 3 0 0 は、アノード配線板 1 8 は、第 1 の板状部 P 1、第 2 の板状部 P 2、第 3 の板状部 P 3 を有するが、第 4 の板状部 P 4 を有しない。また、カソード配線板 2 0 は、第 5 の板状部 P 5、第 6 の板状部 P 6、第 7 の板状部 P 7 を有するが、第 8 の板状部 P 8 を有しない。

【 0 0 6 0 】

パワー半導体モジュール 3 0 0 によれば、例えば、第 4 の板状部 P 4 及び第 8 の板状部 P 8 を設けないことで、内部インダクタンスの調整をすることが可能である。また、新たな半導体チップや配線を設けることが可能である。

【 0 0 6 1 】

以上、第 3 の実施形態によれば、第 1 の実施形態同様、内部インダクタンスが低減され、スイッチング損失の小さいパワー半導体モジュールの実現が可能となる。また、デバイス間の電流ばらつきが抑制され、信頼性の向上したパワー半導体モジュールの実現が可能となる。更に、内部インダクタンスの調整や、新たな半導体チップや配線を設けることが可能となる。

【 0 0 6 2 】

(第 4 の実施形態)

第 4 の実施形態の半導体装置は、第 1 の配線板及び第 2 の配線板の少なくともいずれか一方にスリットが設けられる点で、第 1 の実施形態と異なる。以下、第 1 の実施形態と重複する内容については、記述を省略する。

【 0 0 6 3 】

図 1 0 は、第 4 の実施形態の半導体装置の模式上面図である。図 1 0 は、第 1 の実施形態の図 3 に対応する図である。

【 0 0 6 4 】

図 1 1 は、第 4 の実施形態の半導体装置の模式断面図である。図 1 1 は、第 1 の実施形態の図 1 に対応する図である。

【 0 0 6 5 】

第 4 の実施形態の半導体装置は、パワー半導体モジュール 4 0 0 である。パワー半導体モジュール 4 0 0 は、6 個のショットキーバリアダイオード (S B D) が並列に接続されている。

【 0 0 6 6 】

パワー半導体モジュール 4 0 0 は、例えば、カソード配線板 2 0 にスリット 4 4 が設けられる。スリットは、アノード配線板 1 8 に設けられても構わない。

【 0 0 6 7 】

パワー半導体モジュール 4 0 0 は、アノード配線板 1 8 及びカソード配線板 2 0 の少なくともいずれか一方にスリットが設けられることで、内部インダクタンスの調整をすることが可能である。

【 0 0 6 8 】

以上、第 4 の実施形態によれば、第 1 の実施形態同様、内部インダクタンスが低減され、スイッチング損失の小さいパワー半導体モジュールの実現が可能となる。また、デバイス間の電流ばらつきが抑制され、信頼性の向上したパワー半導体モジュールの実現が可能となる。更に、内部インダクタンスの調整や、新たな半導体チップや配線を設けることが

10

20

30

40

50

可能となる。

【0069】

(第5の実施形態)

第5の実施形態の半導体装置は、第1の配線板と上部電極は、ボンディングワイヤを間に挟んで電氣的に接続される点で、第1の実施形態と異なる。以下、第1の実施形態と重複する内容については、記述を省略する。

【0070】

図12は、第5の実施形態の半導体装置の模式断面図である。図12は、第1の実施形態の図1に対応する図である。

【0071】

第5の実施形態の半導体装置は、パワー半導体モジュール500である。パワー半導体モジュール500は、6個のショットキーバリアダイオード(SBD)が並列に接続されている。

【0072】

パワー半導体モジュール500は、ボンディングワイヤ46を有する。ボンディングワイヤ46を間に挟んで、アノード配線板18と、SBD10のアノード電極10aが電氣的に接続される。

【0073】

ボンディングワイヤ46を用いることで、SBD10に印加される応力が低減される。したがって、パワー半導体モジュール500の信頼性が向上する。

【0074】

以上、第5の実施形態によれば、第1の実施形態同様、内部インダクタンスが低減され、スイッチング損失の小さいパワー半導体モジュールの実現が可能となる。また、デバイス間の電流ばらつきが抑制され、信頼性の向上したパワー半導体モジュールの実現が可能となる。また、配線板から半導体チップへ直接作用する応力を緩和することにより、更に、パワー半導体モジュールの信頼性が向上する。

【0075】

(第6の実施形態)

第6の実施形態の半導体装置は、第1の配線板と第2の配線板が、外部端子を備えない点で、第1の実施形態と異なる。以下、第1の実施形態と重複する内容については、記述を省略する。

【0076】

図13は、第6の実施形態の半導体装置の模式上面図である。図13は、第1の実施形態の図2に対応する図である。

【0077】

第6の実施形態の半導体装置は、パワー半導体モジュール600である。パワー半導体モジュール600は、6個のショットキーバリアダイオード(SBD)が並列に接続されている。

【0078】

パワー半導体モジュール600は、アノード接続用ネジ固定部52、カソード接続用ネジ固定部54を備える。パワー半導体モジュール600は、例えば、モールド樹脂56に覆われ、アノード接続用ネジ固定部52、カソード接続用ネジ固定部54がモールド樹脂56表面に露出する。

【0079】

パワー半導体モジュール600によれば、例えば、アノード接続用ネジ固定部52、及び、カソード接続用ネジ固定部54に、低インダクタンスの積層配線構造バスバーを接続することで、低インダクタンスのパワー半導体モジュール回路が実現できる。

【0080】

(第7の実施形態)

第7の実施形態の半導体装置は、実装される半導体チップの数が異なる点で、第1の実

10

20

30

40

50

施形態と異なる。以下、第 1 の実施形態と重複する内容については、記述を省略する。

【 0 0 8 1 】

図 1 4 は、第 7 の実施形態の半導体装置の模式上面図である。

【 0 0 8 2 】

第 7 の実施形態の半導体装置は、パワー半導体モジュール 7 0 0 である。パワー半導体モジュール 7 0 0 は、2 4 個のショットキーバリアダイオード (S B D) が並列に接続されている。

【 0 0 8 3 】

パワー半導体モジュール 7 0 0 は、4 つのユニット U 1、U 2、U 3、U 4 を有する。それぞれのユニットが、第 1 の実施形態のパワー半導体モジュール 1 0 0 と同様の構成で、S B D を 6 個ずつ有する。

10

【 0 0 8 4 】

以上、第 7 の実施形態によれば、第 1 の実施形態同様、内部インダクタンスが低減され、スイッチング損失の小さいパワー半導体モジュールの実現が可能となる。また、デバイス間の電流ばらつきが抑制され、信頼性の向上したパワー半導体モジュールの実現が可能となる。また、半導体チップの数が増えることで、大電流を流すことが可能となる。

【 0 0 8 5 】

第 1 ないし第 7 の実施形態では、半導体チップが、6 個又は 2 4 個、実装される場合を例に説明したが、半導体チップの数は、6 個又は 2 4 個に限定されるものではない。

【 0 0 8 6 】

20

第 1 ないし第 7 の実施形態では、半導体チップとして S B D を用いる場合を例に説明したが、半導体チップはこれらに限定されるものではない。例えば、M O S F E T、I G B T、P I N ダイオードなど、その他のトランジスタやダイオードを適用することも可能である。また、トランジスタとダイオードの組み合わせを適用することも可能である。

【 0 0 8 7 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

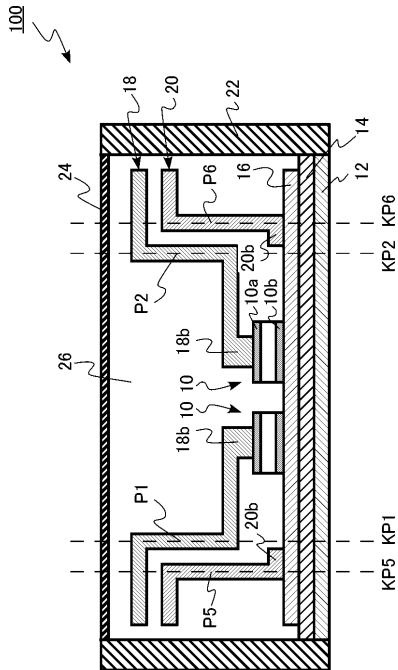
【 符号の説明 】

【 0 0 8 8 】

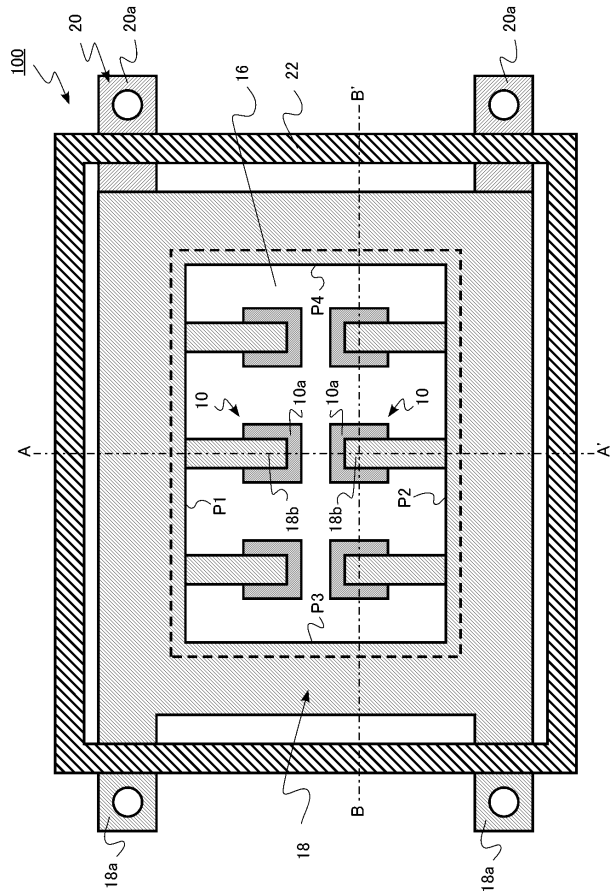
1 0	S B D (半導体チップ)	
1 0 a	アノード電極 (上部電極)	
1 0 b	カソード電極 (下部電極)	
1 4	絶縁基板 (基板)	
1 6	金属層	
1 8	アノード配線板 (第 1 の配線板)	40
2 0	カソード配線板 (第 2 の配線板)	
1 8 b	アノード接続部 (接続部)	
4 0	誘電体層	
4 4	スリット	
4 6	ボンディングワイヤ	
1 0 0	パワー半導体モジュール (半導体装置)	
2 0 0	パワー半導体モジュール (半導体装置)	
3 0 0	パワー半導体モジュール (半導体装置)	
4 0 0	パワー半導体モジュール (半導体装置)	
5 0 0	パワー半導体モジュール (半導体装置)	50

- 6 0 0 パワー半導体モジュール (半導体装置)
- 7 0 0 パワー半導体モジュール (半導体装置)
- P 1 第 1 の板状部
- P 2 第 2 の板状部
- P 3 第 3 の板状部
- P 4 第 4 の板状部
- P 5 第 5 の板状部
- P 6 第 6 の板状部
- P 7 第 7 の板状部
- P 8 第 8 の板状部

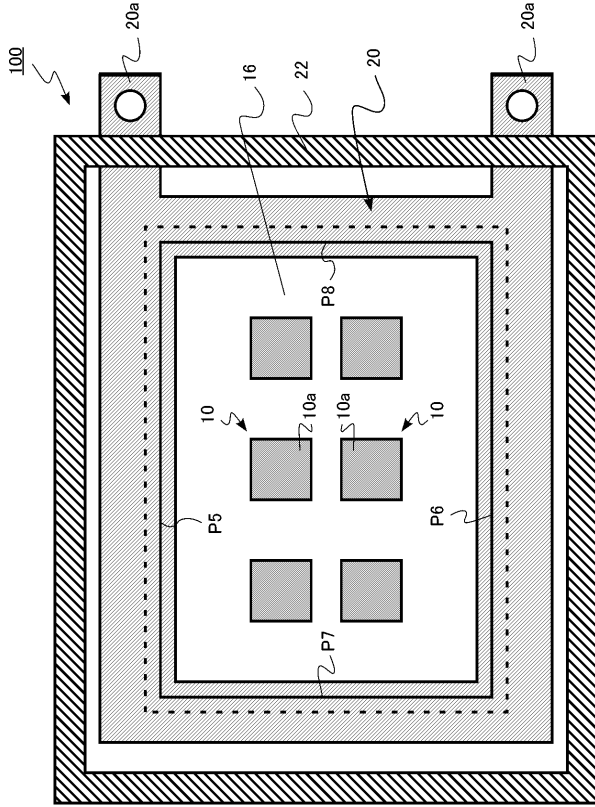
【図 1】



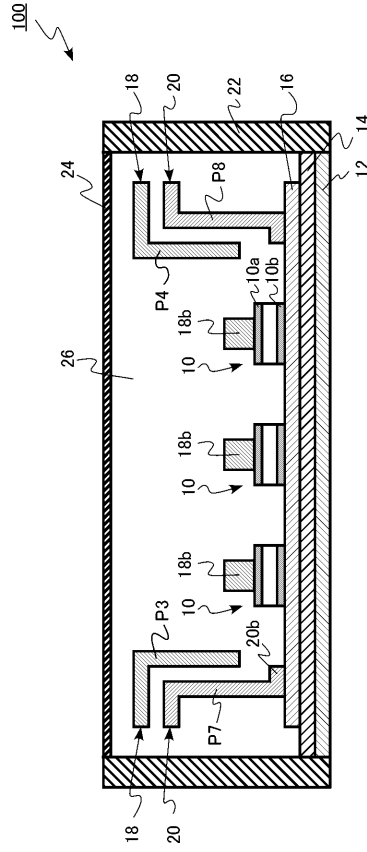
【図 2】



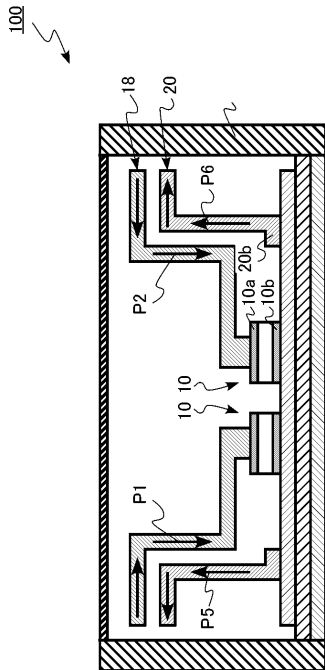
【 図 3 】



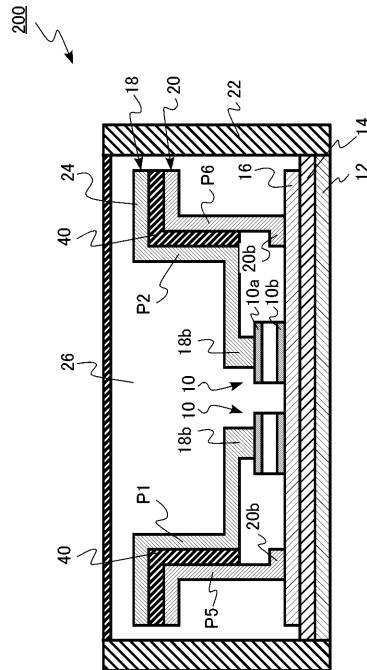
【 図 4 】

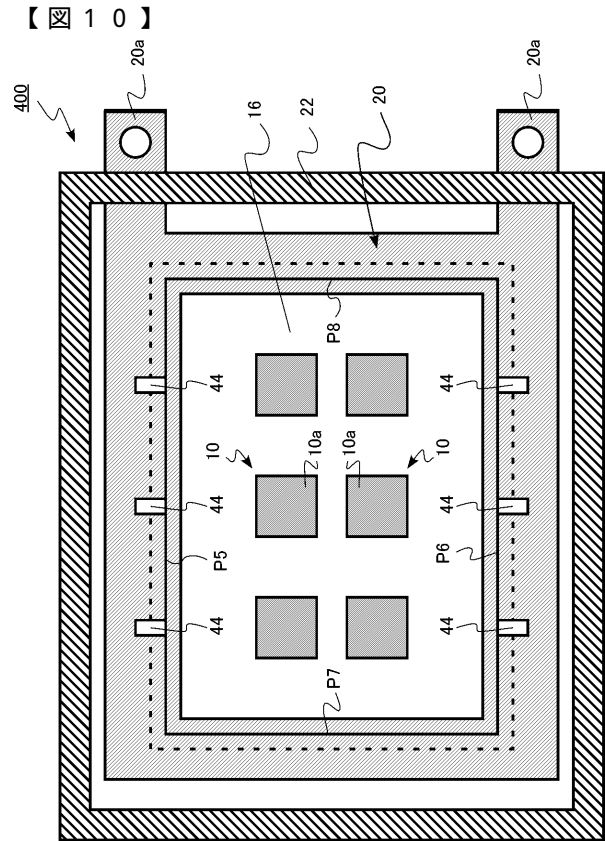
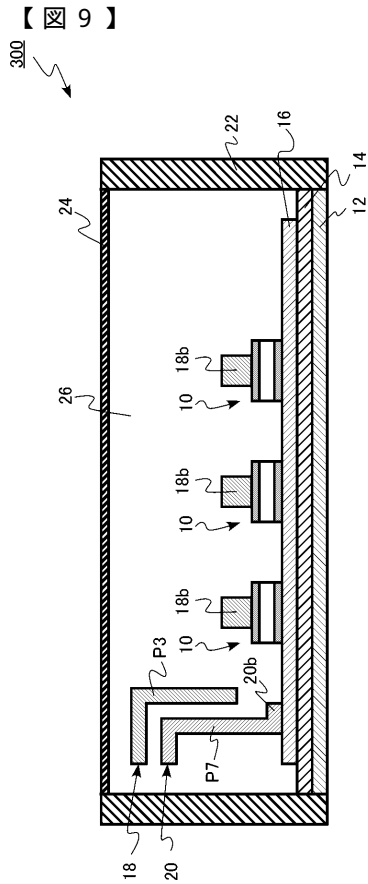
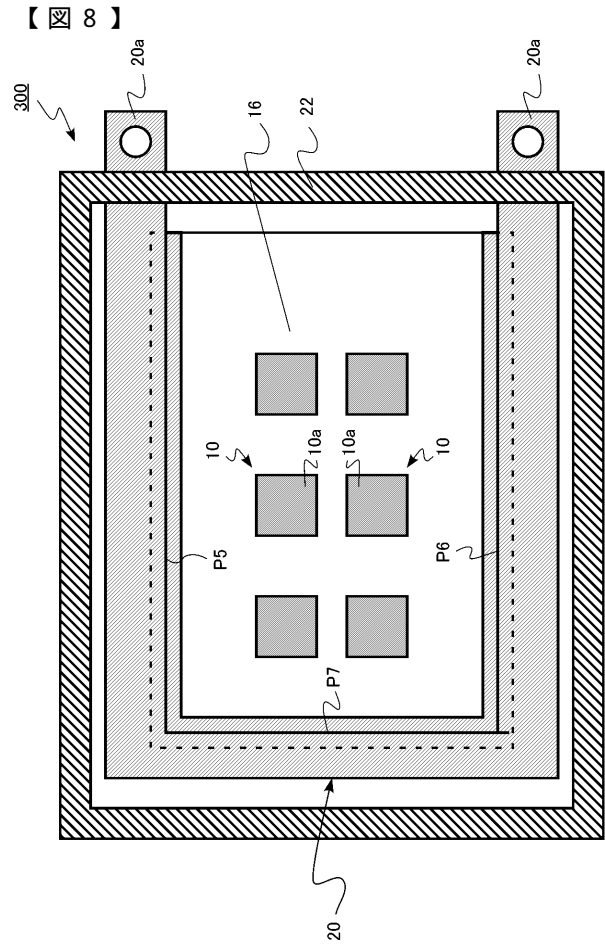
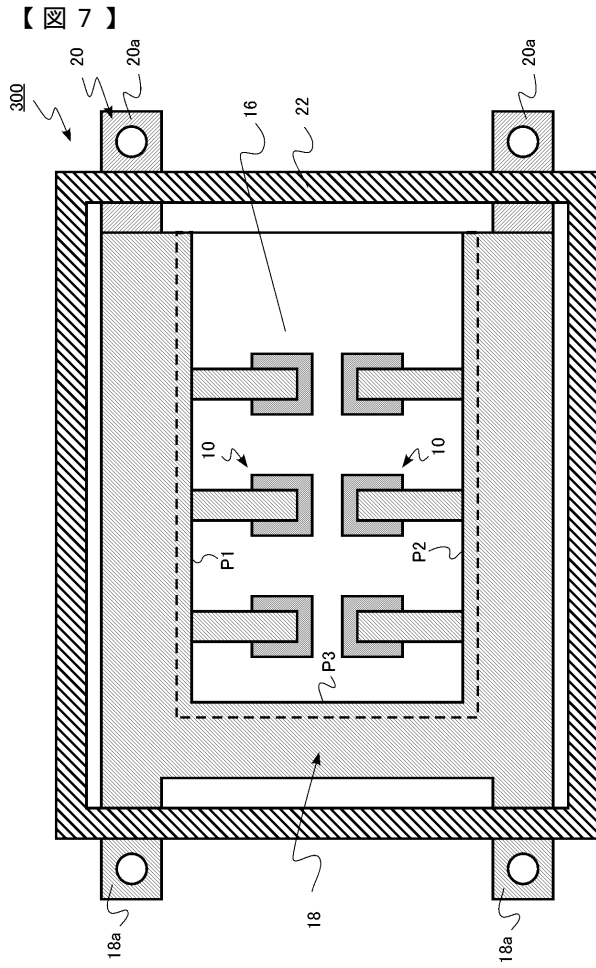


【 図 5 】

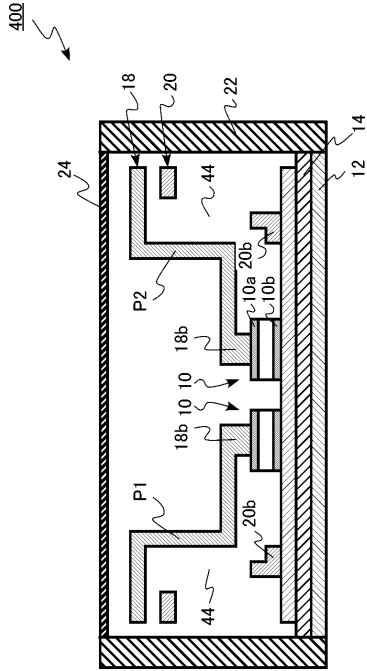


【 図 6 】

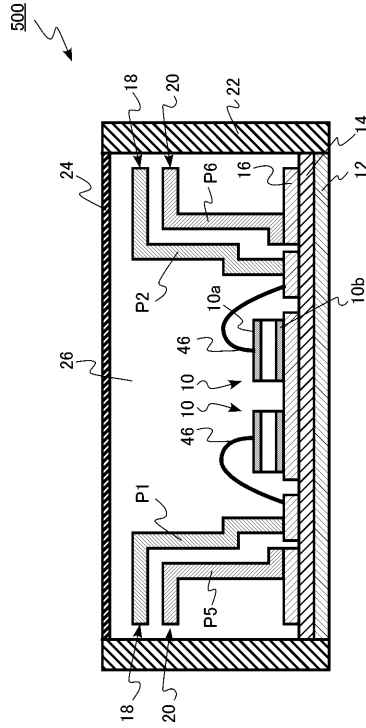




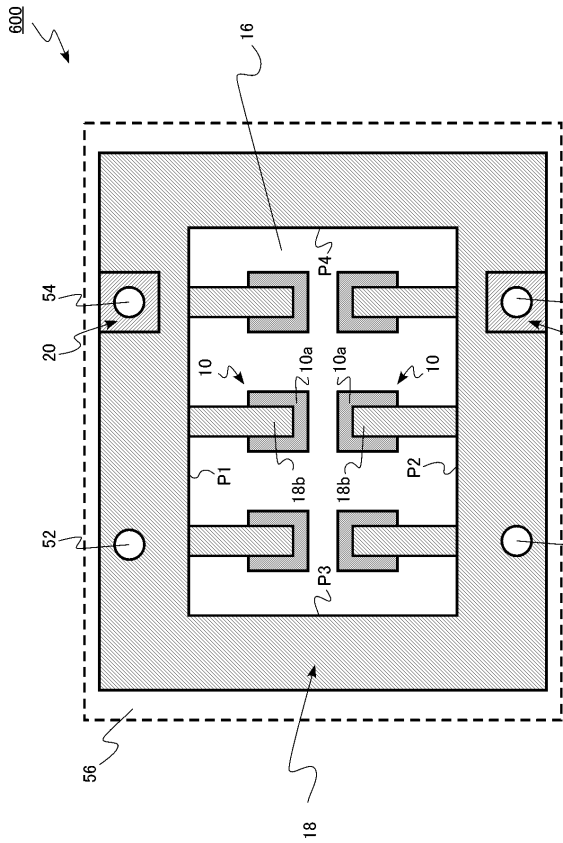
【図 1 1】



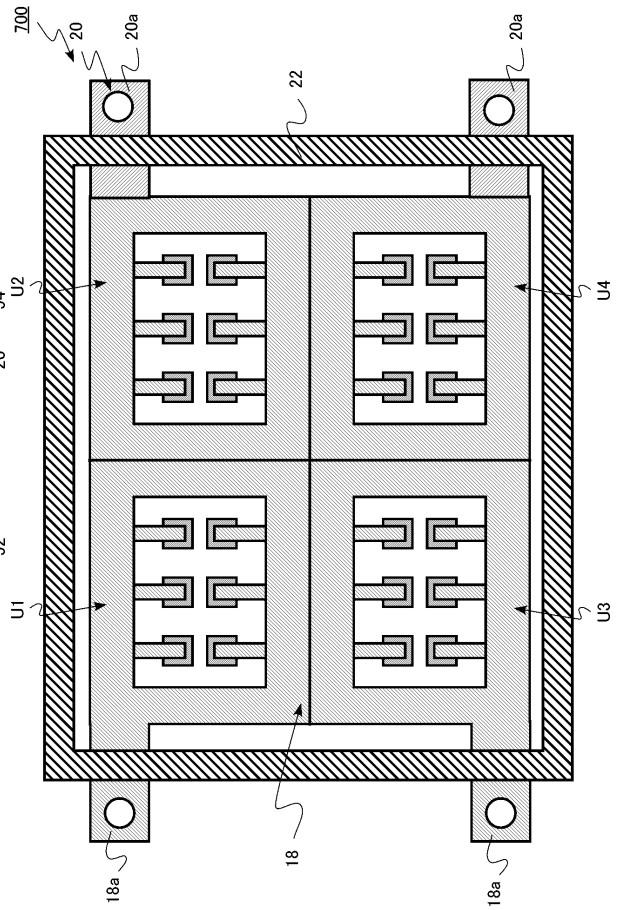
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

審査官 正山 旭

- (56)参考文献 特開2010-199628(JP,A)
特開2004-214452(JP,A)
特開2002-203941(JP,A)
特開2005-191233(JP,A)
米国特許出願公開第2014/0218871(US,A1)
特開2012-069884(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 25/07
H01L 25/18
H02M 7/48