

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-167187
(P2016-167187A)

(43) 公開日 平成28年9月15日 (2016.9.15)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 17/50 (2006.01)	G06F 17/50 664A	5B046
G06F 11/22 (2006.01)	G06F 17/50 664K	5B048
	G06F 17/50 672C	
	G06F 11/22 360H	
	G06F 11/22 330B	

審査請求 未請求 請求項の数 10 O L (全 27 頁)

(21) 出願番号 特願2015-46876 (P2015-46876)
(22) 出願日 平成27年3月10日 (2015.3.10)

(71) 出願人 00005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100072718
弁理士 古谷 史旺
(74) 代理人 100116001
弁理士 森 俊秀
(72) 発明者 稲垣 貴範
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
Fターム(参考) 5B046 AA08 JA05
5B048 AA01 AA20 DD17 DD18

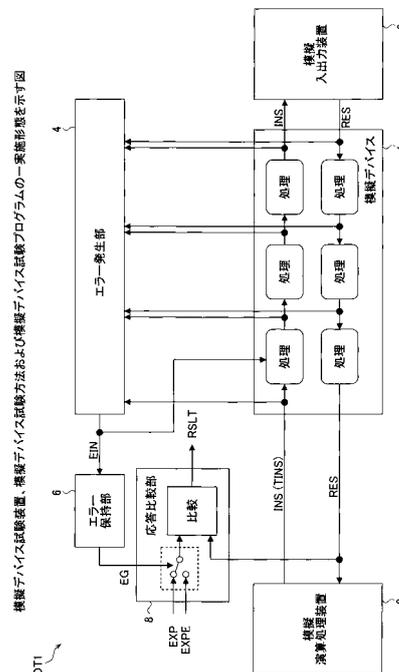
(54) 【発明の名称】 模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラム

(57) 【要約】

【課題】 複数の命令を順次転送し、転送した命令に対応する応答を受信するデバイスの動作の検証を、従来に比べて詳細に実行する。

【解決手段】 模擬演算処理装置から順次受信する複数の命令を模擬入出力装置に順次転送し、模擬入出力装置から順次受信する複数の応答を処理する模擬デバイスの動作を試験する模擬デバイス試験装置は、複数の命令と複数の応答との少なくともいずれかと、エラーの発生を指示する対象命令とを、模擬デバイスが所定の順序で受信した場合、模擬デバイスによる対象命令の処理の結果としてエラーを発生させるエラー発生部と、エラーを発生させたことを示すエラー発生情報を保持するエラー保持部と、模擬デバイスが受信した複数の応答のうち対象命令に対応する対象応答を、エラー保持部に保持したエラー発生情報に基づいて複数の期待値のいずれかと比較する応答比較部を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

演算処理装置の動作を模擬する模擬演算処理装置から順次受信する複数の命令を、入出力装置の動作を模擬する模擬入出力装置に順次転送し、前記模擬入出力装置に転送した複数の命令に対応して前記模擬入出力装置から順次受信する複数の応答を処理する模擬デバイスの動作を試験する模擬デバイス試験装置において、

前記複数の命令と前記複数の応答との少なくともいずれかと、エラーの発生を指示する対象命令とを、前記模擬デバイスが所定の順序で前記模擬演算処理装置から受信した場合、前記模擬デバイスによる前記対象命令の処理の結果として、エラーを発生させるエラー発生部と、

前記対象命令の処理の結果としてエラーを発生させたことを示すエラー発生情報を保持するエラー保持部と、

前記模擬デバイスが受信した複数の応答のうち前記対象命令に対応する対象応答を、前記エラー保持部に保持したエラー発生情報に基づいて複数の期待値のいずれかと比較する応答比較部を有する模擬デバイス試験装置。

【請求項 2】

前記エラー発生部は、

前記対象命令を示す対象命令情報を保持する第 1 の保持部と、

前記模擬デバイスが受信した複数の命令のいずれかが、前記第 1 の保持部が保持する対象命令情報に対応する対象命令であることを検出する第 1 の検出部と、

前記所定の順序を示す順序情報を保持する第 2 の保持部と、

前記模擬デバイスが受信した複数の命令と複数の応答との少なくとも 2 つの順序が、前記第 2 の保持部が保持する順序情報に対応する順序であることを検出する第 2 の検出部と

、
前記第 1 の検出部による検出と前記第 2 の検出部による検出とに基づいて、前記エラーを発生させる判定部を有することを特徴とする請求項 1 記載の模擬デバイス試験装置。

【請求項 3】

前記第 1 の保持部は、複数の前記対象命令をそれぞれ示す複数の前記対象命令情報を保持する複数の第 1 の記憶領域を有し、

前記第 1 の検出部は、前記模擬デバイスが受信した命令が、複数の前記第 1 の保持部が保持する複数の前記対象命令情報に対応する対象命令のいずれかであることを検出し、

前記第 2 の保持部は、前記第 1 の保持部に保持される複数の前記対象命令情報に対応して複数の前記順序情報をそれぞれ保持する複数の第 2 の記憶領域を有し、

前記第 2 の検出部は、前記模擬デバイスが受信した複数の命令と複数の応答との少なくとも 2 つの順序が、前記模擬デバイスが受信した前記対象命令に対応する第 2 の記憶領域に保持された順序情報に対応する順序であることを検出することを特徴とする請求項 2 記載の模擬デバイス試験装置。

【請求項 4】

前記エラー保持部は、前記第 1 の保持部に保持される複数の前記対象命令情報に対応して複数の前記エラー発生情報をそれぞれ保持する複数の第 3 の記憶領域を有することを特徴とする請求項 3 記載の模擬デバイス試験装置。

【請求項 5】

前記第 2 の検出部は、

前記模擬デバイスが順次に受信した複数の命令と複数の応答とを示す命令情報に基づいて、前記模擬デバイスが受信した複数の命令と複数の応答との少なくとも 2 つの順序を判定するデコード部と、

前記デコード部により判定された順序と、前記第 2 の記憶領域に保持された前記順序情報に対応する順序とを比較する順序比較部を有することを特徴とする請求項 2 または請求項 3 記載の模擬デバイス試験装置。

【請求項 6】

10

20

30

40

50

前記エラー発生部は、

前記第1の保持部が保持する対象命令情報と異なる対象命令情報を保持する第3の保持部と、

前記模擬デバイスが受信した複数の命令のいずれかが、前記第3の保持部が保持する対象命令情報が示す対象命令であることを検出する第3の検出部を有し、

前記判定部は、前記第1の検出部および前記第2の検出部による検出と、前記第3の検出部による検出とのいずれかに基づいて前記エラーを発生させる合成部を有することを特徴とする請求項2ないし請求項5のいずれか1項記載の模擬デバイス試験装置。

【請求項7】

テストシナリオにしたがって、前記模擬演算処理装置に命令を送信させるとともに、前記対象命令情報および前記順序情報を前記エラー発生部に出し、前記模擬デバイスが前記模擬入出力装置から受信する応答を参照するテストシナリオ実行部を有し、

前記応答比較部は、前記テストシナリオ実行部に含まれることを特徴とする請求項2ないし請求項6のいずれか1項記載の模擬デバイス試験装置。

【請求項8】

前記複数の命令は、前記模擬入出力装置にデータを書き込む書き込みパケットと、前記模擬入出力装置からデータを読み出す読み出しパケットとを含み、

前記複数の応答は、前記書き込みパケットに基づいて前記模擬入出力装置から送信される書き込み応答パケットと、前記読み出しパケットに基づいて前記模擬入出力装置から送信され、前記模擬入出力装置から読み出されるデータを含む読み出し応答パケットとを含み、

前記エラー発生部は、前記書き込みパケットに含まれるデータにエラーを発生させ、

前記応答比較部は、前記読み出し応答パケットに含まれるデータを前記複数の期待値のいずれかと比較することを特徴とする請求項7記載の模擬デバイス試験装置。

【請求項9】

演算処理装置の動作を模擬する模擬演算処理装置から順次受信する複数の命令を、入出力装置の動作を模擬する模擬入出力装置に順次転送し、前記模擬入出力装置に転送した複数の命令に対応して前記模擬入出力装置から順次受信する複数の応答を処理する模擬デバイスの動作を試験する模擬デバイス試験方法において、

情報処理装置が、

前記複数の命令と前記複数の応答との少なくともいずれかと、エラーの発生を指示する対象命令とを、前記模擬デバイスが所定の順序で前記模擬演算処理装置から受信した場合、前記模擬デバイスによる前記対象命令の処理の結果として、エラーを発生し、

前記対象命令の処理の結果としてエラーを発生したことを示すエラー発生情報をエラー保持部に保持し、

前記模擬デバイスが受信した複数の応答のうち前記対象命令に対応する対象応答を、前記エラー保持部に保持したエラー発生情報に基づいて複数の期待値のいずれかと比較することを特徴とする模擬デバイス試験方法。

【請求項10】

演算処理装置の動作を模擬する模擬演算処理装置から順次受信する複数の命令を、入出力装置の動作を模擬する模擬入出力装置に順次転送し、前記模擬入出力装置に転送した複数の命令に対応して前記模擬入出力装置から順次受信する複数の応答を処理する模擬デバイスの動作を試験する模擬デバイス試験プログラムにおいて、

情報処理装置に、

前記複数の命令と前記複数の応答との少なくともいずれかと、エラーの発生を指示する対象命令とを、前記模擬デバイスが所定の順序で前記模擬演算処理装置から受信した場合、前記模擬デバイスによる前記対象命令の処理の結果として、エラーを発生させ、

前記対象命令の処理の結果としてエラーを発生させたことを示すエラー発生情報をエラー保持部に保持させ、

前記模擬デバイスが受信した複数の応答のうち前記対象命令に対応する対象応答を、前

10

20

30

40

50

記エラー保持部に保持したエラー発生情報に基づいて複数の期待値のいずれかと比較させることを特徴とする模擬デバイス試験プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムに関する。

【背景技術】

【0002】

L S I (Large Scale Integration) 等のデバイスの性能や機能が增大するのに伴い、デバイスを搭載するシステムの性能や機能も増大してきており、不良が発生する要因が複雑化する傾向にある。これに伴い、デバイスの動作を検証する新たな手法が提案されている。

10

【0003】

例えば、バスを介して互いに接続された複数のデバイスを検証するシミュレータは、テストシナリオに記述されたシステムの状態に基づいてエラー発生手段にエラーを発生させ、エラーが発生したときの動作を検証する(例えば、特許文献1参照)。

【0004】

入出力デバイスを含むシステムの試験は、設定ファイルに設定されたタイミングまたはアドレス値などの所定の条件を満足する場合にエラーを発生する疑似の入出力デバイスを用いて実行される(例えば、特許文献2参照)。

20

【0005】

バスを介して情報を伝送する複数の回路の論理を検証するシミュレータは、バス上での伝送遅延および伝送エラーをバスモジュールに疑似的に発生させ、バスの特性を含めて論理を検証する(例えば、特許文献3参照)。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-58431号公報

【特許文献2】特開2003-44369号公報

30

【特許文献3】特開2012-22613号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

デバイスの内部で発生するエラーは、発生タイミングが互いに異なる複数の要因の組み合わせにより発生する場合があるが、この種のエラーをデバイスに発生させたときのデバイスの動作を検証する手法は提案されていない。

【0008】

1つの側面では、本件開示の模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムは、複数の命令を順次転送し、転送した命令に対応する応答を受信するデバイスの動作の検証を、従来に比べて詳細に実行することを目的とする。

40

【課題を解決するための手段】

【0009】

一つの観点によれば、演算処理装置の動作を模擬する模擬演算処理装置から順次受信する複数の命令を、入出力装置の動作を模擬する模擬入出力装置に順次転送し、模擬入出力装置に転送した複数の命令に対応して模擬入出力装置から順次受信する複数の応答を処理する模擬デバイスの動作を試験する模擬デバイス試験装置は、複数の命令と複数の応答との少なくともいずれかと、エラーの発生を指示する対象命令とを、模擬デバイスが所定の順序で模擬演算処理装置から受信した場合、模擬デバイスによる対象命令の処理の結果としてエラーを発生させるエラー発生部と、対象命令の処理の結果としてエラーを発生させ

50

たことを示すエラー発生情報を保持するエラー保持部と、模擬デバイスが受信した複数の応答のうち対象命令に対応する対象応答を、エラー保持部に保持したエラー発生情報に基づいて複数の期待値のいずれかと比較する応答比較部を有する。

【0010】

別の観点によれば、演算処理装置の動作を模擬する模擬演算処理装置から順次受信する複数の命令を、入出力装置の動作を模擬する模擬入出力装置に順次転送し、模擬入出力装置に転送した複数の命令に対応して模擬入出力装置から順次受信する複数の応答を処理する模擬デバイスの動作を試験する模擬デバイス試験方法では、情報処理装置が、複数の命令と複数の応答との少なくともいずれかと、エラーの発生を指示する対象命令とを、模擬デバイスが所定の順序で模擬演算処理装置から受信した場合、模擬デバイスによる対象命令の処理の結果として、エラーを発生し、対象命令の処理の結果としてエラーを発生したことを示すエラー発生情報をエラー保持部に保持し、模擬デバイスが受信した複数の応答のうち対象命令に対応する対象応答を、エラー保持部に保持したエラー発生情報に基づいて複数の期待値のいずれかと比較する。

10

【0011】

さらなる別の観点によれば、演算処理装置の動作を模擬する模擬演算処理装置から順次受信する複数の命令を、入出力装置の動作を模擬する模擬入出力装置に順次転送し、模擬入出力装置に転送した複数の命令に対応して模擬入出力装置から順次受信する複数の応答を処理する模擬デバイスの動作を試験する模擬デバイス試験プログラムにおいて、情報処理装置に、複数の命令と複数の応答との少なくともいずれかと、エラーの発生を指示する対象命令とを、模擬デバイスが所定の順序で模擬演算処理装置から受信した場合、模擬デバイスによる対象命令の処理の結果として、エラーを発生させ、対象命令の処理の結果としてエラーを発生させたことを示すエラー発生情報をエラー保持部に保持させ、模擬デバイスが受信した複数の応答のうち対象命令に対応する対象応答を、エラー保持部に保持したエラー発生情報に基づいて複数の期待値のいずれかと比較させる。

20

【発明の効果】

【0012】

本件開示の模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムは、複数の命令を順次転送し、転送した命令に対応する応答を受信するデバイスの動作の検証を、従来に比べて詳細に実行することができる。

30

【図面の簡単な説明】

【0013】

【図1】模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの一実施形態を示す図である。

【図2】模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの別の実施形態を示す図である。

【図3】図2に示す対象デバイスの一例を示す図である。

【図4】図2に示すエラー生成部の一例を示す図である。

【図5】図4に示すデコード部の一例を示す図である。

【図6】図4に示すエラー生成部の動作の一例を示す図である。

40

【図7】図2に示すテストシナリオ実行部の応答比較部の動作の一例を示す図である。

【図8】図2に示すテストシナリオ実行部が実行するテストシナリオの一例を示す図である。

【図9】図2に示すテストシナリオ実行部が実行するテストシナリオの別の例を示す図である。

【図10】図2に示すテストシナリオ実行部が実行するテストシナリオの別の例を示す図である。

【図11】図2に示す模擬デバイス試験装置として動作する情報処理装置の一例を示す図である。

【図12】模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラ

50

ラムの別の実施形態を示す図である。

【図 1 3】図 1 2 に示す対象デバイスの一例を示す図である。

【図 1 4】図 1 2 に示すエラー生成部の一例を示す図である。

【図 1 5】模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの別の実施形態を示す図である。

【図 1 6】図 1 5 に示すエラー生成部の一例を示す図である。

【発明を実施するための形態】

【0014】

以下、図面を用いて実施形態を説明する。

【0015】

10

図 1 は、模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの一実施形態を示す。図 1 に示す模擬デバイス試験装置 DT 1 は、LSI 等の動作を模擬する模擬デバイス 1 を用いて LSI 等の動作を検証する。模擬デバイス 1 は、演算処理装置の動作を模擬する模擬演算処理装置 2 から順次受信する複数の命令 INS を、入出力装置の動作を模擬する模擬入出力装置 3 に順次転送する。また、模擬デバイス 1 は、模擬入出力装置 3 に転送した複数の命令 INS に対応して模擬入出力装置 3 から順次受信する複数の応答 RES を処理する。模擬デバイス 1 は、処理した応答 RES を命令 INS の送信元である模擬演算処理装置 2 に送信してもよい。図 1 では、模擬デバイス 1 は、1 つの命令 INS に対する 3 回の処理および 1 つの応答 RES に対する 3 回の処理の各々を、1 サイクルで実行する。なお、模擬デバイス 1 が 1 つの命令 INS を処理する回数および模擬デバイス 1 が 1 つの応答 RES を処理する回数は、図 1 に示す 3 回に限定されない。例えば、模擬デバイス 1 が命令 INS に対して実行する処理では、命令 INS の実体は変更されず、命令 INS に含まれる情報が抽出され、または命令 INS へ情報が追加される。同様に、模擬デバイス 1 が応答 RES に対して実行する処理では、応答 RES の実体は変更されず、応答 RES に含まれる情報が抽出され、または応答 RES へ情報が追加される。

20

【0016】

例えば、模擬デバイス試験装置 DT 1 は、模擬デバイス 1 の動作を検証する模擬デバイス試験プログラムを情報処理装置等により実行することで、模擬デバイス試験方法を実現する。模擬デバイス 1 は、模擬デバイス 1 により模擬される LSI 等の回路記述等の設計データにより表される。模擬演算処理装置 2 は、演算処理装置の機能のうち、命令 INS を送信し、応答 RES を受信する機能を含み、模擬入出力装置 3 は、情報を入出力する機能のうち命令 INS を受信し、応答 RES を送信する機能を含む。なお、模擬デバイス試験装置 DT 1 は、ハードウェアにより実現されてもよい。模擬デバイス 1、模擬演算処理装置 2 および模擬入出力装置 3 の少なくともいずれかは、実際のデバイスが使用されてもよい。また、模擬デバイス 1 には、模擬演算処理装置 2 および模擬入出力装置 3 以外の模擬装置が接続されてもよい。

30

【0017】

模擬デバイス試験装置 DT 1 は、エラー発生部 4、エラー保持部 6 および応答比較部 8 を有する。エラー発生部 4 は、複数の命令 INS と複数の応答 RES との少なくともいずれかと、エラーの発生を指示する対象命令 TINS とを、模擬デバイス 1 が所定の順序で模擬演算処理装置 2 から受信した場合、発生情報 EIN を出力する。発生情報 EIN は、模擬デバイス 1 による対象命令 TINS の処理の結果として発生するエラーを示し、模擬デバイス 1 およびエラー保持部 6 に出力される。模擬デバイス 1 は、発生情報 EIN に基づいて対象命令 TINS にエラーを発生させる。

40

【0018】

例えば、エラー発生部 4 は、対象命令 TINS を受信する 2 サイクル前に、所定の命令 INS を受信した場合、発生情報 EIN を出力する。あるいは、エラー発生部 4 は、対象命令 TINS を受信する 1 サイクル前に、所定の命令 INS に対応する応答 RES を受信した場合、発生情報 EIN を出力する。すなわち、エラー発生部 4 は、模擬デバイス 1 が

50

処理する対象命令 T I N S と他の命令と応答との組み合わせに基づいて、発生情報 E I N を出力する。一方、エラー発生部 4 は、複数の命令 I N S と複数の応答 R E S との少なくともいずれかと、エラーの発生が指示された対象命令 T I N S とを、模擬デバイス 1 が所定の順序で受信しない場合、発生情報 E I N を出力しない。

【 0 0 1 9 】

なお、エラー発生部 4 は、応答 R E S を参照することなく、対象命令 T I N S を含む複数の命令 I N S を模擬デバイス 1 が所定の順序で受信した場合、発生情報 E I N を出力してもよい。また、エラー発生部 4 は、模擬デバイス 1 が処理している対象命令 T I N S に含まれる情報を取り出し、取り出した情報にエラーを発生させ、エラーを発生させた情報を模擬デバイス 1 が処理している対象命令 T I N S に戻してもよい。すなわち、エラーは、エラー発生部 4 の内部で発生されてもよい。

10

【 0 0 2 0 】

エラー保持部 6 は、発生情報 E I N の受信に基づいて、対象命令 T I N S の処理の結果としてエラーを発生させたことを示すエラー発生情報 E G を保持し、保持しているエラー発生情報 E G を応答比較部 8 に出力する。

【 0 0 2 1 】

応答比較部 8 は、対象命令 T I N S の処理の結果としてエラーを発生させたことを示すエラー発生情報 E G を受信した場合、対象命令 T I N S に対応して模擬デバイス 1 が受信した応答 R E S である対象応答を、エラーを発生させた場合の期待値 E X P E と比較する。一方、応答比較部 8 は、エラー発生情報 E G を受信しない場合、対象命令 T I N S に対応して模擬デバイス 1 が受信した対象応答を、エラーを発生させない場合の期待値 E X P と比較する。

20

【 0 0 2 2 】

そして、応答比較部 8 は、応答 R E S と期待値 E X P E とが一致する場合、または応答 R E S と期待値 E X P とが一致する場合、模擬デバイス 1 が正しく動作したことを示す検証結果 R S L T を出力する。一方、応答比較部 8 は、応答 R E S と期待値 E X P E とが一致しない場合、または応答 R E S と期待値 E X P とが一致しない場合、模擬デバイス 1 が正しく動作しなかったことを示す検証結果 R S L T を出力する。すなわち、模擬デバイス試験装置 D T 1 による模擬デバイス 1 の動作の検証（模擬デバイス試験方法）が実行される。

30

【 0 0 2 3 】

以上、図 1 に示す実施形態では、全ての対象命令 T I N S にエラーを発生させて期待値 E X P E と比較するのではなく、対象命令 T I N S を受信した場合に模擬デバイス 1 が処理している命令または応答に基づいて、エラーの発生の有無を選択することができる。この結果、複数の命令 I N S を順次転送し、転送した命令 I N S に対応して順次受信する複数の応答 R E S を処理する模擬デバイス 1 の動作の検証を、従来に比べて複雑な条件を指定して実行することができ、詳細な検証を実行することができる。

【 0 0 2 4 】

エラーを発生させたか否かを示すエラー発生情報 E G をエラー保持部 6 に保持させることで、2つの期待値 E X P 、 E X P E のいずれかを用いて、エラーを発生させた場合とエラーを発生させなかった場合の両方の検証を実行することができる。これにより、1つの期待値を用いて検証を実行する場合に比べて、検証の効率を向上することができる。

40

【 0 0 2 5 】

図 2 は、模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの別の実施形態を示す。例えば、図 2 に示す模擬デバイス試験装置 D T 2 は、対象デバイス 1 0 の論理を検証する模擬デバイス試験プログラムを実行する情報処理装置により実現される。模擬デバイス試験プログラムを実行する情報処理装置は、シミュレータとして機能し、対象デバイス 1 0 の論理を検証する模擬デバイス試験方法に基づく動作を実行する。模擬デバイス試験装置 D T 2 を実現する情報処理装置の例は、図 1 1 に示される。

【 0 0 2 6 】

50

模擬デバイス試験装置DT2は、試験の対象である対象デバイス10と、バスBUS1を介して対象デバイス10に接続される疑似デバイス20と、バスBUS2を介して対象デバイス10に接続される疑似デバイス30とを有する。また、模擬デバイス試験装置DT2は、対象デバイス10にエラーを発生させる発生情報EINを生成するエラー生成部40と、テストシナリオ52を実行し、対象デバイス10の論理を検証するテストシナリオ実行部50とを有する。

【0027】

対象デバイス10は、バスBUS1を介して疑似デバイス20から受信するパケットP11を処理し、パケットP12としてバスBUS2を介して疑似デバイス30に転送する機能を有する。また、対象デバイス10は、バスBUS2を介して疑似デバイス20から受信するパケットP21を処理し、パケットP22としてバスBUS1を介して疑似デバイス20に転送する機能を有する。例えば、バスBUS1、BUS2は、PCI (Peripheral Component Interconnect) バスまたはPCI express (登録商標) バスである。パケットP11、P12、P21、P22は、PCIまたはPCIeの規格にしたがってバスBUS1、BUS2上に伝送される。なお、バスBUS1、BUS2は、他のバス規格でもよい。

10

【0028】

疑似デバイス20は、CPU (Central Processing Unit) 等の演算処理装置の機能のうち、バスBUS1にパケットP11を送信する機能と、バスBUS1からパケットP22を受信する機能とを含む。疑似デバイス20は、テストシナリオ実行部50から出力されるテストパターンTPにしたがって動作する。

20

【0029】

疑似デバイス30は、疑似デバイス20 (CPU等の演算処理装置) により動作が制御される入出力装置等の周辺装置の機能のうち、バスBUS2からパケットP12を受信する機能と、バスBUS2にパケットP21を送信する機能とを含む。すなわち、疑似デバイス20は、CPUの機能のうち、対象デバイス10とのインタフェース機能を含み、疑似デバイス30は、CPUにより制御される入出力装置の機能のうち、対象デバイス10とのインタフェース機能を含む。対象デバイス10は、疑似デバイス20から順次受信する複数の命令を疑似デバイス30に転送し、疑似デバイス30から順次受信する複数の応答を処理する模擬デバイスの一例である。疑似デバイス20は、演算処理装置の動作を模擬する模擬演算処理装置の一例であり、疑似デバイス30は、入出力装置の動作を模擬する模擬入出力装置の一例である。

30

【0030】

疑似デバイス20が送信したパケットP11に回答して疑似デバイス30がパケットP21を返送する場合、パケットP21、P22は、回答パケットとして扱われる。この場合、パケットP11、P12は、命令の一例であり、パケットP21、P22は、命令P11、P12に対応する応答の一例である。また、疑似デバイス30が送信したパケットP21に回答して疑似デバイス20がパケットP11を返送する場合、パケットP11、P12は、回答パケットとして扱われる。

【0031】

例えば、対象デバイス10は、CPUと入出力装置との間に接続されるスイッチの機能を有し、スイッチの回路記述等の設計データにより表される。なお、対象デバイス10は、CPUと入出力装置との間に接続されるブリッジの機能を有してもよい。そして、模擬デバイス試験装置DT2は、CPUと入出力装置との間に接続されるスイッチまたはブリッジの論理を検証する。対象デバイス10とのインタフェース機能を含む疑似デバイス20、30を用いることで、バスBUS1、BUS2を介してCPUおよび入出力装置に接続されるスイッチの論理を、システムレベルで検証することができる。

40

【0032】

エラー生成部40は、エラーを発生させるパケットP11を識別する識別番号PIDsと、パケットP11にエラーを発生させる条件を識別する識別番号CIDsとをテストシ

50

ナリオ実行部 50 から受信する。識別番号 P I D s により識別されるパケット P 1 1 は、エラーの発生が指示された対象命令の一例である。識別番号 C I D s は、複数のパケット P 1 1 と複数の応答パケット P 2 1 との少なくともいずれかと、識別番号 P I D s により示されるパケット P 1 1 とが、対象デバイス 10 に供給される順序を示す順序情報の一例である。換言すれば、識別番号 C I D s は、エラーを発生させる条件であるパケット P 1 1、P 2 1 の組み合わせを示す。識別番号 C I D s により示されるパケット P 1 1、P 2 1 の組み合わせの例は、図 5 に示される。

【 0 0 3 3 】

エラー生成部 40 は、対象デバイス 10 が受信したパケット P 1 1 を識別する識別番号 P I D と、対象デバイス 10 内で順次処理される複数のパケット P 1 1、P 2 1 の種別を示す種別情報 P T Y P とを、対象デバイス 10 から受信する。エラー生成部 40 は、種別情報 P T Y P に基づいて、対象デバイス 10 が処理している複数のパケット P 1 1、P 2 1 の組み合わせを示す識別番号 C I D (図 4) を生成する。

10

【 0 0 3 4 】

エラー生成部 40 は、識別番号 P I D が識別番号 P I D s と一致する場合、パケット P 1 1 にエラーを発生させる発生情報 E I N を対象デバイス 10 に出力する。あるいは、エラー生成部 40 は、識別番号 P I D が識別番号 P I D s と一致し、かつ種別情報 P T Y P に対応する識別番号 C I D が識別番号 C I D s と一致する場合、発生情報 E I N を対象デバイス 10 に出力する。発生情報 E I N を出力する条件は、図 4 で説明される。対象デバイス 10 は、発生情報 E I N に基づいて、パケット P 1 1 にエラーを埋め込み、パケット P 1 2 として疑似デバイス 30 に送信する。すなわち、エラー生成部 40 は、対象デバイス 10 が処理しているパケット P 1 1 のうち識別番号 P I D s により識別されるパケット P 1 1 にエラーを挿入する。エラー生成部 40 は、発生情報 E I N の出力に基づいて、エラーが埋め込まれたことを示すエラー発生情報 E G をテストシナリオ実行部 50 に出力する。

20

【 0 0 3 5 】

疑似デバイス 30 は、受信したパケット P 1 2 に基づいて内部処理を実行し、内部処理の実行結果を示すパケット P 2 1 (応答パケット) を対象デバイス 10 に送信する。対象デバイス 10 は、パケット P 2 1 を処理し、パケット P 2 2 として疑似デバイス 20 に送信する。

30

【 0 0 3 6 】

なお、種別情報 P T Y P は、対象デバイス 10 内で順次保持される疑似デバイス 20 からの複数のパケット P 1 1 の種別だけでなく、対象デバイス 10 内で順次保持される疑似デバイス 30 からの複数の応答パケット P 2 1 の種別を示してもよい。この場合、テストシナリオ実行部 50 は、疑似デバイス 20 から対象デバイス 10 に送信されるパケット P 1 1 と、疑似デバイス 30 から対象デバイス 10 に送信される応答パケット P 2 1 との組み合わせを示す識別番号 C I D s をエラー生成部 40 に送信する。エラー生成部 40 は、種別情報 P T Y P に基づいて、対象デバイス 10 が保持している複数のパケット P 1 2、P 2 1 の組み合わせを示す識別番号 C I D を生成し、識別番号 C I D、C I D s の一致を判定する。

40

【 0 0 3 7 】

テストシナリオ実行部 50 は、テストシナリオ 52 にしたがって、疑似デバイス 20 を動作させるテストパターン T P を疑似デバイス 20 に出力するとともに、識別番号 P I D s、C I D s をエラー生成部 40 に出力する。テストシナリオ実行部 50 は、識別番号 C I D s を指定せずに識別番号 P I D s を指定してパケット P 1 1 にエラーを埋め込む場合、エラー発生情報 E G に拘わらず、応答パケット P 2 2 に含まれる情報 C P L と期待値とを応答比較部 54 に比較させる。エラーが埋め込まれたパケット P 1 1 に対応する応答パケット P 2 2 は、対象応答の一例である。

【 0 0 3 8 】

一方、テストシナリオ実行部 50 は、識別番号 P I D s とともに識別番号 C I D s (エ

50

ラーの発生条件)を指定してパケットP11にエラーを埋め込む場合、エラー発生情報EGに基づいた比較を応答比較部54に実行させる。すなわち、応答比較部54は、応答パケットP22に含まれる情報CPLを2つの期待値のいずれかと比較する。応答比較部54の動作の例は、図7に示され、テストシナリオ実行部50が実行するテストシナリオ52の例は、図8から図10に示される。

【0039】

図3は、図2に示す対象デバイス10の一例を示す。対象デバイス10は、パケットP11を順次処理してパケットP12を生成する処理部STGA(STGA0、STGA1、STGA2)を有する。また、対象デバイス10は、パケットP21を順次処理してパケットP22を生成する処理部STGB(STGB0、STGB1、STGB2)を有する。各処理部STGA、STGBは、受信したパケットに含まれる情報を抽出または削除し、あるいは、受信したパケットに情報を追加する機能を有する。

10

【0040】

さらに、処理部STGA0は、疑似デバイス20から受信するパケットP11に含まれる識別番号PIDを抽出し、抽出した識別番号PIDを図2に示すエラー生成部40に出力する機能を有する。また、処理部STGA0は、エラー生成部40から発生情報EINを受けた場合に、パケットP11に含まれる情報にエラーを埋め込む機能を有する。なお、エラーを埋め込む機能は、処理部STGA1または処理部STGA2に設けられてもよい。エラーを発生させる機能を処理部STGA1または処理部STGA2に設けることで、識別番号PIDに対応するパケットP11の後に対象デバイス10に供給されるパケットP11を、エラーの発生条件に含めることができる。

20

【0041】

各処理部STGAは、処理するパケットP11が書き込みパケットの場合、パケット情報WRA(WRA0、WRA1、WRA2)を種別情報PTYPとして出力する。各処理部STGAは、処理するパケットP11が読み出しパケットの場合、パケット情報RDA(RDA0、RDA1、RDA2)を種別情報PTYPとして出力する。書き込みパケットは、疑似デバイス20が疑似デバイス30の所定の領域にデータを書き込む場合に生成され、読み出しパケットは、疑似デバイス20が疑似デバイス30の所定の領域からデータを読み出す場合に生成される。

30

【0042】

また、各処理部STGAは、処理するパケットP11が、書き込みパケットに回答する応答パケットまたは読み出しパケットに回答する応答パケットの場合、パケット情報CPLA(CPLA0、CPLA1、CPLA2)を種別情報PTYPとして出力する。応答パケットは、書き込みパケットまたは読み出しパケットを受信した疑似デバイス30により生成され、読み出しパケットに回答する応答パケットは、読み出しデータを含む。

【0043】

各処理部STGBは、処理するパケットP21が書き込みパケットの場合、パケット情報WRB(WRB0、WRB1、WRB2)を種別情報PTYPとして出力する。各処理部STGBは、処理するパケットP21が読み出しパケットの場合、パケット情報RDB(RDB0、RDB1、RDB2)を種別情報PTYPとして出力する。また、各処理部STGBは、処理するパケットP21が、書き込みパケットに回答する応答パケットまたは読み出しパケットに回答する応答パケットの場合、パケット情報CPLB(CPLB0、CPLB1、CPLB2)を種別情報PTYPとして出力する。

40

【0044】

なお、処理部STGA、STGBの数は、3つに限定されず、各処理部STGA、STGBが出力するパケット情報の種類は、3種類に限定されない。

【0045】

図4は、図2に示すエラー生成部40の一例を示す。エラー生成部40は、バッファBUF1、BUF2、BUF3、BUF4、複数の比較部CMP1、複数の比較部CMP2、判定部JDG1、JDG2および合成部COMを有する。バッファBUF1、BUF2

50

、 B U F 3、複数の比較部 C M P 1、複数の比較部 C M P 2 および判定部 J D G 1 は、対象デバイス 10 内で処理されるパケット P 1 1 の処理の結果としてエラーを発生させるエラー発生部の一例である。バッファ B U F 1 は、第 3 の保持部の一例であり、バッファ B U F 2 は、第 1 の保持部の一例であり、バッファ B U F 3 は、第 2 の保持部の一例であり、バッファ B U F 4 は、エラー保持部の一例である。各比較部 C M P 1 は、第 3 の検出部の一例であり、各比較部 C M P 2 は、第 1 の検出部の一例であり、比較部 C M P 3 は、順序比較部の一例である。判定部 J D G 1 は、第 2 の検出部の一例である。

【 0 0 4 6 】

バッファ B U F 1 は、図 2 に示すテストシナリオ実行部 5 0 から出力される識別番号 P I D s が順次格納される複数の記憶領域を有し、格納された識別番号 P I D s を、複数の記憶領域にそれぞれ対応する比較部 C M P 1 に出力する。識別番号 P I D s は、テストシナリオ実行部 5 0 が実行するテストシナリオ 5 2 に基づいてテストシナリオ実行部 5 0 により生成される。複数の比較部 C M P 1 は、バッファ B U F 1 の記憶領域のそれぞれに対応して設けられる。比較部 C M P 1 の各々は、対象デバイス 10 からの識別番号 P I D と、バッファ B U F 1 からの識別番号 P I D s との一致を検出する。各比較部 C M P 1 は、識別番号 P I D を表す複数ビットの各ビットと、バッファ B U F 1 から出力される識別番号 P I D s を表す複数ビットの各ビットとの否排他的論理和を演算することで、識別番号 P I D、P I D s の一致を検出する。各比較部 C M P 1 は、識別番号 P I D、P I D s が互いに一致する場合、合成部 C O M に論理 1 を出力する。

10

【 0 0 4 7 】

図 4 に示す例では、識別番号 P I D が、バッファ B U F 1 の記憶領域の 1 つに格納された " 1 " である場合、比較部 C M P 1 の 1 つは、合成部 C O M に論理 1 を出力する。合成部 C O M は、判定部 J D G 2 または比較部 C M P 1 のいずれかから論理 1 を受けた場合、パケット P 1 1 にエラーを埋め込むために、対象デバイス 10 に発生情報 E I N を出力する。合成部 C O M は、判定部 J D G 2 および比較部 C M P 1 の両方から論理 0 を受けた場合、パケット P 1 1 にエラーを埋め込まないために、対象デバイス 10 への発生情報 E I N の出力を抑止する。合成部 C O M により、バッファ B U F 1 に保持された情報、またはバッファ B U F 2、B U F 3 に保持された情報に基づいて、パケット P 1 1 にエラーを埋め込むことができる。すなわち、パケット P 1 1 の順序の条件を含む場合と含まない場合の両方において、パケット P 1 1 にエラーを埋め込むことができ、様々な条件を用いて、対象デバイス 10 の論理を検証することができる。

20

30

【 0 0 4 8 】

バッファ B U F 2 は、テストシナリオ実行部 5 0 から出力される識別番号 P I D s が順次格納される複数の記憶領域を有し、格納された識別番号 P I D s を、複数の記憶領域にそれぞれ対応する比較部 C M P 2 に出力する。複数の比較部 C M P 2 は、バッファ B U F 2 の記憶領域のそれぞれに対応して設けられる。比較部 C M P 2 の各々は、対象デバイス 10 からの識別番号 P I D と、バッファ B U F 2 からの識別番号 P I D s との一致を検出する。各比較部 C M P 2 は、識別番号 P I D を表す複数ビットの各ビットと、バッファ B U F 2 から出力される識別番号 P I D s を表す複数ビットの各ビットとの否排他的論理和を演算することで、識別番号 P I D、P I D s の一致を検出する。各比較部 C M P 2 は、識別番号 P I D、P I D s が互いに一致する場合、判定部 J D G 2 に論理 1 を出力する。

40

【 0 0 4 9 】

バッファ B U F 3 は、識別番号 P I D にそれぞれ対応して識別番号 C I D s が格納される複数の記憶領域を有する。バッファ B U F 3 は、対象デバイス 10 から識別番号 P I D を受信した場合、識別番号 P I D に対応する記憶領域に格納されている識別番号 C I D s を判定部 J D G 1 に出力する。なお、バッファ B U F 3 の記憶領域に格納される " 0 " は、比較部 C M P による比較対象でない無効な識別番号 C I D s を示す。

【 0 0 5 0 】

判定部 J D G 1 は、デコード部 C D E C と比較部 C M P 3 とを有する。デコード部 C D E C は、対象デバイス 10 から出力される種別情報 P T Y P をデコードし、種別情報 P T

50

Y P が示すパケットの組み合わせを示す識別番号 C I D を生成する。種別情報 P T Y P は、対象デバイス 1 0 が受信した複数のパケット P 1 1、P 2 1 を示す命令情報の一例である。

【 0 0 5 1 】

比較部 C M P 3 は、デコード部 C D E C により生成された識別番号 C I D と、識別番号 P I D に対応してバッファ B U F 3 から出力される識別番号 C I D s との一致を検出する。比較部 C M P 3 は、識別番号 C I D を表す複数ビットの各ビットと、バッファ B U F 3 から出力される識別番号 C I D s を表す複数ビットの各ビットとの否排他的論理和を演算することで、識別番号 C I D、C I D s の一致を検出する。比較部 C M P 3 は、識別番号 C I D、C I D s が互いに一致する場合、判定部 J D G 2 に論理 1 を出力する。すなわち、比較部 C M P 3 は、図 3 に示す処理部 S T G A、S T G B に保持されたパケットの組み合わせが、テストシナリオ 5 2 で指定されたエラーを発生させる組み合わせと一致する場合に、論理 1 を出力する。

10

【 0 0 5 2 】

判定部 J D G 2 は、比較部 C M P 2 のいずれかが識別番号 P I D、P I D s の一致を検出し、かつ比較部 C M P 3 が識別番号 C I D、C I D s の一致を検出した場合、パケット P 1 1 にエラーを埋め込むために合成部 C O M に論理 1 を出力する。これにより、エラーを埋め込む対象の複数のパケット P 1 1 のうち、対象デバイス 1 0 が識別番号 C I D s で示される順序で所定のパケット P 1 1 を受信した場合、対象のパケット P 1 1 にエラーを埋め込むことができる。すなわち、パケット P 1 1 にエラーを埋め込む条件を従来に比べて詳細に設定することができる。また、条件を指定せずに対象のパケット P 1 1 を含む複数の組み合わせのパケット群 P 1 1 を対象デバイス 1 0 に複数回にわたり供給する場合に比べて、テストパターン T P を短くすることができる。これにより、対象デバイス 1 0 の検証に掛かる時間を従来に比べて短縮することができる。さらに、バッファ B U F 1、B U F 2、B U F 3 の各々は、複数の記憶領域を有するため、エラーを発生させる複数の条件を指定することができ、検証の効率をさらに向上することができる。

20

【 0 0 5 3 】

図 4 に示す例では、識別番号 P I D が、バッファ B U F 2 に格納された " 2 " であり、識別番号 C I D が、バッファ B U F 3 における識別番号 P I D に対応する記憶領域に格納された " 1 " である場合、判定部 J D G 2 は、合成部 C O M に論理 1 を出力する。

30

【 0 0 5 4 】

バッファ B U F 4 は、合成部 C O M が出力する論理を、識別番号 P I D にそれぞれ対応して格納する複数の記憶領域を有する。バッファ B U F 4 は、対象デバイス 1 0 からの識別番号 P I D に対応する記憶領域に格納されている論理をエラー発生情報 E G としてテストシナリオ実行部 5 0 に出力する。図 4 において、識別番号 P I D = " 2 " に対応するバッファ B U F 4 の記憶領域に格納された " 0 " は、対象デバイス 1 0 により識別番号 P I D = " 2 " のパケットの処理の結果としてエラーが発生されなかったことを示す。

【 0 0 5 5 】

エラーを発生させる対象のパケット毎に、バッファ B U F 4 に複数の記憶領域を設けることで、エラーの発生の有無を示す複数の情報をバッファ B U F 4 に保持することができる。これにより、1 つのテストシナリオ 5 2 により、複数の種類の検証を実行することができ、検証の効率を向上することができる。また、バッファ B U F 4 の複数の記憶領域は、エラーを発生させる対象のパケット P 1 1 の識別番号 P I D 毎に設けられるため、パケット P 1 1 の順序を指定する場合と指定しない場合とのそれぞれの検証において、バッファ B U F 4 を共通に使用することができる。

40

【 0 0 5 6 】

図 5 は、図 4 に示すデコード部 C D E C の一例を示す。識別番号 C I D に対応して示される符号 C N D 1、C N D 2、C N D 3 は、図 8 から図 1 0 に示すテストシナリオ 5 2 の命令の記述で使用される。

50

【 0 0 5 7 】

図 5 に示す例では、デコード部 C D E C は、図 3 に示すステージ S T G A 2 で読み出しパケットが処理され、ステージ S T G A 0 で書き込みパケットが処理されるタイミングが発生した場合 (R D A 2、W R A 0)、識別番号 C I D を " 1 " に設定する。すなわち、デコード部 C D E C は、書き込みパケットの 2 サイクル前に読み出しパケットが発行されたことを判定した場合、識別番号 C I D を " 1 " に設定する。

【 0 0 5 8 】

また、デコード部 C D E C は、ステージ S T G A 0 で書き込みパケットが処理され、ステージ S T G B 1 で応答パケットが処理されるタイミングが発生した場合 (W R A 0、C P L B 1)、識別番号 C I D を " 2 " に設定する。すなわち、デコード部 C D E C は、書き込みパケットの所定サイクル前に発行されたパケットの応答パケットが発行されたことを判定した場合、識別番号 C I D を " 2 " に設定する。

10

【 0 0 5 9 】

さらに、デコード部 C D E C は、ステージ S T G A 0、S T G A 1、S T G A 2 で書き込みパケットが連続して処理されるタイミングが発生した場合 (W R A 2、W R A 1、W R A 0)、識別番号 C I D を " 3 " に設定する。すなわち、デコード部 C D E C は、書き込みパケットが連続して 3 サイクル発行されたことを判定した場合、識別番号 C I D を " 3 " に設定する。

【 0 0 6 0 】

このように、デコード部 C D E C は、対象デバイス 1 0 から出力される種別情報 P T Y P に基づいて、対象デバイス 1 0 が受信した複数のパケット P 1 1、P 2 1 との少なくとも 2 つの順序を判定する。そして、デコード部 C D E C は、判定した順序 (すなわち、対象デバイス 1 0 で処理されるパケット P 1 1、P 2 1 の組み合わせ) を示す識別番号 C I D を生成する。なお、識別番号 C I D で表される複数のパケットの組み合わせは、図 5 に示す例に限定されない。

20

【 0 0 6 1 】

デコード部 C D E C を設けることで、対象デバイス 1 0 の各処理部 S T G A、S T G B から処理中のパケット P 1 1、P 2 1 を示す情報を取り出すことで、パケット P 1 1、P 2 1 の順序を判定することができる。これにより、検証のために対象デバイス 1 0 に追加される論理を最小限にして、対象デバイス 1 0 の論理を検証することができる。

30

【 0 0 6 2 】

図 6 は、図 4 に示すエラー生成部 4 0 の動作の一例を示す。図 6 に示すフローは、所定の周期で繰り返し実行される。

【 0 0 6 3 】

まず、ステップ S 1 0 2 において、エラー生成部 4 0 は、エラーを埋め込むパケット P 1 1 を示す識別番号 P I D s をテストシナリオ実行部 5 0 から受信したか否かを判定する。識別番号 P I D s を受信した場合、処理はステップ S 1 0 4 に移行され、識別番号 P I D s を受信していない場合、処理は終了する。

【 0 0 6 4 】

ステップ S 1 0 4 において、エラー生成部 4 0 は、エラーを発生させる条件を示す識別番号 C I D s をテストシナリオ実行部 5 0 から受信したか否かを判定する。識別番号 C I D s を受信した場合、処理はステップ S 1 0 6 に移行され、識別番号 C I D s を受信していない場合、処理はステップ S 1 1 0 に移行される。

40

【 0 0 6 5 】

ステップ S 1 0 6 において、エラー生成部 4 0 は、受信した識別番号 P I D s をバッファ B U F 2 に書き込み、受信した識別番号 C I D s をバッファ B U F 3 に書き込む。すなわち、エラー生成部 4 0 は、識別番号 C I D s により示される条件が一致した場合に、識別番号 P I D s により示されるパケット P 1 1 にエラーを発生させるための情報をバッファ B U F 2、B U F 3 に格納する。

【 0 0 6 6 】

50

次に、ステップ S 1 0 8 において、エラー生成部 4 0 は、ステップ S 1 0 2 で受信した識別番号 P I D s に対応するバッファ B U F 4 の記憶領域を、エラーを発生させていないことを示す " 0 " に初期化し、処理をステップ S 1 1 2 に移行する。

【 0 0 6 7 】

一方、ステップ S 1 1 0 において、エラー生成部 4 0 は、受信した識別番号 P I D s をバッファ B U F 1 に書き込む。すなわち、エラー生成部 4 0 は、識別番号 C I D s を受信せず、識別番号 P I D s を受信した場合、識別番号 P I D s により示されるパケット P 1 1 に無条件でエラーを発生させるための情報をバッファ B U F 1 に格納する。この後、処理は、ステップ S 1 1 2 に移行される。

【 0 0 6 8 】

ステップ S 1 1 2 において、エラー生成部 4 0 は、対象デバイス 1 0 が受信したパケット P 1 1 を示す識別番号 P I D を対象デバイス 1 0 から受信する。エラー生成部 4 0 は、受信した識別番号 P I D が、バッファ B U F 1、B U F 2 のいずれかに格納されている識別番号 P I D s と一致する場合、パケット P 1 1 にエラーを発生させる可能性があるため、処理をステップ S 1 1 4 に移行する。エラー生成部 4 0 は、受信した識別番号 P I D が、バッファ B U F 1、B U F 2 に格納されている識別番号 P I D s のいずれとも一致しない場合、パケット P 1 1 にエラーを埋め込まないため、処理を終了する。ステップ S 1 1 2 による判定は、図 4 に示す比較部 C M P 1、C M P 2 により実行される。

【 0 0 6 9 】

ステップ S 1 1 4 において、エラー生成部 4 0 は、対象デバイス 1 0 が順次受信した複数のパケット P 1 1 の各々の種別を示す種別情報 P T Y P を対象デバイス 1 0 から受信する。エラー生成部 4 0 のデコード部 C D E C は、受信した種別情報 P T Y P に基づいて、対象デバイス 1 0 が処理している複数のパケット P 1 1、P 2 1 の組み合わせを示す識別番号 C I D を生成する。

【 0 0 7 0 】

次に、ステップ S 1 1 6 において、エラー生成部 4 0 は、生成した識別番号 C I D が、対象デバイス 1 0 から受信した識別番号 P I D に対応するバッファ B U F 3 の記憶領域に格納されている識別番号 C I D s と一致するか否かを判定する。識別番号 C I D、C I D s が一致する場合、処理はステップ S 1 1 8 に移行され、識別番号 C I D、C I D s が一致しない場合、処理はステップ S 1 2 4 に移行される。ステップ S 1 1 6 による判定は、図 4 に示す判定部 J D G 1、J D G 2 により実行される。

【 0 0 7 1 】

ステップ S 1 1 8 において、エラー生成部 4 0 は、識別番号 P I D により示されるパケット P 1 1 にエラーを埋め込むために、対象デバイス 1 0 に発生情報 E I N を出力する。対象デバイス 1 0 は、発生情報 E I N に基づいて、処理部 S T G A 0 で処理中のパケット P 1 1 にエラーを埋め込む。次に、ステップ S 1 2 0 において、エラー生成部 4 0 は、受信したパケット P 1 1 の識別番号 P I D に対応するバッファ B U F 4 の記憶領域に " 1 " を書き込む。バッファ B U F 4 は、識別番号 P I D を受信している間、受信したパケット P 1 1 の識別番号 P I D に対応する記憶領域に格納された " 1 " をエラー発生情報 E G としてテストシナリオ実行部 5 0 に出力する。

【 0 0 7 2 】

次に、ステップ S 1 2 2 において、エラー生成部 4 0 は、対象デバイス 1 0 が受信したパケット P 1 1 の識別番号 P I D に対応する識別番号 P I D s を、バッファ B U F 2 の記憶領域から削除する。また、エラー生成部 4 0 は、対象デバイス 1 0 が受信したパケット P 1 の識別番号 P I D に対応するバッファ B U F 3 の記憶領域に格納されている識別番号 C I D s を削除する (" 0 " にリセット)。そして、エラー生成部 4 0 は、複数のパケットの組み合わせの条件が一致した場合にエラーを発生させる処理を終了する。

【 0 0 7 3 】

一方、ステップ S 1 2 4 において、エラー生成部 4 0 は、識別番号 P I D により示されるパケット P 1 1 にエラーを埋め込むために、対象デバイス 1 0 に発生情報 E I N を出力

10

20

30

40

50

する。対象デバイス10は、発生情報EINに基づいて、処理部STGA0で処理中のパケットP11にエラーを埋め込む。次に、ステップS126において、エラー生成部40は、対象デバイス10が受信したパケットP11の識別番号PIDに対応する識別番号PIDsを、バッファBUF1の記憶領域から削除する。そして、エラー生成部40は、識別番号CIDsによる条件を指定することなく、識別番号PIDsにより指定されたパケットP11にエラーを埋め込む処理を終了する。

【0074】

図7は、図2に示すテストシナリオ実行部50の応答比較部54の動作の一例を示す。図7に示すフローは、所定の周期で繰り返し実行される。

【0075】

まず、ステップS202において、応答比較部54は、疑似デバイス20からの情報CPLに基づいて、疑似デバイス20が応答パケットP22を受信したと判定した場合、処理をステップS204に移行する。応答比較部54は、疑似デバイス20からの情報CPLに基づいて、疑似デバイス20が応答パケットP22を受信していないと判定した場合、処理を終了する。

【0076】

ステップS204において、応答比較部54は、応答パケットP22が、パケットの組み合わせの条件(バッファBUF3に書き込んだ識別番号CIDs)に基づいてエラーを発生させるパケットに対応するか否かを判定する。すなわち、応答パケットP22の元である読み出しパケットにより読み出す情報を書き込んだ書き込みパケットに、パケットの組み合わせの条件に基づいてエラーが挿入された場合、応答比較部54は、処理をステップS206に移行する。一方、応答パケットP22の元である読み出しパケットにより読み出す情報を書き込んだ書き込みパケットに、パケットの組み合わせの条件に基づいてエラーが挿入されていない場合、応答比較部54は、処理をステップS214に移行する。すなわち、応答比較部54は、書き込みパケットにエラーが挿入されていない場合、または、識別番号CIDsを指定することなく識別番号PIDsに基づいて書き込みパケットにエラーが挿入された場合、処理をステップS214に移行する。

【0077】

ステップS206において、応答比較部54は、応答パケットP22に含まれる識別番号PIDに対応するバッファBUF4の記憶領域に格納されたエラー発生情報EGの値を読み出す。なお、応答パケットP22に含まれる識別番号PIDは、応答パケットP22の元である読み出しパケットを識別する識別番号PIDと同じ値である。

【0078】

次に、ステップS208において、応答比較部54は、エラー発生情報EGの値が"1"の場合、識別番号CIDsによるパケットの組み合わせの条件の一致に基づいてエラーが挿入されたと判断し、処理をステップS210に移行する。一方、応答比較部54は、エラー発生情報EGの値が"0"の場合、識別番号CIDsによるパケットの組み合わせの条件に一致せず、エラーが挿入されなかったと判断し、処理をステップS212に移行する。

【0079】

ステップS210において、応答比較部54は、エラーが挿入された場合の期待値を用いて応答パケットP22に含まれる情報をチェックし、対象デバイス10の論理を検証し、処理を終了する。応答比較部54は、応答パケットP22に含まれる情報(例えば、読み出しデータ)が期待値と一致する場合、発生されたエラーに応じて対象デバイス10が正しく動作したと判断する。一方、応答比較部54は、応答パケットP22に含まれる情報が期待値と一致しない場合、発生されたエラーに応じて対象デバイス10が誤動作したと判断する。

【0080】

ステップS212において、応答比較部54は、エラーが発生されなかった場合の期待値を用いて応答パケットP22に含まれる情報をチェックし、対象デバイス10の論理を

10

20

30

40

50

検証し、処理を終了する。応答比較部 5 4 は、応答パケット P 2 2 に含まれる情報が期待値と一致する場合、対象デバイス 1 0 が正しく動作したと判断し、応答パケット P 2 2 に含まれる情報が期待値と一致しない場合、対象デバイス 1 0 が誤動作したと判断する。

【 0 0 8 1 】

このように、エラー発生情報 E G の値に応じて、判定に使用する期待値を変更することにより、パケット P 1 1 にエラーを埋め込んだ場合とパケット P 1 1 にエラーを埋め込まなかった場合とのそれぞれにおいて、検証を正しく実行することができる。さらに、パケット P 1 1 にエラーを埋め込んだ場合とパケット P 1 1 にエラーを埋め込まなかった場合との 2 つの期待値を、テストシナリオ 5 2 に含ませることができ、複数回に分けて検証を実行する場合に比べて検証の効率を向上することができる。

10

【 0 0 8 2 】

ステップ S 2 1 4 において、応答比較部 5 4 は、期待値を用いて応答パケット P 2 2 に含まれる情報をチェックし、対象デバイス 1 0 の論理を検証し、処理を終了する。応答比較部 5 4 は、応答パケット P 2 2 に含まれる情報が期待値と一致する場合、対象デバイス 1 0 が正しく動作したと判断し、応答パケット P 2 2 に含まれる情報が期待値と一致しない場合、対象デバイス 1 0 が誤動作したと判断する。ステップ S 2 1 4 による処理は、識別番号 C I D s による条件を指定することなく、識別番号 P I D s に基づいて書き込みパケットにエラーを埋め込んだ場合のチェックと、書き込みパケットにエラーを埋め込まなかった場合のチェックとを含む。

20

【 0 0 8 3 】

図 8 は、図 2 に示すテストシナリオ実行部 5 0 が実行するテストシナリオ 5 2 の一例を示す。テストシナリオ実行部 5 0 は、テストシナリオ 5 2 にしたがって疑似デバイス 2 0 にテストパターン T P を出力し、疑似デバイス 2 0 にパケット P 1 1 を送信させ、疑似デバイス 2 0 が受信した応答パケット P 2 2 に含まれる情報と期待値とを比較する。図 8 では、便宜上、テストシナリオ 5 2 の左側に、テストシナリオ 5 2 に含まれる記述の行番号が示される。

【 0 0 8 4 】

テストシナリオ 5 2 において、" / / " は、コメント行を示す。" G e n W r i t e P a c k e t " は、疑似デバイス 2 0 に書き込みパケットを生成させる命令を示し、" G e n R e a d P a c k e t " は、疑似デバイス 2 0 に読み出しパケットを生成させる命令を示す。" S e t E r r o r P a c k e t I D " は、エラーを発生させる条件をエラー生成部 4 0 に設定する命令を示す。

30

【 0 0 8 5 】

まず、行 4 において、テストシナリオ実行部 5 0 は、疑似デバイス 3 0 のアドレス A D 1 で示される領域にデータ D T 1 を書き込む書き込みパケット (識別番号 P I D = I D 1) を疑似デバイス 2 0 に送信させる。

【 0 0 8 6 】

行 8 において、テストシナリオ実行部 5 0 は、疑似デバイス 3 0 のアドレス A D 1 で示される領域からデータ (期待値 = D T 1) を読み出す読み出しパケット (識別番号 P I D = I D 1) を疑似デバイス 2 0 に送信させる。そして、テストシナリオ実行部 5 0 の応答比較部 5 4 は、読み出しパケットに回答する疑似デバイス 3 0 からの応答パケット P 2 2 (識別番号 P I D = I D 1) に含まれる読み出しデータを期待値 (D T 1) と比較することで、対象デバイス 1 0 の論理を検証する。

40

【 0 0 8 7 】

次に、行 1 2 において、テストシナリオ実行部 5 0 は、対象デバイス 1 0 にエラーを埋め込む書き込みパケットを示す識別番号 P I D s (= I D 2) と条件 C N D 1 とをエラー生成部 4 0 に設定する。条件 C N D 1 は、図 5 に示すように、対象デバイス 1 0 が書き込みパケットを受信する 2 サイクル前に読み出しパケットを受信することである。すなわち、図 8 に示すテストシナリオ 5 2 では、条件 C N D 1 に示される順序でパケットを処理中の対象デバイス 1 0 にエラーを発生させた場合の動作が検証される。

50

【 0 0 8 8 】

行 1 5 において、テストシナリオ実行部 5 0 は、疑似デバイス 3 0 のアドレス A D 2 で示される領域にデータ D T 2 を書き込む書き込みパケット（識別番号 P I D = I D 2 ）を疑似デバイス 2 0 に送信させる。

【 0 0 8 9 】

行 2 0 において、テストシナリオ実行部 5 0 は、疑似デバイス 3 0 のアドレス A D 2 で示される領域からデータ（期待値 = D T 2 ）を読み出す読み出しパケット（識別番号 P I D = I D 2 ）を疑似デバイス 2 0 に送信させる。行 2 0 に記述された命令は、条件 C N D 1 が一致せず、エラーが発生されない場合の期待値 D T 2 と、条件 C N D 1 が一致してエラーが発生された場合の期待値 D T 2 ' との両方を含む。

10

【 0 0 9 0 】

応答比較部 5 4 は、条件 C N D 1 が一致しない場合、読み出しパケットに応答する疑似デバイス 3 0 からの応答パケット P 2 2 に含まれる読み出しデータを期待値 D T 2 と比較する。一方、応答比較部 5 4 は、条件 C N D 1 が一致する場合、読み出しパケットに応答する疑似デバイス 3 0 からの応答パケット P 2 2 に含まれる読み出しデータを期待値 D T 2 ' と比較する。条件 C N D 1 の一致 / 不一致は、図 4 に示すパuffa B U F 4 から出力されるエラー発生情報 E G の論理に基づいて判断される。そして、テストシナリオ実行部 5 0 は、応答パケット P 2 2 に含まれる読み出しデータを期待値 D T 2 、 D T 2 ' のいずれかと比較することで、対象デバイス 1 0 の論理を検証する。

【 0 0 9 1 】

図 9 は、図 2 に示すテストシナリオ実行部 5 0 が実行するテストシナリオ 5 2 の別の例を示す。図 8 と同じ記述については、詳細な説明は省略する。行 4、行 8 の記述は、図 8 に示す行 4、行 8 の記述とそれぞれ同じである。行 1 0 に記述された " W a i t " は、疑似デバイス 2 0 にパケットを送信させた後、次のパケットの送信を所定のサイクル待たせる命令を示す。行 1 7、行 2 2 の記述は、図 8 に示す行 1 5、行 2 0 の記述とそれぞれ同じである。

20

【 0 0 9 2 】

行 1 0 において、テストシナリオ実行部 5 0 は、疑似デバイス 2 0 に行 8 に記述した読み出しパケットを送信させた後、行 1 7 に記述した次の書き込みパケットの送信を所定のサイクル待たせる。次に、行 1 4 において、テストシナリオ実行部 5 0 は、対象デバイス 1 0 にエラーを発生させる書き込みパケットを示す識別番号 P I D s (= I D 2) と条件 C N D 2 とをエラー生成部 4 0 に設定する。条件 C N D 2 は、図 5 に示すように、対象デバイス 1 0 が書き込みパケットを受信した場合に、図 3 に示す処理部 S T G B 1 で応答パケット P 2 2 を処理している条件である。すなわち、図 9 に示すテストシナリオ 5 2 では、条件 C N D 2 に示される順序でパケットを処理中の対象デバイス 1 0 にエラーを発生させた場合の動作が検証される。

30

【 0 0 9 3 】

そして、所定のサイクルが経過した後、行 1 7 において、テストシナリオ実行部 5 0 は、疑似デバイス 3 0 のアドレス A D 2 で示される領域にデータ D T 2 を書き込む書き込みパケット（識別番号 P I D = I D 2 ）を疑似デバイス 2 0 に送信させる。

40

【 0 0 9 4 】

行 2 2 において、テストシナリオ実行部 5 0 は、図 8 と同様に、疑似デバイス 3 0 においてアドレス A D 2 で示される領域からデータ D T 2 を読み出す読み出しパケット（識別番号 P I D = I D 2 ）を疑似デバイス 2 0 に送信させる。そして、応答比較部 5 4 は、条件 C N D 2 が一致しない場合、読み出しパケットに応答する疑似デバイス 3 0 からの応答パケット P 2 2 に含まれる読み出しデータを期待値 D T 2 と比較する。一方、応答比較部 5 4 は、条件 C N D 2 が一致する場合、読み出しパケットに応答する疑似デバイス 3 0 からの応答パケット P 2 2 に含まれる読み出しデータを期待値 D T 2 ' と比較する。条件 C N D 2 の一致 / 不一致は、図 4 に示すパuffa B U F 4 から出力されるエラー発生情報 E G の論理に基づいて判断される。そして、テストシナリオ実行部 5 0 は、応答パケット P

50

22に含まれる読み出しデータを期待値DT2、DT2'のいずれかと比較することで、対象デバイス10の論理を検証する。

【0095】

図10は、図2に示すテストシナリオ実行部50が実行するテストシナリオ52の別の例を示す。図8と同じ記述については、詳細な説明は省略する。行4、行7の記述は、図8に示す行4、行15の記述とそれぞれ同じである。

【0096】

行11において、テストシナリオ実行部50は、対象デバイス10にエラーを発生させる書き込みパケットを示す識別番号PIDs(=ID3)と条件CND3とをエラー生成部40に設定する。条件CND3は、図5に示すように、対象デバイス10が3つの連続する書き込みパケットを受信する条件である。すなわち、図10に示すテストシナリオ52では、条件CND3に示される順序でパケットを処理中の対象デバイス10にエラーを発生させた場合の動作が検証される。

【0097】

次に、行14において、テストシナリオ実行部50は、疑似デバイス30のアドレスAD3で示される領域にデータDT3を書き込む書き込みパケット(識別番号PID=ID3)を疑似デバイス20に送信させる。

【0098】

行19において、テストシナリオ実行部50は、図8と同様に、疑似デバイス30のアドレスAD3で示される領域からデータDT3を読み出す読み出しパケット(識別番号PID=ID3)を疑似デバイス20に送信させる。そして、応答比較部54は、条件CND3が一致しない場合、読み出しパケットに応答する疑似デバイス30からの応答パケットP22に含まれる読み出しデータを期待値DT3と比較する。一方、応答比較部54は、条件CND3が一致する場合、読み出しパケットに応答する疑似デバイス30からの応答パケットP22に含まれる読み出しデータを期待値DT3'と比較する。条件CND3の一致/不一致は、図4に示すバッファBUF4から出力されるエラー発生情報EGの論理に基づいて判断される。そして、テストシナリオ実行部50は、応答パケットP22に含まれる読み出しデータを期待値DT3、DT3'のいずれかと比較することで、対象デバイス10の論理を検証する。

【0099】

図11は、図2に示す模擬デバイス試験装置DT2として動作する情報処理装置の一例を示す。

【0100】

図11に示す情報処理装置IPEは、マザーボードMB、光学ドライブ装置ODD、ハードディスク装置HDD、入力装置INDおよび出力装置OUTD等を有する。マザーボードMB上には、CPU、メインメモリMM、光学ドライブコントローラODC、ハードディスクコントローラHDC、入力インタフェースINIF、出力インタフェースOUTIFおよびネットワークインタフェースNWIF等が搭載される。CPU、メインメモリMM、光学ドライブコントローラODC、ハードディスクコントローラHDC、入力インタフェースINIF、出力インタフェースOUTIFおよびネットワークインタフェースNWIFは、システムバスSBUSに接続される。CPU、メインメモリMM、光学ドライブコントローラODC、ハードディスクコントローラHDC、入力インタフェースINIF、出力インタフェースOUTIFおよびネットワークインタフェースNWIFは共通の半導体チップに搭載されてもよい。

【0101】

メインメモリMMには、CPUにより実行されるオペレーティングシステムと、情報処理装置IPEを模擬デバイス試験装置DT2として機能させるための模擬デバイス試験プログラムと、テストシナリオ52とが格納される。図2に示す対象デバイス10、疑似デバイス20、30、エラー生成部40およびテストシナリオ実行部50は、情報処理装置IPEが模擬デバイス試験プログラムを実行することで実現される。そして、情報処理装

10

20

30

40

50

置 I P E は、対象デバイス 1 0 の論理を検証するシミュレータとして動作する。

【 0 1 0 2 】

光学ドライブコントローラ O D C は、光学ドライブ装置 O D D に接続され、光学ドライブ装置 O D D に装着される記録媒体 R M にアクセス可能である。記録媒体 R M は、C D (Compact Disc : 登録商標) または D V D (Digital Versatile Disc : 登録商標) 等である。ハードディスクコントローラ H D C は、ハードディスク装置 H D D に接続される。模擬デバイス試験プログラムおよびテストシナリオ 5 2 は、記録媒体 R M からハードディスク装置 H D D を介してメインメモリ M M に転送される。なお、模擬デバイス試験プログラムおよびテストシナリオ 5 2 は、記録媒体 R M からメインメモリ M M に直接転送されてもよい。

10

【 0 1 0 3 】

入力インタフェース I N I F は、キーボードやマウス等の入力デバイス I N D に接続される。出力インタフェース O U T I F は、ディスプレイやプリンタ等の出力デバイス O U T D に接続される。ネットワークインタフェース N W I F は、ネットワーク N W に接続される。情報処理装置 I P E は、ネットワーク N W 上の装置に格納された模擬デバイス試験プログラムまたはテストシナリオ 5 2 を、ネットワーク N W を介してハードディスク装置 H D D やメインメモリ M M に転送してもよい。

【 0 1 0 4 】

以上、図 2 から図 1 1 に示す実施形態においても、図 1 に示す実施形態と同様に、対象デバイス 1 0 の動作の検証を、従来に比べて複雑な条件を指定して実行することができ、詳細な検証を実行することができる。また、2 つの期待値のいずれかを用いて、エラーを発生させた場合とエラーを発生させなかった場合との両方の検証を実行することができる。この結果、対象デバイス 1 0 の論理を検証するためのテストパターン T P を従来に比べて短くすることができ、対象デバイス 1 0 の検証に掛かる時間を従来に比べて短縮することができる。検証の効率を向上することができる。

20

【 0 1 0 5 】

さらに、図 2 から図 1 1 に示す実施形態では、以下の効果を得ることができる。パケット P 1 1 が対象デバイス 1 0 に供給される順序の条件を含む場合と含まない場合との両方において、パケット P 1 1 にエラーを埋め込むことができるため、様々な条件を用いて、対象デバイス 1 0 の論理を検証することができる。

30

【 0 1 0 6 】

バッファ B U F 1、B U F 2、B U F 3 の各々は、複数の記憶領域を有するため、エラーを発生させる複数の条件を指定することができ、検証の効率をさらに向上することができる。さらにバッファ B U F 4 は、複数の記憶領域を有するため、1 つのテストシナリオ 5 2 により、複数の種類の検証を実行することができ、検証の効率を向上することができる。また、バッファ B U F 4 は、パケット P 1 1 の順序を指定する場合と、パケット P 1 1 の順序を指定しない場合とのそれぞれの検証において共通に使用されるため、模擬デバイス試験装置 D T 2 の規模が増加することを抑制することができる。

【 0 1 0 7 】

図 1 2 は、模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの別の実施形態を示す。図 2 に示す要素と同一または同様の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。この実施形態の模擬デバイス試験装置 D T 3 は、対象デバイス 1 0 A、疑似デバイス 2 0、3 0、エラー生成部 4 0 A およびテストシナリオ実行部 5 0 を有する。すなわち、模擬デバイス試験装置 D T 3 は、図 2 に示す模擬デバイス試験装置 D T 2 の対象デバイス 1 0 およびエラー生成部 4 0 の代わりに、対象デバイス 1 0 A およびエラー生成部 4 0 A を有する。

40

【 0 1 0 8 】

エラー生成部 4 0 A は、対象デバイス 1 0 A から引き出されるデータ出力線 D O U T に伝達されるデータにエラーを挿入し、エラーを挿入させたデータを、データ入力線 D I N を介して対象デバイス 1 0 A に戻す機能を有する。エラー生成部 4 0 A は、発生情報 E I

50

Nを出力する代わりに、対象デバイス10Aにエラーを挿入する機能を有することを除き、図2に示すエラー生成部40と同様の機能を有する。なお、対象デバイス10Aは、図2に示す対象デバイス10からエラーを発生させる機能を削除している。

【0109】

図12に示す模擬デバイス試験装置DT3は、図2に示す模擬デバイス試験装置DT1と同様に、対象デバイス10Aの論理を検証する模擬デバイス試験プログラムを実行する情報処理装置IPE(図11)により実現される。模擬デバイス試験プログラムを実行する情報処理装置は、シミュレータとして機能し、対象デバイス10Aの論理を検証する模擬デバイス試験方法に基づく動作を実行する。

【0110】

図13は、図12に示す対象デバイス10Aの一例を示す。図3に示す対象デバイス10と同一または同様の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。対象デバイス10Aは、図3に示す処理部STGA0の代わりに、処理部STGA0Aを有することを除き、図3に示す対象デバイス10と同様である。

【0111】

処理部STGA0Aは、図3に示す処理部STGA0と同様に、疑似デバイス20から受信するパケットP11に含まれる識別番号PIDを抽出し、抽出した識別番号PIDをエラー生成部40Aに出力する機能を有する。さらに、処理部STGA0Aは、パケットP11に含まれる情報の少なくとも一部をデータ出力線DOUを介してエラー生成部40Aに出力し、エラー生成部40Aからデータ入力線DINを介して受ける情報を用いて

【0112】

エラー生成部40Aがデータ出力線DOUで受けた情報にエラーを挿入してデータ入力線DINに出力した場合、処理部STGA0Aは、エラーが挿入されたパケットP11を処理する。一方、エラー生成部40Aがデータ出力線DOUで受けた情報を変更せずにデータ入力線DINに出力した場合、処理部STGA0Aは、エラーが挿入されない元のパケットP11を処理する。

【0113】

図14は、図12に示すエラー生成部40Aの一例を示す。エラー生成部40Aは、図2に示すエラー生成部40にエラー挿入部ERRINを追加することを除き、図2に示すエラー生成部40と同様の機能を有する。エラー挿入部ERRINは、発生情報EINがエラーの発生を示す場合、データ出力線DOUに伝達されるデータの論理を反転し、反転したデータをデータ入力線DINに出力することで、対象デバイス10Aにエラーを発生させる。また、エラー挿入部ERRINは、発生情報EINがエラーの発生を示さない場合、データ出力線DOUに伝達されるデータを変更することなくデータ入力線DINに出力する。この場合、対象デバイス10Aにエラーは発生されない。

【0114】

エラー生成部40Aにエラー挿入部ERRINを設けることにより、対象デバイス10Aにエラーの発生用の論理を追加することなく、対象デバイス10Aが処理するパケットP11にエラーを埋め込むことができる。これにより、実際のデバイスの回路記述等の設計データを用いて、対象デバイス10Aの論理を検証することができる。なお、エラー挿入部ERRINは、データ出力線DOUに伝達されるデータの論理を所定の論理(論理0または論理1)に固定し、論理を固定したデータをデータ入力線DINに出力することにより、対象デバイス10Aにエラーを発生させてもよい。

【0115】

以上、図12から図14に示す実施形態においても、図1から図11に示す実施形態と同様に、対象デバイス10Aの動作の検証を、従来に比べて複雑な条件を指定して実行することができ、詳細な検証を実行することができる。また、2つの期待値を用いて検証を実行することで、対象デバイス10Aの検証に掛かる時間を従来に比べて短縮することができる。バッファBUF1、BUF2、BUF3、BUF4の各々に複数の記憶領域を設

10

20

30

40

50

けることで、エラーを発生させる複数の条件に対応して検証を実行することができる。以上により、検証の効率を向上することができる。

【0116】

さらに、図12から図14に示す実施形態では、エラー挿入部ERRINにより、デバイス10Aが処理するパケットP11にエラーを埋め込むことで、実際のデバイスの回路記述等の設計データを用いて、対象デバイス10Aの論理を検証することができる。これにより、検証の効率をさらに向上することができる。

【0117】

図15は、模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの別の実施形態を示す。図2に示す要素と同一または同様の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。この実施形態の模擬デバイス試験装置DT4は、対象デバイス10B、疑似デバイス20、30、エラー生成部40Bおよびテストシナリオ実行部50、60Bを有する。すなわち、模擬デバイス試験装置DT4は、図2に示す模擬デバイス試験装置DT2のエラー生成部40の代わりにエラー生成部40Bを有し、エラー生成部40Bと疑似デバイス30に接続されるテストシナリオ実行部60Bを新たに有する。また、模擬デバイス試験装置DT4は、図2に示す対象デバイス10の代わりに対象デバイス10Bを有する。

10

【0118】

テストシナリオ実行部60Bは、テストシナリオ実行部50と同様に、テストシナリオ62と応答比較部64とを有する。テストシナリオ実行部60Bは、テストシナリオ62にしたがって、疑似デバイス30を動作させるテストパターンTPを疑似デバイス30に出力するとともに、識別番号PIDs、CIDsをエラー生成部40Bに出力する。テストシナリオ実行部60Bは、識別番号CIDsを指定せずに識別番号PIDsを指定してパケットP21にエラーを埋め込む場合、エラー発生情報EGに拘わらず、応答パケットP12に含まれる情報CPLと期待値とを応答比較部64に比較させる。一方、テストシナリオ実行部60Bは、識別番号CIDs（エラーの発生条件）とともに識別番号PIDsを指定してパケットP21にエラーを埋め込む場合、エラー発生情報EGに基づいた比較を応答比較部64に実行させる。すなわち、応答比較部64は、図2に示す応答比較部54と同様に、応答パケットP12に含まれる情報CPLを2つの期待値のいずれかと比較する。応答比較部64の動作の例は、図7に示す応答比較部54の動作の例と同様である。

20

30

【0119】

テストシナリオ実行部60Bが実行するテストシナリオ62は、疑似デバイス30がパケットP21を送信し、疑似デバイス20が応答パケットP11を送信することを除き、図8から図10に示されるテストシナリオ52と同様である。

【0120】

対象デバイス10Bは、図13に示す対象デバイス10Aと同様に、パケットP11を順次処理する複数の処理部STGAとパケットP21を順次処理する複数の処理部STGBとを有する。但し、処理部STGB0は、処理部STGA0Aと同様に、識別番号PIDをエラー生成部40Bに出力する機能を有する。また、処理部STGB0は、処理部STGA0Aと同様に、パケットP21に含まれる情報の少なくとも一部をデータ出力線DOU Tに出力する機能と、データ入力線DINを介して受ける情報を用いてパケットP11を書き替える機能とを有する。すなわち、識別番号PIDを伝達する信号線、データ出力線DOU Tおよびデータ入力線DINは、パケットP11とパケットP21のそれぞれに対応して配線される。

40

【0121】

図16は、図15に示すエラー生成部40Bの一例を示す。エラー生成部40Bは、図14に示すエラー生成部40Aと同様の機能を有する。但し、エラー生成部40BのバッファBUF1、BUF2は、テストシナリオ実行部50からの識別番号PIDsだけでなく、テストシナリオ実行部60Bからの識別情報PIDsを保持する。また、エラー生成

50

部 4 0 B のバッファ B U F 3 は、テストシナリオ実行部 5 0 からの識別情報 C I D s だけでなく、テストシナリオ実行部 6 0 B からの識別情報 C I D s を保持する。

【 0 1 2 2 】

そして、エラー生成部 4 0 B は、バッファ B U F 1 - B U F 3 に保持された識別番号 P I D s、C I D s に基づいて、データ出力線 D O U T を介して受けるデータにエラーを挿入する。エラー生成部 4 0 B の動作の例は、図 6 と同様である。なお、エラー挿入部 E R R I N は、識別番号 P I D s により示されるパケット P 1 1 に含まれる情報またはパケット P 2 1 に含まれる情報にエラーを埋め込む。このため、模擬デバイス試験装置 D T 4 は、パケット P 1 1 用のエラー生成部 4 0 B と、パケット P 2 1 用のエラー生成部 4 0 B とを有してもよい。

10

【 0 1 2 3 】

図 1 5 に示す模擬デバイス試験装置 D T 4 は、図 2 に示す模擬デバイス試験装置 D T 1 と同様に、対象デバイス 1 0 B の論理を検証する模擬デバイス試験プログラムを実行する情報処理装置 I P E (図 1 1) により実現される。模擬デバイス試験プログラムを実行する情報処理装置は、シミュレータとして機能し、対象デバイス 1 0 B の論理を検証する模擬デバイス試験方法に基づく動作を実行する。

【 0 1 2 4 】

以上、図 1 5 から図 1 6 に示す実施形態においても、図 1 から図 1 4 に示す実施形態と同様に、対象デバイス 1 0 B の動作の検証を、従来に比べて複雑な条件を指定して実行することができ、詳細な検証を実行することができる。また、2 つの期待値のいずれかを用いて、エラーを発生させた場合とエラーを発生させなかった場合の両方の検証を実行することができ、対象デバイス 1 0 B の検証に掛かる時間を従来に比べて短縮することができる。

20

【 0 1 2 5 】

さらに、図 1 5 から図 1 6 に示す実施形態では、疑似デバイス 2 0 から送信されるパケット P 1 1 と、疑似デバイス 3 0 から送信されるパケット P 2 1 のそれぞれに、エラーを埋め込ませた、対象デバイス 1 0 B の論理を検証することができる。この結果、検証の効率をさらに向上することができる。

【 0 1 2 6 】

なお、図 2 に示す模擬デバイス試験装置 D T 2 に、図 1 5 に示すテストシナリオ実行部 6 0 B を追加してもよい。この場合、図 4 に示すエラー生成部 4 0 のバッファ B U F 1、B U F 2 は、テストシナリオ実行部 5 0 からの識別番号 P I D s だけでなく、テストシナリオ実行部 6 0 B からの識別情報 P I D s を保持する。また、図 4 に示すエラー生成部 4 0 のバッファ B U F 3 は、テストシナリオ実行部 5 0 からの識別情報 C I D s だけでなく、テストシナリオ実行部 6 0 B からの識別情報 C I D s を保持する。

30

【 0 1 2 7 】

以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、特許請求の範囲がその精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずである。したがって、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物に拠ることも可能である。

40

【 符号の説明 】

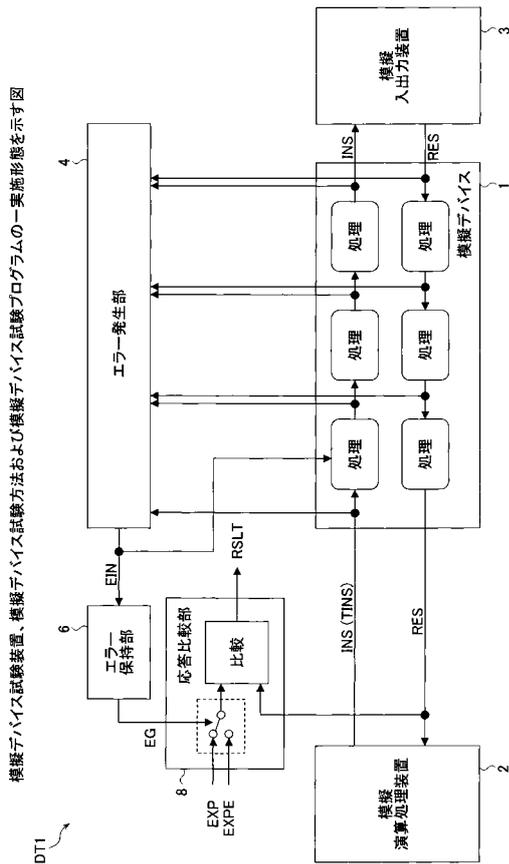
【 0 1 2 8 】

1 ... 模擬デバイス ; 2 ... 模擬演算処理装置 ; 3 ... 模擬入出力装置 ; 4 ... エラー発生部 ; 6 ... エラー保持部 ; 8 ... 応答比較部 ; 1 0、1 0 A、1 0 B ... 対象デバイス ; 2 0、3 0 ... 疑似デバイス ; 4 0、4 0 A、4 0 B ... エラー生成部 ; 5 0 ... テストシナリオ実行部 ; 5 2 ... テストシナリオ ; 5 4 ... 応答比較部 ; 6 0 B ... テストシナリオ実行部 ; 6 2 ... テストシナリオ ; 6 4 ... 応答比較部 ; B U F 1、B U F 2、B U F 3、B U F 4 ... バッファ ; B U S 1、B U S 2 ... バス ; C D E C ... デコード部 ; C I D s ... 識別番号 ; C M P 1、C

50

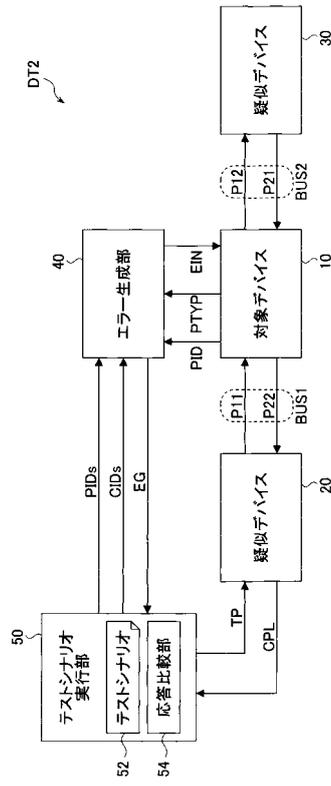
MP2、CMP3...比較部；COM...合成部；CPL...情報；CPLA(CPLA0、CPLA1、CPLA2)...パケット情報；DIN...データ入力線；DOU...データ出力線；DT1、DT2、DT3、DT4...模擬デバイス試験装置；EG...エラー発生情報；EIN...発生情報；ERRIN...エラー挿入部；EXP、EXPE...期待値；INS...命令；JDG1、JDG2...判定部；P11、P12、P21、P22...パケット；PID、PIDs...識別番号；PTYP...種別情報；RDA(RDA0、RDA1、RDA2)...パケット情報；RES...応答；RSLT...検証結果；STGA(STGA0、STGA1、STGA2)、STGB(STGB0、STGB1、STGB2)...処理部；TINS...対象命令；TP...テストパターン；WRA(WRA0、WRA1、WRA2)...パケット情報

【図1】



【図2】

模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの別の実施形態を示す図



【 図 3 】

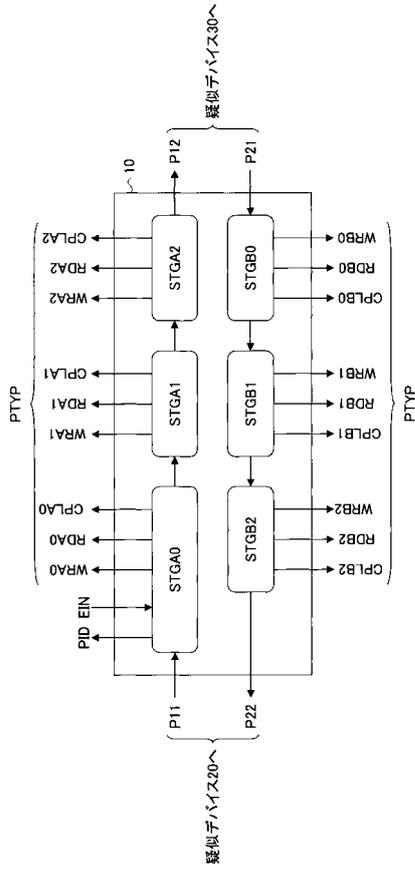


図2に示す対象デバイスの一例を示す図

【 図 4 】

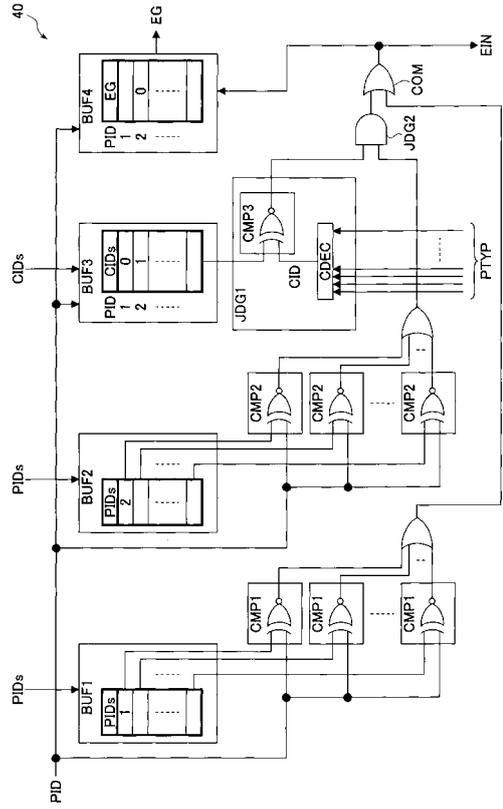


図2に示すエラー生成部の一例を示す図

【 図 5 】

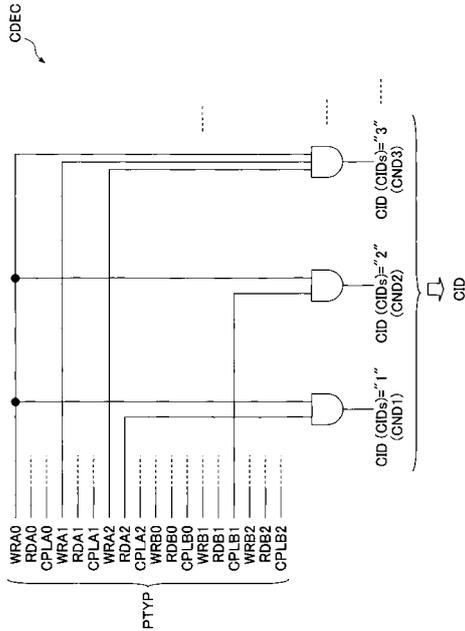


図4に示すコード部の一例を示す図

【 図 6 】

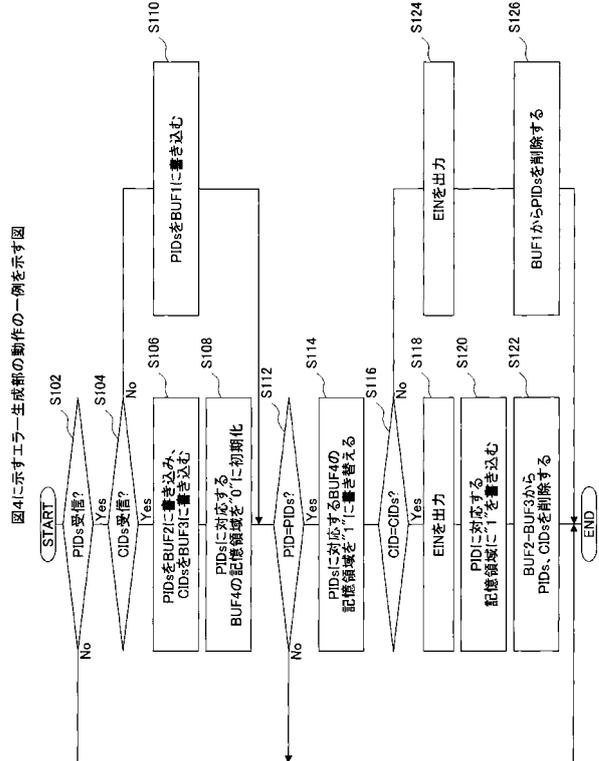
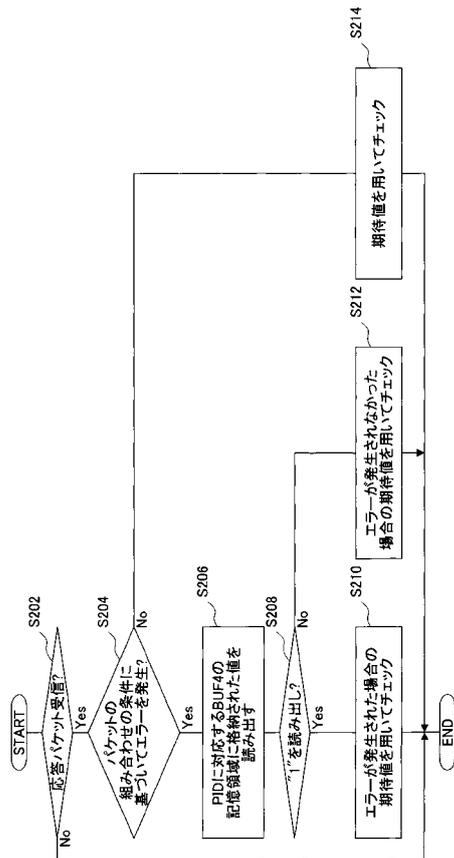


図4に示すエラー生成部の動作の一例を示す図

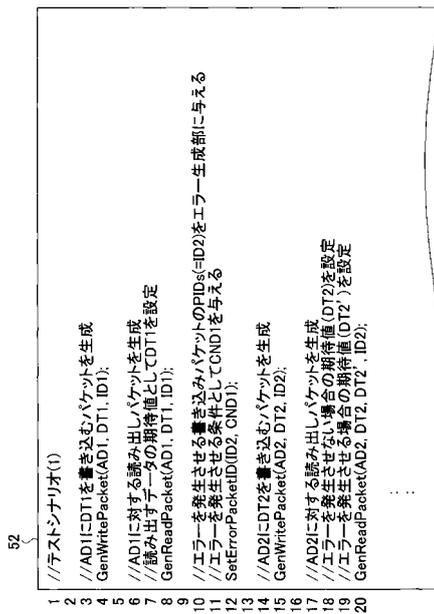
【 図 7 】

図2に示すテストシナリオ実行部の応答比較部の動作の一例を示す図



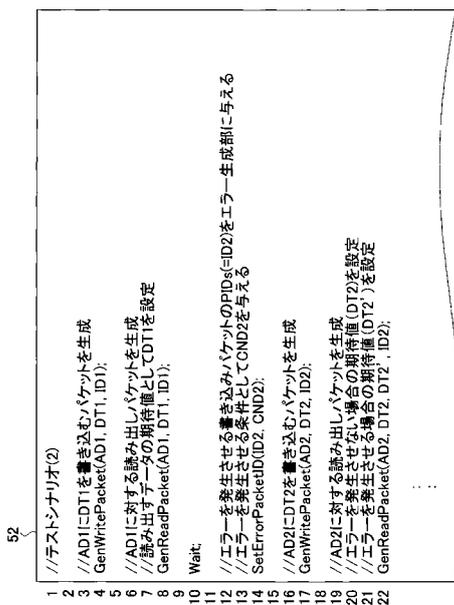
【 図 8 】

図2に示すテストシナリオ実行部が実行するテストシナリオの一例を示す図



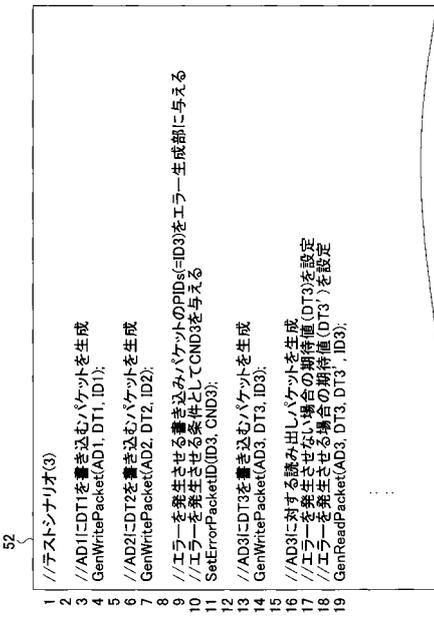
【 図 9 】

図2に示すテストシナリオ実行部が実行するテストシナリオの別の例を示す図



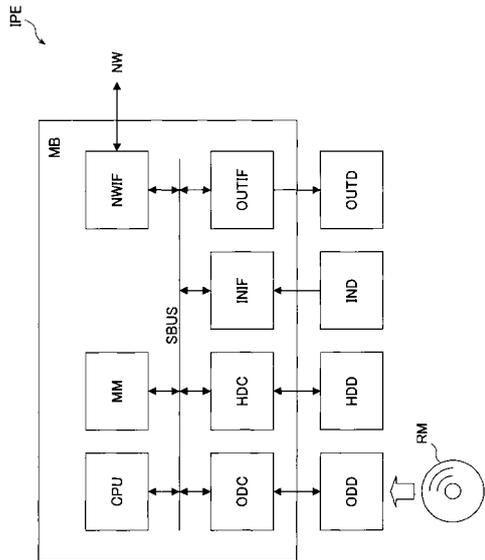
【 図 10 】

図2に示すテストシナリオ実行部が実行するテストシナリオの別の例を示す図



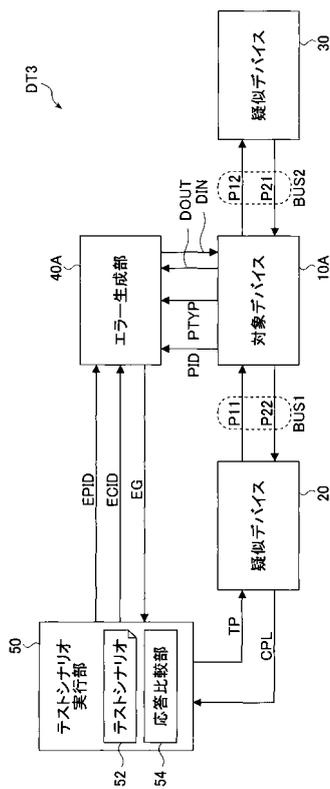
【 図 1 1 】

図2に示す模擬デバイス試験装置として動作する情報処理装置の一例を示す図



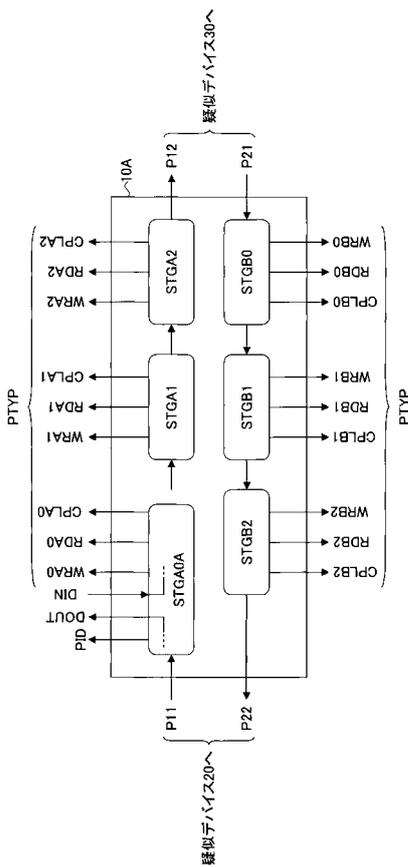
【 図 1 2 】

模擬デバイス試験装置、模擬デバイス試験方法および模擬デバイス試験プログラムの別の実施形態を示す図



【 図 1 3 】

図12に示す対象デバイスの一例を示す図



【 図 1 4 】

図12に示すエラー生成部の一例を示す図

