

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/24

(11) 공개번호 10-2005-0070883
(43) 공개일자 2005년07월07일

(21) 출원번호 10-2003-0101436
(22) 출원일자 2003년12월31일

(71) 출원인 동부아남반도체 주식회사
서울 강남구 대치동 891-10

(72) 발명자 고관주
경기도부천시원미구중4동금강마을407동101호

(74) 대리인 서천석

심사청구 : 있음

(54) 반도체 소자의 실리사이드 형성 방법

요약

본 발명은 실리사이드를 형성하고자 하는 영역에 에피층을 형성하고 금속을 증착한 후 실리사이드를 형성하는 실리사이드 형성 방법에 관한 것이다.

본 발명의 반도체 소자의 실리사이드 형성 방법은 소정의 소자가 형성된 기판상에 게이트 및 소오스/드레인을 형성하는 단계; 상기 게이트 및 소오스/드레인상에서 에피층을 형성하는 단계; 상기 에피층에 실리사이드 형성 물질을 이온 주입하는 단계; 및 상기 기판을 열처리하여 실리사이드층을 형성하는 단계를 포함하여 이루어짐에 기술적 특징이 있다.

따라서, 본 발명의 반도체 소자의 실리사이드 형성 방법은 실리사이드를 형성할 영역에서 실리콘 에피층을 형성하고 이온 주입 공정으로 실리사이드 형성 물질을 에피층에 주입하여 실리사이드층을 형성함으로써, 실리사이드 형성으로 발생하는 실리콘의 소모를 방지하고, 이로 인해 기판을 보호하고 누설 전류를 방지하는 안정적인 소자를 구현하는 장점이 있다.

대표도

도 2d

색인어

실리사이드, 에피텍셀, 누설 전류

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래기술에 의한 실리사이드 형성 방법의 공정 단면도.

도 2a 내지 도 2d는 본 발명에 의한 실리사이드 형성 방법의 공정 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 실리사이드 형성 방법에 관한 것으로, 보다 자세하게는 실리사이드를 형성하는 영역에 실리콘 에피층을 형성하고 실리사이드 형성 물질을 이온 주입한 후, 실리사이드 공정을 진행하는 실리사이드 형성 방법에 관한 것이다.

실리사이드 공정은 트랜지스터 형성시 소오스/드레인, LDD(Lightly Doped Drain) 영역 형성 후에 소자의 소오스/드레인 확산 영역과 게이트 배선의 저항을 낮추기 위하여 8족의 금속 원소 또는 티타늄(Ti) 등의 재료를 증착한 후 열처리하고, 산화물 또는 질화물 위의 금속은 반응이 일어나지 않으므로 습식 식각을 통하여 소오스/드레인 및 게이트 상부를 제외한 영역의 금속을 제거하는 일련의 공정을 말한다.

특히 고속을 구현하여야 하는 로직 소자에서는 게이트 저항과 콘택의 저항 증가로 인하여 퍼포먼스 측면에서 큰 문제가 발생하는데 이는 구조적인 측면에서 칩셋, 콘택 홀 크기를 작게 할 경우 콘택 저항값을 보증하지 못하며 이는 상호연결 상에서의 지연을 초래하며 소자 전체적으로 고속을 구현하지 못한다. 둘째, 기존의 확산 구조에서는 시트 저항이 크기 때문에 자연히 배선과의 콘택 저항도 크다. 이 또한 초고속을 구현하여야 하는 로직 소자에서는 치명적 장애 요인이다. 따라서 확산 시트 저항을 개선하여 콘택 저항을 감소시킬 수 있는 실리사이드 공정을 채택하게 된다.

도 1a 내지 도 1d는 종래 기술에 따른 실리사이드 공정이 채택된 반도체 소자의 공정 단면도이다. MOSFET 소자의 폴리 게이트 전극과 소오스/드레인 영역에 실리사이드를 형성하여 소자의 동작 특성을 향상시키는 일반적인 기술이다.

먼저, 도 1a에서 보는 바와 같이 반도체 기판(11)의 소자 격리 영역에 필드 산화 또는 STI(Shallow Trench Isolation, 이하 STI) 공정으로 소자 격리층(12)을 형성한다. 이와 같은 소자 격리층의 형성 공정으로 실제 소자가 형성될 활성 영역(Active Region)을 정의한다. 상기 활성 영역에 산화막, 폴리실리콘층을 형성하고 선택적으로 패터닝하여 게이트 산화막(13)과 게이트 전극(14)을 형성하며, 게이트 전극의 측면에 게이트 측벽(15)을 형성한다. 게이트 전극의 양측의 활성 영역 기판 하부에 불순물 이온을 주입하여 소오스/드레인 영역(16)을 형성한다.

다음, 도 1b에서 보는 바와 같이 활성 영역에 이온 주입(17)을 실시하여 실리콘 계면을 비정질화시킨다.

다음, 도 1c에서 보는 바와 같이 구조물 전면에 실리사이드 형성 소오스(18)를 스퍼터링하여 증착한다. 여기서, 실리사이드 형성 소오스는 8족의 금속 원소(Ni, Co, Pt 등) 혹은 티타늄(Ti) 등의 재료가 이용된다.

다음, 도 1d에서 보는 바와 같이 열처리 공정으로 실리사이드층(19)을 형성하며, 소오스/드레인 및 게이트 상부를 제외한 영역을 습식식각하여 실리콘 이온과 반응되지 않은 실리사이드 형성 소오스를 제거한다.

그러나, 상기와 같은 종래의 실리사이드 형성 방법에서는 실리사이드 공정시 기판의 실리콘이 실리사이드층으로 확산하여 나가기 때문에 기판에 많은 공공(vacancy)을 형성하고, 상기 공공은 도펀트의 확산을 야기시켜 실리콘 기판의 디플리션(depletion)을 일으키고, 이러한 디플리션은 접합 누설 전류를 초래하고, 콘택 저항을 높이는 효과를 초래하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 실리사이드를 형성할 영역에서 실리콘 에피층을 형성하고 이온 주입 공정으로 실리사이드 형성 물질을 에피층에 주입하여 실리사이드층을 형성함으로써, 실리사이드 형성으로 발생하는 실리콘의 소모를 방지하고, 이로 인해 기판을 보호하고 누설 전류를 방지하는 안정적인 소자를 구현하는 제조 방법을 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

본 발명의 상기 목적은 소정의 소자가 형성된 기판상에 게이트 및 소오스/드레인을 형성하는 단계; 상기 게이트 및 소오스/드레인상에서 에피층을 형성하는 단계; 상기 에피층에 실리사이드 형성 물질을 이온 주입하는 단계; 및 상기 기판을 열처리하여 실리사이드층을 형성하는 단계를 포함하여 이루어진 반도체 소자의 실리사이드 형성 방법에 의해 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

도 2a 내지 도 2d는 본 발명에 의한 실리사이드 형성 방법에 관한 공정 단면도이다.

먼저, 도 2a는 소정의 소자가 형성된 기판상에 게이트 및 소오스/드레인을 형성하는 단계이다. 도에서 보는 바와 같이 소정의 소자가 형성된 기판(21)상에 트렌치를 형성하고, 상기 트렌치를 절연체로 충전함으로써 소자분리막(22)을 형성한다. 이어서, 패드 산화막 및 폴리실리콘을 형성한 후 폴리실리콘을 식각함으로써 폴리 게이트(23)를 형성한다. 이어서, 상기 게이트가 형성된 기판상에 질화막을 증착한 후 전면 식각으로 식각하여 게이트 측벽(24)을 형성하고, 불순물 이온 주입 공정으로 소오스/드레인(25)을 형성한다. 이어서, 상기 패드 산화막을 식각하여 게이트 절연막(26)을 형성한다.

다음, 도 2b는 상기 게이트 및 소오스/드레인상에서 에피층을 형성하는 단계이다. 도에서 보는 바와 같이 실리사이드가 형성되어야 할 영역에서 에피층(27)이 에피텍셜 성장으로 형성된다. 이는 상기 실리사이드가 형성될 영역의 표면이 외부로 노출되어 있기 때문에 가능하다. 즉, 실리사이드를 형성하는 영역 이외의 영역은 산화물 또는 질화물과 같은 절연막으로 보호되고 있기 때문에 에피텍셜 성장이 일어나지 않아 에피층이 형성되지 않는다.

다음, 도 2c는 상기 에피층에 실리사이드 형성 물질을 이온 주입하는 단계이다. 도에서 보는 바와 같이 상기 형성된 에피층에 실리사이드화 공정에 필요한 실리사이드 형성 물질을 이온 주입(28)한다. 즉, Co, Ni, W, Pt 및 Ti 등과 같은 실리사이드 형성 물질을 20 내지 500keV의 에너지로 1.0E12 내지 1.0E20의 이온 농도로 상기 에피층에 이온 주입한다.

다음, 도 2d는 상기 기판을 열처리하여 실리사이드층을 형성하는 단계이다. 도에서 보는 바와 같이 실리사이드 형성 물질이 이온 주입된 에피층을 열처리하여 실리사이드층(29)을 형성한다. 그리고 실리사이드화되지 않고 표면에 노출된 실리사이드 형성 물질은 스트립(strip) 공정으로 제거한다.

상세히 설명된 본 발명에 의하여 본 발명의 특징부를 포함하는 변화들 및 변형들이 당해 기술 분야에서 숙련된 보통의 사람들에게 명백히 쉬워질 것임이 자명하다. 본 발명의 그러한 변형들의 범위는 본 발명의 특징부를 포함하는 당해 기술 분야에 숙련된 통상의 지식을 가진 자들의 범위 내에 있으며, 그러한 변형들은 본 발명의 청구항의 범위 내에 있는 것으로 간주된다.

발명의 효과

따라서, 본 발명의 반도체 소자의 실리사이드 형성 방법은 실리사이드를 형성할 영역에서 실리콘 에피층을 형성하고 이온 주입 공정으로 실리사이드 형성 물질을 에피층에 주입하여 실리사이드층을 형성함으로써, 실리사이드 형성으로 발생하는 실리콘의 소모를 방지하고, 이로 인해 기판을 보호하고 누설 전류를 방지하는 안정적인 소자를 구현할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 소자의 실리사이드 형성 방법에 있어서,
 소정의 소자가 형성된 기판상에 게이트 및 소오스/드레인을 형성하는 단계;
 상기 게이트 및 소오스/드레인상에 에피층을 형성하는 단계;
 상기 에피층에 실리사이드 형성 물질을 이온 주입하는 단계; 및
 상기 기판을 열처리하여 실리사이드층을 형성하는 단계
 를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 실리사이드 형성 방법.

청구항 2.

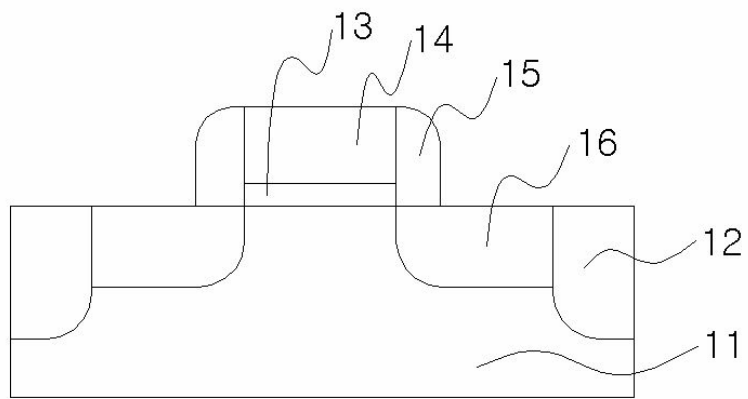
제 1항에 있어서,
 상기 실리사이드 형성 물질은 Co, Ni, W, Pt 또는 Ti임을 특징으로 하는 반도체 소자의 실리사이드 형성 방법.

청구항 3.

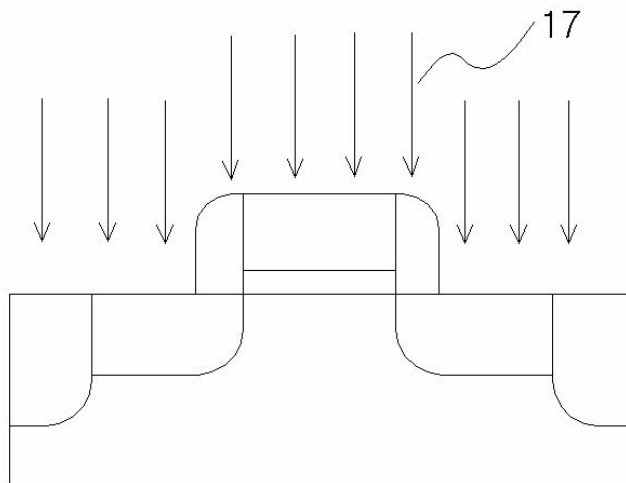
제 1항에 있어서,
 상기 이온 주입 공정은 20 내지 500keV의 에너지로 1.0E12 내지 1.0E20의 이온 농도로 이온 주입함을 특징으로 하는 반도체 소자의 실리사이드 형성 방법.

도면

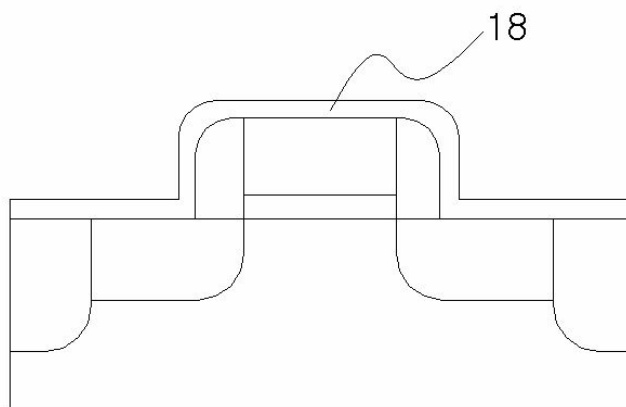
도면1a



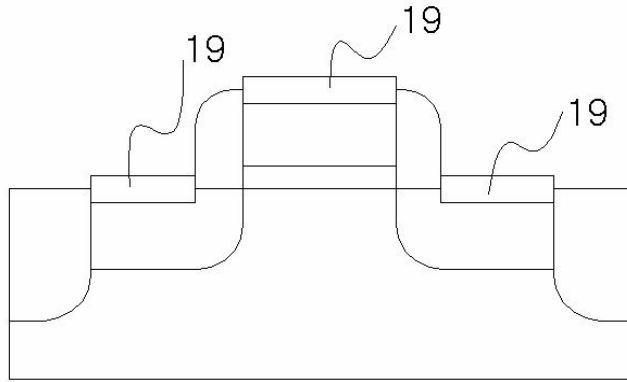
도면1b



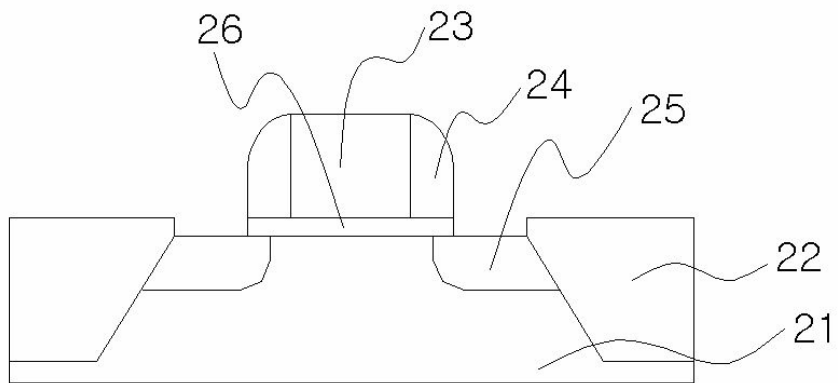
도면1c



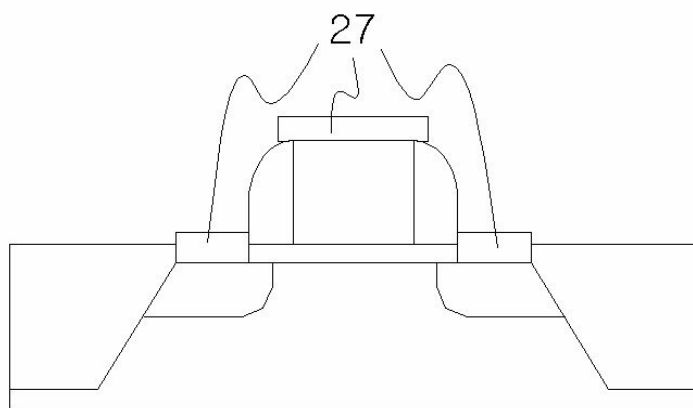
도면1d



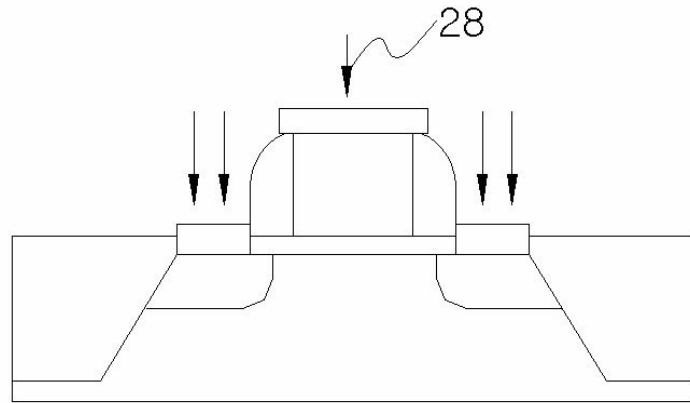
도면2a



도면2b



도면2c



도면2d

