

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.<sup>7</sup>  
G02F 1/1333

(11) 공개번호 10-2005-0041208  
(43) 공개일자 2005년05월04일

(21) 출원번호 10-2003-0076286  
(22) 출원일자 2003년10월30일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416  
(72) 발명자 장대성  
경기도용인시기흥읍농서리7-1번지마로니에동207호  
(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판

요약

본 발명에 따른 박막 트랜지스터 표시판은 절연 기판, 절연 기판 위에 형성되어 있는 복수개의 게이트선, 게이트선과 절연되어 교차하는 복수의 데이터선, 게이트선 및 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터, 박막 트랜지스터와 각각 연결되어 있는 복수의 화소 전극, 게이트선 또는 데이터선과 동일한 층에 형성되며 데이터선 또는 게이트선과 중첩하는 복수의 수리용 도전체 패턴을 포함한다.

대표도

도 2

색인어

박막트랜지스터, 수리선

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 구조를 개략적으로 도시한 등가 회로도이고,  
도 2는 도 1의 게이트선 및 데이터선의 일부분을 확대 도시한 배치도이고,  
도 3은 도 2의 II-II'선을 따라 절단한 단면도이고,  
도 4는 도 2의 IV-IV'선을 따라 절단한 단면도이고,  
도 5는 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,  
도 6은 도 5의 VI-VI'-VI''선을 따라 자른 단면도이고,  
도 7은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,  
도 8은 도 7의 VIII-VIII'선을 따라 자른 단면도이다.

※도면의 주요 부분에 대한 부호 설명※

110 : 절연 기판 121 : 게이트선

128, 178 : 수리용 도전체 패턴 131 : 유지 전극선

151 : 반도체층 171 : 데이터선

175 : 드레인 전극 190 : 화소 전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판에 관한 것으로서, 더욱 상세하게는 액정 표시 장치용 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치는 전계를 생성하는 전계 생성 전극을 가지고 있으며 소정의 간극을 두고 떨어져 있는 두 표시판과 두 표시판 사이의 간극에 주입되어 있는 이방성 유전율을 갖는 액정층을 포함한다. 이러한 액정 표시 장치는 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고, 전압의 크기에 의존하는 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 화상을 표시한다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은, 한 표시판에는 복수의 화소 전극이 구비되어 있고, 다른 표시판에는 하나의 공통 전극이 전면에 걸쳐 형성되어 있는 것이다. 이 액정 표시 장치는 삼단자 소자인 박막 트랜지스터를 사용하여 화소 전극에 인가되는 전압을 스위칭함으로써 화상을 표시하며 화소 전극 및 박막 트랜지스터가 구비된 표시판을 박막 트랜지스터 표시판이라 한다.

일반적으로 박막 트랜지스터에 신호를 공급하기 위해서 두 표시판 중 하나에 게이트선 및 데이터선을 두는데, 표시판을 제조하는 공정에서 이들 신호선이 단선되는 경우가 종종 발생한다. 이러한 단선 결함(open defect)을 수리를 하기 위한 여러 가지 방법 중 하나는 각각의 데이터선 및 게이트선과 교차하는 링 형태의 수리선(repair ring)을 두어 단선된 데이터선 또는 게이트선에 인가된 신호를 수리선을 통하여 표시 영역 바깥쪽으로 우회시켜 전달하는 것이다.

이러한 방법은 수리선을 형성할 수 있는 공간의 부족으로 일정 수 이상의 단선이 발생할 경우에는 수리가 불가능하다. 또한, 표시 영역의 바깥으로 우회함으로 인해서 배선의 저항이 증가하여 불량 화소의 표시 특성이 다른 부분보다 희미하게 나타나는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

상기한 문제점을 해결하기 위한 본 발명에서는 신호 지연을 최소화하는 동시에 다수의 단선도 용이하게 수리할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

### 발명의 구성 및 작용

이를 해결하기 위해 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 데이터선 또는 게이트선과 중첩하는 수리용 도전체 패턴을 가진다.

즉, 본 발명에 따른 박막 트랜지스터 표시판은 절연 기판, 절연 기판 위에 형성되어 있는 복수의 게이트선, 게이트선과 절연되어 교차하는 복수의 데이터선, 게이트선 및 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터, 각각의 박막 트랜지스터와 연결되어 있는 복수개의 화소 전극, 게이트선 또는 데이터선과 동일한 층에 형성되며 데이터선 또는 게이트선과 중첩하는 복수의 수리용 도전체 패턴을 포함한다.

여기서 수리용 도전체 패턴은 게이트선과 중첩하는 제1 수리용 도전체 패턴과 데이터선과 중첩하는 제2 수리용 도전체 패턴을 포함하는 것이 바람직하다.

그리고 수리용 도전체 패턴 중 적어도 하나는 데이터선 또는 게이트선과 단락되어 있을 수 있다.

이때, 제1 수리용 도전체 패턴은 이웃하는 데이터선 사이에 형성되어 있고, 제2 수리용 도전체 패턴은 이웃하는 게이트선 사이에 형성되어 있는 것이 바람직하다.

또한, 박막 트랜지스터는 게이트선에 연결되어 있는 게이트 전극, 게이트 전극과 일부분이 중첩하는 반도체층, 데이터선에 연결되어 있으며 반도체층과 적어도 일부분이 중첩하는 소스 전극, 반도체층과 적어도 일부분이 중첩하며 게이트 전극을 중심으로 소스 전극과 대향하는 드레인 전극을 포함한다.

이때, 반도체층과 소스 전극 및 드레인 전극 사이에 형성되어 있는 저항성 접촉층을 더 포함하는 것이 바람직하다.

또한, 반도체층은 다결정 규소 또는 비정질 규소로 형성되어 있는 것이 바람직하다.

여기서 수리용 도전체 패턴은 게이트선 또는 데이터선 보다 폭이 좁게 형성되어 있는 것이 바람직하다.

이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 구조를 개략적으로 도시한 등가 회로이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 가로 방향으로 뻗어 있는 복수의 게이트선(121)과 세로 방향으로 뻗어 있는 복수의 데이터선(171)의 교차에 의해 한정되는 복수의 화소 영역이 모여 화상을 표시하는 표시 영역(A)과 표시 영역(A)을 제외한 주변 영역으로 구분된다.

표시 영역(A)의 각 화소 영역에는 복수의 게이트선 및 데이터선(121, 171)과 각각 연결되어 있는 박막 트랜지스터(TFT) 및 박막 트랜지스터(TFT)를 통하여 게이트선(121) 및 데이터선(171)과 전기적으로 연결되어 있는 복수의 화소(pixel) 전극(190)이 형성되어 있다.

각각의 화소 영역에는 액정 축전기(Clc)가 있는데, 액정 축전기의 한 단자는 화소 전극이며 나머지 단자는 화소 전극과 액정 층을 사이에 두고 마주하는 공통 전극(도시하지 않음)이다.

그리고 유지 축전기(Cst)는 화소의 액정의 배향이 일정시간 동안 유지할 수 있도록 한다. 이는 서로 이웃하는 게이트선(121) 사이에 형성되어 있는 유지 전극선(도시하지 않음, 도 5참조)과 화소 전극을 중첩하여 유지 축전기를 형성할 수 있다. 또는 이웃하는 화소 행의 게이트선(121)과 화소 전극을 중첩시켜 유지 용량을 형성할 수 있으며, 이 경우에는 유지 전극선이 생략될 수 있다.

다음으로 주변 영역에는 복수의 게이트선 또는 복수의 데이터선(121, 171)이 연장되어 있으며, 이들은 표시 영역의 박막 트랜지스터(TFT)를 동작시키기 위한 구동 회로(440, 540)와 연결되어 있다.

구동 회로(440, 540)는 칩 형태로 기관 위에 장착되어 게이트선(121) 또는 데이터선(171)의 한쪽 끝부분과 연결되거나, 표시 영역(A)의 박막 트랜지스터(TFT)와 같이 기관 위에 직접 형성 될 수 있다.

칩 형태로 형성된 경우에는 외부 신호를 입력 받기 위해서 게이트선(121) 또는 데이터선(171)의 한쪽 끝부분이 게이트선(121) 또는 데이터선(171) 폭보다 확장 형성될 수 있으며, 게이트 구동 회로(440) 또는 데이터 구동 회로(540)가 게이트선(121) 및 데이터선(171)과 함께 형성되는 경우에는 게이트선 및 데이터선의 끝 부분은 구동 회로의 출력단에 연결된다.

그리고 수리용 도전체 패턴(도시하지 않음, 도 2 참조)이 게이트선(121) 또는 데이터선(171)의 일부분과 중첩하여 형성되어 있다.

수리용 도전체 패턴에 대해서는 도 2 내지 도 4를 참조하여 구체적으로 설명한다.

도 2는 도 1의 게이트선 및 데이터선의 일부분을 확대 도시한 배치도이고, 도 3은 도 2의 II-II'선을 따라 절단한 단면도이고, 도 4는 도 2의 IV-IV'선을 따라 절단한 단면도이다.

도 2 및 도 3에 도시한 바와 같이, 게이트선(121) 및 데이터선(171)은 각각 제1 및 제2 수리용 도전체 패턴(128, 178)과 중첩되어 있다. 여기서 제1 및 제2 수리용 도전체 패턴(128, 178)과 게이트선(121) 및 데이터선(171)은 절연막(140)에 의해 절연되어 있다.

제1 수리용 도전체 패턴(128)은 게이트선(121)과 동일한 층에 형성되어 있다. 그리고, 이웃하는 게이트선(121) 사이에 위치하며 데이터선(171)과 나란한 방향으로 신장되어 있다.

또한, 제2 수리용 도전체 패턴(178)은 데이터선(171)과 동일한 층에 형성어 있으며, 이웃하는 데이터선(171) 사이에 위치한다. 제2 수리용 도전체 패턴(178)은 게이트선(121)과 나란한 방향으로 신장되어 있다.

이처럼 게이트선(121) 및 데이터선(171)과 중첩하는 수리용 도전체 패턴(128, 178)을 이용하면 게이트선(121) 또는 데이터선(171)의 단선이 발생할 경우에 용이하게 수리할 수 있다.

그리고 수리용 도전체 패턴(128, 178)은 게이트선(121) 또는 데이터선(171)보다 폭이 좁게 형성되어 있다.

도 4를 참조하여 B 부분에서 단선이 발생한 데이터선을 수리하는 방법에 대해서 구체적으로 설명한다.

도 4에 도시한 바와 같이, 데이터선(171)은 B 부분에서 단선이 발생하였을 때, 이를 수리하기 위해서 레이저를 수리용 도전체 패턴(128)과 데이터선(171)이 중첩하며 단선부(B)의 양쪽에 위치하는 C 부분에 조사한다. 조사된 레이저에 의해 C 부분에서는 절연막(140)이 파괴되어 수리용 도전체 패턴(128)과 데이터선(171)이 단락(short)되어 서로 전기적으로 연결된다. 따라서 데이터선(171)에 전달되는 데이터 신호는 실선(D)과 같은 경로로 우회하여 흐르게 된다.

본 발명에서와 같이 수리용 도전체 패턴(128, 178)을 형성하면 레이저를 이용하여 용이하게 데이터선(171) 또는 게이트선(121)의 단선으로 인한 불량을 해결할 수 있다. 또한, 전기적 신호가 우회하는 경로가 표시 영역(A, 도 1참조)의 둘레를 우회하지 않기 때문에 배선 저항이 증가되지 않는다. 또한, 표시 영역의 바깥에 형성하는 링 형태의 수리선에 비해서 공간적 제약이 없기 때문에 화소의 불량을 수리하는데 개수의 제한이 없다.

이상 설명한 수리용 도전체 패턴(128, 178)을 포함하는 박막 트랜지스터 표시판에 대해서 화소에 형성되어 있는 박막 트랜지스터와 함께 좀 더 구체적으로 설명한다.

도 5는 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 6은 도 5의 VI-VI'-IV"선을 따라 자른 단면도이다.

도 5 및 도 6에 도시한 바와 같이, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 절연 기판(110) 위에 복수의 게이트선(gate line, 121), 복수의 유지 전극선(Storage line, 131)이 형성되어 있다. 또한, 제1 수리용 도전체 패턴(128)이 이웃하는 게이트선(121) 사이에 형성되어 있으며, 게이트선(121)과 분리되어 있다. 제1 수리용 도전체 패턴(128)은 후술하는 데이터선(171)과 중첩하며 데이터선(171)과 나란한 방향으로 뻗어 있다.

게이트선(121)은 게이트 신호를 전달하며, 각 게이트선(121)의 일부분은 박막 트랜지스터의 게이트 전극(gate electrode)(124)을 이루는데, 게이트 전극(124)은 다양한 모양으로 변형되어 게이트선(121)의 돌출부가 될 수도 있다.

그리고 유지 전극선(131)은 화소의 유지 용량을 증가시키기 위해서 화소 영역 안에 형성되고, 게이트선(121)과 분리되어 있으며, 주로 가로 방향으로 뻗어 있다. 유지 전극선(131)은 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)에 인가되는 공통 전압(common voltage) 따위의 미리 정해진 소정의 전압을 인가 받는다. 그리고 유지 용량을 증가시키기 위해서 유지 전극선(131)은 복수개의 가지(도시하지 않음)를 가질 수 있다.

게이트선(121), 유지 전극선(131) 및 제1 수리용 도전체 패턴(128)은 은(Ag), 은 합금, 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속 따위로 이루어진 도전막을 포함할 수 있으며, 이러한 도전막에 더하여 다른 물질, 특히 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금[보기: 폴리브덴-텅스텐(MoW) 합금] 따위로 이루어진 다른 도전막을 포함하는 다층막 구조로 형성할 수 있다. 하부막과 상부막의 조합의 예로는 크롬/알루미늄-네오디뮴(AlNd) 합금을 들 수 있다.

그리고 이들(121, 131) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 선형 반도체층(151)이 형성되어 있다. 선형 반도체층(151)은 주로 세로 방향으로 뻗어 있으며 이로부터 게이트 전극(124)까지 확대 형성되어 있는 복수의 돌출부(extension)(154)를 가진다.

그리고 선형 반도체층(151)은 후술하는 소스 전극(173)과 드레인 전극(175) 사이에 가려지지 않는 부분을 가지고 있으며, 선형 반도체층(151)의 폭이 데이터선(171)의 폭보다 작다.

반도체층(151, 154)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 선형 및 섬형 저항성 접촉층(ohmic contact)(161, 165)이 형성되어 있다. 선형 저항성 접촉층(161)은 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 접촉층(165)는 쌍을 이루어 반도체층(151)의 돌출부(154) 위에 위치한다.

저항성 접촉층(161, 165)은 그 하부의 반도체층(151, 154)과 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 주는 역할을 한다. 저항성 접촉층(161, 165)은 반도체층(151)의 소정 영역을 제외하고 반도체층(151)과 동일한 평면 패턴을 가진다. 반도체층(154)의 소정 영역은 박막 트랜지스터의 채널을 형성하는 채널부이다.

반도체층(151)은 게이트선(121)과 데이터선(171) 사이의 절연을 강화하기 위하여 게이트선(121)과 만나는 부분에서 폭이 커질 수 있다(도시하지 않음). 그리고 반도체층(151)과 데이터선(171) 사이의 기생 용량에 따라 데이터선(171) 아래의 선형 반도체층(151) 부분은 형성하지 않을 수 있다.

반도체층(151, 154)과 저항성 접촉층(161, 165)의 측면은 테이퍼지도록 형성되어 이들 위에 형성되는 층이 잘 밀착될 수 있도록 형성되어 있다.

저항 접촉층(161, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171), 복수의 드레인 전극(drain electrode)(175) 및 제2 수리용 도전체 패턴(178)이 형성되어 있다.

데이터선(171)은 선형 저항성 접촉층(161) 위에 형성되고, 주로 세로 방향으로 뺀어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 그리고 드레인 전극(175)은 섬형 저항성 접촉층(165) 위에 형성되어 있다.

각 데이터선(171)에서 드레인 전극(175)을 향하여 뺀은 복수의 가지가 소스 전극(source electrode)(173)을 이룬다. 한 쌍의 소스 전극(173)과 드레인 전극(175)은 서로 분리되어 있으며 게이트 전극(124)에 대하여 서로 반대쪽에 위치한다. 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체층(151)의 돌출부(154)와 함께 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성되어 있다.

여기서 데이터선(171)의 한쪽 끝부분은 데이터 구동 회로(도시하지 않음)로부터 전달되는 신호를 전달받기 위해서 데이터선(171) 폭보다 넓을 수 있다. 그리고 드레인 전극(175)은 화소 전극(190)과 연결되는 부분이 유지 전극선(131)과 중첩하고 있다.

그리고, 제2 수리용 도전체 패턴(178)은 이웃하는 데이터선(171) 사이에 형성되어 있으며, 데이터선(171)과 분리되어 있다. 또한, 게이트선(121)과 중첩하며 게이트선(121)과 나란한 방향으로 형성되어 있다.

이때, 데이터선(171), 드레인 전극(175) 및 제2 수리용 도전체 패턴(178) 또한, 은 계열 금속 또는 알루미늄 계열 금속 따위로 이루어진 도전막을 포함할 수 있으며, 이러한 도전막에 더하여 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조로 형성할 수 있다.

기관 위에는 데이터선(171), 드레인 전극(175) 및 노출된 반도체층(154)을 덮도록 보호막(180)이 형성되어 있다.

보호막(180)은 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 무기 물질인 질화 규소 따위로 이루어진다.

여기서 보호막(180)을 유전율이 4.0 이하의 저유전율 유기 물질로 형성할 수 있으며, 이때는 무기 물질로 형성할 때보다 보호막(180)의 두께가 두껍게 형성되므로 화소 전극(190)과 데이터선(171) 사이의 커플링 현상이 발생하지 않아 후술되는 화소 전극(190)의 가장 자리를 데이터선(171)과 중첩하여 화소의 개구율을 최대로 할 수 있다.

이러한 보호막(180)에는 데이터선(171)의 끝 부분을 노출하는 복수의 접촉구(contact hole)(182), 드레인 전극(175)을 노출하는 복수의 접촉구(185)가 형성되어 있다.

보호막(180) 위에는 ITO(indium tin oxide) 또는 IZO(Indium zinc oxide)로 이루어진 복수의 화소 전극(pixel electrode)(190)과 복수의 접촉 보조 부재(contact assistant)(82)가 형성되어 있다.

화소 전극(190)은 접촉구(185)를 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(190)은 다른 표시판의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정 분자들을 재배열 시킨다.

보호막(180)을 저유전율 유기 물질로 형성할 경우에는 화소 전극(190)을 이웃하는 게이트선(121) 및 데이터선(171)과 일부분 중첩하여 개구율(aperture ratio)을 높일 수 있다.

접촉 보조 부재(82)는 접촉구(182)를 통하여 데이터선(171)의 한쪽 끝 부분과 연결된다. 게이트선(121)의 끝부분도 데이터선(171)의 끝부분과 같이 구동 회로와 연결하기 위한 구조를 가지는 경우에는 보호막(180)의 상부에 게이트용 접촉 보조 부재가 형성된다.

접촉 보조 부재(82)는 외부와의 접촉성을 보완하기 위한 것으로 특히, 칩의 형태로 기관(110) 또는 가용성 회로 기관(도시하지 않음) 위에 장착되는 경우에 필요한 것으로 구동 회로가 기관(110) 위에 직접 박막 트랜지스터 등으로 만들어지는 경우에는 형성하지 않는다.

마지막으로 화소 전극(190) 및 보호막(180) 위에는 배향막(11)이 형성되어 있다. 배향막(11)은 액정 분자들의 수평 방향을 결정하기 위한 러빙 처리가 되어 있다.

이상은 비정질 규소를 반도체층으로 가지는 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판의 일 실시예에 대해서 설명하였으나, 반도체층은 다결정 규소를 이용하여 형성할 수 있다.

도 7 및 도 8을 참조하여 다결정 규소를 반도체층으로 가지는 박막 트랜지스터 표시판에 대해서 구체적으로 설명한다.

도 7은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 8은 도 7의 VIII-VIII선을 따라 자른 단면도이다.

도 7 및 도 8에 도시한 바와 같이, 투명한 절연 기관(110) 위에 산화 규소 등으로 이루어진 차단막(111)이 형성되어 있다. 차단막(111) 위에는 소스 영역(153), 드레인 영역(155) 및 이들 사이에 형성되어 있으며, 불순물이 도핑되지 않은 채널 영역(154)을 포함하는 반도체층(150)이 형성되어 있다. 그리고 반도체층의 소스 영역(153)과 채널 영역(154) 사이, 드레인 영역(155)과 채널 영역(154) 사이에는 저농도 도핑 영역(lightly doped drain)(152)이 형성되어 있다.

저농도 도핑 영역(152)은 누설 전류(leakage current)나 펀치스루(punch through) 현상이 발생하는 것을 방지한다. 소스 영역(153)과 드레인 영역(155)은 도전형 불순물이 고농도로 도핑되어 있고, 저농도 도핑 영역(152)에는 도전형 불순물이 소스 및 드레인 영역(153, 155)보다 저농도로 도핑되어 있다.

여기서 도전형 불순물은 P형 또는 N형 도전형 불순물로, P형 도전형 불순물로는 붕소(B), 갈륨(Ga) 등이 사용되고, N형 불순물로는 인(P), 비소(As) 등이 사용될 수 있다.

반도체층(150) 위에는 질화 규소 또는 산화 규소 등으로 이루어진 게이트 절연막(140)이 형성되어 있다. 그리고 게이트 절연막(140) 위에는 일 방향으로 긴 게이트선(121)이 형성되어 있고, 게이트선(121)의 일부가 연장되어 반도체층(150)의 채널 영역(154)과 중첩되어 있다. 채널 영역(154)과 중첩된 부분은 박막 트랜지스터의 게이트 전극(124)으로 사용된다. 게이트 전극(124)은 저농도 도핑 영역(152)과 중첩(도시하지 않음)될 수도 있다.

그리고 화소의 유지 용량을 증가시키기 위한 유지 전극선(131)이 게이트선(121)과 평행하며, 동일한 물질로 동일한 층에 형성되어 있다. 반도체층(150)과 중첩하는 유지 전극선(131)의 일 부분은 유지 전극(133)이 되며, 유지 전극(133)과 중첩하는 반도체층(150)은 유지 전극 영역(157)이 된다. 게이트선(121)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 게이트선(121) 폭보다 넓게 형성(도시하지 않음)할 수 있다.

또한, 게이트 절연막(140) 위에는 제1 수리용 도전체 패턴(128)이 형성되어 있다. 제1 수리용 도전체 패턴(128)은 이웃하는 게이트선(121) 사이에 형성되며 게이트선(121)과 분리되어 있다. 이때 제1 수리용 도전체 패턴(128)은 후술하는 데이터선(171)과 중첩하며 데이터선(171)과 나란한 방향으로 뻗어 있다.

게이트선(121), 유지 전극선(131) 및 제1 수리용 도전체 패턴(128)을 포함하는 게이트 절연막(140) 위에 제1 층간 절연막(601)이 형성되어 있다. 제1 층간 절연막(601)은 소스 영역(153)과 드레인 영역(155)을 각각 노출하는 제1 및 제2 접촉구(161, 162)를 포함하고 있다.

제1 층간 절연막(601) 위에 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171)이 형성되어 있다. 데이터선(171)의 일부분 또는 분지형 부분은 제1 접촉구(161)를 통해 소스 영역(153)과 연결되어 있으며 소스 영역(153)과 연결되어 있는 부분(173)은 박막 트랜지스터의 소스 전극(173)으로 사용된다. 데이터선(171)의 한쪽 끝부분은 외부 회로와 연결하기 위해서 데이터선(171) 폭보다 넓게 형성할 수 있다.

그리고 데이터선(171)과 동일한 층에는 소스 전극(173)과 일정거리 떨어져 형성되어 있으며 제2 접촉구(162)를 통해 드레인 영역(155)과 연결되어 있는 드레인 전극(175)이 형성되어 있다.

또한, 제1 층간 절연막(601) 위에는 제2 수리용 도전체 패턴(178)이 형성되어 있다. 제2 수리용 도전체 패턴(178)은 이웃하는 데이터선(171) 사이에 형성되며 데이터선(171)과 분리되어 있다. 이때 제2 수리용 도전체 패턴(178)은 게이트선(121)과 중첩하며 게이트선(121)과 나란한 방향으로 뻗어 있다.

드레인 전극(175) 및 데이터선(171)을 포함하는 제1 층간 절연막(601) 위에 제2 층간 절연막(602)이 형성되어 있다. 제2 층간 절연막(602)은 드레인 전극(175)을 노출하는 제3 접촉구(163)를 가진다.

제2 층간 절연막(602) 위에는 제3 접촉구(163)를 통해 드레인 전극(175)과 연결되어 있는 화소 전극(190)이 형성되어 있고, 화소 전극(190) 위는 배향막(11)이 형성되어 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 발명의 효과

이상 설명한 바와 같이, 본 발명에서와 같은 게이트선 또는 데이터선과 중첩하는 수리용 도전체 패턴을 배치하여 데이터선 또는 게이트선의 단선을 수리할 수 있다.

또한, 수리선의 길이를 최소화하여 게이트선 또는 데이터선의 배선 저항이 증가하는 것을 최소화하여 고품질의 박막 트랜지스터 표시판을 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

절연 기판,

상기 절연 기판 위에 형성되어 있는 복수의 게이트선,

상기 게이트선과 절연되어 교차하는 복수의 데이터선,

상기 게이트선 및 데이터선과 각각 연결되어 있는 복수의 박막 트랜지스터,

상기 박막 트랜지스터와 각각 연결되어 있는 복수의 화소 전극,

상기 게이트선 또는 상기 데이터선과 동일한 층에 형성되며 상기 데이터선 또는 상기 게이트선과 중첩하는 복수의 수리용 도전체 패턴을 포함하는 박막 트랜지스터 표시판.

## 청구항 2.

제1항에서,

상기 수리용 도전체 패턴은 상기 게이트선과 중첩하는 제1 수리용 도전체 패턴과 상기 데이터선과 중첩하는 제2 수리용 도전체 패턴을 포함하는 박막 트랜지스터 표시판.

## 청구항 3.

제1항에서,

상기 수리용 도전체 패턴 중 적어도 하나는 상기 데이터선 또는 상기 게이트선과 단락되어 있는 박막 트랜지스터 표시판.

## 청구항 4.

제2항에서,

상기 제1 수리용 도전체 패턴은 이웃하는 상기 데이터선 사이에 형성되어 있는 박막 트랜지스터 표시판.

## 청구항 5.

제2항에서,

상기 제2 수리용 도전체 패턴은 이웃하는 상기 게이트선 사이에 형성되어 있는 박막 트랜지스터 표시판.

## 청구항 6.

제1항에서,

상기 박막 트랜지스터는 상기 게이트선에 연결되어 있는 게이트 전극,

상기 게이트 전극과 일부분이 중첩하는 반도체층,

상기 데이터선에 연결되어 있으며 상기 반도체층과 적어도 일부분이 중첩하는 소스 전극,

상기 반도체층과 적어도 일부분이 중첩하며 상기 게이트 전극을 중심으로 상기 소스 전극과 대향하는 드레인 전극을 포함하는 박막 트랜지스터 표시판.

## 청구항 7.

제6항에서,

상기 반도체층과 상기 소스 전극 및 드레인 전극 사이에 형성되어 있는 저항성 접촉층을 더 포함하는 박막 트랜지스터 표시판.

청구항 8.

제6항에서,

상기 반도체층은 다결정 규소 또는 비정질 규소로 형성되어 있는 박막 트랜지스터 표시판.

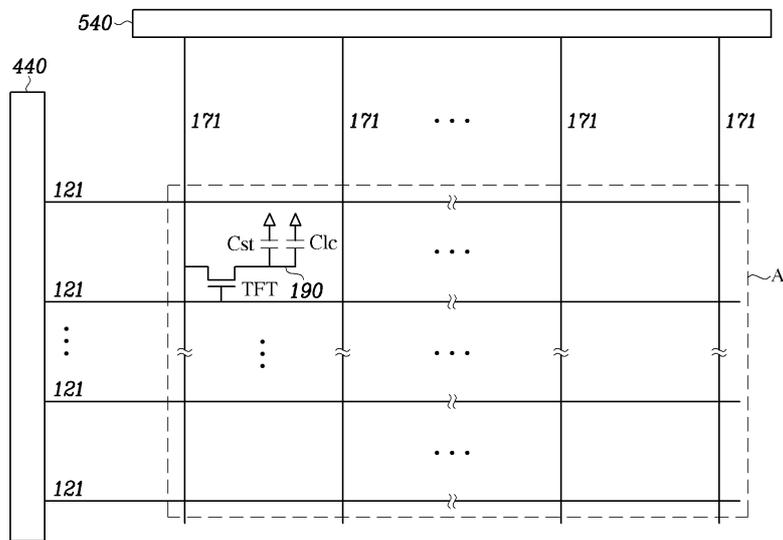
청구항 9.

제1항에서,

상기 수리용 도전체 패턴은 상기 게이트선 또는 데이터선 보다 폭이 좁게 형성되어 있는 박막 트랜지스터 표시판.

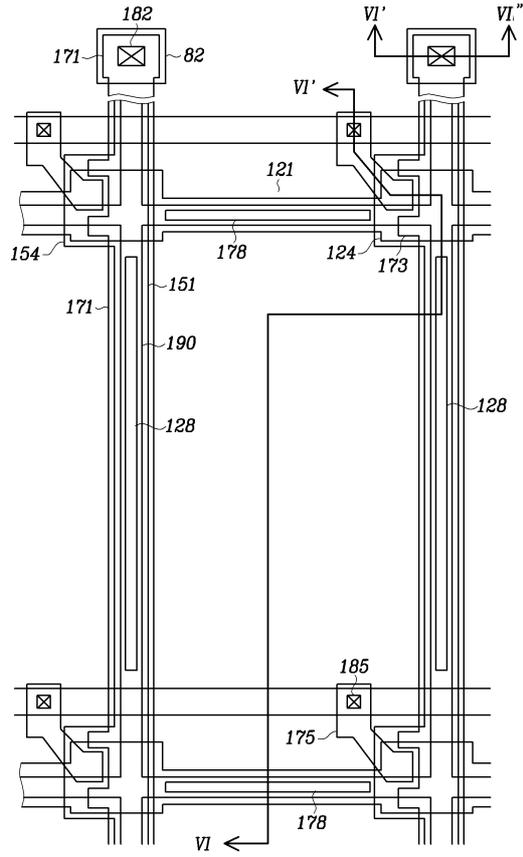
도면

도면1

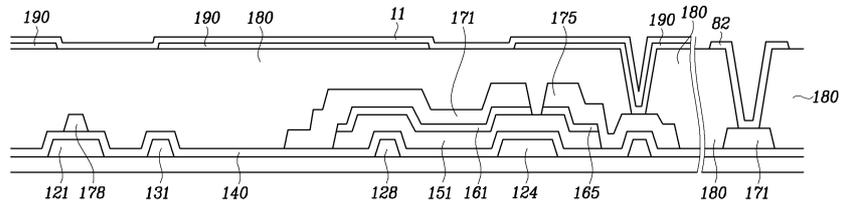




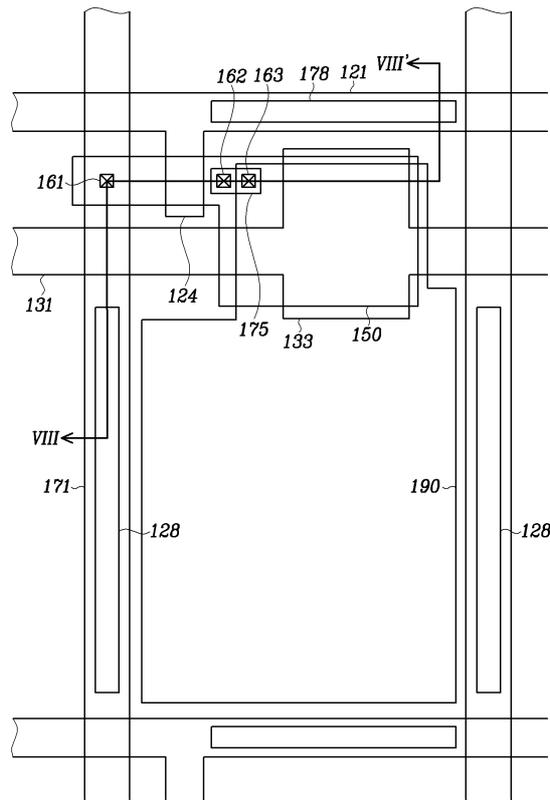
도면5



도면6



도면7



도면8

