

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-265621
(P2007-265621A)

(43) 公開日 平成19年10月11日(2007.10.11)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 E	5MO24
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	

審査請求 有 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2007-187446 (P2007-187446)	(71) 出願人	591024111 株式会社ハイニクスセミコンダクター HYNIX SEMICONDUCTOR INC. 大韓民国京畿道利川市夫鉢邑牙美里山136-1 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
(22) 出願日	平成19年7月18日 (2007.7.18)	(74) 代理人	100065215 弁理士 三枝 英二
(62) 分割の表示	特願2002-185614 (P2002-185614) の分割	(74) 代理人	100114616 弁理士 眞下 晋一
原出願日	平成14年6月26日 (2002.6.26)	(74) 代理人	100124028 弁理士 松本 公雄
(31) 優先権主張番号	2001-038019		
(32) 優先日	平成13年6月29日 (2001.6.29)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

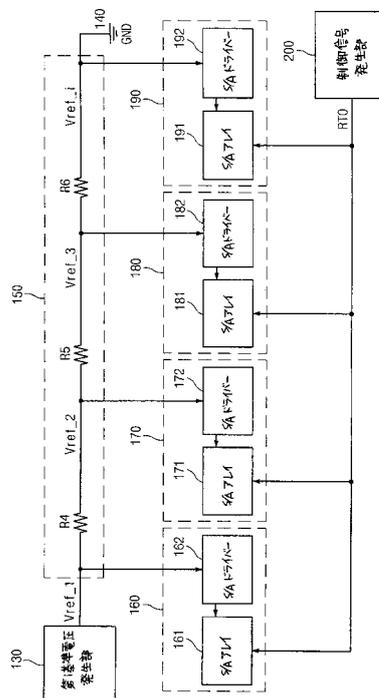
(54) 【発明の名称】 半導体メモリ素子の信号伝達制御装置

(57) 【要約】

【課題】 センスアンプの読み出し信号を出力するタイミングを同期させることができる半導体メモリ素子の信号伝達制御装置を提供すること。

【解決手段】 第1基準電圧を発生させる第1基準電圧発生部130、前記第1基準電圧より低い第2基準電圧を発生させる第2基準電圧発生部140、センスアンプを制御するためのクロック信号を出力する制御信号発生部200、第1基準電圧発生部130の出力端と第2基準電圧発生部140の出力端との間に複数の接続ノードを有して接続されており、該複数の接続ノードを介して、複数の異なるレベルの基準電圧を出力する抵抗部150、及び前記クロック信号及び前記基準電圧を受信し、該基準電圧により制御信号発生部200からの距離に応じて、受信した前記クロック信号の出力のタイミングを調節し、調節した前記クロック信号に応じて前記センスアンプの駆動を制御する複数のセンスアンプ駆動部160~190を備える。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 基準電圧を発生させる第 1 基準電圧発生部、
前記第 1 基準電圧より低い第 2 基準電圧を発生させる第 2 基準電圧発生部、
センスアンプを制御するためのクロック信号を出力する制御信号発生部、
前記第 1 基準電圧発生部の出力端と前記第 2 基準電圧発生部の出力端との間に複数の接続ノードを有して接続されており、該複数の接続ノードを介して、複数の異なるレベルの基準電圧を出力する抵抗部、及び
前記クロック信号及び前記基準電圧を受信し、該基準電圧により前記制御信号発生部からの距離に応じて、受信した前記クロック信号の出力のタイミングを調節し、調節した前記クロック信号に応じて前記センスアンプの駆動を制御する複数のセンスアンプ駆動部を備えていることを特徴とする半導体メモリ素子の信号伝達制御装置。

10

【請求項 2】

前記複数のセンスアンプ駆動部が、
前記制御信号発生部からの距離に比例した前記基準電圧を受けるように構成されていることを特徴とする請求項 1 記載の半導体メモリ素子の信号伝達制御装置。

【請求項 3】

前記センスアンプ駆動部が、
前記制御信号発生部から受信した前記クロック信号に応じて、センスアンプの駆動を制御するセンスアンプ駆動信号を出力するセンスアンプアレイ、及び
受信した基準電圧に応じて、前記センスアンプを駆動するセンスアンプドライバを備えていることを特徴とする請求項 1 記載の半導体メモリ素子の信号伝達制御装置。

20

【請求項 4】

前記抵抗部が、
複数の抵抗素子を備えており、該複数の抵抗素子の接続端のそれぞれと、前記複数のセンスアンプ駆動部のそれぞれとが、前記接続ノードにより接続されていることを特徴とする請求項 1 記載の半導体メモリ素子の信号伝達制御装置。

【請求項 5】

前記第 2 基準電圧発生部が、接地端であることを特徴とする請求項 1 記載の半導体メモリ素子の信号伝達制御装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ素子の信号伝達制御装置に関し、より詳細には、制御信号を出力する制御信号発生部が、該制御信号発生部から異なる距離に位置する複数の制御信号受信部に、同一の制御信号を送送するときに、複数の制御信号受信部の間で前記制御信号発生部からの距離の差に応じて発生する信号伝達遅延差を低減することができる半導体メモリ素子の信号伝達制御装置に関する。

【0002】

さらに詳細には、本発明は、同期式半導体メモリ素子が複数の制御信号受信部となる出力端子を有する場合、これら複数の出力端子の間で、制御信号発生部からの距離の差に応じて発生する信号伝達の遅延差を低減し、また入力端子のセットアップタイムとホールドタイムとの差を低減することにより、センスアンプの読み出し信号を一定のタイミングで出力することができる半導体メモリ素子の信号伝達制御装置に関する。

40

【背景技術】

【0003】

半導体メモリ素子における制御信号発生部から異なる距離に位置する複数の制御信号受信部としての素子や装置等に、制御信号が伝送される場合、前記制御信号発生部から各制御信号受信部までの距離の差に応じて、信号伝達遅延が発生する。

【0004】

50

図1は、制御信号発生部から、制御信号受信部としての出力ピンDQ - A ~ DQ - B及びAdd - A ~ Add - Bへ、制御信号が伝送される様子を模式的に示したブロック図である。

【0005】

図1においては、クロック信号などの制御信号が、チップの所定箇所に配置された制御信号発生部1から出力され、データピンアレイを構成する複数の出力ピンDQ - A ~ DQ - Bのそれぞれへと伝送される構成となっている。図示した構成では、出力ピンDQ - Aは制御信号発生部1の近くに位置し、出力ピンDQ - Bは制御信号発生部1から遠くに位置している。

【0006】

各出力ピンDQ - A ~ DQ - Bが、制御信号発生部1から受信したクロック信号に応じて、データ出力信号を出力する場合、出力ピンDQ - A ~ DQ - Bのうち、制御信号発生部1に近い出力ピンDQ - Aがデータ信号を出力するタイミングは速くなり、制御信号発生部1から遠い出力ピンDQ - Bがデータ信号を出力するタイミングは遅くなってしま

10

【0007】

また、制御信号は、制御信号発生部1からアドレスピンアレイを構成する複数の入力ピンAdd - A ~ Add - Bへも伝送されるが、図示した構成では、入力ピンAdd - Aは制御信号発生部1の近くに位置し、入力ピンAdd - Bは制御信号発生部1の遠くに位置している。

20

【0008】

ここで、制御信号発生部1から受信したクロック信号に応じて、各入力ピンからデータ信号であるアドレス信号が入力される場合、入力ピンAdd - A ~ Add - Bのうち、制御信号発生部1に近い入力ピンAdd - Aがアドレス信号を取り込むタイミングは速くなり、制御信号発生部1から遠い入力ピンAdd - Bがアドレス信号を取り込むタイミングは遅くなってしま

【0009】

図2は、図1に示した制御信号発生部1から、出力ピンDQ - Aに伝送されるクロック信号の立ち上がり波形(A)、及び出力ピンDQ - Bに伝送されるクロック信号の立ち上がり波形(B)を概略的に示したグラフである。

30

【0010】

図2に示したように、制御信号発生部1からの距離が近い出力ピンDQ - Aが受信したクロック信号の波形(A)は早いタイミングで立ち上がっている。これに対し、制御信号発生部1からの距離が遠い出力ピンDQ - Bにおいて受信したクロック信号の波形(B)は立ち上がりが遅くなってしま

【0011】

チップの大きさが1cm×2cm程度であり、出力ピンや入力ピン等が1cmにわたって配置されている場合、これらの各ピンの間でのクロック信号の最大伝達遅延差はおよそ1ns以上の値となる。

40

【0012】

上記のような信号伝達遅延差により、SDRAMなど、クロック信号に同期してデータ信号を出力する複数の制御信号受信部を備えた半導体メモリ素子においては、制御信号発生部1からそれぞれの制御信号受信部までの間の距離の違いによって、クロック信号が伝送されるタイミングがそれぞれ異なり、このためデータ信号が出力されるタイミングもずれてしま

【0013】

即ち、制御信号発生部1から近い距離にある制御信号受信部は早いタイミングでデータ

50

信号を出力し、遠い距離にある制御信号受信部は遅いタイミングでデータ信号を出力することとなる。このようなデータ信号を出力するまでの時間差により、データ信号が有効となる時間帯である有効データウィンドウ (valid data window) が小さくなってしまい、駆動信号の高周波化を制限してしまうという問題点があった。

【0014】

このような問題点を解決するため、制御信号発生部となるクロック発生装置から制御信号受信部となる複数のデータ出力バッファまでの距離を同一にするため、クロック信号線をツリー (tree) 状に配置する方法が用いられているが、この場合、わずかな遅延時間を補正するために必要とされる面積が大きくなりすぎるという問題点がある。

【発明の開示】**【発明が解決しようとする課題】****【0015】**

本発明は上記課題を解決するためになされたものであり、第一に、制御信号発生部が、該制御信号発生部から異なる距離に位置する複数の制御信号受信部のそれぞれに同一の信号を伝送するときに、複数の制御信号受信部の間で、制御信号発生部までの距離の差に応じて発生する信号伝達遅延差を低減する半導体メモリ素子の信号伝達制御装置を提供することを目的としている。

【0016】

第二に、制御信号受信部がセンスアンプ駆動部で構成される場合、センスアンプを駆動するタイミングを同期させて、センスアンプの読み出し信号を出力するタイミングを同期させることができる半導体メモリ素子の信号伝達制御装置を提供することを目的としている。

【課題を解決するための手段】**【0017】**

本発明に係る半導体メモリ素子の信号伝達制御装置は、第1基準電圧を発生させる第1基準電圧発生部、前記第1基準電圧より低い第2基準電圧を発生させる第2基準電圧発生部、センスアンプを制御するためのクロック信号を出力する制御信号発生部、前記第1基準電圧発生部の出力端と前記第2基準電圧発生部の出力端との間に複数の接続ノードを有して接続されており、該複数の接続ノードを介して、複数の異なるレベルの基準電圧を出力する抵抗部、及び前記クロック信号及び前記基準電圧を受信し、該基準電圧により前記制御信号発生部からの距離に応じて、受信した前記クロック信号の出力のタイミングを調節し、調節した前記クロック信号に応じて前記センスアンプの駆動を制御する複数のセンスアンプ駆動部を備えていることを特徴としている。

【0018】

また、前記複数のセンスアンプ駆動部が、前記制御信号発生部からの距離に比例した前記基準電圧を受けるように構成されていることが望ましい。

【0019】

また、前記センスアンプ駆動部が、前記制御信号発生部から受信した前記クロック信号に応じて、センスアンプの駆動を制御するセンスアンプ駆動信号を出力するセンスアンプアレイ、及び受信した基準電圧に応じて、前記センスアンプを駆動するセンスアンプドライバを備えていることが望ましい。

【0020】

また、前記抵抗部が、複数の抵抗素子を備えており、該複数の抵抗素子の接続端のそれぞれと、前記複数のセンスアンプ駆動部のそれぞれとが、前記接続ノードにより接続されていることが望ましい。

【0021】

また、前記第2基準電圧発生部が、接地端であることが望ましい。

【発明の効果】**【0022】**

参考実施形態に係る半導体メモリ素子の信号伝達制御装置によれば、制御信号発生部が

10

20

30

40

50

、該制御信号発生部から異なる距離に位置する複数の制御信号受信部のそれぞれに同一の制御信号を伝送するとき、複数の制御信号受信部の間で、前記制御信号発生部からの距離の差に応じて発生する信号伝達遅延差を低減することができるので、前記制御信号を受信して駆動するタイミングを同期させることができる。

【0023】

また、本発明に係る半導体メモリ素子の信号伝達制御装置によれば、制御信号受信部がセンスアンプとなる場合、センスアンプの読み出し信号を出力するタイミングを同期させることができる。

【発明を実施するための最良の形態】

【0024】

以下、添付した図面を参照しながら、本発明の実施の形態について詳しく説明する。

【0025】

まず、参考実施形態について説明する。参考実施形態である半導体メモリ素子の信号伝達制御装置は、クロック信号を出力する制御信号発生部、及び前記クロック信号を受信して、データ信号を出力する複数の制御信号受信部となるデータ出力部を備えている。本実施の形態では、上述した遅延を低減するように、制御信号発生部から各データ出力部までの距離に応じた基準電圧が、各データ出力部に印加されるように構成されており、これにより各データ出力部がデータ信号を出力するタイミングを同期させることができる構成となっている。

【0026】

本実施の形態では、上記基準電圧を印加するために、2つの基準電圧発生部が、第1基準電圧と第2基準電圧とを発生し、これらの両基準電圧発生部の間に、複数の接続ノードが形成され、これら接続ノードから、各データ出力部にそれぞれ相異なる基準電圧が印加される構成となっている。

【0027】

図3は、実施の形態に係る半導体メモリ素子の信号伝達制御装置を示す回路図である。

【0028】

図3に示したように、実施の形態に係る半導体メモリ素子の信号伝達制御装置は、第1基準電圧Vref_1を発生させる第1基準電圧発生部10と、第1基準電圧Vref_1より低い第2基準電圧Vref_iを発生させる第2基準電圧発生部20と、クロック信号clkを出力する制御信号発生部50と、第1基準電圧発生部10の出力端と第2基準電圧発生部20の出力端との間に複数の接続ノードを有し、これら複数の接続ノードから、複数の異なる基準電圧Vref_1~Vref_iを出力する抵抗部30と、クロック信号clk及び基準電圧Vref_1~Vref_iを受信し、基準電圧Vref_1~Vref_iにより制御信号発生部50からの距離に応じて、受信したクロック信号clkの出力のタイミングを調節し、調節した前記クロック信号に応じてデータ出力信号を出力する複数の制御信号受信部となる第1データ出力部41、第2データ出力部42、第3データ出力部43及び第4データ出力部44とを備えている。

【0029】

第1基準電圧発生部10は、電源電圧V1が印加される電源電圧端と、第1基準電圧Vref_1を出力する出力端との間に接続された抵抗素子となるPMOSトランジスタP1と、出力端と接地端との間に接続されたダイオード素子となる3つのNMOSトランジスタN1~N3とを備えており、これらの直列接続で構成されている。PMOSトランジスタP1は、そのソース端子及びドレイン端子が、それぞれ電源電圧端V1及び出力端に接続され、そのゲート端子が接地されることによって抵抗素子として用いられている。また、3つのNMOSトランジスタN1~N3は、NMOSトランジスタN1のドレイン端子及びNMOSトランジスタN3のソース端子が、それぞれ出力端及び接地端に接続され、それぞれのゲート端子とドレイン端子とが短絡されることによって、ダイオード素子として用いられている。

【0030】

同様に、第2基準電圧発生部20は、電源電圧V2が印加される電源電圧端と、第2基

10

20

30

40

50

準電圧Vref_iを出力する出力端との間に接続された抵抗素子となるPMOSトランジスタP5と、出力端と接地端との間に接続されたダイオード素子となる2つのNMOSトランジスタN5、N6とを備えており、これらの直列接続で構成されている。PMOSトランジスタP5は、そのソース端子及びドレイン端子が、それぞれ電源電圧端及び出力端の間に接続され、そのゲート端子が接地されることによって抵抗素子として用いられている。また、2つのNMOSトランジスタN5及びN6は、NMOSトランジスタN5のドレイン端子及びNMOSトランジスタN6のソース端子が、それぞれ出力端及び接地端の間に接続され、それぞれのゲート端子とドレイン端子とが短絡されることによって、ダイオード素子として用いられている。

【0031】

抵抗部30は、第1基準電圧発生部10の出力端となるPMOSトランジスタP1のドレイン端子と、第2基準電圧発生部20の出力端となるPMOSトランジスタP5のドレイン端子との間に介装されている。抵抗部30は、3つの抵抗素子となるPMOSトランジスタP2、P3及びP4を備えている。PMOSトランジスタP2、P3及びP4のそれぞれは、そのゲート端子が接地されることによって抵抗素子として用いられている。

【0032】

各抵抗素子の接続端となる、第1基準電圧発生部10とPMOSトランジスタP2との間の接続端、PMOSトランジスタP2とPMOSトランジスタP3との間の接続端、PMOSトランジスタP3とPMOSトランジスタP4との間の接続端、PMOSトランジスタP4と第2基準電圧発生部10との間の接続端のそれぞれと、各データ出力部41～44のそれぞれとが、接続ノードにより接続されている。これにより、各データ出力部41～44には、それぞれ相異なる基準電圧Vref_1～Vref_iが出力されるようになっている。

【0033】

各データ出力部41～44は、制御部からのクロック信号clk、外部からのデータ入力信号data及び基準電圧Vref_1～Vref_iを受信して、データ出力信号DQを出力するように構成されている。

【0034】

図4は、図3に示した第1データ出力部41の回路図であるが、他のデータ出力部42～44についても、同様の構成となっている。

【0035】

図4に示したように、第1データ出力部41は、クロック調節部、データ伝送部及びデータ入力信号出力部を備えている。

【0036】

クロック調節部は、スイッチング素子として直列接続された、PMOSトランジスタP6、NMOSトランジスタN7、及びNMOSトランジスタN8を備えており、この直列接続の一端となるPMOSトランジスタP6のソース端子には電源電圧V3が印加され、他端となるNMOSトランジスタN8のソース端子は接地されている。またクロック調節部は、PMOSトランジスタP6及びNMOSトランジスタN7のゲート端子から、クロック信号clkを受信し、NMOSトランジスタN8のゲート端子から基準電圧Vref_1を受信して、PMOSトランジスタP6のドレイン端子から、該基準電圧により制御信号発生部50からの距離に応じて、受信した前記クロック信号の出力のタイミングを調節したクロック出力信号clk_outを出力するように構成されている。

【0037】

データ伝送部は、外部からのデータ入力信号dataを受信するインバータIV1と、クロック出力信号clk_outを受信し、これを反転させて出力するインバータIV2と、伝送ゲートTG1と、該伝送ゲートTG1からの出力を反転させるインバータIV3と、該インバータIV3と逆向きに並列接続されたインバータIV4と、伝送ゲートTG2と、該伝送ゲートTG2の出力を反転させるインバータIV5とを備えている。

【0038】

10

20

30

40

50

伝送ゲートTG1のNMOSゲートは、PMOSトランジスタP6及びNMOSトランジスタN7の共通ドレイン端子と接続されており、伝送ゲートTG1のPMOSゲートは、インバータIV2の出力端に接続されている。これにより、伝送ゲートTG1は、インバータIV2からの出力及びクロック出力信号clk_outに制御され、インバータIV1からの出力を受信するようになっている。また、伝送ゲートTG1から出力された信号は、2つのインバータIV3及びIV4で構成されたラッチ部を介して伝送ゲートTG2に伝送される。

【0039】

伝送ゲートTG2のPMOSゲートは、PMOSトランジスタP6及びNMOSトランジスタN7の共通ドレイン端子と接続されており、伝送ゲートTG2のNMOSゲートは、インバータIV2の出力端に接続されている。これにより、インバータIV2からの出力及びクロック出力信号clk_outに制御され、インバータIV3の出力を受信してインバータIV5に出力するようになっている。データ伝送部は、このようにクロック出力信号clk_outに制御されて入力されるデータ入力信号dataをラッチして出力する。

10

【0040】

データ入力信号出力部は、電源電圧端V4と接地端との間に直列接続されたPMOSトランジスタP7及びNMOSトランジスタN9とを備えている。このPMOSトランジスタP7のソース端子は電源電圧V4に接続されており、NMOSトランジスタN9のソース端子が接地されている。データ入力信号出力部は、これら2つのトランジスタの共通ゲート端子でインバータIV5からの出力を受信し、PMOSトランジスタP7及びNMOSトランジスタN9の共通ドレイン端子からデータ出力信号DQを出力するようになっている。このようにして、データ入力信号出力部は、データ伝送部からの出力を基に、データ入力信号dataを出力するように構成されている。

20

【0041】

図4に示したデータ出力部41は、図3における4つのデータ出力部41～44のうち制御信号発生部50から最も距離が遠く、第2データ出力部42、第3データ出力部43、及び第4データ出力部44の順で近くなっている。この各データ出力部41～44には制御信号発生部50との距離に応じて、それぞれ異なる基準電圧Vref_1～Vref_iが印加される。

【0042】

図4に示したように、クロック調節部は、制御信号発生部50からのクロック信号の入力時に、基準電圧Vref_1～Vref_iによってNMOSトランジスタN8のターンオン抵抗値を制御してクロック信号clkの出力のタイミングを調節するように構成されている。

30

【0043】

このような構成を有する実施の形態に係る半導体メモリ素子の信号伝達制御装置の動作過程を説明すると、次の通りである。

【0044】

例えば、第1基準電圧発生部10で発生させる第1基準電圧Vref_1を3V、第2基準電圧発生部20から出力される第2基準電圧Vref_iを2Vと仮定する。

【0045】

まず、制御信号発生部50から互いに異なる距離に配置された、各データ出力部41～44にクロック信号clkが入力される。このとき、制御信号発生部50と各データ出力部41～44までの間の距離が異なるため、それぞれに入力されるクロック信号clkの取り込まれるタイミングは異なるものとなる。

40

【0046】

図5は、図3に示した各データ出力部41～44から制御信号発生部50までの距離Xと基準電圧Vrefとの関係(C)を示したグラフである。

【0047】

図示したように、本実施の形態では、制御信号発生部50から最も近い距離Xnに位置する第4データ出力部44には、低い第2基準電圧Vref_iが印加され、制御信号発

50

生部 50 から最も遠い距離 X1 に位置する第 1 データ出力部 41 には、高い第 1 基準電圧 Vref_1 が印加される。このように各データ出力部 41 ~ 44 には、制御信号発生部 50 からの距離に比例した基準電圧 Vref_1 ~ Vref_i が印加されるように構成されている。

【0048】

一方、図 6 (a) は、図 3 に示した第 4 データ出力部 44 が受信したクロック信号 clk の立ち上がり波形 (D)、及び第 1 データ出力部 41 が受信したクロック信号 clk の立ち上がり波形 (E) を概略的に示したグラフであり、図 6 (b) は、図 3 に示した第 4 データ出力部 44 が出力したクロック出力信号 clk_out の波形 (G)、及び第 1 データ出力部 41 が出力したクロック出力信号 clk_out の波形 (F) を概略的に示したグラフである。

【0049】

図 6 (a) に示したように、制御信号発生部 50 からの距離が遠い第 1 データ出力部 41 が受信したクロック信号 clk の波形 (E) は立ち上がりが遅いタイミングとなっており、制御信号発生部 50 からの距離が近い第 4 データ出力部 44 が受信したクロック信号 clk の波形 (D) は早いタイミングで立ち上がっている。このことは上述した図 2 の場合と同様である。この立ち上がりタイミングの差を調節するために、本実施の形態では、第 1 データ出力部 41 には高い基準電圧 Vref_1 を印加し、第 4 データ出力部 44 には相対的に低い基準電圧 Vref_i を印加している。

【0050】

図 6 (b) に示したように、高い基準電圧 Vref_1 が印加される第 1 データ出力部 41 では、図 4 に示した NMOS トランジスタ N8 のターンオン抵抗値が低くなり、PMOS トランジスタ P6 及び NMOS トランジスタ N7 のクロック信号 clk に対する応答が素早くなる。これにより、波形 (E) のようなクロック信号 clk の入力に対して、波形 (F) のようなクロック出力信号 clk_out が得られている。これに対し、第 4 データ出力部 44 では、波形 (D) のようなクロック信号 clk の入力に対して、波形 (G) のようなクロック出力信号 clk_out が得られている。

【0051】

このように、制御信号発生部 50 からの距離に応じた基準電圧を、各データ出力部 41 ~ 44 に印加することにより、入力されるクロック信号の立ち上がりタイミングの差を補うことができることになる。

【0052】

本実施の形態では、第 1 基準電圧発生部 10 及び第 2 基準電圧発生部 20 から出力される電圧として、図 3 で示したように二つの互いに異なる基準電圧を用いたが、別の実施の形態では、二つの基準電圧のうち一つの基準電圧として、外部から印加される電源電圧や接地電圧を用いてもよい。

【0053】

また、チップ内の全ての領域で、常に上記基準電圧を維持するように構成することもできるが、特定の領域でのみスイッチを動作させて、特定の時間の間のみ上記基準電圧を印加するようにしてもよい。これにより、上記基準電圧を印加する両端間の電圧差により継続的に電流が流れ、パワーの消耗をもたらすのを防ぐことができる。

【0054】

本発明の実施の形態に係る半導体メモリ素子の信号伝達制御装置について説明する。これは、参考実施形態として示した半導体メモリ素子の信号伝達制御装置をセンスアンプ駆動装置に適用したものである。

【0055】

図 7 は、本発明の実施の形態に係るセンスアンプ駆動装置の構成を示したブロック図である。

【0056】

図 7 に示したように、本発明の実施の形態に係るセンスアンプ駆動装置は、第 1 基準電圧発生部 130 と、第 2 基準電圧発生部 140 と、第 1 基準電圧発生部 130 と第 2 基準電圧発生部 140 との間に複数の接続ノードを有し、これら複数の接続ノードを介して、

10

20

30

40

50

複数の異なるレベルの基準電圧Vref_1~Vref_iを出力させるために直列接続された抵抗素子R4、R5及びR6を有する抵抗部150と、センスアンプ駆動部160、170、180及び190を制御するためのクロック信号となるRTO信号RT0を出力する制御信号発生部200と、RTO信号RT0及び基準電圧Vref_1~Vref_iを受信するセンスアンプ駆動部160、170、180及び190とを備えている。本実施の形態では、第2基準電圧発生部140は、接地端となっている。

【0057】

各センスアンプ駆動部160、170、180及び190は、制御信号発生部200から受信したRTO信号RT0の入力レベルを判定するセンスアンプ(S/A)アレイ161、171、181及び191と、受信した基準電圧Vref_1~Vref_iに応じて、正しい波形の読み出しを正しいタイミングで送出手のためのセンスアンプ(S/A)ドライバ162、172、182及び192とを備えている。

10

【0058】

各センスアンプ駆動部160、170、180及び190は、制御信号発生部200からの距離に比例した基準電圧Vref_1~Vref_iが入力されるように構成されている。そして、これら相異なる基準電圧Vref_1~Vref_iにより各センスアンプ駆動部160、170、180及び190の駆動能力を制御することができる。

【0059】

例えば、制御信号発生部200から最も近い位置にあるセンスアンプ駆動部190には、第2基準電圧発生部140から抵抗部150を介して、低い接地電圧GNDが印加され、これによりセンスアンプ駆動部190の駆動能力を低下させている。これに対し、制御信号発生部200から遠い位置にあるセンスアンプ駆動部160には、第1基準電圧発生部130から抵抗部150を介して、高い基準電圧Vref_1が印加され、これによりセンスアンプ駆動部160の駆動能力を向上させている。このようにして、各センスアンプ駆動部160、170、180及び190が受信するRTO信号RT0の信号伝達遅延差をセンスアンプドライバ162~192において低減することができるようになっている。

20

【0060】

本実施の形態では、第2基準電圧発生部140を接地端としたが、別の実施の形態では接地電圧を異なる基準電圧を発生させるようにしてもよい。

【0061】

以上、同期式DRAMに基づいて、本発明を説明したが、本発明は他の半導体素子の信号伝達制御装置に適用することも可能である。

30

【0062】

上述のように、参考実施形態に係る半導体メモリ素子の信号伝達制御装置によれば、制御信号発生部が、該制御信号発生部から異なる距離に位置する複数の制御信号受信部のそれぞれに同一の制御信号を送送するときに、複数の制御信号受信部の間で、前記制御信号発生部からの距離の差に応じて発生する信号伝達遅延差を低減することができるので、前記制御信号を受信して駆動するタイミングを同期させることができる。

【0063】

また、本発明に係る半導体メモリ素子の信号伝達制御装置によれば、制御信号受信部がセンスアンプとなる場合、センスアンプの読み出し信号を出力するタイミングを同期させることができる。

40

【図面の簡単な説明】

【0064】

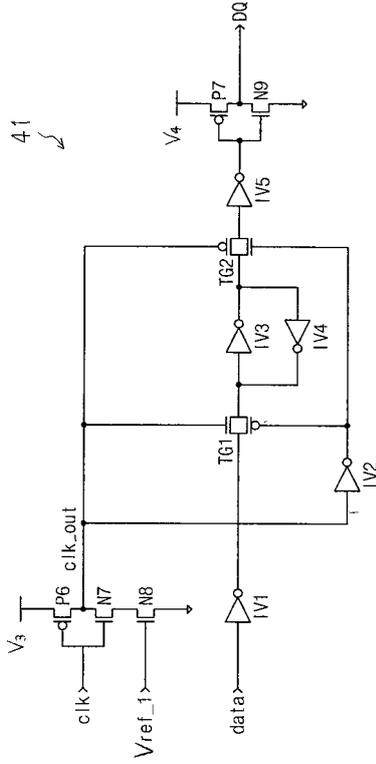
【図1】制御信号発生部が、制御信号受信部となる出力ピンに、制御信号を送送する様子を模式的に示したブロック図である。

【図2】図1に示した制御信号発生部から、出力ピンに伝送されるクロック信号の立ち上がり波形を模式的に示したグラフである。

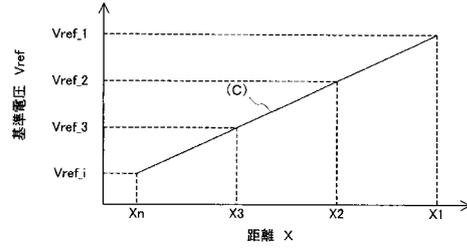
【図3】参考実施形態に係る半導体メモリ素子の信号伝達制御装置の構成を示す回路図である。

50

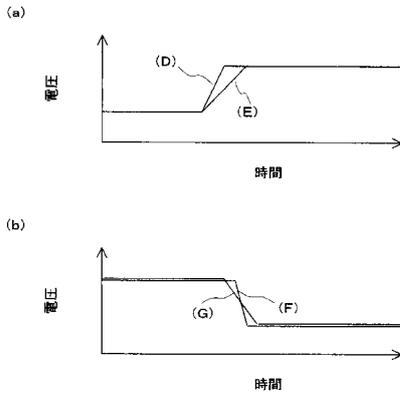
【 図 4 】



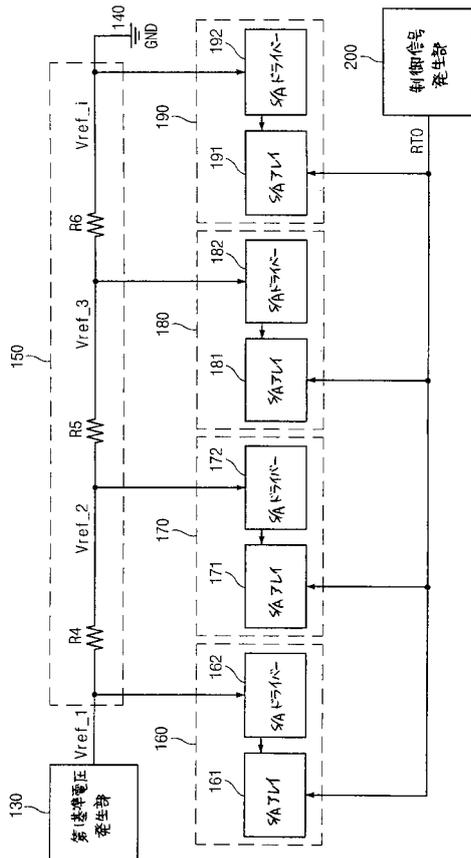
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(72)発明者 李 在 眞

大韓民国京畿道利川市大月面巴洞里 3 8 6 - 7 2

Fターム(参考) 5M024 AA36 AA44 AA49 BB14 BB18 CC77 CC82 CC90 DD30 JJ02
JJ34 PP01 PP03 PP07