

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及用於製造半導體裝置之方法

Semiconductor device and method for manufacturing semiconductor device

【技術領域】

[0001] 本發明係關於一種半導體裝置。

[0002] 注意，在本說明書中，半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置，電光裝置、半導體電路及電子裝置有時是半導體裝置。另外，具有半導體電路的裝置是半導體裝置。

【先前技術】

[0003] 電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體，矽類半導體材料被周知。另外，作為其他材料，氧化物半導體受到注目。

[0004] 例如，專利文獻 1 公開了一種使用包含銦（In）、鎵（Ga）及鋅（Zn）的非晶氧化物半導體層的電晶體。

[0005] 另外，專利文獻 2 和專利文獻 3 公開了藉由使氧化物半導體層具有疊層結構，來提高載子移動率的技

術。

[0006] 已知使用氧化物半導體層的電晶體的關閉狀態下的洩漏電流極小。例如，已公開了應用包括氧化物半導體層的電晶體的洩漏電流小的特性的低功耗的 CPU 等（參照專利文獻 4）。

[0007]

[專利文獻 1]日本專利申請公開第 2006-165528 號公報

[專利文獻 2]日本專利申請公開第 2011-124360 號公報

[專利文獻 3]日本專利申請公開第 2011-138934 號公報

[專利文獻 4]日本專利申請公開第 2012-257187 號公報

[專利文獻 5]日本專利申請公開第 2012-074692 號公報

[0008] 隨著電路的高積體化的進展，電晶體的尺寸也縮小。當縮小電晶體的尺寸時，有時通態電流、關態電流（off-state current）、臨界值或 S 值（次臨界值）等電晶體的電特性劣化（參照專利文獻 5）。一般而言，當僅縮短通道長度時，通態電流得到增加，但是卻發生關態電流的增大或 S 值的上升。另一方面，當僅縮短通道寬度時，通態電流減少。

【發明內容】

[0009] 本說明書所公開的一個方式的目的之一是提供一種調整半導體裝置的臨界值的方法及適合於調整半導體裝置的臨界值的方法的半導體裝置。另外，其目的之一是提供一種具有能夠抑制隨著微型化而逐漸顯著的電特性

劣化的結構的半導體裝置。另外，其目的之一是提供一種積體度高的半導體裝置。另外，其目的之一是提供一種通態電流特性的劣化得到抑制的半導體裝置。另外，其目的之一是提供一種低功耗的半導體裝置。另外，其目的之一是提供一種可靠性高的半導體裝置。另外，其目的之一是提供一種在關閉電源的狀態下也能保持資料的半導體裝置。另外，其目的之一是提供一種特性良好的半導體裝置。另外，其目的之一是提供一種新穎的半導體裝置。

[0010] 注意，這些目的的記載不妨礙其他目的的存在。此外，本說明書所公開的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的目的。

[0011] 本說明書所公開的一個方式是一種半導體裝置的製造方法，在該半導體裝置中配置為矩陣狀的電晶體，該電晶體包括第一半導體、電連接於第一半導體的電極（源極電極或汲極電極）、閘極電極以及在閘極電極與第一半導體之間的電荷俘獲層，其中使對將電位供應給電晶體的閘極電極的電路（例如，字線驅動器電路）供應電源的佈線（第一佈線）與對將電位供應給電晶體的電極的電路（例如，位元線驅動器電路）供應電源的佈線（第二佈線）分開，藉由以 125°C 以上且 450°C 以下保持使第一佈線的電位比第二佈線高的狀態 1 秒以上，能夠使電荷俘獲層俘獲電子。

[0012] 上述結構也可以包括夾著第一半導體的第二

半導體及第三半導體，第二半導體設置在第一半導體與電荷俘獲層之間。

[0013] 在上述結構中，閘極電極較佳為面對第一半導體的頂面及側面。

[0014] 在上述結構中，電荷俘獲層包含氮化矽、氧化鉛、氧化鋁和矽酸鋁中的一個。

[0015] 藉由採用本說明書所公開的一個方式，可以提供一種使半導體裝置的臨界值調整至適當的值的值的方法。另外，可以提供一種能夠抑制隨著微型化而逐漸顯著的電特性下降的半導體裝置。另外，可以提供一種積體度高的半導體裝置。另外，可以提供一種低功耗的半導體裝置。另外，可以提供一種可靠性高的半導體裝置。另外，可以提供一種在關閉電源的狀態下也能保持資料的半導體裝置。另外，可以獲得該段落中未說明的說明書所說明的效果中的至少一個。

【圖式簡單說明】

[0016]

在圖式中：

圖 1A 至圖 1D 是示出實施方式的半導體裝置的例子的圖；

圖 2A 至圖 2D 是示出實施方式的半導體裝置的帶圖的例子圖；

圖 3A 是示意性地示出實施方式的半導體裝置的特性

的圖，圖 3B 是示出應用半導體裝置的電路的例子的圖；

圖 4A 和圖 4B 是示出實施方式的記憶單元的例子的圖；

圖 5 是示出實施方式的處理器的例子的圖；

圖 6 是示出實施方式的處理器的臨界值調整處理的例子的圖；

圖 7 是示出實施方式的處理器的工作時的例子的圖；

圖 8A 至圖 8C 是示出半導體裝置的製程的圖；

圖 9A 至圖 9C 是說明電晶體的俯視圖及剖面圖；

圖 10A 和圖 10B 是層疊有半導體層的帶圖的示意圖；

圖 11A 至圖 11C 是說明電晶體的俯視圖及剖面圖；

圖 12A 至圖 12C 是說明電晶體的製造方法的圖；

圖 13A 至圖 13C 是說明電晶體的製造方法的圖；

圖 14A 至圖 14C 是說明電晶體的俯視圖及剖面圖；

圖 15A 和圖 15B 是說明記憶單元及半導體晶片的圖；

圖 16 是說明記憶單元的電路圖；

圖 17A 和圖 17B 是說明記憶體部（memory unit）及半導體晶片的圖；

圖 18A 至圖 18F 是示出電子裝置的例子的圖；

圖 19A 和圖 19B 是說明實施例中製造的電晶體的電特性評價的圖；

圖 20A 和圖 20B 是說明實施例中製造的電晶體的電

特性評價的圖；

圖 21 是說明參考實例中製造的電晶體的電特性評價的圖。

【實施方式】

[0017] 參照圖式對實施方式進行詳細說明。注意，本說明書所公開的技術思想不侷限於以下說明，所屬發明所屬之技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容可以被變換為各種各樣的形式。因此，本說明書所公開的技術思想不應該被解釋為僅限定於以下所示的實施方式的記載內容中。

[0018] 注意，在以下說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[0019] 注意，電晶體的“源極（源極電極）”和“汲極（汲極電極）”的功能在使用極性不同的電晶體的情況下或在電路工作中當電流方向變化時，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

[0020] 注意，在本說明書等中使用的“第一”，“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0021]

實施方式 1

在本實施方式中，說明具有半導體層、電荷俘獲層及

閘極電極的半導體裝置的結構、工作原理以及應用半導體裝置的電路。圖 1A 示出具有半導體層 101、電荷俘獲層 102 及閘極電極 103 的半導體裝置。電荷俘獲層 102 可以兼作閘極絕緣層的一部分或整個部分。

[0022] 在此，作為電荷俘獲層 102，例如也可以採用：圖 1B 所示的第一絕緣層 102a 與第二絕緣層 102b 的疊層體；圖 1C 所示的第一絕緣層 102a、第二絕緣層 102b 以及第三絕緣層 102c 的疊層體；或者層疊有更多的絕緣層的疊層體。另外，也可以採用圖 1D 所示的在絕緣體 102e 中具有電絕緣的導電層 102d 的結構。絕緣體 102e 也可以由多個絕緣層形成。

[0023] 例如，圖 2A 示出圖 1B 所示的半導體裝置的點 A 至點 B 之間的帶圖的例子。在圖 2A 至圖 2D 中， E_c 表示導帶底， E_v 表示價帶頂。在圖 2A 中，閘極電極 103 的電位與源極電極或汲極電極（都未圖示）相同。

[0024] 在上述例子中，第一絕緣層 102a 的能帶間隙比第二絕緣層 102b 的能帶間隙大且第一絕緣層 102a 的電子親和力比第二絕緣層 102b 的電子親和力小，但是不侷限於該情況。

[0025] 在第一絕緣層 102a 與第二絕緣層 102b 之間的介面或第二絕緣層 102b 的內部存在電荷俘獲能階 104。當對閘極電極 103 施加比源極電極或汲極電極高的電位時，獲得圖 2B 所示的帶圖。在此，閘極電極 103 的電位也可以比源極電極或汲極電極高 1V 以上。此外，閘

極電極 103 的電位也可以比在結束該處理之後施加到閘極電極 103 的最高電位低。典型地可以低於 4V。

[0026] 在半導體層 101 中存在的電子 105 向具有更高的電位的閘極電極 103 的方向移動。從半導體層 101 向閘極電極 103 的方向移動的電子 105 的一部分被電荷俘獲能階 104 俘獲。

[0027] 電子 105 越過半導體層 101 與電荷俘獲層 102 之間的能障而被電荷俘獲能階 104 俘獲的過程有幾個。第一過程是起因於穿隧效應的過程。第一絕緣層 102a 越薄，穿隧效應越明顯。注意，在該過程中，有時被電荷俘獲能階 104 俘獲的電子因穿隧效應而回到半導體層 101 中。

[0028] 另外，藉由對閘極電極 103 施加適當的電壓，即使在電荷俘獲層 102 比較厚的情況下，也可以發生穿隧效應（Fowler-Nordheim（福勒諾德海姆）穿隧效應）。當發生 Fowler-Nordheim 穿隧效應時，穿隧電流以閘極電極 103 與半導體層 101 之間的電場的自乘增加。

[0029] 第二過程是電子 105 在電荷俘獲層 102 中的缺陷能階等的能帶間隙中的俘獲能階之間跳躍而到達第二絕緣層 102b 的過程，這是被稱為 Poole-Frenkel（普爾-夫倫克爾）傳導的傳導機制，絕對溫度越高且俘獲能階越淺，導電性越高。

[0030] 第三過程是電子 105 因熱激發而越過電荷俘獲層 102 的能障的過程。在半導體層 101 中存在的電子的

分佈根據費米-狄拉克分佈，一般而言，溫度越高，能量高的電子的比率越高。例如，在具有比費米面高 3eV 的能量的電子的 300K (27°C) 下的密度為 1 的情況下， 450K (177°C) 下的密度為 6×10^{16} ， 600K (327°C) 下的密度為 1.5×10^{25} ， 750K (477°C) 下的密度為 1.6×10^{30} 。

[0031] 電子 105 越過電荷俘獲層 102 的能障而向閘極電極 103 移動的過程為上述三個過程或組合它們的過程。尤其是，在第二過程及第三過程中，當溫度高時電流以指數函數的方式增加。

[0032] 電荷俘獲層 102 的能障層的薄的部分（能量高的部分）的電子密度越高，Fowler-Nordheim 穿隧效應越容易發生，所以溫度較佳為高。

[0033] 利用上述傳導機制而發生的電流尤其是在閘極電極 103 與半導體層 101 之間的電位差小（ 4V 以下）的情況下大多非常小，但是藉由進行長時間（例如，1 秒以上）的處理，可以使所需要的量的電子被電荷俘獲能階 104 俘獲。其結果是，電荷俘獲層 102 帶負電。

[0034] 因此，藉由在更高的溫度（比半導體裝置的使用溫度或保管溫度高的溫度或者 125°C 以上且 450°C 以下，典型地為 150°C 以上且 300°C 以下）下保持閘極電極 103 的電位比源極電極或汲極電極高的狀態 1 秒以上，典型地為 1 分鐘以上，電子從半導體層 101 向閘極電極 103 移動，其一部分被電荷俘獲能階 104 俘獲。下面，將用來俘獲電子的處理的溫度稱為處理溫度。

[0035] 被電荷俘獲能階 104 俘獲的電子的量可以由閘極電極 103 的電位調整。當相應的量的電子被電荷俘獲能階 104 俘獲時，閘極電極 103 的電場因其電荷而被遮擋，形成在半導體層 101 中的通道消失。

[0036] 被電荷俘獲能階 104 俘獲的電子的總量首先線性增加，但是其增加率逐漸下降，然後電子的總量收斂到一定值。該值根據閘極電極 103 的電位而決定，該值趨於電位越高，被俘獲的電子越增加。另外，不會超過電荷俘獲能階 104 的總數。

[0037] 需要不使被電荷俘獲能階 104 俘獲的電子從電荷俘獲層 102 流失。為此，較佳為將電荷俘獲層 102 的厚度設定為不會發生穿隧效應的厚度。例如，物理厚度較佳為大於 1nm。

[0038] 另一方面，當電荷俘獲層 102 的厚度比半導體裝置的通道長度厚得多時，次臨界值會上升，而使關閉特性劣化。因此，電荷俘獲層 102 的等效氧化矽厚度（EOT: Equivalent Oxide Thickness）為通道長度的 4 倍以上，典型地為 10 倍以上。注意，當使用所謂的 High-K 材料時，EOT 小於物理厚度。

[0039] 典型地，電荷俘獲層 102 的物理厚度為 10nm 以上且 100nm 以下，EOT 為 10nm 以上且 25nm 以下，即可。注意，在圖 1B 或圖 1C 所示的結構中，將第一絕緣層 102a 的厚度設定為 10nm 以上且 20nm 以下，將第二絕緣層 102b 的 EOT 設定為 1nm 以上且 25nm 以下，即可。

[0040] 如圖 1C 那樣，由三層的絕緣層形成電荷俘獲層 102，並且，使第三絕緣層 102c 的電子親和力比第二絕緣層 102b 小，使第三絕緣層 102c 的能帶間隙比第二絕緣層 102b 寬，由此，可以有效地保持被第二絕緣層 102b 的內部或者與其他絕緣層之間的介面的電荷俘獲能階 104 俘獲的電子。

[0041] 在此情況下，即使第二絕緣層 102b 的厚度薄，只要第三絕緣層 102c 的物理厚度足夠厚，就可以保持被電荷俘獲能階 104 俘獲的電子。第三絕緣層 102c 可以使用與第一絕緣層 102a 相同或相似的材料。此外，也可以使用其構成元素與第二絕緣層 102b 相同但電荷俘獲能階足夠少的材料。形成方法也影響到電荷俘獲能階的個數。將第三絕緣層 102c 的厚度設定為 1nm 以上且 20nm 以下。

[0042] 另外，當如圖 1D 所示那樣在絕緣體 102e 中具有電絕緣的導電層 102d 時，也由於與上述相同的原理，電子被導電層 102d 俘獲。圖 2C 及圖 2D 示出上述情況的例子。圖 2C 示出從圖 1D 的點 C 到點 D 的帶圖的例子。在圖 2C 中，閘極電極 103 的電位與源極電極或汲極電極相同。

[0043] 當將閘極電極 103 的電位設定為比源極電極或汲極電極高的電位時，獲得圖 2D 所示的帶圖。在半導體層 101 中存在的電子 105 向具有更高的電位的閘極電極 103 的方向移動。從半導體層 101 向閘極電極 103 的方向

移動的電子 105 的一部分被導電層 102d 俘獲。就是說，在圖 1D 所示的半導體裝置中，導電層 102d 具有與圖 1B 所示的半導體裝置中的電荷俘獲能階 104 相同的功能。

[0044] 另外，當導電層 102d 的功函數大時，導電層 102d 與絕緣體 102e 之間的能障高，所以可以抑制被俘獲的電子的流出。

[0045] 在上述結構中，導電層 102d 也可以由多個導電層構成。另外，第一絕緣層 102a、第二絕緣層 102b、第三絕緣層 102c 以及絕緣體 102e 也可以由多個絕緣層構成。此外，也可以由構成元素相同但形成方法不同的多個絕緣層構成。

[0046] 當第一絕緣層 102a 和第二絕緣層 102b 的構成元素相同（例如，使用氧化鋁）時，可以利用 CVD 法或 ALD 法形成第一絕緣層 102a，並利用濺射法形成第二絕緣層 102b。

[0047] 一般而言，利用濺射法形成的絕緣層包含比利用 CVD 法或 ALD 法形成的絕緣層多的電荷俘獲能階 104，俘獲電子的性質強。由於相同的理由，當第二絕緣層 102b 和第三絕緣層 102c 的構成元素相同時，可以利用濺射法形成第二絕緣層 102b，並利用 CVD 法或 ALD 法形成第三絕緣層 102c。

[0048] 另外，當第二絕緣層 102b 由構成元素相同的多個絕緣層構成時，可以利用濺射法形成其中一個層並利用 CVD 法或 ALD 法形成另一個層。

[0049] 另外，不使被電荷俘獲能階 104 俘獲的電子從電荷俘獲層 102 流出的第二方法是使半導體裝置的使用溫度或保管溫度比處理溫度足夠低。在 120°C 的溫度下電子越過 3eV 的能障的概率低於 300°C 的溫度下的 10 萬分之一。因此，在 300°C 的處理中容易越過能障而被電子陷阱能階 106 俘獲的電子在以 120°C 保管時不容易越過能障，所以電子長期被電子陷阱能階 106 俘獲。

[0050] 半導體層 101 中的電洞的有效質量極大或者實質上定域化也是有效的。在此情況下，電洞不從半導體層 101 注入到電荷俘獲層 102，因此，被電荷俘獲能階 104 俘獲的電子不與電洞複合而消失。

[0051] 另外，也可以以不施加使被電荷俘獲層 102 俘獲的電子釋放的電壓的方式設計電路或者選擇材料。例如，在如 In-Ga-Zn 類氧化物半導體那樣的電洞的有效質量極大或者實質上定域化的材料中，在閘極電極 103 的電位比源極電極或汲極電極高的情況下形成通道，而在比其低的情況下呈現與絕緣體同樣的特性。此時，閘極電極 103 與半導體層 101 之間的電場變得極小，因此 Fowler-Nordheim 穿隧效應或起因於 Poole-Frenkel 傳導的電子傳導顯著減少。

[0052] 由於第二絕緣層 102b 利用提高電荷俘獲能階 104 的材料（或者形成方法、形成條件）形成，因此，在第一絕緣層 102a 與第二絕緣層 102b 之間的介面以及第二絕緣層 102b 與第三絕緣層 102c 之間的介面也會形成很多

的電荷俘獲能階 104。

[0053] 另外，當將閘極電極 103 的電位及溫度設定為上述所示的值時，如圖 2B 所示，來自半導體層 101 中的電子被電荷俘獲能階 104 俘獲，結果電荷俘獲層 102 帶負電。

[0054] 如此，當電荷俘獲層 102 俘獲電子時，半導體裝置的臨界值提高。尤其是，當半導體層 101 使用能帶間隙寬的材料（寬能隙半導體）時，可以大幅度地減少閘極電極 103 的電位為與源極電極相同時的源極汲極間的電流（截止電流（cut-off current, I_{cut} ））。

[0055] 例如，藉由使用能帶間隙為 3.2eV 的 In-Ga-Zn 類氧化物，可以將 I_{cut} 密度（每通道寬度 1 μm 的電流值）降低至 1zA/ μm （ 1×10^{-21} A/ μm ）以下，典型地降低至 1yA/ μm （ 1×10^{-24} A/ μm ）以下。

[0056] 圖 3A 示意性地示出由電荷俘獲層 102 俘獲電子之前以及之後的室溫下的源極電極與汲極電極之間的每通道寬度 1 μm 的電流（ I_d ）的閘極電極 103 的電位（ V_g ）依賴性。注意，將源極電極的電位設定為 0V，將汲極電極的電位設定為 +1V。雖然不能直接測定小於 1fA 的電流，但是可以根據利用其他方法測定的值，即次臨界值等估計。測定方法可以參照參考實例。

[0057] 如曲線 108 所示，半導體裝置的原來的臨界值為 V_{th1} ，而在俘獲電子之後，臨界值提高（向正方向漂移）至 V_{th2} 。其結果是， $V_g=0$ 時的電流密度為 1aA/ μm

($1 \times 10^{-18} \text{A}/\mu\text{m}$) 以下，例如為 $1 \text{zA}/\mu\text{m}$ 至 $1 \text{yA}/\mu\text{m}$ 。

[0058] 例如，如圖 3B 所示，考慮積累在電容元件 111 中的電荷由電晶體 110 控制的電路。在此，不考慮電容元件 111 的電極間的洩漏電流。電容元件 111 的電容為 1fF ，電容元件 111 的電晶體 110 一側的電位為 $+1 \text{V}$ ， V_d 為 0V 。

[0059] 在電晶體 110 的 I_d - V_g 特性由圖 3A 中的曲線 108 表示，且通道寬度為 $0.1 \mu\text{m}$ 的情況下， I_{cut} 大約為 1fA ，電晶體 110 的電阻大約為 $1 \times 10^{15} \Omega$ 。因此，由電晶體 110 和電容元件 111 構成的電路的時間常數大約為 1 秒。這意味著經過 1 秒左右之後，積累在電容元件 111 中的大部分電荷消失。

[0060] 在電晶體 110 的 I_d - V_g 特性由圖 3A 中的曲線 109 表示，且通道寬度為 $0.1 \mu\text{m}$ 的情況下， I_{cut} 大約為 1yA ，電晶體 110 的電阻大約為 $1 \times 10^{24} \Omega$ 。因此，由電晶體 110 和電容元件 111 構成的電路的時間常數大約為 1×10^9 秒（即 31 年左右）。因此，即使經過 10 年之後，在電容元件 111 中也殘留著積累的電荷中的 $1/3$ 。

[0061] 換而言之，在由電晶體和電容元件構成的簡單結構的電路中，可以保持電荷 10 年。這可應用於各種記憶體裝置。例如，可應用於圖 4A 和圖 4B 所示的記憶單元。

[0062] 圖 4A 所示的記憶單元由電晶體 121、電晶體 122 以及電容元件 123 構成，電晶體 121 如圖 1A 所示地

具有電荷俘獲層 102 的電晶體。在形成電路之後，進行上述提高臨界值的處理（稱為臨界值調整處理或臨界值校正處理）來減少 I_{cut} 。在圖式中，示出電荷俘獲層 102 中具有電子，所以由與一般的電晶體不同的符號表示臨界值調整了的電晶體。

[0063] 圖 4A 所示的記憶單元被配置為矩陣狀，例如， n 行 m 列的記憶單元與讀出字線 RWL_n 、寫入字線 WWL_n 、位元線 BL_m 、源極線 SL_m 連接。

[0064] 臨界值的校正可以藉由以下方法進行。首先，將所有的源極線及位元線的電位設定為 $0V$ 。另外，在適當的溫度下保持形成有記憶單元的晶圓或晶片，將所有的寫入字線的電位設定為適當的值（例如， $+3V$ ）並保持適當的時間。其結果是，臨界值被調節為適當的值。

[0065] 另外，也可以如圖 4B 所示那樣由電晶體 124 和電容元件 125 構成記憶單元。例如， n 行 m 列的記憶單元與字線 WL_n 、位元線 BL_m 、源極線 SL_n 連接。臨界值校正方法可以與圖 4A 的方法同樣。

[0066] 在此，有一個問題：一般來說，記憶體裝置以使字線（寫入字線）中的一個電位上升的方式而不以使所有的字線的電位同時上升的方式設計。另外，可以將所有的位元線設定為低電位或高電位。

[0067] 為了解決上述問題，如圖 5 至圖 7 所示，需要使對字線驅動器 131 供應電源的電路與對位元線驅動器 132（以及邏輯部（logic unit）137 等其他電路）供應電

源的電路分開，當進行臨界值調整處理時分別供應不同的恆電位。

[0068] 圖 5 所示的半導體晶片 130 包括記憶體部 (memory unit) 136 及邏輯部 137。記憶體部 136 包括記憶單元陣列 135、字線驅動器 131 以及位元線驅動器 132。字線驅動器 131 與多個字線 133 連接，位元線驅動器 132 與多個位元線 134 連接。多個字線 133 與多個位元線 134 的交點設置有圖 4A 或圖 4B 所示的記憶單元。另外，不需要對圖 4A 和圖 4B 所示的記憶單元直接供應電源。

[0069] 需要對字線驅動器 131 及位元線驅動器 132 供應信號及電源，例如，信號從邏輯部 137 藉由信號供應線 139a 及信號供應線 139b 分別供應到字線驅動器 131 及位元線驅動器 132。另外，藉由高電位供應線 140a 及低電位供應線 140b 對字線驅動器 131 供應電源，藉由高電位供應線 140d 及低電位供應線 140c 對位元線驅動器 132 供應電源，藉由高電位供應線 140f 及低電位供應線 140e 對邏輯部 137 供應電源。

[0070] 高電位供應線 140a 與焊盤 138a 連接，低電位供應線 140b 與焊盤 138b 連接，低電位供應線 140c 及低電位供應線 140e 與焊盤 138c 連接，高電位供應線 140d 及高電位供應線 140f 與焊盤 138d 連接。如此，使字線驅動器 131 的電源與位元線驅動器 132 及邏輯部 137 的電源分開。

[0071] 另外，藉由信號供應線 139c 及信號供應線 139d 從焊盤 138e 及焊盤 138f 對邏輯部 137 供應信號。

[0072] 也可以在高電位供應線 140a 與焊盤 138a 之間、在低電位供應線 140b 與焊盤 138b 之間、在低電位供應線 140c/低電位供應線 140e 與焊盤 138c 之間、在高電位供應線 140d/高電位供應線 140f 與焊盤 138d 之間、在信號供應線 139c 與焊盤 138e 之間以及在信號供應線 139d 與焊盤 138f 之間分別設置某個電路。

[0073] 當進行臨界值調整處理時，例如對焊盤 138b 供應 +2V 的電位，對焊盤 138c、焊盤 138e 以及焊盤 138f 供應 0V 的電位。在此，較佳的是，邏輯部 137 不對字線驅動器 131 及位元線驅動器 132 供應信號。為了實現這種情況，使焊盤 138d 的電位與焊盤 138c 的電位相同。更佳的是，也使焊盤 138a 的電位與焊盤 138b 的電位相同。注意，電位的值不侷限於此，可以適當地設定。

[0074] 在此，重要的是：為了設定上述電位的輸入，將從字線驅動器 131 輸出到字線 133 中的至少兩條線的第一電位設定為相同，將從位元線驅動器 132 輸出到位元線 134 中的至少兩條線的第二電位設定為相同，並且第一電位處於比第二電位高 1V 以上的情況。

[0075] 例如，在圖 6 所示的例子中，雖然焊盤 138a 及焊盤 138b 的電位是 +2V 且焊盤 138c 至焊盤 138f 的電位是 0V，所以字線驅動器 131、位元線驅動器 132 及邏輯部 137 都成為非工作狀態，但是連接於字線驅動器 131 的

所有字線的電位是+2V，連接於位元線驅動器 132 的所有位元線的電位是 0V。

[0076] 就是說，所有字線 133 與所有位元線 134 之間的電位差是 2V。

[0077] 例如，當作為記憶單元使用圖 4A 所示的記憶單元時，電晶體 121 的閘極電極的電位是+2V。另外，電晶體 121 的源極電極和汲極電極中的連接於位元線 BLm 的一個的電位是 0V。在此，假使在進行臨界值調整處理之前的電晶體 121 的臨界值是 1V，由於在剛開始進行臨界值調整處理時電晶體 121 處於導通狀態，所以源極電極和汲極電極中的另一個也是 0V。

[0078] 其結果是，如上述說明那樣，電子被電荷俘獲層 102 俘獲而使臨界值提高。此時，臨界值的最大值增到+2V。如此，可以對所有的記憶單元的電晶體 121 進行臨界值調整處理。

[0079] 進行了臨界值調整處理的電晶體 121 的臨界值充分大，所以 I_{cut} 也極小。由此，在與來自外部的電源遮斷的狀態下可以長時間儲存電容元件 123 中所保持的電荷。

[0080] 另外，在上述說明中對焊盤 138a 及焊盤 138b 供應相同的電位，但是，例如也可以對焊盤 138a 供應+6V 而對焊盤 138b 供應+2V。此時，假使沒有來自外部的信號，就對所有字線 133 供應+2V。

[0081] 為了通常地工作半導體晶片 130，例如如圖 7

所示，對焊盤 138a 供應 +4V 的電位，對焊盤 138b 供應 0V 的電位，對焊盤 138c 供應 0V 的電位並且對焊盤 138d 供應 +1V 的電位，即可。另外，對焊盤 138e 以及焊盤 138f 分別輸入用來驅動邏輯部 137 的信號。

[0082] 另外，當如圖 7 所示地相鄰設置有被供應低電位的焊盤 138b 及焊盤 138c 時，例如，在進行引線接合時也可以接合引線與相同的引線等導體連接。由此，可以減少一個半導體晶片 130 的引線（端子）。

[0083] 此外，在上述說明中示出字線驅動器 131、位元線驅動器 132 及邏輯部 137 以高電位及低電位的兩個電位工作的例子，但是也可以在以三個電位以上工作的情況下也可以與上述同樣地實施。

[0084] 此外，在上述說明中示出使字線驅動器 131 的電源與位元線驅動器 132 的電源分開的例子，也可以共同使用構成字線驅動器的電路的一部分的電源與位元線驅動器 132 的電源。

[0085] 較佳為具有記憶單元的半導體裝置在出廠之前進行臨界值調整處理。例如，可以實施圖 8A 至圖 8C 所示的步驟。首先，如圖 8A 所示，在形成記憶單元之後，測定初期特性來挑選合格品。在此，較佳為僅根據是否有由於斷線等的不能恢復的工作故障而挑選合格品。在這步驟中，還沒使臨界值調整至適當的值，所以不能在長時間儲存電容元件的電荷，但是在此不加考慮。

[0086] 然後，如圖 8B 所示，注入電子。換而言之，

使適當的量的電子被電荷俘獲層俘獲。該工作與上述同樣地進行。此時，閘極電極 103 的電位與源極電位和汲極電位中的更低的電位之間的差異（閘極電壓）為 1V 以上且低於 4V，並且，等於或低於該記憶單元出廠之後的閘極電壓。

[0087] 然後，如圖 8C 所示，再次進行測定。合格品的條件之一為臨界值如預期地提高到達所希望的值。在該步驟中，也可將臨界值不正常的晶片認為不合格品而對其再次進行電子的注入。將合格品經過切割（dicing）、引線接合、樹脂密封以及封裝之後出廠。

[0088] 臨界值的上升值受控於電荷俘獲層 102 所俘獲的電子的密度。例如，在圖 1B 所示的半導體裝置中，當僅在第一絕緣層 102a 與第二絕緣層 102b 之間的介面處電子被俘獲時，在將被俘獲的電子的面密度由 Q 表示且將第一絕緣層 102a 的介電常數由 C 表示的情況下，臨界值上升 Q/C 。

[0089] 注意，如上所述，閘極電極 103 的電位決定被俘獲的電子的量，因此也可以藉由調節閘極電極 103 的電位調整臨界值的上升值。

[0090] 例如，考慮如下情況：對閘極電極 103 施加比源極電極及汲極電極的電位高 1.5V 的電位，將溫度設定為 150°C 以上且 250°C 以下，典型地為 200°C ± 20°C 的情況。在電子被電荷俘獲層 102 俘獲之前的半導體裝置的臨界值（第一臨界值， V_{th1} ）為 +1.1V 的情況下，首先通道

形成在半導體層 101 中，電子被電荷俘獲層 102 俘獲。然後，被電荷俘獲層 102 俘獲的電子的量增加，而使通道消失。在該步驟中，電子不被電荷俘獲層 102 俘獲。

[0091] 此時，當閘極電極 103 的電位比源極電極及汲極電極高 1.5V 時通道消失，因此臨界值提高至 +1.5V。也可以說被電荷俘獲層 102 俘獲的電子提高臨界值 0.4V。將因被電荷俘獲層 102 俘獲的電子而變化之後的臨界值稱為第二臨界值 (V_{th2})。

[0092] 藉由採用這種特性，可以將多個半導體裝置的原來大不相同的臨界值調節在適當的範圍內。例如，考慮第一臨界值分別為 +1.2V、+1.1V、+0.9V 的三個半導體裝置的情況。當對上述半導體裝置以上述條件進行處理時，各半導體裝置的臨界值不會因電子的俘獲而大幅度地超過 +1.5V，因此可以將三個半導體裝置的第二臨界值都調節為 +1.5V 左右。例如，也可以在進行了臨界值調整處理之後，將當初的臨界值不均勻（例如，標準差）變為當初的臨界值不均勻的四分之一。

[0093] 另外，當藉由進行臨界值調整處理來改變各電晶體的臨界值時，被這三個半導體裝置的電荷俘獲層 102 俘獲的電子的量（或者電子的面密度等）不同。

[0094] 閘極電極 103 可以使用各種材料。例如，可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta 和 W 等的導電層。該閘極電極 103 也可以是上述材料的疊層。另外，閘極電極 103 也可以使用包含氮的導

電層。例如，作為閘極電極 103 可以使用在氮化鈦層上層疊有鎢層的疊層、在氮化鎢層上層疊有鎢層的疊層、在氮化鉭層上層疊有鎢層的疊層等。

[0095] 與半導體層 101 對置的閘極電極 103 的功函數是決定半導體裝置的臨界值的因素之一，一般而言，功函數越小，臨界值越小。然而，如上所述，藉由調節被電荷俘獲層 102 俘獲的電子的量可以調整臨界值，因此可以擴大閘極電極 103 的材料的选择範圍。

[0096] 半導體層 101 可以使用各種材料。例如，除了矽、鍺、矽鍺之外，還可以使用後述的各種氧化物半導體。

[0097] 第一絕緣層 102a 可以使用各種材料。例如，可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鋯、氧化釷和氧化鉍中的一種以上的絕緣層。

[0098] 作為第二絕緣層 102b 可以使用各種材料。例如，可以使用包含氮化矽、氧化鉛、氧化鋁和矽酸鋁等中的一種以上的絕緣層。

[0099] 作為第三絕緣層 102c 可以使用各種材料。例如，可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鋯、氧化釷和氧化鉍中的一種以上的絕緣層。

[0100] 這種由電荷俘獲層 102 俘獲所需要的量的電子的半導體裝置除了臨界值為特定的值之外與一般的

MOS 半導體裝置相同。因此，電荷俘獲層 102 被用作閘極絕緣層。

[0101] 臨界值調整處理的時機不侷限於上述的時機，例如，在形成與半導體裝置的源極電極或汲極電極連接的佈線之後、在結束前製程（晶圓處理）之後、晶圓切割製程之後或者封裝製程之後等，較佳為在出廠之前的任一步驟中進行該處理。即使在上述任何步驟進行之後進行處理，也較佳為此後不使該半導體裝置在 125°C 以上的溫度下放置 1 小時以上。

[0102] 在上述例子中示出電子被電荷俘獲層 102 俘獲而使半導體裝置的臨界值調整至適當的值的例子，但是根據電荷俘獲層 102 及半導體層 101 的材料有時電洞被電荷俘獲層 102 俘獲。此時也由於相同的原理，可以臨界值下降而使臨界值調整至適當的值。為了使電荷俘獲層 102 俘獲電洞，使閘極電極 103 的電位比源極電極或汲極電極低 1V 以上，即可。

[0103] 因此，例如在圖 5 至圖 7 所示的半導體晶片中，使焊盤 138a 及焊盤 138b 的電位比焊盤 138c 至焊盤 138f 的電位低 1V 以上，即可。

[0104]

實施方式 2

在本實施方式中，參照圖式對本說明書所公開的一個方式的半導體裝置進行說明。

[0105] 圖 9A 至圖 9C 為本說明書所公開的一個方式

的電晶體的俯視圖及剖面圖。圖 9A 為俯視圖，圖 9B 為沿著圖 9A 所示的點劃線 A-B 的剖面，圖 9C 為沿著點劃線 C-D 的剖面。另外，在圖 9A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 A-B 的方向稱為通道長度方向，將點劃線 C-D 的方向稱為通道寬度方向。

[0106] 圖 9A 至圖 9C 所示的電晶體 450 包括：基板 400；基板 400 上的具有凹部及凸部的基底絕緣層 402；基底絕緣層 402 的凸部上的氧化物半導體層 404a 及氧化物半導體層 404b；氧化物半導體層 404a 及氧化物半導體層 404b 上的源極電極 406a 及汲極電極 406b；與基底絕緣層 402 的凹部、基底絕緣層 402 的凸部（或凹部）的側面、氧化物半導體層 404a 的側面、氧化物半導體層 404b 的側面以及氧化物半導體層 404b 的頂面、源極電極 406a 以及汲極電極 406b 接觸的氧化物半導體層 404c；氧化物半導體層 404c 上的閘極絕緣層 408；與閘極絕緣層 408 的頂面接觸且面對氧化物半導體層 404b 的頂面及側面；源極電極 406a、汲極電極 406b 及閘極電極 410 上的氧化物絕緣層 412。

[0107] 閘極絕緣層 408 被用作實施方式 1 所說明的電荷俘獲層。在此，閘極絕緣層 408 為利用 CVD 法形成的第一絕緣層 408a、其上的利用濺射法形成的第二絕緣層 408b 的疊層，但是如圖 1C 所示那樣，也可以為還其上的利用 CVD 法形成的絕緣層（實施方式 1 的第三絕緣層

102c) 的疊層。

[0108] 另外，將氧化物半導體層 404a、氧化物半導體層 404b 以及氧化物半導體層 404c 總稱為多層半導體層 404。

[0109] 藉由作為閘極絕緣層 408 使用相對介電常數大的材料，可以增加閘極絕緣層 408 的厚度。例如，藉由使用介電常數為 16 的氧化鉛，厚度可以增加至使用介電常數為 3.9 的氧化矽時的 4 倍左右。因此，從防止被俘獲的電子的流出的角度來看是較佳的。將閘極絕緣層 408 的厚度設定為 1nm 以上且 100nm 以下，典型地為 5nm 以上且 20nm 以下。

[0110] 另外，通道長度是指：在俯視圖中，半導體層與閘極電極重疊的區域中的源極（源極區或源極電極）與汲極（汲極區或汲極電極）之間的距離。換而言之，在圖 9A 中，通道長度相當於氧化物半導體層 404b 與閘極電極 410 重疊的區域中的源極電極 406a 與汲極電極 406b 之間的距離。通道寬度是指：半導體層與閘極電極重疊的區域中的源極或汲極的寬度。換而言之，圖 9A 中，通道寬度相當於氧化物半導體層 404b 與閘極電極 410 重疊的區域中的源極電極 406a 或汲極電極 406b 的寬度。

[0111] 藉由將閘極絕緣層 408 用作電荷俘獲層，如實施方式 1 所示那樣，可以由其內部的電荷俘獲能階俘獲電子。此時，被電荷俘獲能階俘獲的電子的量可以由閘極電極 410 的電位調整。

[0112] 由於閘極電極 410 電性上包圍氧化物半導體層 404b，因此通態電流得到增加。將這種電晶體結構稱為 surrounded channel (s-channel) 結構。在 s-channel 結構中，電流流過整個氧化物半導體層 404b (氧化物半導體層 404b 的塊內)。由於電流流過氧化物半導體層 404b 內部，因此不容易受到介面散射的影響，所以可以獲得很大的通態電流。另外，藉由增加氧化物半導體層 404b 的厚度，可以增加通態電流。

[0113] 當縮短電晶體的通道長度及通道寬度時，在使光阻遮罩縮退的同時對電極或半導體層等進行加工的情況下，電極或半導體層等的上端部有時帶弧形 (具有曲面)。藉由採用這種結構，可以提高形成在氧化物半導體層 404b 上的閘極絕緣層 408、閘極電極 410 以及氧化物絕緣層 412 的覆蓋性。此外，可以緩和在源極電極 406a 及汲極電極 406b 的端部有可能產生的電場集中，而可以抑制電晶體的劣化。

[0114] 另外，藉由進行電晶體的微型化，可以實現積體度的提高及高密度化。例如，將電晶體的通道長度設定為 100nm 以下，較佳為 40nm 以下，更佳為 30nm 以下，進一步佳為 20nm 以下，並將電晶體的通道寬度設定為 100nm 以下，較佳為 40nm 以下，更佳為 30nm 以下，進一步佳為 20nm 以下。在根據本說明書所公開的一個方式的電晶體中，即使如上所述那樣具有窄通道，因為具有 s-channel 結構，因此也可以增加通態電流。

[0115] 基板 400 不侷限於僅進行支撐的基板，也可以是形成有電晶體等其他裝置的基板。此時，電晶體 450 的閘極電極 410、源極電極 406a 和汲極電極 406b 中的至少一個也可以與上述裝置電連接。

[0116] 基底絕緣層 402 除了防止雜質從基板 400 擴散的功能以外，還可以具有對多層半導體層 404 供應氧的功能。此外，如上所述，當基板 400 是形成有其他裝置的基板時，基底絕緣層 402 還用作層間絕緣層。在此情況下，基底絕緣層 402 的表面為凹凸狀，所以較佳為利用 CMP (Chemical Mechanical Polishing: 化學機械拋光) 法等進行平坦化處理，以使其表面平坦。

[0117] 另外，在形成電晶體 450 的通道的區域中，多層半導體層 404 具有從基板 400 一側層疊有氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 的結構。另外，氧化物半導體層 404b 具有被氧化物半導體層 404a 及氧化物半導體層 404c 包圍的結構。另外，如圖 9C 所示，閘極電極 410 電性上包圍氧化物半導體層 404b。

[0118] 在此，例如，氧化物半導體層 404b 使用其電子親和力 (真空能階與導帶底之間的能量差) 大於氧化物半導體層 404a 及氧化物半導體層 404c 的氧化物半導體。電子親和力是從真空能階與價帶頂之間的能量差 (游離電位) 減去導帶底與價帶頂之間的能量差 (能隙) 的值。

[0119] 氧化物半導體層 404a 及氧化物半導體層 404c

較佳為包含一種以上的構成氧化物半導體層 404b 的金屬元素。例如，氧化物半導體層 404a 及氧化物半導體層 404c 較佳為使用其導帶底的能量比氧化物半導體層 404b 的導帶底的能量更接近真空能階 0.05eV、0.07eV、0.1eV 或 0.15eV 以上且 2eV、1eV、0.5eV 或 0.4eV 以下的氧化物半導體形成。

[0120] 在上述結構中，當對閘極電極 410 施加電場時，通道形成在多層半導體層 404 中的導帶底的能量最低的氧化物半導體層 404b 中。換言之，由於在氧化物半導體層 404b 與閘極絕緣層 408 之間形成有氧化物半導體層 404c，所以電晶體的通道形成在不與閘極絕緣層 408 接觸的區域中。

[0121] 另外，氧化物半導體層 404a 包含一種以上的構成氧化物半導體層 404b 的金屬元素，因此，與氧化物半導體層 404b 與基底絕緣層 402 接觸時的兩者之間的介面相比，在氧化物半導體層 404b 與氧化物半導體層 404a 之間的介面不容易形成介面能階。上述介面能階有時形成通道，因此有時導致電晶體的臨界值的變動。所以，藉由設置氧化物半導體層 404a，能夠抑制電晶體的臨界值等電特性的偏差。此外，可以提高該電晶體的可靠性。

[0122] 另外，氧化物半導體層 404c 包含一種以上的構成氧化物半導體層 404b 的金屬元素，因此，與氧化物半導體層 404b 與閘極絕緣層 408 接觸時的兩者之間的介面相比，在氧化物半導體層 404b 與氧化物半導體層 404c

之間的介面不容易發生載子散射。所以，藉由設置氧化物半導體層 404c，能夠提高電晶體的場效移動率。

[0123] 例如，氧化物半導體層 404a 及氧化物半導體層 404c 可以使用如下材料：包含 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 且該元素的原子數比高於氧化物半導體層 404b 的材料。明確而言，上述元素的原子數比為氧化物半導體層 404b 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。上述元素與氧堅固地鍵合，所以具有抑制在氧化物半導體層中產生氧缺陷的功能。由此可說，與氧化物半導體層 404b 相比，在氧化物半導體層 404a 及氧化物半導體層 404c 中不容易產生氧缺陷。

[0124] 另外，在氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 為至少包含銦、鋅及 M (Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬) 的 In-M-Zn 氧化物，且氧化物半導體層 404a 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ ，氧化物半導體層 404b 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ ，氧化物半導體層 404c 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_3 : y_3 : z_3$ 的情況下， y_1/x_1 及 y_3/x_3 較佳為大於 y_2/x_2 。 y_1/x_1 及 y_3/x_3 為 y_2/x_2 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。此時，在氧化物半導體層 404b 中，在 y_2 為 x_2 以上的情況下，能夠使電晶體的電特性變得穩定。注意，在 y_2 為 x_2 的 3 倍以上的情況下，電晶體的場效移動率降低，因此 y_2 較佳為低於 x_2 的 3 倍。

[0125] 氧化物半導體層 404a 及氧化物半導體層 404c 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比比較佳為如下：In 的比率低於 50atomic%，M 的比率為 50atomic%以上，更佳為如下：In 的比率低於 25atomic%，M 的比率為 75atomic%以上。另外，氧化物半導體層 404b 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比比較佳為如下：In 的比率為 25atomic%以上，M 的比率低於 75atomic%，更佳為如下：In 的比率為 34atomic%以上，M 的比率低於 66atomic%。

[0126] 氧化物半導體層 404a 及氧化物半導體層 404c 的厚度為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，氧化物半導體層 404b 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。另外，氧化物半導體層 404b 較佳為比氧化物半導體層 404a 及氧化物半導體層 404c 厚。

[0127] 氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 例如可以使用包含銦、鋅及鎵的氧化物半導體。尤其是，當氧化物半導體層 404b 包含銦時，載子移動率得到提高，所以是較佳的。

[0128] 此外，為了對使用氧化物半導體層的電晶體賦予穩定電特性，藉由降低氧化物半導體層中的雜質濃度，來使氧化物半導體層成為本質或實質上本質是有效的。在此，“實質上本質”是指氧化物半導體層的載子密度

低於 $1 \times 10^{17}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{15}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{13}/\text{cm}^3$ 。

[0129] 此外，對氧化物半導體層來說，氫、氮、碳、矽以及主要成分以外的金屬元素是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽引起氧化物半導體層中的雜質能階的形成。該雜質能階成為陷阱，有可能使電晶體的電特性劣化。因此，較佳為降低氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 中或各層之間的介面的雜質濃度。

[0130] 為了使氧化物半導體層成為本質或實質上本質，在 SIMS (Secondary Ion Mass Spectrometry: 二次離子質譜) 分析中例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中較佳為包含如下部分：矽濃度低於 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 的部分。此外，例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中較佳為包含如下部分：氫濃度為 $2 \times 10^{20} \text{atoms}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下，進一步佳為 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下的部分。此外，例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中較佳為包含如下部分：氮濃度低於 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下，進一步佳為 $5 \times 10^{17} \text{atoms}/\text{cm}^3$ 以下的部分。

[0131] 此外，當氧化物半導體層包含結晶時，如果

以高濃度包含矽或碳，氧化物半導體層的結晶性則有可能降低。為了防止氧化物半導體層的結晶性的降低，例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中包含如下部分即可：矽濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 的部分。此外，例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中包含如下部分即可：碳濃度低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 的部分。

[0132] 此外，將如上述那樣的被高度純化了的氧化物半導體層用於通道形成區的電晶體的關態電流極小。例如，可以使以源極與汲極之間的電壓為 0.1V、5V 或 10V 左右時的電晶體的通道寬度歸一化的關態電流降低到幾 $\text{yA}/\mu\text{m}$ 至幾 $\text{zA}/\mu\text{m}$ 。

[0133] 接著，對多層半導體層 404 的能帶結構進行說明。在能帶結構的解析中，將能隙為 3.5eV 的 In-Ga-Zn 氧化物用於相當於氧化物半導體層 404a 及氧化物半導體層 404c 的層，並將能隙為 3.15eV 的 In-Ga-Zn 氧化物用於相當於氧化物半導體層 404b 的層，由此形成相當於多層半導體層 404 的疊層。

[0134] 將氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 的厚度都設定為 10nm，能隙利用光譜橢圓偏光計（HORIBA Jobin Yvon 公司製造的 UT-300）進行測定。真空能階與價帶頂之間的能量差

利用紫外線光電子能譜（UPS: Ultraviolet Photoelectron Spectroscopy）裝置（PHI 公司製造的 VersaProbe）進行測定。

[0135] 圖 10A 是示意性地示出從真空能階與價帶頂之間的能量差減去各層的能隙而算出的真空能階與導帶底之間的能量差（電子親和力）的能帶結構的一部分。圖 10A 為以與氧化物半導體層 404a 和氧化物半導體層 404c 接觸的方式設置氧化矽層時的能帶圖。在此， E_{vac} 表示真空能階的能量， E_{cI1} 表示閘極絕緣層 408（例如，氧化鈣）的導帶底的能量， E_{cS1} 表示氧化物半導體層 404a 的導帶底的能量， E_{cS2} 表示氧化物半導體層 404b 的導帶底的能量， E_{cS3} 表示氧化物半導體層 404c 的導帶底的能量， E_{cI2} 表示基底絕緣層 402（例如，氧化矽）的導帶底的能量。

[0136] 如圖 10A 所示，氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 的導帶底的能量連續地變化。這是可以理解的，因為：由於氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 的構成元素相同，氧容易互相擴散。由此可以說，雖然氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 是組成互不相同的疊層體，但是在物性上是連續的。

[0137] 主要成分相同而層疊的多層半導體層 404 不是簡單地將各層層疊，而以形成連續結合（在此，尤其是

指各層之間的導帶底的能量連續地變化的 U 型井 (U-shape well) 結構) 的方式形成。換言之，以在各層的介面之間不存在會形成載子陷阱中心或再結合中心等缺陷能階的雜質的方式形成疊層結構。如果，雜質混入被層疊的多層半導體層的層間，能帶則失去連續性，因此載子在介面被俘獲或者再結合而消失。

[0138] 注意，圖 10A 示出 E_{cS1} 與 E_{cS3} 相同的情況，但是也可以相互不同。例如，圖 10B 示出 E_{cS1} 高於 E_{cS3} 時的能帶結構的一部分。

[0139] 例如，在 $E_{cS1}=E_{cS3}$ 的情況下，氧化物半導體層 404a 及氧化物半導體層 404c 可以使用 In : Ga : Zn=1 : 3 : 2、1 : 3 : 3、1 : 3 : 4、1 : 6 : 4 或 1 : 9 : 6 (原子數比) 的 In-Ga-Zn 氧化物等，氧化物半導體層 404b 可以使用 In : Ga : Zn=1 : 1 : 1 或 3 : 1 : 2 (原子數比) 的 In-Ga-Zn 氧化物等。另外，在 $E_{cS1}>E_{cS3}$ 的情況下，氧化物半導體層 404a 可以使用 In : Ga : Zn=1 : 6 : 4 或 1 : 9 : 6 (原子數比) 的 In-Ga-Zn 氧化物等，氧化物半導體層 404b 可以使用 In : Ga : Zn=1 : 1 : 1 或 3 : 1 : 2 (原子數比) 的 In-Ga-Zn 氧化物等，氧化物半導體層 404c 可以使用 In : Ga : Zn=1 : 3 : 2、1 : 3 : 3 或 1 : 3 : 4 (原子數比) 的 In-Ga-Zn 氧化物等。

[0140] 由圖 10A 和圖 10B 可知，多層半導體層 404 中的氧化物半導體層 404b 用作井 (well)，而在包括多層半導體層 404 的電晶體中，通道形成在氧化物半導體層

404b 中。另外，多層半導體層 404 的導帶底的能量連續地變化，因此，也可以將多層半導體層 404 稱為 U 型井。另外，也可以將具有上述結構的通道稱為埋入通道。

[0141] 另外，雖然在氧化物半導體層 404a 及氧化物半導體層 404c 與電子親和力大不相同的絕緣層之間的介面附近有可能形成起因於雜質或缺陷的俘獲能階，但是藉由設置氧化物半導體層 404a 及氧化物半導體層 404c，可以使氧化物半導體層 404b 和該俘獲能階相隔。注意，當 EcS1 與 EcS2 之間或 EcS3 與 EcS2 之間的能量差小時，有時氧化物半導體層 404b 的電子越過該能量差到達俘獲能階。當電子被俘獲能階俘獲時，在絕緣層的介面產生固定負電荷，使得電晶體的臨界值向正方向漂移。

[0142] 因此，為了抑制電晶體的臨界值的變動，需要使 EcS1 與 EcS2 之間及 EcS3 與 EcS2 之間產生能量差。該能量差都較佳為 0.1eV 以上，更佳為 0.15eV 以上。

[0143] 另外，較佳的是，氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 包含結晶部。尤其是，藉由使用 c 軸配向結晶，能夠對電晶體賦予穩定的電特性。

[0144] 另外，在多層半導體層 404 使用 In-Ga-Zn 氧化物的情況下，為了防止 In 擴散到閘極絕緣層，較佳為氧化物半導體層 404c 中的 In 的含量小於氧化物半導體層 404b。

[0145] 源極電極 406a 及汲極電極 406b 較佳為使用有可能與氧鍵合的導電材料。例如，可以使用 Al、Cr、Cu、Ta、Ti、Mo 和 W 等。在上述材料中，尤其佳為使用有可能與氧鍵合的 Ti 或在後面能以較高的溫度進行處理的熔點高的 W。此外，有可能與氧鍵合的導電材料包括氧有可能擴散的材料。

[0146] 當使有可能與氧鍵合的導電材料與多層半導體層接觸時，發生多層半導體層中的氧擴散到有可能與氧鍵合的導電材料一側的現象。該現象隨著溫度的提高而明顯。因為在電晶體的製程中有幾個加熱製程，所以因上述現象而在多層半導體層的與源極電極或汲極電極接觸的區域的附近發生氧缺陷，包含於層中的微量的氫與該氧缺陷鍵合而使該區域 n 型化。因此，可以將被 n 型化了的該區域用作電晶體的源極區或汲極區。

[0147] 注意，當形成通道長度極小的電晶體時，有時因上述氧缺陷的發生而 n 型化的區域向電晶體的通道長度方向超出，這導致短路。此時，由於臨界值漂移，所以電晶體的電特性發生變化，例如不能由實用的閘極電壓控制開關（此時電晶體處於導通狀態）。因此，當形成通道長度極小的電晶體時，有時不一定較佳為將有可能與氧鍵合的導電材料用於源極電極及汲極電極。

[0148] 在此情況下，源極電極 406a 及汲極電極 406b 較佳為使用與上述材料相比不容易與氧鍵合的導電材料。作為該導電材料，例如可以使用包含氮化鋁、氮化鈦或鈣

的材料等。另外，當該導電材料與氧化物半導體層 404b 接觸時，源極電極 406a 及汲極電極 406b 也可以具有該導電材料與上述有可能與氧鍵合的材料的疊層結構。

[0149] 作為基底絕緣層 402，可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鋳、氧化釷和氧化鉍中的一種以上的絕緣層。另外，閘極絕緣層 408 可以使用包含氧化鉛、氧化鋁和矽酸鋁等中的一種以上的絕緣層。將閘極絕緣層的厚度設定為 1nm 以上且 100nm 以下，較佳為 10nm 以上且 20nm 以下。

[0150] 作為閘極電極 410，可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta 和 W 等的導電層。此外，該閘極電極也可以是上述材料的疊層。另外，閘極電極 410 可以使用包含氮的導電層。例如，作為閘極電極 410 可以使用在氮化鈦層上層疊有鎢層的疊層、在氮化鎢層上層疊有鎢層的疊層、在氮化鉍層上層疊有鎢層的疊層等。

[0151] 在閘極絕緣層 408 及閘極電極 410 上也可以形成有氧化物絕緣層 412。作為該氧化物絕緣層 412，可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釷、氧化鋳、氧化釷和氧化鉍中的一種以上的絕緣層。此外，該氧化物絕緣層 412 也可以是上述材料的疊層。

[0152] 在此，氧化物絕緣層 412 較佳為包含過剩

氧。包含過剩氧的氧化物絕緣層是指因加熱處理等而能夠釋放氧的氧化物絕緣層。較佳的是，藉由利用熱脫附譜分析，換算為氧原子的氧的釋放量为 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上的層。進行上述熱脫附譜分析時的基板溫度較佳為在 100°C 以上且 700°C 以下的範圍內，或者在 100°C 以上且 500°C 以下的範圍內。能夠從將該氧化物絕緣層釋放的氧經由閘極絕緣層 408 擴散到多層半導體層 404 的通道形成區，因此即使在通道形成區形成氧缺陷的情況下也能夠補充氧。因此，能夠獲得穩定的電晶體電特性。

[0153] 為了實現半導體裝置的高積體化，必須進行電晶體的微型化。另一方面，已知伴隨著電晶體的微型化，電晶體的電特性劣化，通道寬度的縮短導致通態電流的減少。

[0154] 在本說明所公開的一個方式的電晶體中，如上所述，以覆蓋氧化物半導體層 404b 的通道形成區域的方式形成有氧化物半導體層 404c，通道形成區域與閘極絕緣層沒有接觸。因此，能夠抑制在形成通道的區域與閘極絕緣層的介面產生的載子散射，而可以增加電晶體的通態電流。

[0155] 另外，當使氧化物半導體層本質或實質上本質時，由於氧化物半導體層中的載子減少，所以場效移動率有可能下降。然而，在本說明所公開的一個方式的電晶體中，除了垂直方向上的閘極電場之外，側面方向上的閘極電場也被施加到氧化物半導體層。換而言之，閘極電場

被施加到氧化物半導體層的塊內，所以電流流過整個氧化物半導體層。由此，在抑制因高純度本質化而產生的電特性變動的同時，可以提高電晶體的場效移動率。

[0156] 另外，在本發明的一個方式的電晶體中，藉由將氧化物半導體層 404b 形成在氧化物半導體層 404a 上，來使介面能階不容易產生。此外，藉由使氧化物半導體層 404b 位於三層結構中的中間層，來消除從上下方混入的雜質的影響。由於氧化物半導體層 404b 被氧化物半導體層 404a 及氧化物半導體層 404c 包圍（由閘極電極 410 電包圍），因此，除了可以增加上述電晶體的通態電流之外，還可以實現臨界值的穩定化或 S 值的下降。因此，可以降低 I_{cut} ，而可以降低功耗。另外，由於電晶體的臨界值穩定，所以可以提高半導體裝置的長期可靠性。

[0157] 此外，還可以使用圖 11A 至圖 11C 所示的電晶體 470。圖 11A 至圖 11C 為電晶體 470 的俯視圖及剖面圖。圖 11A 為俯視圖，圖 11B 為沿著圖 11A 所示的點劃線 A-B 的剖面，圖 11C 為沿著點劃線 C-D 的剖面。另外，在圖 11A 的俯視圖中，為了明確起見，省略一部分的構成要素。

[0158] 在電晶體 470 中，當形成源極電極 406a 及汲極電極 406b 時，實質上基底絕緣層 402 具有不被蝕刻的形狀。

[0159] 為了實質上防止基底絕緣層 402 被過蝕刻，可以使基底絕緣層 402 的蝕刻速度比成為源極電極 406a

及汲極電極 406b 的導電層的蝕刻速度慢得多。

[0160] 另外，在本實施方式中，採用由氧化物半導體層 404a 及氧化物半導體層 404c 夾持氧化物半導體層 404b 的結構，但是不侷限於此，也可以採用沒有設置氧化物半導體層 404a 及氧化物半導體層 404c 且僅氧化物半導體層 404b 被閘極電極電性上包圍的結構。

[0161] 另外，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0162]

實施方式 3

在本實施方式中，參照圖 12A 至圖 13C 對實施方式 2 所說明的圖 9A 至圖 9C 所示的電晶體 450 的製造方法進行說明。

[0163] 首先，在基板 400 上形成基底絕緣層 402（參照圖 12A）。

[0164] 基板 400 可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，也可以採用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板等，並且，也可以在上述基板上設置半導體元件並將其用作基板 400。

[0165] 另外，也可以利用離子植入法、離子摻雜法、電漿浸沒離子植入法（Plasma-immersion ion implantation method）等對基底絕緣層 402 添加氧。藉由添加氧，可以

更容易地將氧從基底絕緣層 402 供應到多層半導體層 404 中。

[0166] 接著，在基底絕緣層 402 上利用濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、真空蒸鍍法或脈衝雷射沉積（PLD）法形成氧化物半導體層 404a 及氧化物半導體層 404b（參照圖 12B）。此時，如圖所示那樣，也可以對基底絕緣層 402 進行略有過剩的蝕刻。藉由對基底絕緣層 402 進行略有過剩的蝕刻，可以容易由以後形成的閘極電極 410 覆蓋氧化物半導體層 404c。

[0167] 當將氧化物半導體層 404a 及氧化物半導體層 404b 形成為島狀時，首先，在氧化物半導體層 404b 上設置成為硬遮罩的層（例如，鎢層）及光阻遮罩，對成為硬遮罩的層進行蝕刻形成硬遮罩，然後去除光阻遮罩，以硬遮罩為遮罩對氧化物半導體層 404a 及氧化物半導體層 404b 進行蝕刻。此後，去除硬遮罩。此時，當進行蝕刻時使硬遮罩逐漸變小，硬遮罩的端部自然會帶弧形而具有曲面。其結果是，氧化物半導體層 404b 的端部也帶弧形而具有曲面。藉由採用這種結構，形成在氧化物半導體層 404b 上的氧化物半導體層 404c、閘極絕緣層 408、閘極電極 410 以及氧化物絕緣層 412 的覆蓋性得到提高，而可以防止斷開等形狀不良。此外，可以緩和在源極電極 406a 及汲極電極 406b 的端部有可能產生的電場集中，而

可以抑制電晶體的劣化。

[0168] 為了在氧化物半導體層 404a 與氧化物半導體層 404b 的疊層以及包括在後面的製程中形成的氧化物半導體層 404c 的疊層中形成連續結合，需要使用具備負載鎖定室的多室成膜裝置（例如，濺射裝置）以不暴露於大氣的方式連續地層疊各個層。在濺射裝置中的各處理室中，較佳為使用低溫泵等吸附式真空泵進行高真空抽氣（抽空到 $5 \times 10^{-7} \text{Pa}$ 至 $1 \times 10^{-4} \text{Pa}$ 左右）且將被成膜的基板加熱到 100°C 以上，較佳為 500°C 以上，來盡可能地去除對氧化物半導體來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止將包含碳成分或水分等的氣體從排氣系統倒流到處理室內。

[0169] 為了獲得高純度本質的氧化物半導體，不僅需要對處理室進行高真空抽氣，而且需要進行濺射氣體的高度純化。藉由作為用作濺射氣體的氧氣體或氫氣體，使用露點為 -40°C 以下，較佳為 -80°C 以下，更佳為 -100°C 以下的高純度氣體，能夠盡可能地防止水分等混入氧化物半導體層。

[0170] 氧化物半導體層 404a、氧化物半導體層 404b 及在後面的製程中形成的氧化物半導體層 404c 可以使用實施方式 2 所說明的材料。例如，氧化物半導體層 404a 可以使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 或 $1 : 3 : 2$ 的 In-Ga-Zn 氧化物，氧化物半導體層 404b 可以使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 的 In-Ga-Zn 氧化物，氧化物半

導體層 404c 可以使用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 或 $1 : 3 : 2$ 的 In-Ga-Zn 氧化物。

[0171] 另外，能夠用於氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 的氧化物半導體較佳為至少包含銦 (In) 或鋅 (Zn)。或者，較佳為包含 In 和 Zn 的兩者。另外，為了減少使用該氧化物半導體的電晶體的電特性偏差，除了上述元素以外，較佳為還包含穩定劑 (stabilizer)。

[0172] 作為穩定劑，可以舉出鎵 (Ga)、錫 (Sn)、鈦 (Hf)、鋁 (Al) 或銪 (Zr) 等。另外，作為其他穩定劑，可以舉出鏷系元素的鏷 (La)、鈰 (Ce)、鐮 (Pr)、釹 (Nd)、釷 (Sm)、鎳 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉺 (Er)、鉍 (Tm)、鐿 (Yb)、鐳 (Lu) 等。

[0173] 例如，作為氧化物半導體，可以使用氧化銦、氧化錫、氧化鋅、 In-Zn 氧化物、 Sn-Zn 氧化物、 Al-Zn 氧化物、 Zn-Mg 氧化物、 Sn-Mg 氧化物、 In-Mg 氧化物、 In-Ga 氧化物、 In-Ga-Zn 氧化物、 In-Al-Zn 氧化物、 In-Sn-Zn 氧化物、 Sn-Ga-Zn 氧化物、 Al-Ga-Zn 氧化物、 Sn-Al-Zn 氧化物、 In-Hf-Zn 氧化物、 In-La-Zn 氧化物、 In-Ce-Zn 氧化物、 In-Pr-Zn 氧化物、 In-Nd-Zn 氧化物、 In-Sm-Zn 氧化物、 In-Eu-Zn 氧化物、 In-Gd-Zn 氧化物、 In-Tb-Zn 氧化物、 In-Dy-Zn 氧化物、 In-Ho-Zn 氧化物、 In-Er-Zn 氧化物、 In-Tm-Zn 氧化物、 In-Yb-Zn 氧化

物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

[0174] 注意，例如 In-Ga-Zn 氧化物是指作為主要成分包含 In、Ga 和 Zn 的氧化物。另外，也可以包含 In、Ga、Zn 以外的金屬元素。此外，在本說明書中，將由 In-Ga-Zn 氧化物構成的層稱為 IGZO 層。

[0175] 另外，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ ，且 m 不是整數) 表示的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ ，且 n 是整數) 表示的材料。

[0176] 注意，如在實施方式 2 中詳細地說明那樣，以使氧化物半導體層 404a 及氧化物半導體層 404c 的電子親和力小於氧化物半導體層 404b 的方式選擇材料。

[0177] 另外，當形成氧化物半導體層時，較佳為利用濺射法。作為濺射法，可以使用 RF 濺射法、DC 濺射法、AC 濺射法等。尤其佳為使用 DC 濺射法，因為可以降低進行成膜時產生的塵屑，並且，可以使膜厚度均勻。

[0178] 當作為氧化物半導體層 404a、氧化物半導體層 404b 及氧化物半導體層 404c 使用 In-Ga-Zn 氧化物時，例如藉由使用 In、Ga、Zn 的原子數比為 In : Ga : Zn=1 : 1 : 1、In : Ga : Zn=2 : 2 : 1、In : Ga : Zn=3 : 1 : 2、In : Ga : Zn=1 : 3 : 2、In : Ga : Zn=1 : 3 : 4、In :

Ga : Zn=1 : 4 : 3、In : Ga : Zn=1 : 5 : 4、In : Ga : Zn=1 : 6 : 6、In : Ga : Zn=2 : 1 : 3、In : Ga : Zn=1 : 6 : 4、In : Ga : Zn=1 : 9 : 6、In : Ga : Zn=1 : 1 : 4、In : Ga : Zn=1 : 1 : 2 中的任一個的材料，來使氧化物半導體層 404a 及氧化物半導體層 404c 的電子親和力小於氧化物半導體層 404b 即可。

[0179] 另外，例如 In、Ga、Zn 的原子數比為 In : Ga : Zn=a : b : c (a+b+c=1) 的氧化物的組成與原子數比為 In : Ga : Zn=A : B : C (A+B+C=1) 的氧化物的組成相似是指 a、b、c 滿足如下算式： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 。r 例如可以為 0.05。其他氧化物也是同樣的。

[0180] 另外，較佳的是，氧化物半導體層 404b 的銦的含量多於氧化物半導體層 404a 及氧化物半導體層 404c 的銦的含量。在氧化物半導體中，重金屬的 s 軌域主要有助於載子傳導，並且，藉由增加 In 的比率來增加 s 軌域的重疊，由此 In 的比率多於 Ga 的氧化物的移動率比 In 的比率等於或少於 Ga 的氧化物高。因此，藉由將銦的比率多的氧化物用於氧化物半導體層 404b，可以實現高移動率的電晶體。

[0181] 下面，對氧化物半導體層的結構進行說明。

[0182] 注意，在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態，因此也包括角度為 -5° 以上且 5° 以下的狀態。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態，因此也包括

角度為 85° 以上且 95° 以下的狀態。

[0183] 另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0184] 氧化物半導體層大致分為非單晶氧化物半導體層和單晶氧化物半導體層。非單晶氧化物半導體層包括 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 層、多晶氧化物半導體層、微晶氧化物半導體層、非晶氧化物半導體層等。

[0185] 首先，對 CAAC-OS 層進行說明。

[0186] CAAC-OS 層是包含多個結晶部的氧化物半導體層之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 層中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。

[0187] 在 CAAC-OS 層的穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界 (grain boundary)。因此，在 CAAC-OS 層中，不容易發生起因於晶界的電子移動率的降低。

[0188] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 層的 TEM 影像 (剖面 TEM 影像) 可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 層的面 (也稱為被形成面) 或 CAAC-OS 層的頂面的凸凹的形狀並以平行於 CAAC-OS 層的被形成面或頂

面的方式排列。

[0189] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 層的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0190] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 層的結晶部具有配向性。

[0191] 使用 X 射線繞射（XRD: X-Ray Diffraction）裝置對 CAAC-OS 層進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 層時，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 層中的結晶具有 c 軸配向性，並且，c 軸朝向大致垂直於 CAAC-OS 層的被形成面或頂面的方向。

[0192] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 層時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO_4 結晶的（110）面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描）。當該樣本是 InGaZnO_4 的單晶氧化物半導體層時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 層時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0193] 由上述結果可知，在具有 c 軸配向性的 CAAC-OS 層中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0194] 注意，結晶部在形成 CAAC-OS 層或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 層的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 層的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 層的被形成面或頂面的法線向量。

[0195] 此外，CAAC-OS 層中的結晶度不一定均勻。例如，當 CAAC-OS 層的結晶部是由 CAAC-OS 層的頂面附近的結晶生長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 層添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 層中的結晶度根據區域而不同。

[0196] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 層時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 層的一部分中含有不具有 c 軸配向性的結晶。較佳的是，在 CAAC-OS 層中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0197] CAAC-OS 層是雜質濃度低的氧化物半導體

層。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體層的主要成分之外的元素。尤其是，與構成氧化物半導體層的金屬元素相比，與氧的鍵合力強的元素諸如矽等從氧化物半導體層奪取氧而擾亂氧化物半導體層的原子排列，成為降低結晶性的主要原因。另外，因為鐵和鎳等重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體層內部，則擾亂氧化物半導體層的原子排列，成為降低結晶性的主要原因。此外，包含在氧化物半導體層中的雜質有時成為載子陷阱中心或載子發生源。

[0198] 此外，CAAC-OS 層是缺陷態密度低的氧化物半導體層。例如，氧化物半導體層中的氧缺陷有時成為載子陷阱中心或者藉由俘獲氫而成為載子發生源。

[0199] 將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體層具有很少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體層的電晶體很少具有負臨界值的電特性（也稱為常導通（normally-on）特性）。此外，高純度本質或實質上高純度本質的氧化物半導體層具有很少的載子陷阱中心。因此，使用該氧化物半導體層的電晶體的電特性變動小，而成為可靠性高的電晶體。此外，被氧化物半導體層的載子陷阱中心俘獲的電荷到被釋放為止需要的時間長，有時像固定電荷那樣動作。因此，使用雜質濃度高且

缺陷態密度高的氧化物半導體層的電晶體的電特性有時不穩定。

[0200] 此外，在使用 CAAC-OS 層的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0201] 接下來，對微晶氧化物半導體層進行說明。

[0202] 在微晶氧化物半導體層的 TEM 影像中有時觀察不到明確的結晶部。微晶氧化物半導體層中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶稱為奈米晶 (nc: nanocrystal)。並且，包含該奈米晶 (nc) 的氧化物半導體層稱為 nc-OS (奈米晶氧化物半導體: nanocrystalline Oxide Semiconductor) 層。另外，例如在 nc-OS 層的 TEM 影像中，有時觀察不到明確的晶界。

[0203] 在 nc-OS 層中，微小的區域 (例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域) 中的原子排列具有週期性。另外，在 nc-OS 層中的不同的結晶部之間沒有晶體配向的規律性。因此，在整個層上觀察不到配向性。所以，在有的分析方法中，有時無法將 nc-OS 層與非晶氧化物半導體層區別開來。例如，當利用使用其束徑比結晶部大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 層進行結構分析時，檢測不出表示結晶面的峰值。此外，在使用其束徑比結晶部大 (例如，50nm 以上) 的電子射線獲得的 nc-OS 層的選區電子繞射

圖案中，觀察到光暈圖案。另一方面，在使用其束徑近於或小於結晶部（例如，1nm 以上且 30nm 以下）的電子射線獲得的 nc-OS 層的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 層的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 層的奈米束電子繞射圖案中，有時觀察到環狀的區域內的多個斑點。

[0204] nc-OS 層是其規律性比非晶氧化物半導體層高的氧化物半導體層。因此，nc-OS 層的缺陷態密度比非晶氧化物半導體層低。但是，在 nc-OS 層中的不同的結晶部之間沒有晶體配向的規律性。所以，nc-OS 層的缺陷態密度比 CAAC-OS 層高。

[0205] 注意，氧化物半導體層例如也可以是包括非晶氧化物半導體層、微晶氧化物半導體層和 CAAC-OS 層中的兩種以上的疊層。

[0206] CAAC-OS 層例如可以使用多晶的氧化物半導體濺射靶材，利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域沿著 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，由於該平板狀或顆粒狀的濺射粒子帶電，所以濺射粒子不在電漿中凝集而保持結晶狀態的狀態到達基板，由此可以形成 CAAC-OS 層。

[0207] 在形成氧化物半導體層 404b 之後可以進行第一加熱處理。第一加熱處理在 250℃ 以上且 650℃ 以下，

較佳為 300°C 以上且 500°C 以下的溫度下且在惰性氣體氛圍、包含 10ppm 以上的氧化氣體的氛圍或減壓狀態下進行即可。作為第一加熱處理，也可以進行惰性氣體氛圍下的加熱處理，然後為了補充脫離了的氧而進行包含 10ppm 以上的氧化氣體的氛圍下的加熱處理。藉由進行第一加熱處理，可以提高氧化物半導體層 404b 的結晶性，而且可以從基底絕緣層 402、氧化物半導體層 404a 中去除氫或水等雜質。此外，也可以在用來形成氧化物半導體層 404b 的蝕刻之前進行第一加熱處理。

[0208] 接著，在氧化物半導體層 404a 及氧化物半導體層 404b 上形成成為源極電極 406a 及汲極電極 406b 的第一導電層。作為第一導電層，可以使用 Al、Cr、Cu、Ta、Ti、Mo、W 或以它們為主要成分的合金材料。例如，利用濺射法等形成 100nm 厚的鈦層。此外，也可以利用 CVD 法形成鎢層。

[0209] 接著，以在氧化物半導體層 404b 上使第一導電層分割的方式對第一導電層進行蝕刻，來形成源極電極 406a 及汲極電極 406b（參照圖 12C）。

[0210] 接著，在氧化物半導體層 404b、源極電極 406a 及汲極電極 406b 上形成氧化物半導體層 403c。

[0211] 在形成氧化物半導體層 403c 之後可以進行第二加熱處理。第二加熱處理可以在與第一加熱處理相同的條件下進行。藉由進行第二加熱處理，可以從氧化物半導體層 403c 中去除氫或水等雜質。此外，除了氧化物半導

體層 403c 以外還可以從氧化物半導體層 404a 及氧化物半導體層 404b 中去除氫或水等雜質。

[0212] 接著，在氧化物半導體層 403c 上形成絕緣層 407a 及絕緣層 407b（參照圖 13A）。例如，利用 CVD 法形成絕緣層 407a，利用濺射法形成絕緣層 407b。但是，形成方法不侷限於此，分別利用濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、真空蒸鍍法或脈衝雷射沉積（PLD）法而可以形成。

[0213] 接著，在絕緣層 407b 上形成成為閘極電極 410 的第二導電層 409（參照圖 13B）。作為第二導電層 409，可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta、W 或以它們為主要成分的合金材料。第二導電層 409 可以利用濺射法或 CVD 法等形成。另外，第二導電層 409 可以使用包含氮的導電層，也可以使用包含上述材料的導電層與包含氮的導電層的疊層。

[0214] 接著，使用用來形成閘極電極 410 的光阻遮罩對第二導電層 409 選擇性地進行蝕刻，來形成閘極電極 410（參照圖 13C）。另外，如圖 9C 所示，閘極電極 410 電性上包圍氧化物半導體層 404b。

[0215] 接著，以上述光阻遮罩或者閘極電極 410 為遮罩對絕緣層 407a 及絕緣層 407b 選擇性地進行蝕刻，來形成由第一絕緣層 408a 及第二絕緣層 408b 構成的閘極絕

緣層 408。

[0216] 接著，以上述光阻遮罩或者閘極電極 410 為遮罩對氧化物半導體層 403c 進行蝕刻，來形成氧化物半導體層 404c。

[0217] 換而言之，氧化物半導體層 404c 的上端部的位置與閘極絕緣層 408 的下端部的位置一致，閘極絕緣層 408 的上端部的位置與閘極電極 410 的下端部的位置一致。在此，以閘極電極 410 為遮罩形成閘極絕緣層 408 及氧化物半導體層 404c，但是不侷限於此，可以在形成第二導電層 409 之前形成閘極絕緣層 408、閘極絕緣層 408b 及氧化物半導體層 404c。

[0218] 接著，在源極電極 406a、汲極電極 406b 及閘極電極 410 上形成氧化物絕緣層 412（參照圖 9B、圖 9C）。氧化物絕緣層 412 可以與基底絕緣層 402 同樣的材料及方法形成。氧化物絕緣層 412 較佳為使用氧化鋁層、氧化鎂層、氧化矽層、氧氮化矽層、氮氧化矽層、氮化矽層、氧化鎵層、氧化鍺層、氧化釷層、氧化鈳層、氧化釷層、氧化釷層或包含氮的上述氧化物形成。氧化物絕緣層 412 可以利用濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、真空蒸鍍法或脈衝雷射沉積（PLD）法形成，較佳為包含過剩的氧以對多層半導體層 404 供應氧。

[0219] 接著，也可以進行第三加熱處理。第三加熱

處理可以在與第一加熱處理相同的條件下進行。藉由進行第三加熱處理，容易使基底絕緣層 402、閘極絕緣層 408 及氧化物絕緣層 412 釋放過剩氧，因此可以降低多層半導體層 404 中的氧缺陷。

[0220] 接著，進行第四加熱處理。在第四加熱處理中，在 125°C 以上且 450°C 以下，較佳為 150°C 以上且 300°C 以下的溫度下保持閘極電極 410 的電位比源極電極或汲極電極高的狀態 1 秒以上，典型地為 1 分鐘以上，為此所需要的量的電子從多層半導體層 404 向閘極電極 410 移動，其一部分被閘極絕緣層 408 的內部的電荷俘獲能階俘獲。由此，藉由控制被俘獲的電子的量，可以控制臨界值的上升值。

[0221] 藉由上述製程，可以製造圖 9A 至圖 9C 所示的電晶體 450。

[0222] 另外，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0223]

實施方式 4

在本實施方式中說明平面型結構的電晶體。

[0224] 圖 14A 至圖 14C 為本說明書所公開的一個方式的電晶體的俯視圖及剖面圖。圖 14A 為俯視圖，圖 14B 為沿著圖 14A 所示的點劃線 A-B 的剖面，圖 14C 為沿著點劃線 C-D 的剖面。另外，在圖 14A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線

A-B 的方向稱為通道長度方向，將點劃線 C-D 的方向稱為通道寬度方向。

[0225] 圖 14A 至圖 14C 所示的電晶體 550 包括：基板 400 上的基底絕緣層 402；基底絕緣層 402 上的氧化物半導體層 404a 及氧化物半導體層 404b；氧化物半導體層 404a 及氧化物半導體層 404b 上的源極電極 406a 及汲極電極 406b；與基底絕緣層 402、氧化物半導體層 404a、氧化物半導體層 404b、源極電極 406a 以及汲極電極 406b 接觸的氧化物半導體層 404c；氧化物半導體層 404c 上的閘極絕緣層 408；閘極絕緣層 408 上的閘極電極 410；源極電極 406a、汲極電極 406b 以及閘極電極 410 上的氧化物絕緣層 412。另外，將閘極絕緣層 408 用作實施方式 1 所述的電荷俘獲層。此外，將氧化物半導體層 404a、氧化物半導體層 404b 以及氧化物半導體層 404c 總稱為多層半導體層 404。

[0226] 本實施方式的電晶體 550 與實施方式 2 的電晶體 450 之間的不相同點在於：通道長度及通道寬度都是多層半導體層 404 的厚度的兩倍以上，典型的是 10 倍以上。

[0227] 通道長度是指：在俯視圖中，半導體層與閘極電極重疊的區域中的源極（源極區或源極電極）與汲極（汲極區或汲極電極）之間的距離。換而言之，在圖 14A 中，通道長度相當於氧化物半導體層 404b 與閘極電極 410 重疊的區域中的源極電極 406a 或汲極電極 406b 的寬

度。通道寬度是指：半導體層與閘極電極重疊的區域中的源極或汲極的寬度。換而言之，在圖 14A 中，通道寬度相當於氧化物半導體層 404b 與閘極電極 410 重疊的區域中的源極電極 406a 或汲極電極 406b 寬度。

[0228] 另外，在本實施方式中，採用由氧化物半導體層 404a 及氧化物半導體層 404c 夾持氧化物半導體層 404b 的結構，但是不侷限於此，也可以採用不設置氧化物半導體層 404a 及氧化物半導體層 404c 且僅設置氧化物半導體層 404b 的結構。另外，也可以設置有氧化物半導體層 404a、氧化物半導體層 404b 以及氧化物半導體層 404c 中的任一個或兩個。

[0229] 另外，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0230]

實施方式 5

在本實施方式中，參照圖式利用本說明書所公開的一個方式的電晶體的電路的一個例子。

[0231] 圖 15A 示出半導體裝置的電路圖，圖 15B 示出半導體裝置的方塊圖。在電路圖中，為了表示使用氧化物半導體的電晶體，附上“OS”的符號。

[0232] 記憶單元 700 包括觸發電路 701（當電源關閉時丟失儲存資料）、當電源關閉時不丟失儲存資料的電路 702、開關 703、開關 704、邏輯元件 706、電容元件 707 以及具有選擇功能的電路 720。電路 702 包括電容元件

708、電晶體 709 及電晶體 710。另外，記憶單元 700 根據需要還可以包括其他元件，例如二極體、電阻元件或電感器等。

[0233] 在此，電路 702 可以使用在上述實施方式中說明的電晶體。在停止對記憶單元 700 供應電源電壓之後，接地電位（GND）被輸入電路 702 中的電晶體 709 的閘極。例如，電晶體 709 的閘極藉由電阻器等負載接地。如上述實施方式 1 所示，藉由由電荷俘獲層俘獲電子來提高臨界值的電晶體 709 的 I_{cut} 極小，因此可以在長時間保持積累在電容元件 708 中的電荷。

[0234] 在此示出如下例子：開關 703 使用具有一導電型（例如，n 通道型）的電晶體 713 構成，而開關 704 使用具有與此不同導電型（例如，p 通道型）的電晶體 714 構成。這裡，開關 703 的第一端子對應於電晶體 713 的源極和汲極中的一個，開關 703 的第二端子對應於電晶體 713 的源極和汲極中的另一個，並且，開關 703 的第一端子與第二端子之間的導通或非導通（即，電晶體 713 的導通狀態或關閉狀態）由輸入電晶體 713 的閘極的控制信號 RD 選擇。開關 704 的第一端子對應於電晶體 714 的源極和汲極中的一個，開關 704 的第二端子對應於電晶體 714 的源極和汲極中的另一個，並且，開關 704 的第一端子與第二端子之間的導通或非導通（即，電晶體 714 的導通狀態或關閉狀態）由輸入電晶體 714 的閘極的控制信號 RD 選擇。

[0235] 電晶體 709 的源極和汲極中的一個電連接到電容元件 708 的一對電極中的一個及電晶體 710 的閘極。在此，將連接部分稱為節點 M2。電晶體 710 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 703 的第一端子（電晶體 713 的源極和汲極中的一個）。開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）電連接到開關 704 的第一端子（電晶體 714 的源極和汲極中的一個）。開關 704 的第二端子（電晶體 714 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）、開關 704 的第一端子（電晶體 714 的源極和汲極中的一個）、邏輯元件 706 的輸入端子和電容元件 707 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 707 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 707 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容元件 708 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 708 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0236] 另外，當積極地利用電晶體或佈線的寄生電

容等時，也可以不設置電容元件 707 及電容元件 708。

[0237] 控制信號 WE 被輸入電晶體 709 的閘極。開關 703 及開關 704 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0238] 對應於保持在觸發電路 701 中的資料的信號被輸入電晶體 709 的源極和汲極中的另一個。圖 15A 示出從觸發電路 701 輸出的信號被輸入電晶體 709 的源極和汲極中的另一個的例子。由邏輯元件 706 使從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而形成反轉信號，將其經由電路 720 輸入觸發電路 701。

[0239] 另外，雖然圖 15A 示出從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 706 及電路 720 被輸入觸發電路 701 的例子，但是本發明的一個方式不侷限於此。也可以不使從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入觸發電路 701。例如，當在觸發電路 701 內設置有節點並在該節點中保持使從輸入端子輸入的信號的邏輯值反轉的信號時，可以將從開關 703 的第二端子（電晶體 713 的源極和汲極中的另一個）輸出的信號輸入該節點。

[0240] 另外，圖 15A 所示的電晶體 709 可以使用在實施方式 2 中說明的電晶體。

[0241] 在圖 15A 所示的用於記憶單元 700 的電晶體中，電晶體 709 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。或者，也可以作為用於記憶單元 700 的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶單元 700 也可以包括電晶體 709 以外的其通道形成在氧化物半導體層中的電晶體，並且，作為剩下的電晶體使用其通道形成在由氧化物半導體以外的半導體構成的層或基板中的電晶體。

[0242] 作為圖 15A 所示的邏輯元件 706，例如可以使用反相器或時脈反相器等。

[0243] 在本說明書所公開的半導體裝置中，在不向記憶單元 700 供應電源電壓期間，可以由設置在電路 702 中的電容元件 708 保持儲存在觸發電路 701 中的資料。

[0244] 如上說明那樣，其通道形成在上述實施方式所示的氧化物半導體層中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流小得多。因此，藉由將這種電晶體用作電晶體 709，即使在不向記憶單元 700 供應電源電壓的情況下也可以長期間地儲存電容元件 708 中的信號。因此，記憶單元 700 在停止

供應電源電壓期間也可以保持儲存資料（資料）。

[0245] 另外，藉由設置開關 703 及開關 704，能夠使儲存單元進行預充電工作，因此可以縮短直到在再次開始供應電源電壓之後觸發電路 701 重新保持原來的資料為止的時間。

[0246] 另外，在電路 702 中，由電容元件 708 保持的信號被輸入電晶體 710 的閘極。因此，在再次開始向記憶單元 700 供應電源電壓之後，可以將由電容元件 708 保持的信號轉換為電晶體 710 的狀態（導通狀態或關閉狀態），並從電路 702 讀出。因此，即使在對應於保持在電容元件 708 中的信號的電位有些變動的情況下，也可以準確地讀出原來的信號。

[0247] 藉由將這種記憶單元 700 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止供應電源而抑制功耗。

[0248] 記憶單元 700 也可以應用於 CPU（Central Processing Unit）、DSP（Digital Signal Processor：數位訊號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等的 LSI、RF-ID（Radio Frequency Identification：射頻識別）。

[0249] 例如，包括多個記憶單元 700a 至記憶單元 700p 的處理器 760 具有圖 15B 所示的結構。處理器 760 除了記憶單元 700a 至記憶單元 700p 以外還至少包括算術邏輯單元 (ALU) 730 及 WE 信號輸出電路 740。WE 信號輸出電路 740 輸出 WE 信號。

[0250] ALU730 從焊盤 750a 被供應信號，從焊盤 750b 被供應高電位，從焊盤 750c 被供應低電位。WE 信號輸出電路 740 從焊盤 750d 被供應高電位，從焊盤 750e 被供應低電位。就是說，ALU730 的電源與 WE 信號輸出電路 740 的電源分開。另外，也可以在 ALU730 與焊盤 750a 至焊盤 750c 之間及在 WE 信號輸出電路 740 與焊盤 750d 及焊盤 750e 之間分別設置某個電路。

[0251] 為了方便起見，在圖 15B 中只表示上述連接情況及記憶單元 700a 至記憶單元 700p 與 WE 信號輸出電路 740 的連接情況。雖然未圖示，但是也對記憶單元 700a 至記憶單元 700p 從焊盤 750b 被供應高電位且從焊盤 750c 被供應低電位。另外，在 ALU730 與記憶單元 700a 至記憶單元 700p 之間或在 ALU730 與 WE 信號輸出電路 740 之間設置有進行信號的發送和接受的佈線，但是在圖 15B 中沒有圖示出該佈線。

[0252] 較佳為如下述那樣進行記憶單元 700a 至記憶單元 700p 的電晶體 709 的臨界值調整處理。例如，將焊盤 750a 至焊盤 750c 的電位都設定為相同的電位，並且將焊盤 750d 及焊盤 750e 的電位設定為相同的電位。

[0253] 在此，焊盤 750d 及焊盤 750e 的電位比焊盤 750a 至焊盤 750c 的電位高 1V 以上。在這種情況下 ALU730（及儲單元 700a 至記憶單元 700p）處於非工作狀態。注意，電晶體 709 的閘極電極的電位比源極電極及汲極電極的電位高 1V 以上。

[0254] 在上述狀態下以 150°C 以上且 400°C 以下的溫度進行 1 分鐘以上且 2 小時以下的加熱處理。其結果是，使電晶體 709 的臨界值調整至適當的值。

[0255] 本實施方式可以與本說明書所示的其他實施方式適當地組合而實施。

[0256]

實施方式 6

圖 16 示出記憶單元 800a 及記憶單元 800b。例如，記憶單元 800a 包括電晶體 801、電晶體 802、電容元件 803、電容元件 804、反相器 805、反相器 806、電晶體 807 以及電晶體 808。另外，電晶體 801 及電晶體 802 為具有上述實施方式所示的電荷俘獲層的電晶體，可以對該電晶體進行臨界值調整處理。記憶單元 800b 也具有與記憶單元 800a 相同的結構。

[0257] 在此，由反相器 805、反相器 806、電晶體 807 以及電晶體 808 構成的電路與已知的 SRAM 同樣，可以對字線 WL1、位元線 BL1a 及位元線 BL1b 寫入資料且可以從字線 WL1、位元線 BL1a 及位元線 BL1b 讀出資料。

[0258] 已知的 SRAM 當停止對反相器 805、反相器 806 的電源供應時丟失資料，但是記憶單元 800a 在停止電源供應之前將從反相器 805、反相器 806 輸出的電位蓄積在電容元件 803、電容元件 804，然後截止電晶體 801 及電晶體 802 來可以保持資料。當開始電源供應時，藉由導通電晶體 801 及電晶體 802 可以將資料轉移到反相器 805、反相器 806。

[0259] 根據 WE 信號進行電晶體 801 及電晶體 802 的開關。WE 信號被輸入電晶體 801 及電晶體 802 的閘極。

[0260] 例如，如上述實施方式所示那樣，當電晶體 801 及電晶體 802 的 I_{cut} 為 1zA 以下時，即使電容元件 803 及電容元件 804 的電容微小，即 1fF ，也可以保持資料一天以上。

[0261] 圖 17A 示出具有將上述記憶單元 800a 至記憶單元 800l 配置為矩陣狀的記憶單元陣列 814 的記憶體部 (memory unit) 810。記憶體部 810 除了記憶單元陣列 814 以外還包括字線驅動器 811、位元線驅動器 812、WE 信號輸出電路 813。

[0262] 字線驅動器 811 與字線 WL1 至字線 WL4 連接，位元線驅動器 812 與位元線 BL1a 至 BL3b 連接，WE 信號輸出電路 813 與 WE 信號線 WE1 及 WE2 連接。WE 信號輸出電路 813 具有只對 WE1 和 WE2 中的一個供應使電晶體 801、電晶體 802 導通的信號的結構。另一方面，

WE 信號輸出電路 813 對 WE1 及 WE2 可以供應使電晶體 801、電晶體 802 截止的信號。

[0263] 在上述電路中，停止對記憶單元 800a 至記憶單元 800f 的反相器 805、反相器 806 的電源供應，將資料移動在各記憶單元的電容元件 803、電容元件 804 以記憶單元 800g 至記憶單元 800l 可以與通常的 SRAM 同樣地工作。就是說，根據工作量可以使一部分的記憶單元處於待命狀態，從而可以減少功耗。

[0264] 圖 17B 示出具有上述記憶體部 810 的半導體晶片 818。半導體晶片 818 還包括邏輯部 (logic unit) 817 及焊盤 815a 至焊盤 815e。

[0265] 當進行通常的工作時，從焊盤 815a 向記憶體部 810 中的 WE 信號輸出電路 813 藉由高電位供應線 816a 供應高電位，從焊盤 815b 向記憶體部 810 中的 WE 信號輸出電路 813 藉由低電位供應線 816b 供應低電位。另一方面，從焊盤 815d 向 WE 信號輸出電路 813 以外的記憶體部 810 藉由高電位供應線 816c 供應高電位，從焊盤 815c 向 WE 信號輸出電路 813 以外的記憶體部 810 藉由低電位供應線 816d 供應低電位。此外，從焊盤 815d 向邏輯部 817 藉由高電位供應線 816e 供應高電位，從焊盤 815c 向邏輯部 817 藉由低電位供應線 816f 供應低電位。此外，從焊盤 815e 向邏輯部 817 藉由信號供應線 816g 供應信號。

[0266] 另外，也可以在高電位供應線 816a 與焊盤

815a 之間、在低電位供應線 816b 與焊盤 815b 之間、在高電位供應線 816c/高電位供應線 816e 與焊盤 815d 之間、在低電位供應線 816d/低電位供應線 816f 與焊盤 815c 之間以及在信號供應線 816g 與焊盤 815e 之間分別設置有某個電路。

[0267] 在製造半導體晶片 818 之後，藉由如下步驟可以進行臨界值調整處理。另外，在圖 17B 中，導線架 819（在分離之後成為引線 819a 至引線 819d）與接合引線 820 連接，但是在引線接合之前進行臨界值調整處理。

[0268] 例如，將焊盤 815a 及焊盤 815b 的電位設定為相同，將焊盤 815c 至焊盤 815e 的電位設定為相同。

[0269] 在此，焊盤 815a 及焊盤 815b 的電位比焊盤 815c 至焊盤 815e 的電位高 1V 以上。在這種情況下記憶體部 810 及邏輯部 817 處於非工作狀態。注意，電晶體 801 及電晶體 802 的閘極電極的電位比源極電極及汲極電極的電位高 1V 以上。

[0270] 在上述狀態下以 150°C 以上且 400°C 以下的溫度進行 1 分鐘以上且 2 小時以下的加熱處理。其結果是，使電晶體 801 及電晶體 802 的臨界值調整至適當的值。

[0271] 如上述那樣進行了臨界值調整處理的半導體晶片 818 的焊盤 815a 至焊盤 815e 藉由接合引線 820 與導線架 819 連接。此後導線架 819 被分離而成為引線 819a 至引線 819d，此時較佳為以焊盤 815b 及焊盤 815c 都連接於引線 819b 的方式鍵合。

[0272] 本實施方式可以與本說明書所示的其他實施方式適當地組合而實施。

[0273]

實施方式 7

根據本說明書所公開的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD: Digital Versatile Disc）等並具有可以顯示其影像的顯示器的裝置）中。另外，作為可以使用根據說明書所公開的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭部安裝顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 18A 至圖 18F 示出這些電子裝置的具體例子。

[0274] 圖 18A 是可攜式遊戲機，該可攜式遊戲機包括外殼 501、外殼 502、顯示部 503、顯示部 504、麥克風 505、揚聲器 506、操作鍵 507 以及觸控筆 508 等。注意，雖然圖 18A 所示的可攜式遊戲機包括顯示部 503 和顯示部 504 的兩個顯示部，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0275] 圖 18B 是可攜式資料終端，該可攜式資料終端包括第一外殼 511、第二外殼 512、第一顯示部 513、

第二顯示部 514、連接部 515、操作鍵 516 等。第一顯示部 513 設置在第一外殼 511 中，而第二顯示部 514 設置在第二外殼 512 中。而且，第一外殼 511 和第二外殼 512 由連接部 515 連接，由連接部 515 可以改變第一外殼 511 和第二外殼 512 之間的角度。第一顯示部 513 的影像也可以根據連接部 515 所形成的第一外殼 511 和第二外殼 512 之間的角度切換。另外，也可以對第一顯示部 513 和第二顯示部 514 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

[0276] 圖 18C 是膝上型個人電腦，該膝上型個人電腦包括外殼 521、顯示部 522、鍵盤 523 以及指向裝置 524 等。

[0277] 圖 18D 是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼 531、冷藏室門 532、冷凍室門 533 等。

[0278] 圖 18E 是視頻攝影機，該視頻攝影機包括第一外殼 541、第二外殼 542、顯示部 543、操作鍵 544、透鏡 545、連接部 546 等。操作鍵 544 及透鏡 545 設置在第一外殼 541 中，而顯示部 543 設置在第二外殼 542 中。而且，第一外殼 541 和第二外殼 542 由連接部 546 連接，由連接部 546 可以改變第一外殼 541 和第二外殼 542 之間的角度。顯示部 543 的影像也可以根據連接部 546 所形成的第一外殼 541 和第二外殼 542 之間的角度切換。

[0279] 圖 18F 是一般的汽車，該汽車包括車體 551、車輪 552、儀表板 553 及燈 554 等。

[0280] 另外，本實施方式可以與本說明書所示的其他實施方式適當地組合而實施。

實施例

[0281] 在本實施例中，作為實施例樣本製造與圖 14A 至圖 14C 所示的電晶體 550 相同結構的電晶體，並進行電特性的評估。

[0282] 首先，示出實施例樣本的製造方法。

[0283] 首先，在其表面上設置有 100nm 厚的熱氧化膜的矽基板上藉由電漿 CVD (PECVD) 法形成成為基底絕緣層的 300nm 厚的氧氮化矽 (SiON) 層。氧氮化矽層在如下條件下形成：使用矽烷和一氧化二氮 ($\text{SiH}_4 : \text{N}_2\text{O} = 1\text{sccm} : 800\text{sccm}$) 的混合氛圍，壓力為 200 Pa，電源功率為 150kW，基板溫度為 350°C。

[0284] 在對氧氮化矽層的表面進行拋光處理之後，層疊形成 20nm 厚的第一氧化物半導體層與 15nm 厚的第二氧化物半導體層。第一氧化物半導體層使用 In : Ga : Zn=1 : 3 : 2 (原子數比) 的氧化物靶材利用濺射法在如下條件下形成：使用氬和氧 (氬 : 氧 = 30sccm : 15sccm) 的混合氛圍，壓力為 0.4Pa，電源功率為 0.5kW，靶材與基板之間的距離為 60mm，基板溫度為 200°C。第二氧化物半導體層使用 In : Ga : Zn=1 : 1 : 1 (原子數比) 的氧化

物靶材利用濺射法在如下條件下形成：使用氬和氧（氬：氧=30sccm：15sccm）的混合氛圍，壓力為 0.4Pa，電源功率為 0.5kW，靶材與基板之間的距離為 60mm，基板溫度為 300°C。第一氧化物半導體層和第二氧化物半導體層以不暴露於大氣的方式連續地形成。

[0285] 接著，進行加熱處理。在氮氛圍下以 450°C 進行 1 小時的加熱處理，此後在氧氛圍下以 450°C 進行 1 小時的加熱處理。

[0286] 接著，利用 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法在使用三氯化硼和氯（ BCl_3 ： Cl_2 =60sccm：20sccm）的混合氛圍，電源功率為 450W，偏壓功率為 100W，壓力為 1.9Pa 的條件下對第一氧化物半導體層及第二氧化物半導體層進行蝕刻來加工為島狀的第一氧化物半導體層以及第二氧化物半導體層。

[0287] 接著，在第一氧化物半導體層及第二氧化物半導體層上形成 100nm 厚的成為源極電極及汲極電極的鎢層。鎢層使用鎢靶材利用濺射法在如下條件下形成：使用氬（ Ar =80sccm）氛圍，壓力為 0.8Pa，電源功率（電源輸出）為 1.0kW，矽基板與靶材之間的距離為 60mm，基板溫度為 230°C。

[0288] 接著，在鎢層上形成光阻遮罩進行蝕刻。蝕刻利用 ICP 蝕刻法進行。首先，在使用四氟化碳、氯以及氧（ CF_4 ： Cl_2 ： O_2 =45sccm：45sccm：55sccm）的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa 的

條件下進行第一蝕刻，然後，在使用氧（ $O_2=100\text{sccm}$ ）氛圍，電源功率為 2000W，偏壓功率為 0W，壓力為 3.0Pa 的條件下進行第二蝕刻，在使用四氟化碳、氯以及氧（ $CF_4 : Cl_2 : O_2=45\text{sccm} : 45\text{sccm} : 55\text{sccm}$ ）的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67 Pa 的條件下進行第三蝕刻，由此形成源極電極及汲極電極。

[0289] 接著，在第二氧化物半導體層、源極電極及汲極電極上形成 5nm 厚的第三氧化物半導體層。第三氧化物半導體層使用 In : Ga : Zn=1 : 3 : 2（原子數比）的氧化物靶材利用濺射法在如下條件下形成：使用氬和氧（氬 : 氧=30sccm : 15sccm）的混合氛圍，壓力為 0.4Pa，電源功率為 0.5kW，靶材與基板之間的距離為 60mm，基板溫度為 200°C。

[0290] 接著，利用電漿 CVD 法形成成為第一閘極絕緣層的 15nm 厚的氧氮化矽層。成膜條件為如下：使用矽烷和一氧化二氮（ $SiH_4 : N_2O=1\text{sccm} : 800\text{sccm}$ ）的混合氛圍，壓力為 200Pa，電源功率為 150kW，基板溫度為 350°C。在其上利用濺射法形成成為第二閘極絕緣層的 20nm 厚的氧化鈣層。成膜條件為如下：使用氬和氧（ $Ar : O_2=25\text{sccm} : 25\text{sccm}$ ）的混合氛圍，壓力為 0.6 Pa，電源功率為 2.5kW，靶材與基板之間的距離為 60 mm，基板溫度為 200°C。

[0291] 接著，利用濺射法形成 30nm 厚的氮化鈮層和

135nm 厚的鎢層。氮化鉭層的成膜條件為如下：使用氬和氮（氬：氮=50sccm：10sccm）的混合氛圍，壓力為 0.6 Pa，電源功率為 1kW，靶材與基板之間的距離為 60mm，基板溫度為 25°C。鎢層的成膜條件為如下：使用氬（Ar=100sccm）氛圍，壓力為 2.0Pa，電源功率為 4kW，靶材與基板之間的距離為 60mm，基板溫度為 230°C。

[0292] 接著，利用 ICP 蝕刻法對 30nm 厚的氮化鉭層以及 135nm 厚的鎢層的疊層進行蝕刻。首先，在使用氯、四氟化碳以及氧（Cl₂：CF₄：O₂=45sccm：55sccm：55sccm）的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa 的條件下進行第一蝕刻，然後在使用氯（Cl₂=100sccm）的氛圍，電源功率為 2000W，偏壓功率為 50W，壓力為 0.67Pa 的條件下進行第二蝕刻，由此形成閘極電極。

[0293] 接著，以閘極電極為遮罩對閘極絕緣層與第三氧化物半導體層的疊層進行蝕刻。蝕刻在三氯化硼（BCl₃=80sccm）的氛圍下，電源功率為 450W，偏壓功率為 100W，壓力為 1.0Pa 的條件下進行。

[0294] 接著，在閘極電極上利用濺射法形成 20nm 厚的氧化鋁層，在其上利用 CVD 法形成 150nm 厚的氧氮化矽層。

[0295] 藉由上述製程製造電晶體。

[0296] 接著，對所製造的電晶體進行應力測試。應力測試的條件為：將源極電壓（V_s：[V]）及汲極電壓

(V_d : [V]) 設定為 0V，並在 150°C 的溫度下施加 3.3V 的閘極電壓 1 小時。圖 19A 和圖 19B 示出實施例電晶體的測定結果。圖 19A 和圖 19B 示出汲極電壓 (V_d : [V]) 為 0.1V 及 3.0V 時的測定結果，橫軸表示閘極電壓 (V_g : [V])，縱軸表示汲極電流 (I_d : [A])。另外，“汲極電壓 (V_d : [V])”是指以源極為基準的汲極與源極之間的電位差，“閘極電壓 (V_g : [V])”是指以源極為基準時的閘極與源極之間的電位差。圖式中的實線表示汲極電壓 V_d 為 3.0V 時的測定結果，虛線表示汲極電壓 V_d 為 0.1V 時的測定結果。注意，圖 19A 和圖 19B 都採用上述的相同條件。

[0297] 在圖式中，示出應力測試前後的電特性。注意，箭頭的左側的曲線表示應力測試之前的電特性，箭頭的右側的曲線表示應力測試之後的電特性。如圖 19A 和圖 19B 所示，在本實施例中製造的電晶體的汲極電壓 (V_d : [V]) 為 3.0V 時的臨界值的變化量 ΔV_{th} 在圖 19A 中為 1.76V，而在圖 19B 中為 1.78V，移位值 (shift value) (汲極電流上升時的閘極電壓的值) 的變化量 $\Delta shift$ 在圖 19A 中為 2.01V，而在圖 19B 中為 2.11V。確認到應力測試之後臨界值向正方向漂移。

[0298] 應力測試之後，進行保持測試並測定汲極電流 (I_d : [A])。保持測試的條件為如下：對圖 19A 所示的應力測試之後的電晶體在 150°C 的溫度下施加 0V 的閘極電壓 1 小時，對圖 19B 所示的應力測試之後的電晶體在

150°C 的溫度下施加 -3.3V 的閘極電壓 1 小時。圖 20A 和圖 20B 示出實施例電晶體的測定結果。圖 20A 示出閘極電壓為 0V 時的測定結果，圖 20B 示出閘極電壓為 -3.3V 時的測定結果。

[0299] 圖表示出保持測試前後的電特性。注意，箭頭的右側的曲線表示保持測試之前的電特性，箭頭的左側的曲線表示保持測試之後的電特性。如圖 20A 所示，在本實施例中製造的電晶體的汲極電壓 (V_d : [V]) 為 3.0V 時的臨界值的變化量 ΔV_{th} 為 0.07V，移位值的變化量 $\Delta shift$ 為 0.12V。另外，如圖 20B 所示，在本實施例中製造的電晶體的汲極電壓 (V_d : [V]) 為 3.0V 時的臨界值的變化量 ΔV_{th} 為 0.14V，移位值的變化量 $\Delta shift$ 為 0.27V。確認到保持測試之後臨界值和移位值稍微向負方向漂移而已。

參考實例

[0300] 在本參考實例中，藉由製造電晶體並求出關態電流來說明 I_{cut} 密度很低。

[0301] 參考實例電晶體的結構除了閘極絕緣層及閘極電極之外與在實施例中使用的電晶體相同。僅對閘極絕緣層及閘極電極的製造方法進行說明。

[0302] 在形成第三氧化物半導體層之後，利用 CVD 法形成成為閘極絕緣層的 10nm 的氧氮化矽層。成膜條件為如下：使用矽烷和一氧化二氮 (SiH_4 : $N_2O=1sccm$: $800sccm$) 的混合氛圍，壓力為 200Pa，電源功率為 150 kW，

靶材與基板之間的距離為 28mm，基板溫度為 350°C。

[0303] 接著，利用濺射法形成 10nm 厚的氮化鈦層以及 10nm 厚的鎢層。氮化鈦層的成膜條件為如下：使用氬（氬=50sccm）氛圍，壓力為 0.2Pa，電源功率為 12kW，靶材與基板之間的距離為 400mm，基板溫度為 25°C。鎢層的成膜條件為如下：使用氬（Ar=100sccm）氛圍，壓力為 2.0Pa，電源功率為 1kW，靶材與基板之間的距離為 60mm，基板溫度為 230°C。

[0304] 接著，利用 ICP 蝕刻法對 10nm 厚的氮化鈦層以及 10nm 厚的鎢層的疊層進行蝕刻。首先，在使用氯、四氟化碳以及氧（Cl₂ : CF₄ : O₂=45sccm : 55sccm : 55sccm）的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa 的條件下進行第一蝕刻，然後在使用氯和三塩化硼（Cl₂ : BCl₃=50sccm : 150sccm）的混合氛圍，電源功率為 1000W，偏壓功率為 50W，壓力為 0.67 Pa 的條件下進行第二蝕刻，由此形成閘極電極。

[0305] 藉由上述製程製造電晶體。該電晶體的通道長度為 50nm，通道寬度為 40nm。

[0306] 接著，求出所製造的電晶體的關態電流。

[0307] 比 1fA 小的電流不能直接測定，因此將 25 萬個參考實例電晶體並聯連接，製造實質上的通道寬度為 10mm（40nm×25 萬）的電晶體來求出 I_{cut} 密度。

[0308] 圖 21 示出通道寬度為 10mm 的電晶體的汲極電位（V_d : [V]）為 1V 時的 I_d-V_g 特性。由圖 21 確認到關

態電流低於 10^{-13} A (即, 關態電流密度低於 10^{-17} A/ μm)。

【符號說明】

[0309]

101 : 半導體層

102 : 電荷俘獲層

102a : 第一絕緣層

102b : 第二絕緣層

102c : 第三絕緣層

102d : 導電層

102e : 絕緣體

103 : 閘極電極

104 : 電荷俘獲能階

105 : 電子

108 : 曲線

109 : 曲線

110 : 電晶體

111 : 電容元件

121 : 電晶體

122 : 電晶體

123 : 電容元件

124 : 電晶體

125 : 電容元件

130 : 半導體晶片

- 131：字線驅動器
- 132：位元線驅動器
- 133：字線
- 134：位元線
- 135：記憶單元陣列
- 136：記憶體部
- 137：邏輯部
- 138a：焊盤
- 138b：焊盤
- 138c：焊盤
- 138d：焊盤
- 138e：焊盤
- 138f：焊盤
- 139a：信號供應線
- 139b：信號供應線
- 139c：信號供應線
- 139d：信號供應線
- 140a：高電位供應線
- 140b：低電位供應線
- 140c：低電位供應線
- 140d：高電位供應線
- 140e：低電位供應線
- 140f：高電位供應線
- 400：基板

- 402：基底絕緣層
- 403c：氧化物半導體層
- 404：多層半導體層
- 404a：氧化物半導體層
- 404b：氧化物半導體層
- 404c：氧化物半導體層
- 406a：源極電極
- 406b：汲極電極
- 407a：絕緣層
- 407b：絕緣層
- 408：閘極絕緣層
- 408a：第一絕緣層
- 408b：第二絕緣層
- 409：導電層
- 410：閘極電極
- 412：氧化物絕緣層
- 450：電晶體
- 470：電晶體
- 501：外殼
- 502：外殼
- 503：顯示部
- 504：顯示部
- 505：麥克風
- 506：揚聲器

- 507：操作鍵
- 508：觸控筆
- 511：外殼
- 512：外殼
- 513：顯示部
- 514：顯示部
- 515：連接部
- 516：操作鍵
- 521：外殼
- 522：顯示部
- 523：鍵盤
- 524：指向裝置
- 531：外殼
- 532：冷藏室門
- 533：冷凍室門
- 541：外殼
- 542：外殼
- 543：顯示部
- 544：操作鍵
- 545：透鏡
- 546：連接部
- 550：電晶體
- 551：車體
- 552：車輪

- 553 : 儀 表 板
- 554 : 燈
- 700 : 記 憶 單 元
- 700a : 記 憶 單 元
- 700b : 記 憶 單 元
- 700c : 記 憶 單 元
- 700d : 記 憶 單 元
- 700e : 記 憶 單 元
- 700f : 記 憶 單 元
- 700g : 記 憶 單 元
- 700h : 記 憶 單 元
- 700i : 記 憶 單 元
- 700j : 記 憶 單 元
- 700k : 記 憶 單 元
- 700l : 記 憶 單 元
- 700m : 記 憶 單 元
- 700n : 記 憶 單 元
- 700o : 記 憶 單 元
- 700p : 記 憶 單 元
- 701 : 觸 發 電 路
- 702 : 電 路
- 703 : 開 關
- 704 : 開 關
- 706 : 邏 輯 元 件

- 707 : 電容元件
- 708 : 電容元件
- 709 : 電晶體
- 710 : 電晶體
- 713 : 電晶體
- 714 : 電晶體
- 720 : 電路
- 730 : ALU
- 740 : WE 信號輸出電路
- 750a : 焊盤
- 750b : 焊盤
- 750c : 焊盤
- 750d : 焊盤
- 750e : 焊盤
- 760 : 處理器
- 800a : 記憶單元
- 800b : 記憶單元
- 800c : 記憶單元
- 800d : 記憶單元
- 800e : 記憶單元
- 800f : 記憶單元
- 800g : 記憶單元
- 800h : 記憶單元
- 800i : 記憶單元

- 800j：記憶單元
- 800k：記憶單元
- 800l：記憶單元
- 801：電晶體
- 802：電晶體
- 803：電容元件
- 804：電容元件
- 805：反相器
- 806：反相器
- 807：電晶體
- 808：電晶體
- 810：記憶體部
- 811：字線驅動器
- 812：位元線驅動器
- 813：WE 信號輸出電路
- 814：記憶單元陣列
- 815a：焊盤
- 815b：焊盤
- 815c：焊盤
- 815d：焊盤
- 815e：焊盤
- 816a：高電位供應線
- 816b：低電位供應線
- 816c：高電位供應線

816d：低電位供應線

816e：高電位供應線

816f：低電位供應線

816g：信號供應線

817：邏輯部

818：半導體晶片

819：導線架

819a：引線

819b：引線

819c：引線

819d：引線

820：接合引線

發明摘要

※申請案號：103124133

※申請日：103 年 07 月 14 日

※IPC 分類：G11C 8/08 (2006.01)
H01L 21/8239 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及用於製造半導體裝置之方法

Semiconductor device and method for manufacturing semiconductor device

【中文】

本發明的一個方式提供一種校正了臨界值的半導體裝置的製造方法。該半導體裝置包括多個電晶體，該電晶體包括半導體、電連接於半導體的源極電極或汲極電極、閘極電極以及設置在閘極電極與半導體之間的電荷俘獲層，藉由對該半導體裝置邊進行加熱邊使閘極電極的電位比源極電極及汲極電極高且保持上述狀態一秒以上，被電荷俘獲層俘獲電子而使臨界值提高以降低 I_{cut} 。為了實現上述情況，使對閘極電極供應信號的電路的電源與對源極電極或汲極電極供應信號的電路的電源分開，在使對閘極電極供應信號的電路的電源電位比對源極電極或汲極電極供應信號的電路的電源電位高的情況下進行上述處理。

【 英文 】

A manufacturing method of a semiconductor device in which the threshold is corrected is provided. In a semiconductor device including a plurality of transistors each includes a semiconductor, a source or drain electrode electrically connected to the semiconductor, a gate electrode, and a charge trap layer between the gate electrode and the semiconductor, electrons are trapped in the charge trap layer by performing heat treatment and, simultaneously, keeping a potential of the gate electrode higher than that of the source or drain electrode for 1 second or more. By this process, the threshold increases and I_{cut} decreases. A circuit for supplying a signal to the gate electrode and a circuit for supplying a signal to the source or drain electrode are electrically separated from each other. The process is performed in the state where the potential of the former circuit is set higher than the potential of the latter circuit.

申請專利範圍

1. 一種半導體裝置的製造方法，該半導體裝置包括：

多個配置為矩陣狀的電晶體，該電晶體都包括第一半導體、電連接於該第一半導體的電極、閘極電極以及該閘極電極與該第一半導體之間的電荷俘獲層；

對該多個電晶體的該閘極電極供應第一信號的第一電路；

對該多個電晶體的該電極供應第二信號的第二電路；

電連接到該第一電路的第一佈線及第二佈線；以及

電連接到該第二電路的第三佈線及第四佈線，該製造方法包括如下步驟：

將該第一佈線的第一電位設定為比該第三佈線的第二電位高 1V 以上的電位，

以 125°C 以上且 450°C 以下對該多個電晶體進行加熱處理，以及

在加熱處理期間施加比該電極的第四電位高的該閘極電極的第三電位 1 秒以上。

2. 一種半導體裝置的製造方法，該半導體裝置包括：

多個配置為矩陣狀的電晶體，該電晶體都包括第一氧化物半導體、電連接到該第一氧化物半導體的電極、閘極電極以及該閘極電極與該第一氧化物半導體之間的電荷俘獲層；

對該多個電晶體的該閘極電極供應第一信號的第一電路；

對該多個電晶體的該電極供應第二信號的第二電路；
電連接到該第一電路的第一佈線及第二佈線；以及
電連接到該第二電路的第三佈線及第四佈線，該製造
方法包括如下步驟：

將該第一佈線的第一電位設定為比該第三佈線的第二電位高 1V 以上的電位，

以 125°C 以上且 450°C 以下對該多個電晶體進行
加熱處理，以及

在加熱處理期間施加比該電極的第四電位高的該
閘極電極的第三電位 1 秒以上。

3. 根據申請專利範圍第 1 或 2 項之半導體裝置的製造
方法，其中該電荷俘獲層包含氮化矽、氧化鉛、氧化鋁和
矽酸鋁中的任一種。

4. 根據申請專利範圍第 1 或 2 項之半導體裝置的製造
方法，其中該電極為源極電極或汲極電極。

5. 根據申請專利範圍第 2 項之半導體裝置的製造方
法，其中該第一氧化物半導體設置於與該第一氧化物半導
體接觸的第二氧化物半導體和第三氧化物半導體之間。

6. 根據申請專利範圍第 1 或 2 項之半導體裝置的製造
方法，其中該第三電位比在該半導體裝置中使用的最大電
位低。

7. 根據申請專利範圍第 1 或 2 項之半導體裝置的製造
方法，其中在該設定的步驟中，該第二佈線的電位及該第
四佈線的電位分別與該第一佈線的該第一電位及該第三佈

線的該第二電位相同。

8.根據申請專利範圍第 1 或 2 項之半導體裝置的製造方法，

其中該第一電路不輸出同時使該多個電晶體中的兩個以上導通的信號。