

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/60

(45) 공고일자 2000년05월01일
(11) 등록번호 10-0254661
(24) 등록일자 2000년02월03일

(21) 출원번호	10-1997-0027149	(65) 공개번호	특1998-0006153
(22) 출원일자	1997년06월25일	(43) 공개일자	1998년03월30일
(30) 우선권주장	96-166006 1996년06월26일 일본(JP)		
	96-170282 1996년06월28일 일본(JP)		
	96-170283 1996년06월28일 일본(JP)		
(73) 특허권자	산요 덴키 가부시키키가이샤 다카노 야스아키		
(72) 발명자	일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고 마모루 안도		
(74) 대리인	일본 오오사카후 모리구찌시 게이한 혼도오리 2쪼메 5방 5고 상 요덴기 가부 시끼가이샤 내 구영창, 이상희		

심사관 : 송원선

(54) 반도체 장치 및 그 제조 방법

요약

본 발명의 반도체 장치에서는, 능동 소자가 형성된 반도체 기판의 일부를 전극으로서 활용하고, 표면에 제3전극, 이면에 외부 접속용으로서 제4전극이 형성된 제2반도체 기판을 갖기 때문에, 제2반도체 기판을 외부 접속용 전극으로서 이용함으로써, 종래의 반도체 장치와 같이 외부 전극과 접속하는 금속제의 리드 단자, 보호용의 밀봉 몰드를 필요로 하지 않는 반도체 장치를 제공할 수 있다.

그 결과, 반도체 장치의 외관 치수를 현저하게 소형화할 수 있고, 실장 기판 상에 실장할 때의 불필요한 공간을 없앨 수 있어, 실장 기판의 소형화에 크게 기여할 수 있다.

대표도

도9

명세서

도면의 간단한 설명

제1도는 종래의 반도체 장치를 도시하는 단면도.

제2도는 종래의 반도체 장치를 실장 기판상에 실장한 단면도.

제3도는 종래의 반도체 장치의 평면도.

제4도는 종래의 다른 반도체 장치의 평면도.

제5도는 종래의 반도체 장치의 접속 상태를 설명하는 도면.

제6도는 본 발명의 제1 실시 형태에 따른 반도체 장치의 단면도.

제7도는 본 발명의 제1 실시 형태의 반도체 장치의 이면을 도시하는 도면.

제8도는 본 발명의 제1 실시 형태의 다른 형태를 설명하는 단면도.

제9도는 본 발명의 제2 실시 형태에 따른 반도체 장치의 단면도.

제10도는 본 발명의 제2 실시 형태에 따른 반도체 장치의 전기적 도통 상태를 설명하는 제1 단면도.

제11도는 본 발명의 제2 실시 형태에 따른 반도체 장치의 전기적 도통 상태를 설명하는 제2 단면도.

제12도는 본 발명의 제1 내지 제4 개선예에 대해 설명하는 단면도.

제13도는 본 발명의 제5 개선예에 대해 설명하는 단면도.

제14도는 본 발명의 제3 실시 형태에 따른 반도체 장치의 제조 방법을 설명하는 제1 단면도.

제15도는 본 발명의 제3 실시 형태에 따른 반도체 장치의 제조 방법을 설명하는 제2 단면도.

제16도는 본 발명의 제3 실시 형태에 따른 반도체 장치의 제조 방법을 설명하는 제3 단면도.

제17도는 본 발명의 제3실시 형태에 따른 반도체 장치의 제조 방법을 설명하는 제4단면도.

제18도는 본 발명의 제3실시 형태에 따른 반도체 장치의 제조 방법을 설명하는 제5단면도.

제19도는 본 발명의 제3실시 형태에 따른 반도체 장치의 제조 방법을 설명하는 제6단면도.

〈도면의 주요부분에 대한 부호의 설명〉

160 : 반도체 기판 161 : 능동 소자 형성 영역

162, 163, 164 : 외부 접속 전극 165 : 배선 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 반도체 장치에 관한 것으로, 특히 반도체 장치의 칩 면적과, 반도체 장치를 프린트 기판 등의 실장 기판상에 실장하는 실장 면적과의 비율로 나타내는 실장 유효 면적율을 향상시킨 반도체 장치의 개선에 관한 것이다.

일반적으로 실리콘 기판상에 트랜지스터 소자가 형성된 반도체 장치는, 도1에 도시하는 바와 같은 구성이 이용된다. 참조 번호 1은 실리콘 기판이고, 참조 번호 2는 실리콘 기판(1)이 실장되는 방열판 등의 아일랜드이며, 참조 번호 3은 리드 단자이고, 참조 번호 4는 밀봉용 수지이다.

트랜지스터 소자가 형성된 실리콘 기판(1)은, 도 1에 도시하는 바와 같이, 구리 베이스의 방열판 등의 아일랜드(2)에 땀납 등의 땀납재(5)를 통해 고착 실장되고, 실리콘 기판(1)의 주변에 배치된 리드 단자(3)에 트랜지스터 소자의 베이스 전극, 에미터 전극이 본딩 와이어로 전기적으로 접속되어 있다. 콜렉터 전극에 접속되는 리드 단자는 아일랜드와 일체로 형성되어 있고, 실리콘 기판을 아일랜드상에 실장함으로써 전기적으로 접속된 후, 에폭시 수지 등의 열경화형 수지(4)에 의해 트랜스퍼 몰드된다.

수지 몰드된 반도체 장치는, 통상, 유리 에폭시 기판 등의 실장 기판에 실장되고, 실장 기판 상에 실장된 다른 반도체 장치 및 회로 소자와 전기적으로 접속되어 소정의 회로 동작을 행하기 위한 한 부품으로서 취급된다.

도 2는 실장 기판 상에 반도체 장치를 실장했을 때의 단면도를 도시하고, 참조 번호 20은 반도체 장치이고, 참조 번호 21, 23은 베이스 또는 에미터 전극용 리드 단자이며, 참조 번호 22는 콜렉터용 리드 단자이고, 참조 번호 30은 실장 기판이다.

실장 기판(30)상에 반도체 장치(20)가 실장되는 실장 면적은, 리드 단자(21,22,23)와 그 리드 단자와 접속되는 도전 패드로 둘러싸인 영역에 의해서 나타내어진다. 실장 면적은 반도체 장치(20) 내의 실리콘 기판(반도체 칩) 면적에 비해 크고, 실제로 기능을 갖는 반도체 칩의 면적에 비해 실장 면적의 대부분은 몰드 수지, 리드 단자에 의해서 형성되고 있다.

여기서, 실제로 기능을 갖는 반도체 칩 면적과 실장 면적과의 비율을 유효면적율로서 고려하면, 수지 몰드된 반도체 장치에서는 유효 면적율이 매우 낮은 것을 알 수 있다. 유효 면적율이 낮은 것은, 실장 면적의 대부분이 기능을 갖는 반도체 칩과는 직접 관계가 없는 불필요 공간으로 되어 실장 기판(30)의 고밀도 소형화의 걸림돌로 된다.

특히, 이 문제는 패키지 사이즈가 작은 반도체 장치에 현저하게 나타난다. 예를 들어, EIAJ 규격인 SC-75A 외형에 탑재되는 반도체 칩의 최대 사이즈는, 도 3에 도시하는 바와 같이, 0.40mm×0.40mm가 최대이다. 이 반도체 칩을 도 1과 같이 수지 몰드하면 반도체 장치의 전체 사이즈는 1.6mm×1.6mm로 된다. 이 반도체 장치의 칩면적은 0.16mm²이고, 반도체 장치를 실장하는 실장 면적은 반도체 장치의 면적과 거의 마찬가지로 생각되어 2.56mm²이기 때문에, 이 반도체 장치의 유효 면적율은 약 6.25%로 되고, 실장 면적의 대부분이 기능을 갖는 반도체 칩 면적과 직접 관계가 없는 불필요한 공간으로 되어 있다.

최근의 전자 기기, 예를 들어, 퍼스널 컴퓨터, 전자 수첩 등의 휴대 정보 처리 장치, 8mm 비디오 카메라, 휴대 전화, 카메라, 액정 텔레비전 등에서 이용되는 실장 기판은 전자 기기 본체의 소형화에 따라 그 내부에 사용되는 실장 기판도 고밀도 소형화의 경향에 있다.

그러나, 상기한 반도체 장치에서는 불필요한 공간이 크기 때문에, 소형화의 걸림돌로 되어 있었다.

그런데, 유효 면적율을 향상시키는 선행 기술로서 특개평3-248551호 공보(도4)가 있다. 이 선행 기술은, 실장 면적을 될 수 있는 한 작게 하기 위해서, 반도체 칩(40)의 베이스, 에미터 및, 콜렉터 전극과 접속하는 리드 단자(41,42,43)를 수지 몰드(44)의 측면보다 외측으로 도출시키지 않고, 수지 몰드(44) 측면과 동일면이 되도록 형성하는 것이 기재되어 있다.

이 구성에 의하면, 리드 단자(41,42,43)의 선단 부분이 도출하지 않은 만큼 실장 면적을 작게 할 수 있지만, 불필요한 공간의 크기는 그다지 개선되지 않는다.

또한, 상기한 반도체 장치에서는, 와이어 접속 공정, 몰드 수지의 사출 성형 공정을 필요로 하고, 재료 비용면 및 제조 공정이 번잡해져 제조 비용을 저감시킬 수 없다는 과제가 있다.

유효 면적율을 최대한 크게 하기 위해서는, 상기한 바와 같이, 반도체 칩을 직접 실장 기판상에 실장하면

유효 면적율이 최대가 된다.

반도체 칩을 실장 기관 등의 기관상에 실장하는 하나의 선행 기술로서, 예를 들어, 특개평6-338504호 공보(도 5)에 도시하는 바와 같이, 반도체 칩(45)상에 복수의 범프 전극(46)을 형성한 플립칩을 실장 기관(47)에 페이스다운 본딩하는 기술이 알려져 있다. 이 선행 기술은, 통상 MOSFET 등 실리콘 기관의 동일 주요면에 게이트(베이스) 전극, 소스(에미터) 전극, 드레인(콜렉터) 전극이 형성되고, 전류 혹은 전압의 패스(pass)가 횡방향으로 형성되는 비교적 발열량이 적은 횡형의 반도체 장치에 주로 이용된다.

발명이 이루고자 하는 기술적 과제

그러나, 트랜지스터 디바이스 등과 같이 실리콘 기관이 전극의 하나로 되고, 각 전극이 다른 면에 형성되고 전류의 패스가 종방향으로 흐르는 종형의 반도체 장치에서는, 상기한 플립칩 기술을 사용하는 것은 곤란하다.

본 발명의 목적은, 반도체 칩과 접속되는 리드 단자 및 몰드 수지를 필요로 하지 않고, 반도체 칩 면적과 실장 기관상에 실장하는 실장 면적과의 비율인 유효 면적율을 최대한 향상시키며, 실장 면적의 불필요한 공간을 최소화한 작게 한 반도체 장치를 제공하는데 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 장치에 의하면, 능동 소자를 구성하는 확산층이 내부에 형성되고, 표면에는 상기 능동 소자의 제1전극이 형성되며, 또 이면에는 상기 능동 소자의 제2전극이 외부 접속용으로서 형성된 제1반도체 기관과, 상기 제1반도체 기관과 연속된 것이 슬릿을 통해 분리되고, 자신을 전극으로서 활용하며, 표면에 제3전극, 이면에 외부 접속용으로서 제4전극이 형성된 제2반도체 기관을 갖기 때문에, 제2반도체 기관을 외부 접속용 전극으로서 이용함으로써, 종래의 반도체 장치와 같이 외부 전극과 접속하는 금속제의 리드 단자, 보호용의 밀봉 몰드를 필요없도록 한 반도체 장치를 제공할 수 있다.

그 결과, 반도체 장치의 외관 치수를 현저하게 소형화할 수 있고, 실장 기관상에 실장했을 때의 불필요한 공간을 없앨 수 있어 실장 기관의 소형화에 크게 기여할 수 있다.

또한, 본 발명의 반도체 장치에서는, 상기한 바와 같이 외부 접속용 금속리드 단자 및 수지 밀봉용 몰드가 불필요하기 때문에, 반도체 장치의 제조 비용을 현저히 저감화 할 수 있다.

또, 본 발명에 따른 반도체 장치의 제조 방법에 의하면, 능동 소자를 구성하는 확산층이 내부에 형성되고, 표면에는 상기 능동 소자의 제1전극이 형성되며, 또한 이면에는 상기 능동 소자의 제2전극이 외부 접속용으로서 형성된 제1영역과, 자신을 전극으로서 활용하여 표면에 제3전극, 이면에 외부 접속용으로서 제4전극이 형성된 제2영역을 갖는 반도체 기관을 준비하는 공정과, 상기 반도체 기관상의 접촉성 절연 재료로 유지되어 상기 제1전극과 상기 제3전극을 전기적으로 접속하는 접속 수단을 형성하는 공정과, 상기 제1영역과 상기 제2영역 사이에서, 상기 반도체 기관의 이면으로부터 표면까지 연장되는 슬릿과, 상기 제1영역과 상기 제2영역이 일체로 되어 하나의 장치로서 분리되는 슬릿을 형성하는 공정을 갖는다.

이 때문에, 상기한 바와 같이 외부 접속용의 금속 리드 단자 및 수지 밀봉용 몰드가 불필요하게 되므로써, 반도체 장치의 제조 비용의 저감화 및 공정을 간소화할 수 있다.

또한, 본 발명의 제조 방법에서는, 신규 제조 설비를 도입하지 않고, 기존의 반도체 장치의 제조 설비를 이용할 수 있다.

이하에 본 발명의 실시 형태에 대해 도면을 참조하면서 설명한다.

본 발명은, 모든 실시예에서 사용자측의 입장에서, 제조자측의 입장에서 이하의 우수한 효과를 갖는다.

사용자측의 메리트

a : 칩 사이즈가 작다.

b : 반도체 기관의 이면 전극(62,63,64)을 실장 기관에 고착하기 때문에, 본 장치에 발생한 열을 실장 기관으로 방열할 수 있게 된다.

제조자측의 메리트

c : 슬릿을 넣는 작업, 반도체 장치를 개개로 분리하는 작업을 간단한 다이싱 장치로 실현할 수 있다.

[제1실시 형태]

이하에, 본 발명의 제1실시 형태에 대해 설명한다.

본 실시 형태에 따른 반도체 장치는, 도 6에 도시하는 바와 같이 반도체 기관(60)과, 능동 소자가 형성되는 능동 소자 형성 영역(61)과, 능동 소자 형성 영역(61)에 형성된 능동 소자와, 이 능동 소자의 제1전극으로서, 외부의 소자 등과 접속하기 위해 설치된 제1외부 접속용 전극(62)과, 능동 소자 형성 영역(61)과 전기적으로 분리되고, 기관(60)의 일부분을 능동 소자의 제2, 제3전극의 외부 전극으로 하는 제2, 제3외부 접속용 전극(63,64)과, 능동 소자의 제2, 제3전극과 제2, 제3외부 접속용 전극(63,64)을 접속하는 접속 수단(65)으로 구성되어 있다.

반도체 기관(60)으로서는, N^+ 형의 단결정 실리콘 기관이 이용되고, 그 기관(60)상에 에피택셜 성장 기술에 의해 N^- 형의 에피택셜층(66)이 형성된다. 반도체 기관(60)의 일부의 영역에는 파워 MOSFET나 트랜지스터 등의 능동 소자가 형성되는 능동 소자 형성 영역(61)과, 외부 접속용 전극(63,64)으로 되는 외부 접속 전

극 영역(63A,64A)이 설치되어 있다.

본 실시 형태에서는, N형 에피택셜층을 콜렉터 영역(66A)으로 한 트랜지스터를 형성하고 있다. 또한, 능동 소자 형성 영역(61)상에 포토레지스트를 형성하고, 이 포토레지스트에 의해 노출된 영역에 붕소(B) 등의 P형 불순물을 선택적으로 주입한 후에, 열확산함으로써 성 모양의 베이스 영역(71)을 형성하고 있다.

또한, 베이스 영역(71)의 형성 후, 능동 소자 형성 영역(61)상에 재차 포토레지스트를 형성하고, 포토레지스트에 의해 노출된 베이스 영역(71) 내에 인(P), 안티몬(Sb) 등의 N형 불순물을 선택적으로 열확산함으로써 트랜지스터의 에미터 영역(72)이 형성된다. 본 실시 형태에서는, 이 에미터 영역(72)을 형성함과 동시에, 베이스 영역(71)을 둘러싸는 링형의 가드링용의 N형 확산 영역(73)을 형성하고 있다.

반도체 기판(60)의 표면에는, 베이스 영역(71) 표면을 노출하는 베이스 콘택트를 및 에미터 영역(72) 표면을 노출하는 에미터 콘택트를 갖는 실리콘 산화막 혹은 실리콘 질화막 등의 절연막(74)이 형성되어 있다. 가드링용 확산 영역(73)을 형성한 경우에는, 확산 영역(73) 표면을 노출하기 위한 가드링 콘택트를 이 형성되게 된다. 이 절연막(74)은, 외부 접속용 전극으로 되는 전극 영역(63A,64A)상에도 형성되고, 전극 영역(63A,64A)의 표면을 노출하는 외부 접속용 콘택트홀이 형성되어 있다.

베이스 콘택트를, 에미터 콘택트를, 외부 접속용 콘택트를 및 가드링 콘택트에 의해 노출된 베이스 영역(71), 에미터 영역(72), 전극 영역(63A,64A) 및 가드링 확산 영역(73)상에는, 선택적으로 알루미늄 등의 금속 재료로 증착된 베이스 전극(75), 에미터 전극(76), 접속용 전극(77) 및 가드링이 형성되어 있다.

능동 소자 형성 영역(61) 및 외부 접속 전극 영역(63A,64A)은, 반도체 기판(60)의 임의의 영역에 형성할 수 있지만, 이 실시 형태에서는 도 2에 도시한 바와 같이, 기판(60)의 중앙 부분에 능동 소자 형성 영역(61)이 형성되고, 그 영역(61)과 삼각형 모양의 배치로 이루어지도록 외부 접속용 전극 영역(63A,64A)을 배치하고 있다.

트랜지스터가 형성된 능동 소자 형성 영역(61)과 외부 접속 전극 영역(63A,64A)을 갖춘 반도체 기판(60) 표면상에는 실리콘계, 에폭시계 혹은 폴리이미드계의 절연 접착 수지층(78)이 형성된다. 이 수지층(78)상에 형성된 접속 수단(65)에 의해 트랜지스터의 베이스 전극(75), 에미터 전극(76)과 외부 접속 전극 영역(63A,64A)과의 전기적인 접속이 각각 행하여진다.

이 수지층(78)은, 접속 수단(65)을 기판으로부터 절연함에 따라, 능동 소자 형성 영역(61)과 접속용 전극 영역(63A,64A)을 전기적으로 분리했을 때, 양 영역(61,63A,64A)이 완전히 분할되지 않고서 일체화 지지되도록 형성된 것이다.

여기서는, 기판(60) 표면에, 예를 들어 스피너에 의해 $2\mu\sim 50\mu$ 막 두께의 폴리이미드 수지를 코트하고, 소정 시간 소성한 후 그 표면을 연마 처리함으로써 평탄화된 수지층(78)이 형성된다.

능동 소자 형성 영역(61)에 형성된 트랜지스터의 베이스 전극(75), 에미터 전극(76) 및 외부 접속 전극 영역(63A,64A)에 형성된 접속용 전극(77)상의 수지층(78)에는, 화학적 혹은 기계적으로 선택 제거된 콘택트홀이 형성되고, 여기에서 베이스 전극(75), 에미터 전극(76) 및 접속용 전극(77)의 표면이 노출된다.

노출된 베이스 전극(75)과 접속용 전극(77), 에미터 전극(76)과 접속용 전극(77)은 알루미늄, 구리 등의 금속막으로 이루어지는 접속 수단(65)에 의해 전기적으로 접속된다. 접속 수단(65)은, 예를 들어 콘택트홀이 형성된 수지층(78)상에, 콘택트를 및 각 전극을 접속하는 접속 수단(65)을 레지스트 마스크를 통해 형성된다. 수지층(78)상에는, 실리콘계, 에폭시계, 폴리이미드계의 접착 수지(79)가 피복되어 있기 때문에 접속 수단(65)이 외부로부터 보호되어 있다.

도 7에 도시하는 바와 같이, 동일 기판(1)상에 형성된 능동 소자 형성 영역(61)과 외부 접속용 전극 영역(63A,64A)은, 기판(60)의 이면측으로부터 형성된 슬릿홀(80)에 의해 각각 전기적으로 분리되고, 개개의 영역(61,63A,64A)이 트랜지스터의 외부 접속용 전극(62,63,64)으로 된다.

즉, 능동 소자 형성 영역(61)의 기판(60)은 트랜지스터의 콜렉터 전극용의 제1외부 접속용 전극(62)과, 외부 접속 전극 영역(64A)의 기판(60)은 트랜지스터의 베이스 전극용의 제3외부 접속용 전극(64) 및 외부 접속 전극 영역(63A)의 기판(60)은 트랜지스터의 에미터 전극용의 제2외부 접속용 전극(63)으로 되고, 동일한 반도체 기판(60)을 이용하며, 또한 동일 평면상에 외부 접속용 전극(62,63,64)이 형성되게 된다.

각 외부 접속용 전극(62,63,64)을 전기적으로 분리하는 슬릿 홀(80)은, 반도체 기판(60)의 이면측으로부터 수지층(78)까지 도달하도록 형성되고, 예를 들어 이온빔, 레이저 등을 조사하는 광학적 방법과, 건식 에칭, 습식 에칭에 의한 화학적 방법 혹은 다이싱 장치에 의한 기계적 방법에 의해 형성된다.

여기서 중요한 것은, 슬릿 홀(80)의 깊이를 알게 하면 각 외부 접속용 전극(62,63,64)의 전기 분리가 충분히 행하여지지 않고 단락 불량으로 되는 불편함이 생기기 때문에, 각 외부 접속용 전극(62,63,64)이 완전히 전기적으로 분리하도록 슬릿홀(80)의 선단부(바닥부)는 수지층(78) 내에 약 $2\mu\sim 6\mu$ 정도 들어 가도록 형성하는 것이다. 슬릿 홀(80)에 의해 각 외부 접속용 전극(62,63,64)은 완전히 분리되어 있지만, 수지층(78)에 의해 동일 평면에 배치되도록 지지 고정된다. 또한, 동일 평면이 되기 때문에 각 외부 접속용 전극(62,63,64)의 표면에, 땀납 도금을 형성하여도, 실장 기판상에 형성된 도전 패턴과의 땀납 접속을 양호하게 할 수 있게 된다.

반도체 기판(60)에 슬릿 홀(80)에 설치하여, 트랜지스터의 각 외부 접속용 전극(62,63,64)을 전기적으로 분리한 반도체 장치는, 세라믹 기판, 유리 에폭시 기판, 페놀 기판, 절연 처리를 실시한 금속 기판 등의 실장 기판상에 형성된 도전 패턴의 패드상에 고착 실장된다. 이 패드상에는 땀납 크림이 미리 인쇄 형성된 땀납층이 형성되어 있고, 땀납을 용융시켜 본 발명의 반도체 장치를 탑재하면 실장 기판의 패드상에 반도체 장치를 고착 실장할 수 있다. 납땀된 칩 콘덴서, 칩 저항의 회로 소자도 동일한 공정으로 땀납 고착할 수 있다.

또한, 본 발명의 반도체 장치를 실장 기판상에 실장했을 때, 각 외부 접속용 전극(62,63,64)은 슬릿 홀

(80)의 간격량 만큼 떨어져 있기 때문에 상호 단락을 억제할 수 있다.

그런데, 도 7에 도시하는 바와 같이 능동 소자 형성 영역(61)을 0.5mm×0.5mm 사이즈로 하고, 베이스, 에미터 전극으로 되는 접속 전극 영역(63A, 64A)을 0.3mm×0.2mm 사이즈로 하며, 슬릿 홀(80)의 폭을 0.1mm로 하고, 좌우 슬릿과 측면과의 간격을 0.05밀리로 하면, 유효 면적율은 다음과 같이 된다. 즉, 소자 면적이 0.25mm²이고, 실장 면적으로 되는 반도체 장치의 면적이 1.04mm²로 됨으로써 유효 면적율은 약 24.04%로 된다.

0.40mm×0.40mm의 종래의 칩 사이즈의 유효 면적율은 6.25%이고, 본 발명의 반도체 장치의 유효 면적율은, 약 3.85배 크게 되어, 실장 면적의 불필요한 공간을 작게 할 수 있어 실장 기판의 소형화에 기여할 수 있다.

또한 종래 알려져 있는 페이스다운 실장 구조와 달리 반도체 기판(60) 자신을 실장 기판에 실장하기 위해 발생하는 열을 실장 기판으로 방출할 수 있다.

본 실시 형태에서는, 안정성을 고려하여 외부 접속용 전극(62, 63, 64)을 삼각형 모양으로 배치하였지만, 직선상에 배치하면 반도체 기판(1)상의 불사용 영역(도 2의 비사선 영역)을 없앨 수 있어 유효 면적율을 더욱 향상시킬 수 있다.

상술한 바와 같이 본 발명에 의하면, 반도체 기판(60)의 일부를 콜렉터 전극용의 외부 접속용 전극(62)으로 한 트랜지스터를 반도체 기판(60)상에 형성하고, 반도체 기판(60)의 일부분을 베이스 전극(75), 에미터 전극(76)용의 외부 접속용 전극(63, 64)으로서 이용함으로써, 종래의 반도체 장치와 같이 외부 전극과 접속하는 금속제의 리드 단자, 보호용의 수지를 필요로 하지 않아 반도체 장치의 외관 치수를 현저하게 소형으로 할 수 있다.

본 실시 형태에서는, 능동 소자 형성 영역(61)에 트랜지스터를 형성했지만, 중형 혹은 비교적 발열량이 적은 횡형의 디바이스(예를 들어, 파워 MOSFET, IGBT, HBT 등의 디바이스)에 본 발명을 응용할 수 있다.

그런데, 상기한 실시 형태에서는, 접속 수단(65)으로서 수지층(78)상의 금속배선 패턴을 이용했지만, 금속 배선 이외에도 도 8에 도시하는 바와 같이 알루미늄, 금등의 와이어선(91)을 이용하는 것도 가능하다. 와이어선(91)으로 접속한 후, 표면에 에폭시, 폴리이미드 수지 등의 절연 수지(92)가 형성된다.

이 도 8의 실시 형태에서는, 절연 수지(92)로 표면을 피복 보호한 후, 기판(60)에 슬릿 홀(80)을 형성하여 전극(62, 63, 64)을 분리하고 있다.

[제2실시 형태]

이하에, 본 발명의 제2실시 형태에 대해 설명한다.

본 실시 형태에서의 반도체 장치는, 도 9에 도시하는 바와 같이 반도체 기판(160)의 일부분으로 이루어지고, 능동 소자가 형성되는 능동 소자 형성 영역(161)과, 능동 소자 형성 영역(161)에 형성된 능동 소자와, 외부의 소자 등과 접속하기 위해서 설치된 외부 접속용 전극(162)과, 능동 소자 형성 영역(161)과 전기적으로 분리되고, 기판(160)의 일부분으로 이루어지는 외부 접속용 전극(163, 164)과, 능동 소자의 전극과 외부 접속용 전극(163, 164)을 접속하는 배선 패턴이 형성된 배선 기판(165)으로 구성되어 있다.

또한, 본 실시 형태가 제1실시 형태와 다른 점은, 제1실시 형태에서 이용한 접착 수지(79, 92) 대신에 배선 기판(165)을 이용하고 있는 점이다. 따라서 도 9의 참조 번호는, 제1실시예에 참조 번호 100을 더한 것으로, 기판 이면에서 절연막(174)까지는 실질적으로 동일 구조이므로 설명은 생략한다.

베이스 영역(171)과, 에미터 영역(172)과, 전극 영역(163A, 164A) 및 가드링 확산 영역(173)상에는, 절연막(174)을 통해 베이스 전극(175)과, 에미터 전극(176) 및, 접속용 전극(177)이 형성된다.

베이스 전극(175), 에미터 전극(176) 및 접속용 전극(177)에 알루미늄을 이용한 경우에는, 기판(160)상에 PSG막, SiN, SiNx 등의 패시베이션막을 형성하고, 베이스 전극(175), 에미터 전극(176), 접속용 전극(177)상의 패시베이션막을 선택적으로 제거하여 각 전극(175, 176, 177)의 표면이 노출된다.

또한, 노출된 영역내의 크롬, 구리 등으로 이루어지는 도금층(179)이 형성되어 있다. 이 도금층(179)은, 각 전극(175, 176, 177)의 부식에 의한 부적합함을 방지하기 위해 설치되어 있다.

이 실시 형태에서는, 도 10에 도시하는 바와 같이 기판(160)의 중앙 부분에 능동 소자 형성 영역(161)이 형성되고, 그 영역(161)과 삼각형 모양의 배치로 이루어지도록 외부 접속용 전극 영역(163A, 164A)을 형성하고 있다.

트랜지스터가 형성된 능동 소자 형성 영역(161)과 외부 접속 전극 영역(163A, 164A)을 갖춘 반도체 기판(160) 표면상에는 실리콘계, 에폭시계 혹은 폴리이미드계 혹은 광 경화성의 절연 접착 수지층(178)을 통해 배선 기판(165)이 고착된다. 배선 기판(165)상에는 알루미늄, 구리 등의 배선 패턴(167)이 형성되어 있고, 이 배선 패턴에 의해 트랜지스터의 베이스 전극(175), 에미터 전극(176)과 외부 접속 전극 영역(163A, 164A)과의 전기적 접속이 각각 행해진다.

여기서 배선 기판(165)에 실리콘 기판을 이용하는 큰 이유는 이하의 2가지 점 때문이다.

첫째로, 기존의 반도체 제조 장치를 그대로 사용할 수 있어 새롭게 설비 도입을 행할 필요가 없다.

둘째로, 기판(160)과 고착했을 때 양 기판(160, 165)이 모두 실리콘 기판이면 열 팽창 계수(α)가 같기 때문에, 상하로 동일 응력이 가해져서 상쇄할 수 있고 찌그러짐에 의한 악영향, 특히 땀납(168)의 균열을 억제할 수 있다.

배선 기판(165)상에 형성되는 배선 패턴(167)은, 여기서는 트랜지스터의 베이스, 에미터 전극을 용장시키는 패턴만이 형성되지만, 필요에 따라 용장 패턴 이외의 패턴을 형성해도 좋다.

배선 패턴(167)에 알루미늄을 이용했을 경우에는, 배선 기판(165)상에 PSG막, SiN, SiNx 등의 절연물로

이루어지는 패시베이션막이 형성되고, 배선 패턴(167)의 표면이 노출된다. 또한, 노출된 영역 내에 크롬, 구리 등을 선택적으로 도금하여 도금층(169)을 형성하고, 도금층(169)상에는, 높이 약 $3\mu\sim 25\mu$ 의 금 등으로 이루어지는 범프 전극(168)이 형성되며, 이 범프 전극(168)에 의해 접속 전극(177)과의 전기적 도통이 이루어진다.

반도체 기판(160)과 배선 기판(165)을 접착하는 수지층(178)은, 에폭시 수지 등의 열경화성 수지를 이용하여 도록 한다. 광 열경화성 수지를 기판(160)상에 도포하고, 베이스 전극(175), 에미타 전극(176) 및 접속 전극(177)과 배선 기판(165)상에 형성한 범프 전극(168)이 일치하도록 양 기판(160, 165)과의 정렬을 행하여 밀착된다.

그 후, 약 $80^{\circ}\text{C}\sim 100^{\circ}\text{C}$ 정도의 가열 처리를 행하여 수지층(178)을 열경화시키고, 양 기판(160, 165)을 고착 일체화한다. 이 때, 각 전극(175, 176, 177)과 범프 전극(168)은 접촉하여 전기적 도통은 행해지고 있다. 그러나 그 후, 자외선을 조사하는 것으로서 수지층(178)중의 광 경화성 수지의 경화가 시작되고, 그 광 경화성 수지의 경화시의 수축력으로 양 기판(160, 165)이 서로 끌어 당겨져 기판(160)상의 각 전극(175, 176, 177)과 범프 전극(168)과의 접촉이 확실하게 행하여진다.

그런데, 배선 패턴(167)상에 형성하는 범프 전극(168)의 높이가 낮을 경우에는, 기판(160)상의 각 전극상에도 범프 전극을 형성하는 것이 바람직하다(도 6 참조). 배선 패턴(167)상에 형성한 범프 전극(168)의 높이가 지나치게 낮으면 양 기판(160, 165)의 이간 거리, 즉 수지층(178)의 막 두께가 얇게 되고, 후술하는 슬릿 홀(180)을 형성했을 때, 슬릿 홀(180)의 선단 부분이 배선 기판(165)의 표면까지 도달하고 배선 패턴(167)이 단선될 가능성이 있어 양 기판(160, 165)의 이간 거리를 충분히 고려할 필요가 있다.

도 10에 도시하는 바와 같이, 기판(160)의 이면측으로부터 형성된 슬릿 홀(180)에 의해 각각 전기적으로 분리되고, 동일 평면상에 트랜지스터의 각 전극의 외부 접속용 전극(162, 163, 164)이 형성되게 된다.

전기적으로 분리하는 슬릿 홀(180)은, 반도체 기판(160)의 이면측으로부터 수지층(178)까지 도달하도록 형성되고, 예를 들어, 이온빔, 레이저 등을 조사하는 광학적 방법, 건식 에칭, 습식 에칭에 의한 화학적 방법 혹은 다이싱 장치에 의한 다이싱 블레이드를 이용한 기계적 방법 등에 의해 형성된다.

여기서 중요한 것은, 슬릿 홀(180)의 깊이가 얇게 되면 각 외부 접속용 전극(162, 163, 164)의 전기 분리가 충분히 행하여지지 않아 단락 불량으로 되기 때문에, 각 외부 접속용 전극(162, 163, 164)이 완전히 전기적으로 분리하도록, 슬릿 홀(180)의 선단부(바닥부)는 수지층(178) 내에 약 $2\mu\sim 6\mu$ 정도 들어 가도록 형성된다. 또한, 수지층(178)에 의해 이들 외부 접속용 전극(162, 163, 164)이 동일 평면에 배치되도록 지지 고정된다. 또, 각 외부 접속용 전극(162, 163, 164)으로 되는 기판(160) 표면에는, 땀납 도금 등의 도금층이 형성된다.

반도체 기판(160)에 슬릿 홀(180)을 설치하고, 트랜지스터의 각 외부 접속용 전극(162, 163, 164)을 전기적으로 분리한 반도체 장치는, (세라믹 기판, 유리 에폭시 기판, 페놀 기판, 절연 처리를 실시한 금속 기판 등의) 실장 기판상에 형성된 도전패드상에 고착 실장된다. 이 패드상에는 땀납 크롬이 미리 인쇄 형성된 땀납층이 형성되어 있고, 땀납을 용융시켜 본 발명의 반도체 장치를 탑재하면 실장 기판의 패드상에 반도체 장치를 고착 실장할 수 있다.

그런데, 도 10에 도시하는 바와 같이, 본 실시 형태의 반도체 장치도, 소자면적이 0.25mm^2 이고, 실장 면적으로 되는 반도체 장치의 면적이 1.04mm^2 가 됨으로써, 유효 면적율은 약 24.04%로 되어 제1실시예와 동일하다.

상기한 실시 형태에서는, 수지층(178)에 열경화성 수지를 이용해 기판(160)의 각 전극과 배선 기판(165)의 배선 패턴과의 전기적 도통을 행하였지만, 본 실시형태에서는, 이 양자의 전기적 도통은 어떠한 수단에도 응용할 수 있어, 예를 들어, 도 6에 도시하는 바와 같이 이방(異方) 도전성(導電性) 수지를 수지층(178)으로서 이용해도 기판(160)의 각 전극과 배선 기판(165)의 배선 패턴과의 접속을 용이하게 행할 수 있다.

이방 도전성 수지는, 입자 형태의 도전물(181)을 수지 페이스트 중에 혼입한 것과, 입자 형태의 도전물을 수지 시트 중에 살포한 것이 있어, 어떤 타입의 수지를 이용하는 것도 가능하다. 이방 도전성 수지를 이용하는 경우에는, 기판(160)상의 각 전극(175, 176, 177) 및 배선 기판(165)상의 배선 패턴(167)상에 범프 전극(168)을 형성하는 것이 바람직하다.

예를 들어, 이방 도전성 시트를 기판(160)상에 배치하고, 기판(160)상의 범프 전극(168)과 배선 기판(165)상의 범프 전극(168)이 일치하도록 정렬을 행하고 양 기판(160, 165)에 소정의 압력을 가하면서 약 120°C 정도의 가열 처리를 행하고 도전성 시트를 용해시켜서 수지층(178)으로 하고, 도전물(181)에 의해 각 전극(175, 176, 177)과 배선 패턴(167)과의 도통이 행하여진다.

다른 전기적 도통 방법으로서, 도 11에 도시하는 바와 같이, 양 기판(160, 165)상에 형성한 범프 전극(183, 183)을 일치하도록 양 기판(160, 165)의 정렬을 행하고, 용융하여 기판(160)상의 각 전극(175, 176, 177)과 배선 기판(165)상의 배선 패턴(167)과의 전기적 도통을 실현하고 있다. 그 후, 양 기판(160, 165)에 압력을 가하면서, 양 기판(160, 165)의 사이에 액상의 열경화성 수지로 이루어는 함침재를 유입해 열 처리를 행하여 수지층(178)을 형성하고, 슬릿 홀(180)이 형성된다.

본 발명에서는 각 전극(175, 176, 177)과 배선 패턴(167)이 접속되는 것이면, 어떠한 구조, 어떠한 재료를 이용하여 행할 수 있다.

또한, 본 실시 형태에서는, 상기한 작용 효과와 함께, 제1실시 형태와 동일한 효과를 발휘한다.

이상 서술한 제1실시예 및 제2실시예는, 실시예의 첫머리에서 진술한 바와 같이 반도체 기판의 이면을 전극으로서 활용하고, 칩 사이즈를 작게 하는 것이 주된 목적이지만, 이하와 같은 개선이 이루어져도 된다.

도 12는, 여러가지 개선이 담겨진 도면으로, 우선 제1개선에는, 도 9나 도 10의 배선 기판(165) 대신 복수의 반도체 소자가 형성된 IC 기판(100)을 채용하고 있는 점이다. 여기서는 Bip IC가 이용되고 있다. 여

기서는 능동 소자 형성 영역(61)에 형성된 스위칭 소자의 제어 회로가 IC 기판(100)에 형성되어 복합화한 고기능의 반도체 장치를 실현할 수 있다.

제2개선예는, 도 6, 도 9의 외부 접속용 전극 영역(63A, 64A, 163A, 164A)에 설치된 N⁺형의 고농도 확산 영역(81)이다. 여기는, Bip에서 이용되는 분리 영역의 형성법을 채용하면 용이하게 실현할 수 있다. 에피택셜층 표면에서 기판으로 이 확산영역을 확산하여도 되고, 기판과 에피택셜층 사이와 에피택셜층 표면에서 상하로 확산하여도 된다. 이 영역(81)은, 고농도로 확산되어 있기 때문에 저항이 감소하고, 전력 손실을 저감할 수 있는 메리트를 갖는다.

제3개선예는, 외부 접속용 전극의 엣지에 설치한 테이퍼부(T)이다. 이 테이퍼부(T)를 갖춘 외부 접속용 전극을 실장 기판의 도전 패드에 땀납을 통해 접합하면, 땀납 필렛(Fillet)을 크게 형성하고, 또한 접합면적을 크게 형성하기 때문에, 접합 강도, 접속 신뢰성을 향상시킬 수 있다. 이 테이퍼부(T)는, 우선 사다리꼴의 다이싱 블레이드로 얇게 다이싱하고, 그 후 폭이 얇은 블레이드로 다이싱하면 도 12의 형상을 실현할 수 있다.

또한 제4개선예는, 슬릿(80)에 절연 수지층(95)을 충전하는 일이다. 이 절연수지층(95)은, 외부 접속용 전극(62, 63, 64) 사이의 절연을 확보함과 동시에 상호 고착 강도를 향상시키고 있다.

이어서 제5개선예는, 도 12의 금속 범프(115)를 도 13과 같이 한 점이다. 금속 범프(115)는, 제1기판(60)과 제2기판(100)이 동일 재료로 이루어져 열 팽창변형이 가해지지 않을 경우에 적합하다. 즉 열변형이 발생할 경우, 도 13과 같이 따로 따로 금 범프(221, 231)를 형성하고, 이 재료적으로 유연성이 있는 Au 범프로서 변형을 흡수하는 구조가 바람직하다.

전극(75, 76, 77, 107, 109A)을 노출시키고 있는 패시베이션(74A, 110)의 개구부에는, 크롬, 구리, 티탄 등을 부착한 제1배리어 메탈(79, 111)이 형성되고, 이 위에는 금 범프(121, 231)가 형성된다. 그리고 그 위에는, 크롬, 구리, 티탄 등을 부착한 제2배리어 메탈(222, 232)이 형성되어 있다. 그리고, 이 제2배리어 메탈(222, 232)상에는, AuSn으로 이루어지는 접합층(223, 233)이 설치되어 있다.

이들 재료는, 땀납으로 실장 기판에 실장함으로써, 땀납 용점 170~190도 보다 높은 재료일 필요가 있고, 또한 접합층(223, 233)은 범프 전극의 용점보다도 낮을 필요가 있다. 즉 각각의 용점은, 금 범프: 1063도, AuSn : 370도이다. 요컨대, 본 장치를 370도로 가열하면, 상하의 접합층이 녹아 접속된다.

또한, 배리어 메탈 없이 녹이면, Sn이 금 범프에 침입하여 용점이 내려 가고, 2개의 범프가 1개의 범프로 이루어지도록 용해되어 기판(100)과 기판(60)의 간격이 좁아지게 되는 문제가 발생한다. 즉, 배리어 메탈이 있음으로써 접합층만을 용해시킬 수 있다.

[제3실시 형태]

이하에, 본 발명의 제3실시 형태에 대해 도 14 내지 도 19를 참조하여 설명한다. 본 실시 형태는, 제2실시 형태의 반도체 장치의 제조 방법에 대해 상세히 설명한 것이다.

우선, 도 14에 도시된 바와 같이, N⁺형의 단결정 실리콘 기판으로 이루어지는 웨이퍼형의 반도체 기판(160)상에 에피택셜 성장 기술에 의해 N⁻형의 에피택셜층(166)을 형성한다. 반도체 기판(160)에는 파워 MOS, 트랜지스터 등의 능동 소자를 형성하는 능동 소자 형성 영역(161)과 능동 소자의 전극이 접속되는 외부 접속용 전극(163, 164)으로 이루어지는 외부 접속 전극 영역(163A, 164A)이 도 18과 같이 규칙적으로 배치되어 있다.

이 능동 소자 형성 영역(161)에 상기한 능동 소자를 형성한다. 여기에서의 능동 소자의 제조 방법은 주지된 사실이고, 본 출원의 포인트가 아니므로 설명을 생략한다.

반도체 기판(160)의 표면에는, 베이스 영역(171)의 표면을 노출하는 베이스 콘택트홀 및 에미터 영역(172)의 표면을 노출하는 에미터 콘택트홀을 갖는 실리콘 산화막(174)을 형성한다. 그리고, 가드링용 확산 영역(173) 표면을 노출하는 가드링 콘택트홀도 형성된다. 이 절연막(174)은, 외부 접속용 전극으로 이루어진 전극 영역(163A, 164A)상에도 형성되고, 전극 영역(163A, 164A)의 표면을 노출하는 외부 접속용 콘택트홀을 갖고 있다.

베이스 콘택트홀, 에미터 콘택트홀, 외부 접속용 콘택트홀 및 가드링 콘택트홀에 의해 노출된 베이스 영역(171), 에미터 영역(172), 전극 영역(163A, 164A) 및 가드링 확산 영역(173)상에 선택적으로 알루미늄 등의 금속 재료를 증착하여 가드링(173), 베이스 전극(175), 에미터 전극(176), 접속용 전극(177)을 각각 형성한다.

베이스 전극(175), 에미터 전극(176) 및 접속용 전극(177)에 알루미늄을 이용했을 경우에는, 기판(160)상에 PSG막, SiN, SiNx 등의 절연물로 이루어지는 패시베이션막(177A)을 형성하고, 베이스 전극(175), 에미터 전극(176), 접속용 전극(177)상의 패시베이션막(177A)을 선택적으로 제거하여 각 전극(175, 176, 177)의 표면을 노출시킨다.

또한, 상기 노출된 영역 내의 각 전극(175, 176, 177)에 크롬, 구리 등을 선택적으로 도금하여 도금층(179)을 형성하고 있다. 여기에서의 도금층은 부식에 의한 부적합함을 방지하고 있다.

다음에, 도 15에 도시하는 바와 같이, 반도체 기판(160)의 표면에 실리콘계, 에폭시계 혹은 폴리이미드계 혹은 광 경화성의 절연 접착 수지층(178)을 통해 고착하는 배선 기판(165)을 준비한다. 이 배선 기판(165)상에는 알루미늄, 구리 등의 배선 패턴(167)이 형성되어 있고, 이 배선 패턴(167)에 의해 트랜지스터의 베이스 전극(175), 에미터 전극(176)과 외부 접속 전극 영역(163A, 164A)의 전기적인 접속이 각각 행해진다.

배선 기판(165)으로서는, 유리 에폭시 기판, 세라믹 기판, 절연 처리된 금속 기판, 페놀 기판, 실리콘 기판 등의 기판을 이용할 수 있다. 예를 들어, 실리콘 기판을 배선 기판(165)으로서 이용했을 경우, 표면에

SiO₂ 혹은 SiN_x 등의 절연층(165A)을 형성하고, 그 절연층(165A)상에 알루미늄 등의 금속을 선택적으로 증착하여 소정 형상의 배선 패턴(167)을 형성한다.

여기서 배선 기판(165)으로서는 실리콘 기판을 채용하는 것이 바람직하고, 이를 이용하는 큰 이유는 상술한 2개의 이유 때문이다.

배선 패턴(167)에 알루미늄을 이용했을 경우에는, 상기된 바와 같이, 배선 기판(165)상에 PSG막, SiN, SiN_x 등의 절연물로 이루어진 패시베이션막(174A)을 형성하고, 배선 패턴(167)상의 패시베이션막(174A)을 선택적으로 제거하여 범프 전극(168)이 형성되는 배선 패턴(167)의 표면을 노출시킨다. 또한, 노출된 영역 내에 크롬, 구리 등을 선택적으로 도금하여 도금층(169)을 형성하고 있다. 도금층(169)상에는, 높이 약 3 μ ~25 μ 의 금 등의 금속으로 이루어진 범프 전극(168)을 형성한다. 이 범프 전극(168)은 공지한 방법에 의해 형성할 수 있고, 이 범프 전극(168)에 의해 외부 접속 전극 영역(163A, 164A)에 형성된 접속 전극(177)과의 접촉이 행해져 전기적 도통이 이루어진다.

다음에, 도 16에 도시된 바와 같이, 반도체 기판(160)과 배선 기판(165)을 수지층(178)을 통해 접착한다. 수지층(178)은 상기된 바와 같이, 여러가지 재료가 존재하지만, 예를 들어 에폭시 수지 등의 열경화성 수지를 이용하도록 한다. 이 열경화성 수지를 기판(160) 상에 도포하고, 능동 소자 형성 영역(161)상에 형성된 트랜지스터의 베이스 전극(175), 에미터 전극(176) 및 외부 접속 전극 영역(163A, 164A)상에 형성된 접속 전극(177, 179)과 배선 기판(165)상에 형성한 범프 전극(168)이 일치하도록 양 기판(160, 165)과의 정렬을 행하여 밀착시킨다.

그 후, 약 80 $^{\circ}$ C~100 $^{\circ}$ C 정도의 가열 처리를 행하여 수지층(178)을 열경화시켜 양 기판(160, 165)을 고착 밀착화한다. 이 때, 각 전극(175, 176, 177)과 범프 전극(168)은 접촉하여 전기적으로 도통된다.

또한, 가열하는 것으로서 수지층(178)의 경화가 시작되고, 그 경화시의 수축력으로 양 기판(160, 165)이 서로 끌어 당겨지며, 기판(160)상의 각 전극(175, 176, 177)과 범프 전극(168)과의 접촉이 충분히 유지되어 전기적으로 도통이 확실하게 행하여진다. 수지층(178)은 각 전극(175, 176, 177)과 범프 전극(168)을 양호하게 도통시킴과 동시에, 양 기판(160, 165)의 접착도 동시에 행하는 것이다.

단, 제5개선에 있어서 설명한 바와 같이, 금속 범프를 각각의 기판에 형성하고, 접합층을 녹임으로써 상하 기판을 접합해도 좋다.

양 기판(160, 165)을 수지층(178)으로 고착한 후, 기판(160)의 이면에 땀납 등의 금속 도금 처리를 행하여 도금층(160A)을 형성한다. 이 도금층(160A)은 실장 기판상에 실장했을 때 땀납과의 접합을 양호하게 하기 위한 것이다.

다음에, 도 17 및 도 19에 도시한 바와 같이 기판(160)상에 형성된 능동 소자 형성 영역(161)과 외부 접속 전극 영역(163A, 164A)을, 기판(160)의 이면측으로부터 형성한 슬릿 홀(180)에 의해 각각 전기적으로 분리한다. 또한, 동일한 반도체 기판(160)을 이용해 형성되기 때문에, 동일 평면상에 트랜지스터의 각 전극의 외부 접속용 전극(162, 163, 164)이 형성되게 된다.

각 외부 접속용 전극(162, 163, 164)을 전기적으로 분리하는 슬릿 홀(180)은, 반도체 기판(160)의 이면측으로부터 수지층(178)까지 도달하도록 형성하고, 다이싱 장치를 이용한 기계적 방법에 의해 형성한다.

다이싱 장치를 이용해 슬릿 홀(180)을 형성하는 이유는, 다이싱의 폭 및 깊이를 정밀도 좋게 제어할 수 있고, 기존의 설비로 새롭게 구입할 필요가 없는 것이다. 다이싱 폭은 다이싱 블레이드 폭에 의해 설정되고, 다이싱의 깊이는 다이싱 장치 메이커에 따라 다르지만, 현재의 기술에서는 약 2 μ ~5 μ 정도의 정밀도 오차이고, 배선 기판(165)상의 배선 패턴(167)을 절단하지 않고, 확실하게 능동 소자 형성 영역(161), 외부 접속 전극 영역(163A, 164A)을 전기적으로 분리할 수 있다.

이 공정에서 행하여지는 다이싱 공정은, 도 18에 도시하는 바와 같이, 기판(160)상에 형성한 능동 소자 형성 영역(161)과, 트랜지스터의 베이스 전극용 외부 접속 전극으로 되는 외부 접속 전극 영역(164A)과 에미터 전극용 외부 접속 전극으로 되는 외부 접속 전극 영역(163A)을 전기적으로 분리하는 공정이 된다(일점 채선 영역). 이 공정에서의 다이싱 폭은, 분리 후의 인접하는 영역(161, 163A, 164A)과의 절연성을 유지할 필요성으로부터, 예를 들어 약 0.1mm의 폭으로 행한다. 또한, 다이싱의 깊이는, 상기한 바와 같이 확실하게 능동 소자 형성 영역(161), 외부 접속 전극 영역(163A, 164A)을 전기적으로 분리하기 위해 수지층(178) 안으로 약 2 μ ~5 μ 정도 들어가도록 행한다.

이 때, 다이싱 장치의 다이싱 오차를 고려하여 수지층(178)의 막 두께를 설정하므로 슬릿 홀(180)을 형성하는 공정에서 배선 패턴(167)이 단선하는 것과 같은 일은 없다. 이 공정 전에, 기판(160)의 반대 주요면에 도금층(160A)이 형성되어 있기 때문에, 슬릿 홀(180)을 형성함으로써, 외부 전극으로 되는 능동 소자 형성 영역(161), 외부 접속 전극 영역(163A, 164A)상에만 도금층(160A)이 형성되고, 도금층(160A)에 의해 각 전극이 단락하는 일은 없다. 또한, 단락을 방지하는 전용의 공정을 필요로 하지 않는다.

다음에, 도 19에 도시된 바와 같이 기판(160)에 형성된 능동 소자 형성 영역(161), 외부 접속 전극 영역(163A, 164A)으로 이루어지는 트랜지스터 셀(X)을 개개로 분할하여 반도체 장치를 완성시킨다. 이러한 분리 공정은 도 18에 도시된 바와 같이, 트랜지스터셀(X)의 외주 주변 부분(사선 영역)의 양 기판(160, 165)을 다이싱 장치의 다이싱 블레이드로 절단해 개별로 분리하여 반도체 장치를 제공한다.

발명의 효과

상술한 제조 방법에 의해 제조된 반도체 장치는, 세라믹스 기판, 유리 에폭시 기판, 페놀 기판, 절연 처리를 실시한 금속 기판 등의 실장 기판상에 형성된 도전 패드상에 고착 실장된다. 이 패드상에는 땀납 크럼이 미리 인쇄가 형성되어 있고, 땀납을 용융시켜 본 발명의 제조 방법에 의해 제조된 반도체 장치를 탑재하면 실장 기판의 패드상에 반도체 장치를 고착 실장할 수 있다. 이 고착 실장 공정은 도시되지 않았지만, 실장 기판상에 실장되는 칩 콘덴서, 칩 저항 등의 땀납 실장되는 다른 회로 소자의 실장 공정과 동일

한 공정으로 행해진다.

여기서 수지층(78)은, 다이싱을 할 때, 양 기판(160,165)을 고정하는 것이다. 그러나 IC의 내식성을 고려하여 이 수지층(78)을 남겨도 좋지만, 본 출원에서는, 배리어 메탈로 IC 내의 내식성은 보호되고, 금속 범프는 Au로 이루어지므로 최종적으로 제거해도 좋다.

(57) 청구의 범위

청구항 1

반도체 장치에 있어서, 능동 소자를 구성하는 확산층이 내부에 형성되고, 표면에는 상기 능동 소자의 제1전극이 형성되며, 또한 이면에는 상기 능동 소자의 제2전극이 외부 접속용으로서 형성된 제1반도체 기판과, 상기 제1반도체 기판과 연속된 것이 슬릿을 통해 분리되고, 자신을 전극으로서 활용하여 표면에 제3전극, 이면에 외부 접속용으로서 제4전극이 형성된 제2반도체 기판, 및 상기 제1전극과 상기 제3전극을 전기적으로 접속하는 접속 수단을 갖는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제2전극과 상기 제4전극의 표면이 동일면으로 되어 형성되는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 제1반도체 기판과 상기 제2반도체 기판간의 슬릿은 절연 접착 수지로 고정되는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 접속 수단은, 상기 제1반도체 기판과 상기 제2반도체 기판상에 피복된 절연층상에 형성되는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 접속 수단은 금속의 가는 선으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 슬릿을 구성하는 상기 반도체 기판의 엣지 부분이 테이퍼로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 7

반도체 장치에 있어서, 능동 소자를 구성하는 확산층이 내부에 형성되고, 표면에는 상기 능동 소자의 제1전극이 형성되며, 또한 이면에는 상기 능동 소자의 제2전극이 외부 접속용으로서 형성된 제1반도체 기판과, 상기 제1반도체 소자와 연속된 것이 슬릿을 통해 분리되고, 자신을 전극으로서 활용하여 표면에 제3전극, 이면에 외부 접속용으로서 제4전극이 형성된 제2반도체 기판, 및 상기 제1전극과 상기 제3전극을 전기적으로 접속하는 접속 수단이 그 표면에 형성된 배선 기판을 갖는 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 배선 기판은, 실리콘 기판, 유리 에폭시 기판, 세라믹 기판 또는 절연 처리된 금속 기판으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 9

제7항에 있어서, 상기 제2전극과 상기 제4전극의 표면이 동일면으로 되어 형성되는 것을 특징으로 하는 반도체 장치.

청구항 10

제7항에 있어서, 상기 제1반도체 기판과 상기 제2반도체 기판간의 슬릿은, 절연 접착 수지로 고정되는 것을 특징으로 하는 반도체 장치.

청구항 11

제7항에 있어서, 상기 슬릿을 구성하는 상기 반도체 기판의 엣지 부분이 테이퍼로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 12

제7항에 있어서, 상기 제1, 제3전극상에 설치된 제1금속 범프와, 상기 제1금속 범프와 대응하여 상기 배선 기판상의 접속 수단에 고착된 제2금속 범프, 및 상기 제1금속 범프와 상기 제2금속 범프 사이를 전기적으로 접속하는 접합층을 갖는 것을 특징으로 하는 반도체 장치.

청구항 13

반도체 장치에 있어서, 트랜지스터를 구성하는 확산층이 내부에 형성되고, 표면에는 상기 트랜지스터의 제어 전극 및 전류 유출측(또는 전류 유입측)의 전극이 형성되며, 또한 이면에는 상기 트랜지스터의 전류 유입측(또는 전류 유출측)의 전극이 형성된 제1반도체 기판과, 상기 제1반도체 기판과 연속한 것이 슬릿을 통해 분리되고, 자신을 전극으로서 활용하여 표면측에 형성된 제1전극 및 이면에 형성된 제2전극이 형

성된 제2반도체 기판과, 상기 제1반도체 기판과 연속한 것이 슬릿을 통해 분리되고, 자신을 전극으로서 활용하여 표면측에 형성된 제3전극 및 이면에 형성된 제4전극이 형성된 제3반도체 기판과, 상기 제어 전극과 상기 제1전극, 상기 전류 유출측(전류 유입측)의 전극과 상기 제3전극을 접속하고, 상기 제1반도체 기판, 상기 제2반도체 기판 및 상기 제3반도체 기판상에 배치된 접속 수단을 갖는 것을 특징으로 하는 반도체 장치.

청구항 14

제13항에 있어서, 상기 배선 기판은, 제1반도체 기판, 제2반도체 기판 및 제3반도체 기판상에 배치되고, 실리콘 기판, 유리 에폭시 기판, 세라믹기판 또는 절연 처리된 금속 기판으로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 15

제13항에 있어서, 상기 전류 유입측(또는 전류 유출측)의 전극, 상기 제2전극 및 상기 제4전극의 표면이 동일면으로 이루어져 형성되는 것을 특징으로 하는 반도체 장치.

청구항 16

제13항에 있어서, 상기 제1반도체 기판과 상기 제2반도체 기판간의 슬릿, 상기 제1반도체 기판과 상기 제3반도체 기판간의 슬릿은, 절연 접속 수지로 고정되는 것을 특징으로 하는 반도체 장치.

청구항 17

제13항에 있어서, 상기 슬릿을 구성하는 상기 반도체 기판의 엣지 부분이 테이퍼로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 18

반도체 장치의 제조 방법에 있어서, 능동 소자를 구성하는 확산층이 내부에 형성되고, 표면에는 상기 능동 소자의 제1전극이 형성되며, 또한 이면에는 상기 능동 소자의 제2전극이 외부 접속용으로서 형성된 제1영역과, 자신을 전극으로서 활용하여 표면에 제3전극, 이면에 외부 접속용으로서 제4전극이 형성된 제2영역을 갖는 반도체 기판을 준비하는 공정과, 상기 반도체 기판상의 접착성 절연 재료로 유지되어 상기 제1전극과 상기 제3전극을 전기적으로 접속하는 접속 수단을 형성하는 공정, 및 상기 제1영역과 상기 제2영역사이에서, 상기 반도체 기판의 이면으로부터 표면까지 연장되는 슬릿과, 상기 제1영역과 상기 제2영역이 일체로 되어 하나의 장치로서 분리되는 슬릿을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 19

제18항에 있어서, 상기 반도체 기판상의 접착성 절연 재료로 유지되어 상기 제1전극과 상기 제3전극을 전기적으로 접속하는 접속 수단을 형성하는 공정을, 상기 반도체 기판과 접착 유지된 배선 기판에 설치된 상기 제1전극과 상기 제3전극을 전기적으로 접속하는 접속 수단을 형성하는 공정으로 치환하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20

반도체 장치의 제조 방법에 있어서, 트랜지스터를 구성하는 확산층이 내부에 형성되고, 표면에는 상기 트랜지스터의 제어 전극 및 전류 유출측(또는 전류 유입측)의 전극이 형성되며, 또한 이면에는 상기 트랜지스터의 전류 유입측(또는 전류 유출측)의 전극이 형성된 제1영역과, 자신을 전극으로서 활용하여 표면측에 형성된 제1전극 및 이면에 형성된 제2전극이 형성된 제2영역과, 자신을 전극으로서 활용하여 표면측에 형성된 제3전극 및 이면측에 형성된 제4전극이 형성된 제3영역을 갖는 반도체 기판을 준비하는 공정과, 상기 제어 전극과 상기 제1전극, 상기 전류 유출측(전류 유입측)의 전극과 상기 제3전극을 접속하는 배선 패턴을, 상기 제1반도체 기판, 상기 제2반도체 기판 및 상기 제3반도체 기판상의 접착 수지에 의해 유지하는 공정, 및 상기 제1영역, 상기 제2영역 및 제3영역 사이에서, 상기 반도체 기판의 이면으로부터 표면까지 연장되는 슬릿과, 상기 제1영역, 상기 제2영역 및 제3영역이 일체로 되어 상기 반도체 기판으로부터 하나의 트랜지스터 장치로서 분리되는 슬릿을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21

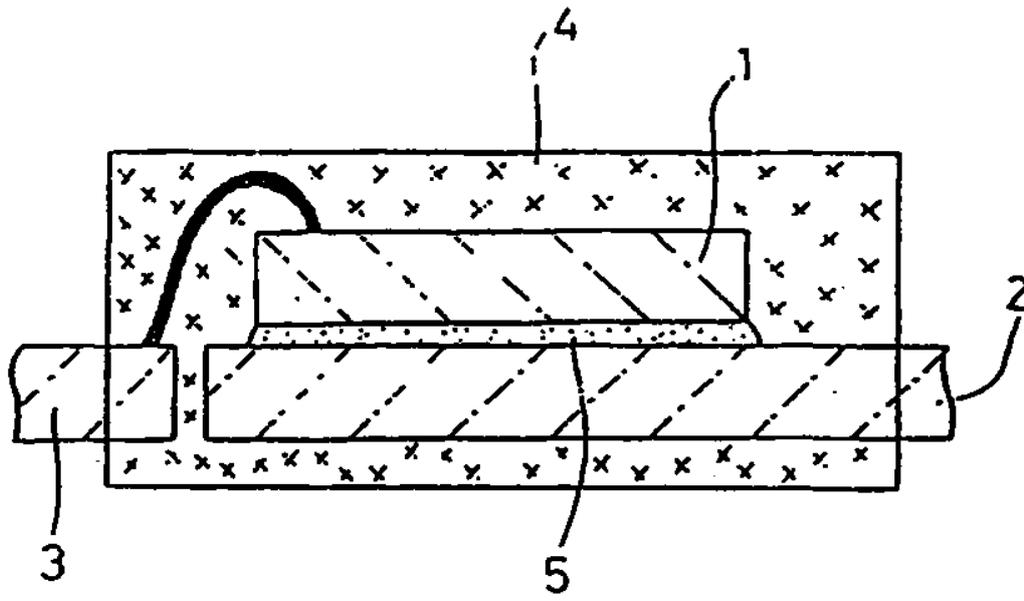
제20항에 있어서, 상기 제어 전극과 상기 제1전극, 상기 전류 유출측(전류 유입측)의 전극과 상기 제3전극을 접속하는 배선 패턴을, 상기 제1반도체 기판, 상기 제2반도체 기판 및 상기 제3반도체 기판상의 접착 수지에 의해 유지하는 공정을, 상기 배선 패턴을, 상기 제1반도체 기판, 상기 제2반도체 기판 및 상기 제3반도체 기판상에 설치된 배선 기판에 형성하는 공정으로 치환하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22

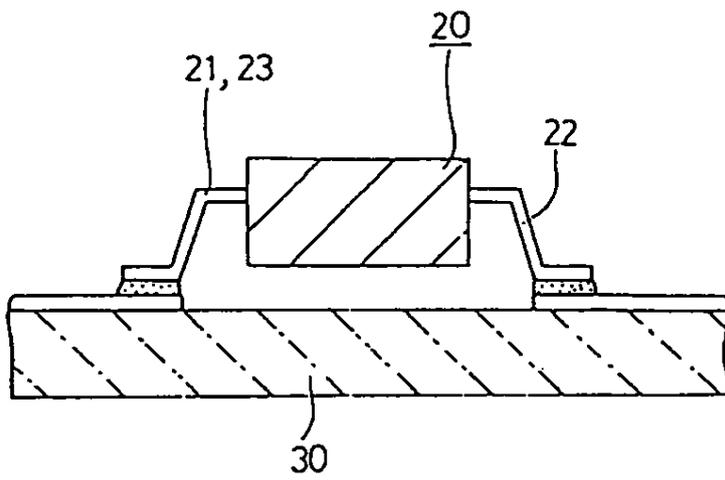
제18항에 있어서, 상기 슬릿은 다이싱에 의해 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

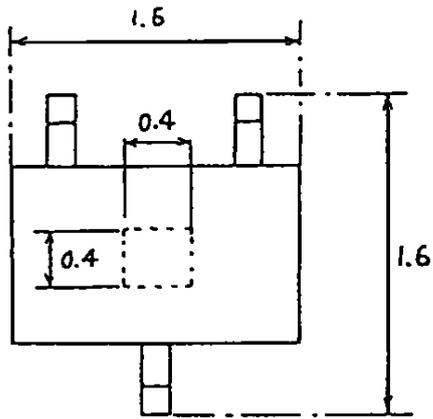
도면1



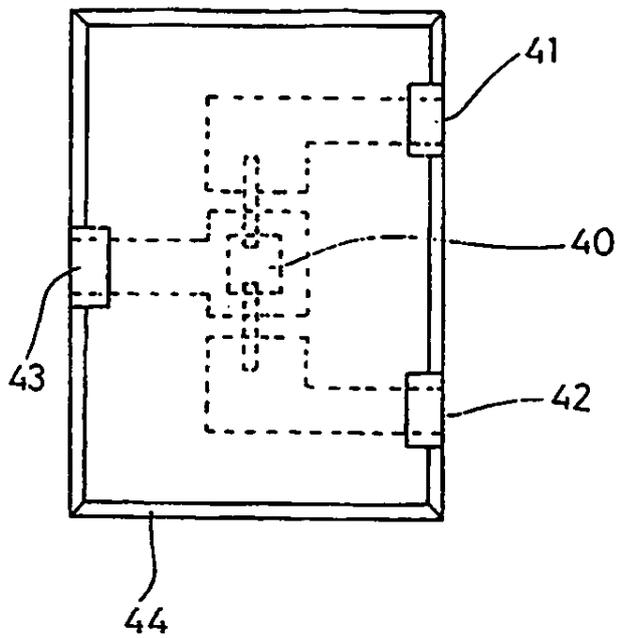
도면2



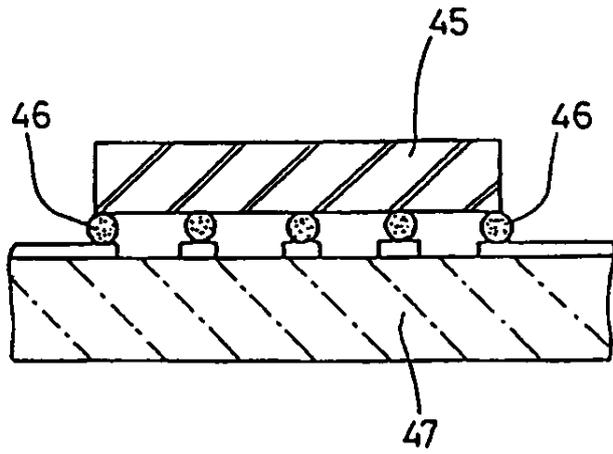
도면3



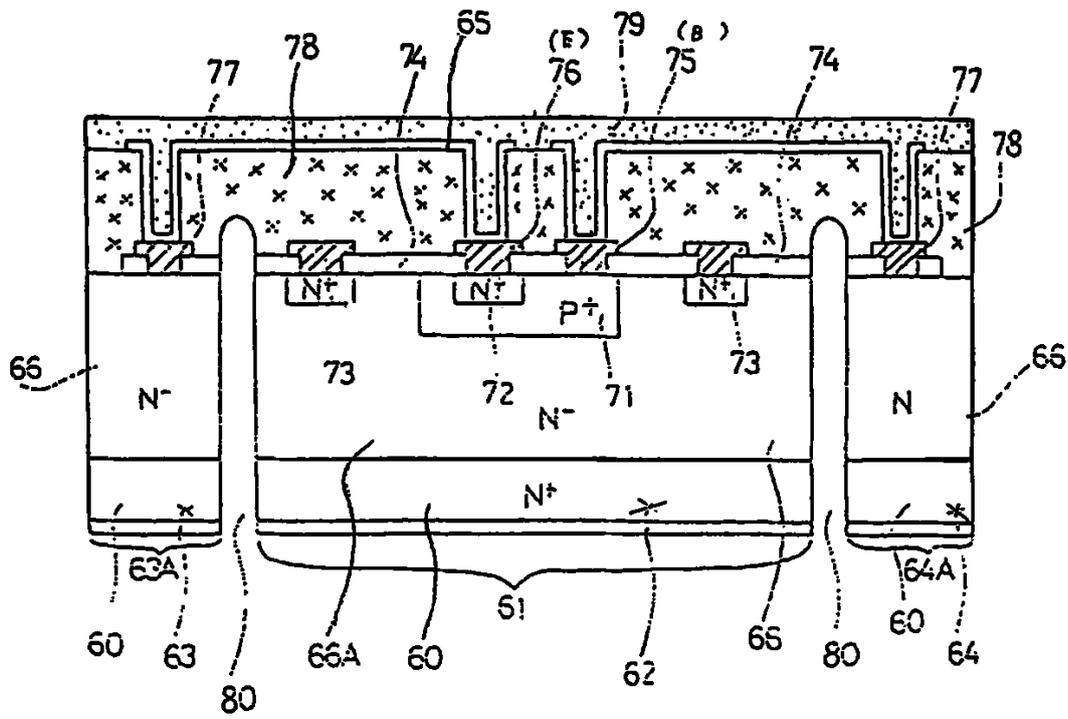
도면4



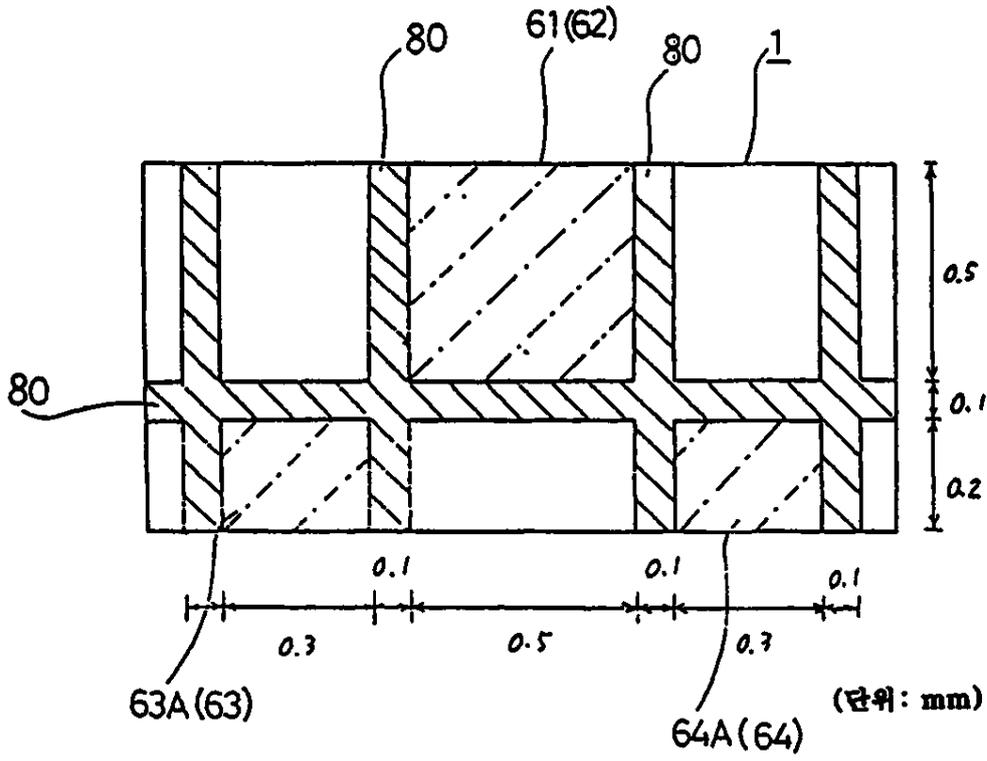
도면5



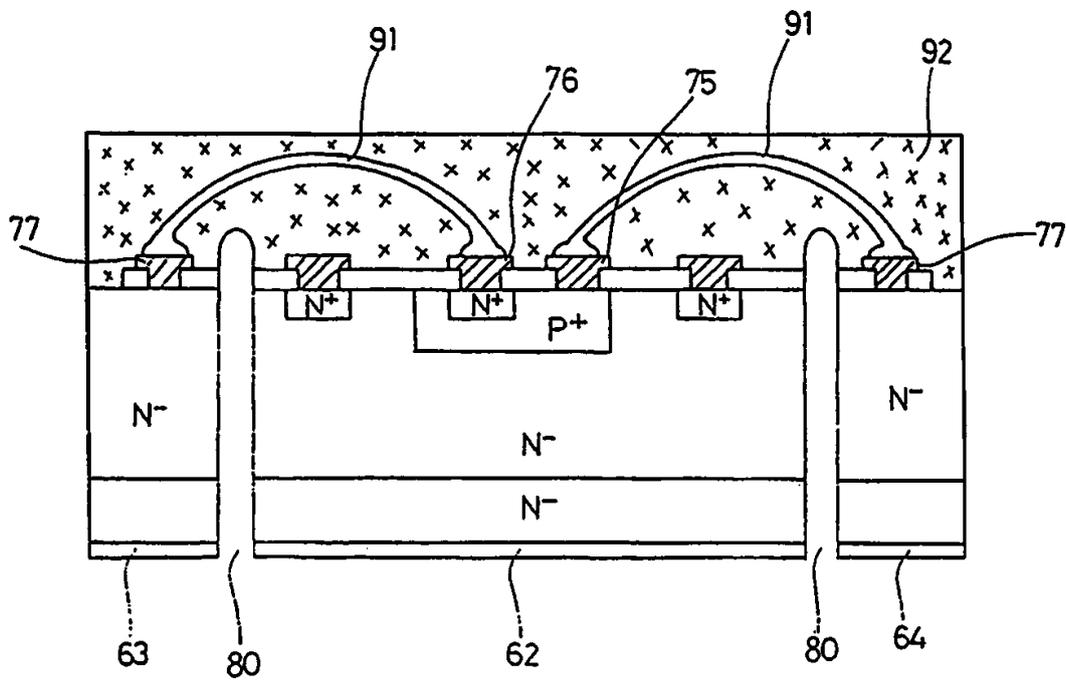
도면6



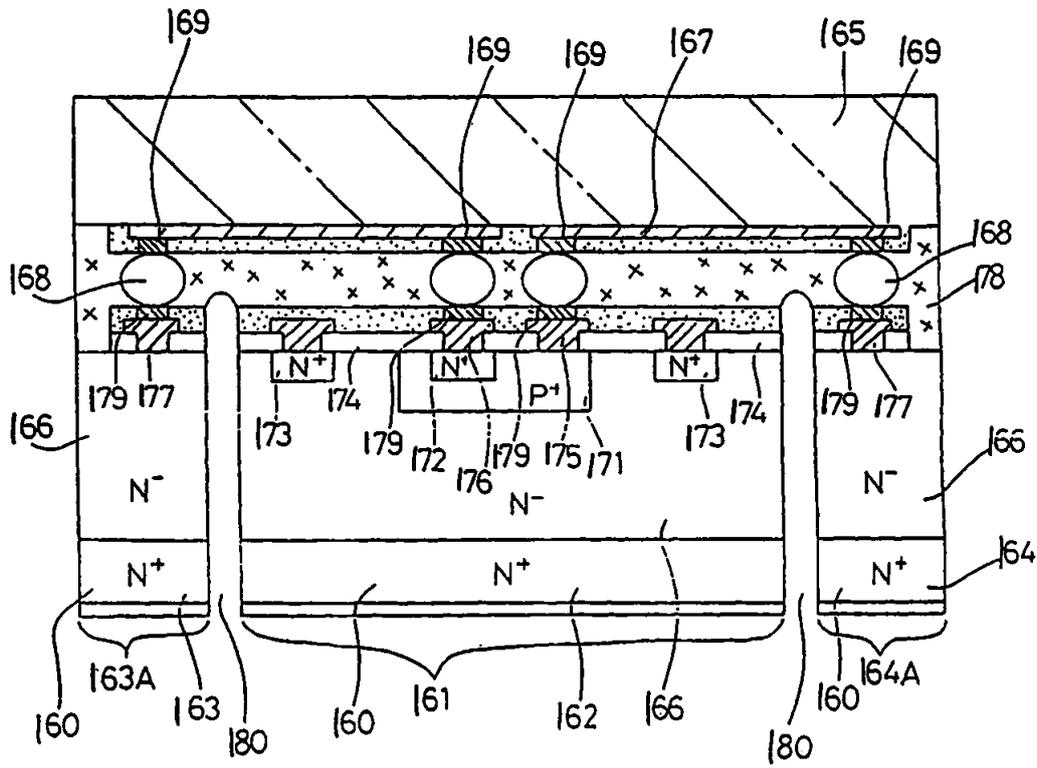
도면7



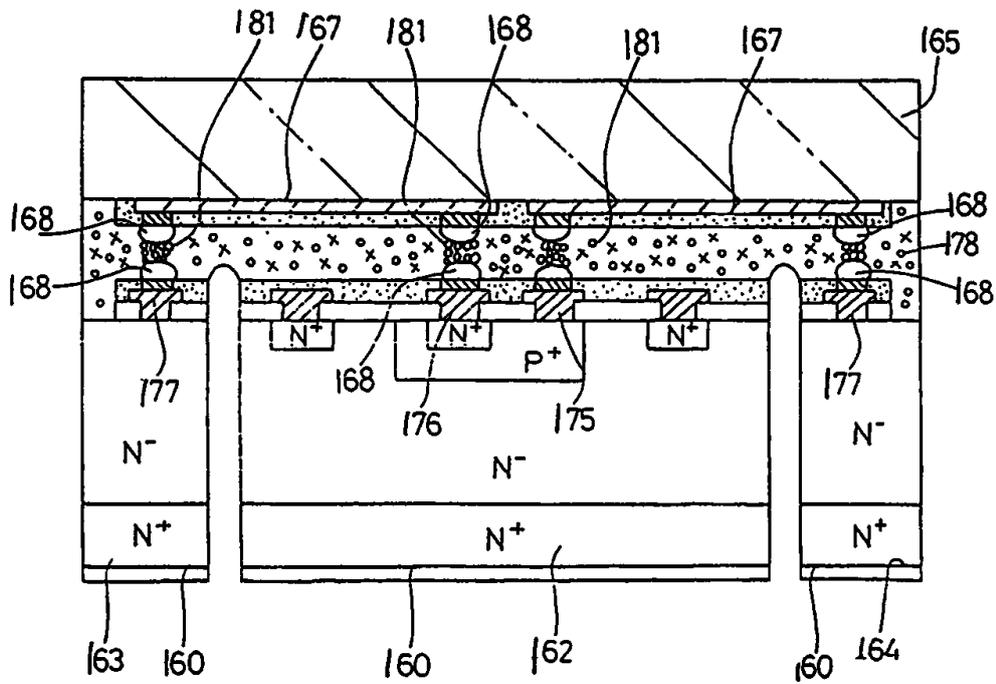
도면8



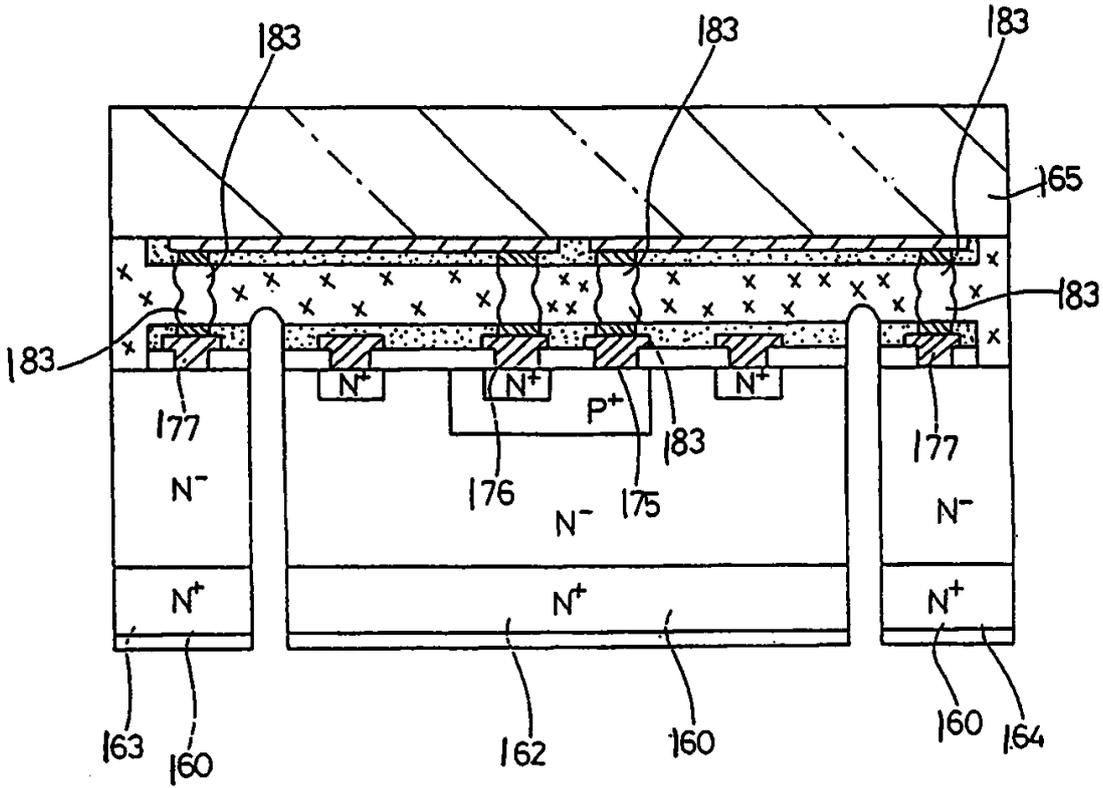
도면9



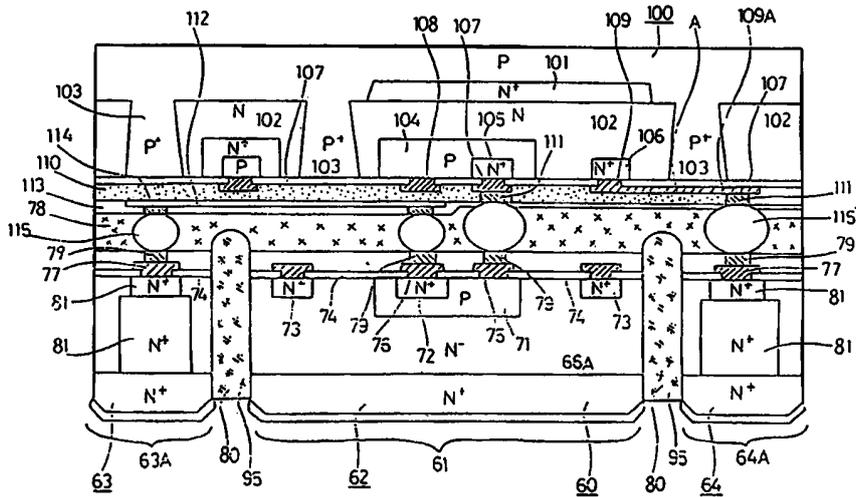
도면10



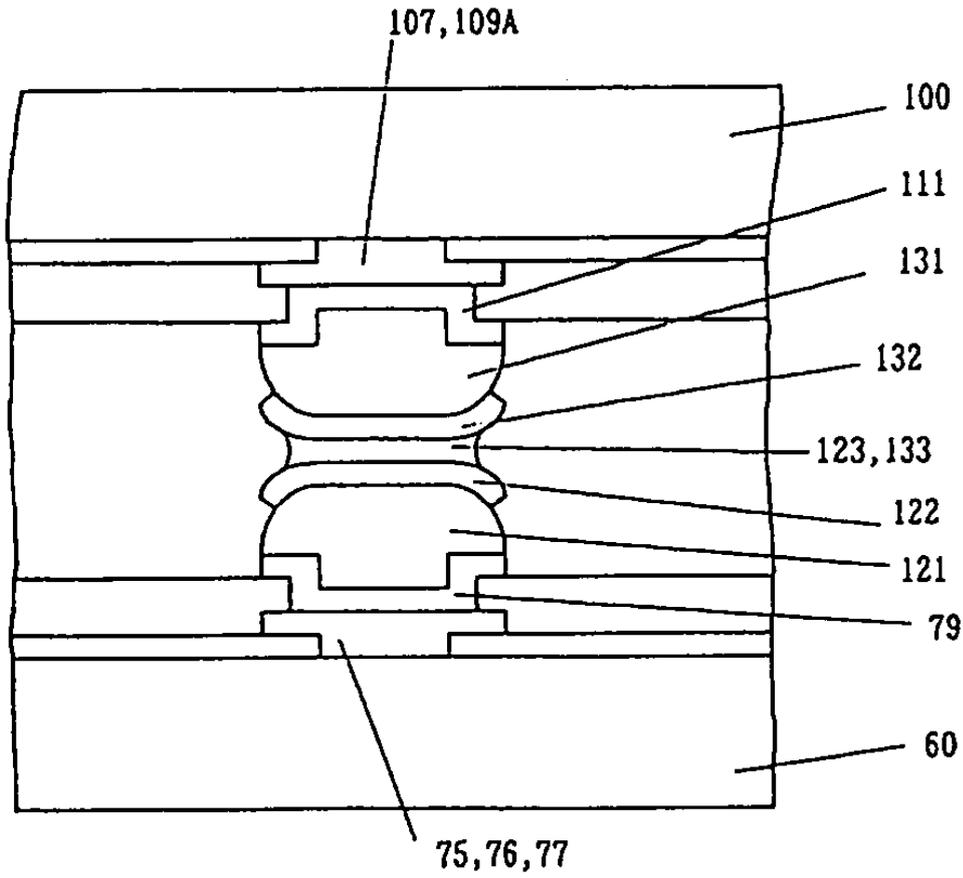
도면11



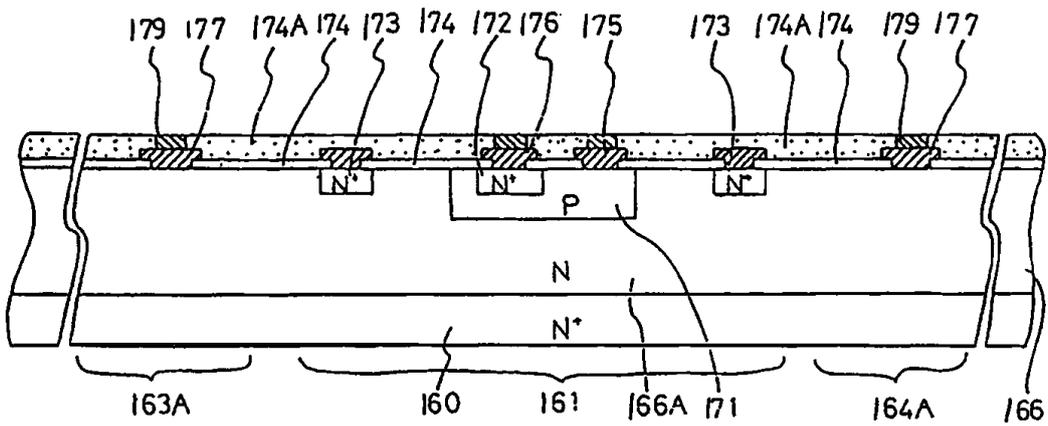
도면12



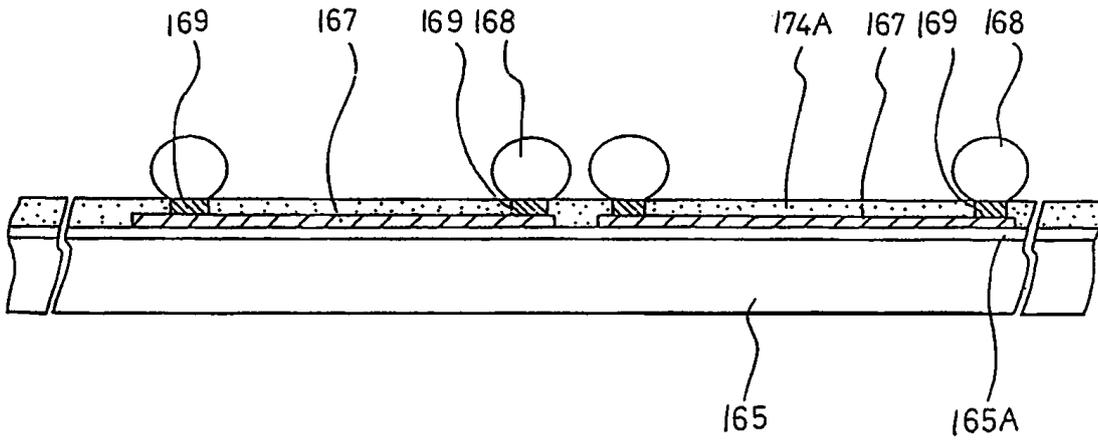
도면13



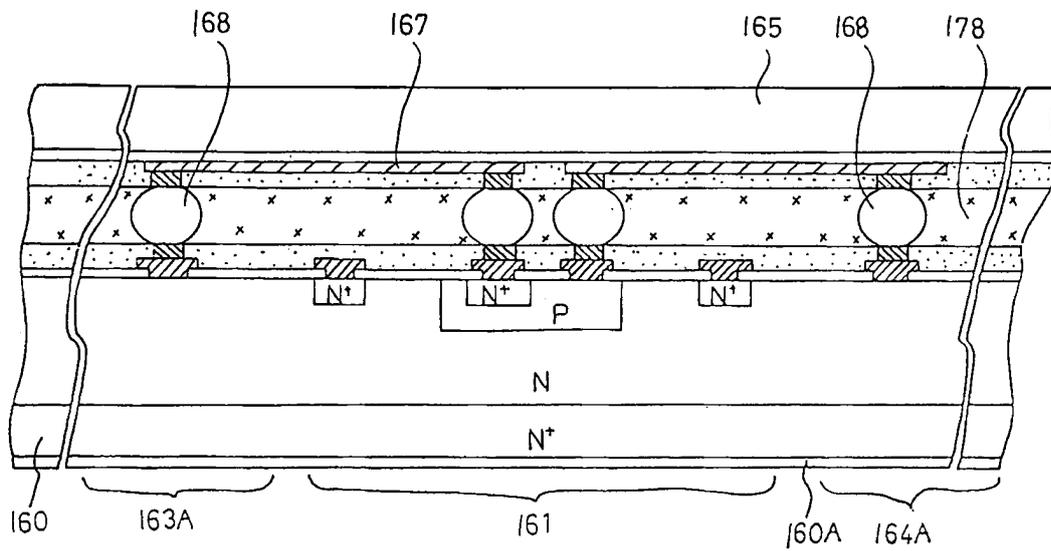
도면14



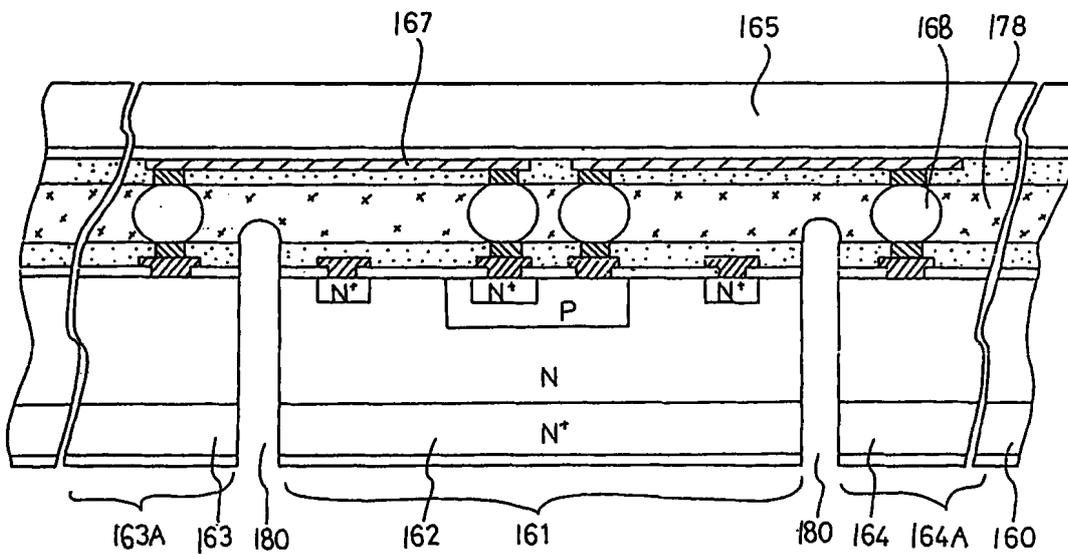
도면15



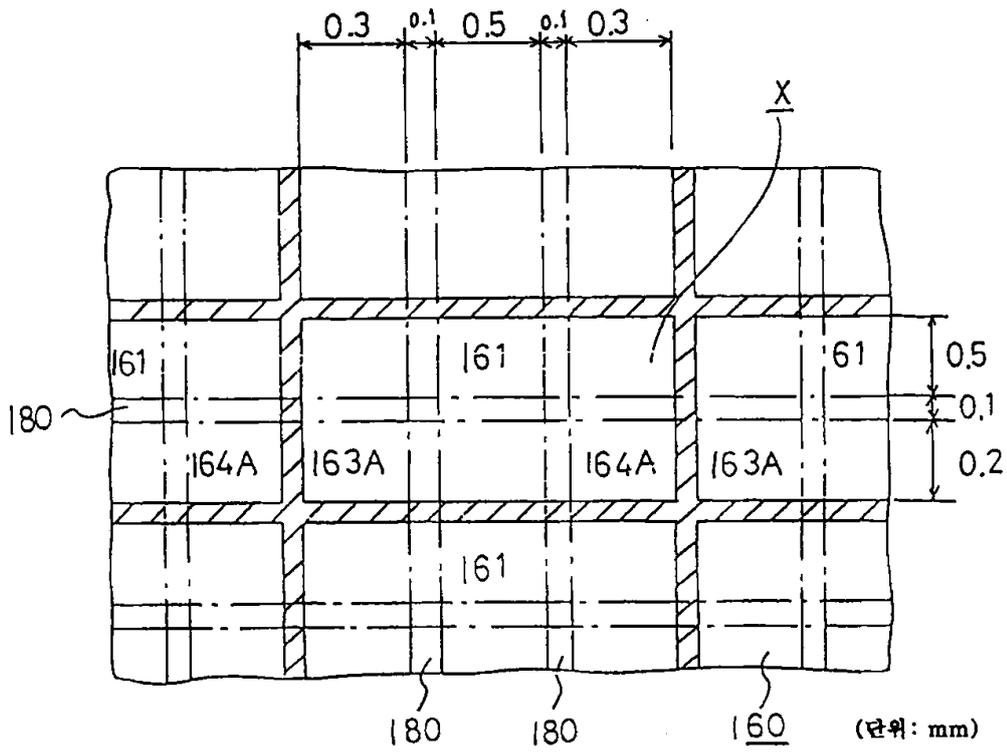
도면16



도면17



도면 18



도면 19

