



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 37 986 T2** 2008.05.21

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 005 202 B1**

(21) Deutsches Aktenzeichen: **699 37 986.5**

(96) Europäisches Aktenzeichen: **99 122 954.3**

(96) Europäischer Anmeldetag: **18.11.1999**

(97) Erstveröffentlichung durch das EPA: **31.05.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **16.01.2008**

(47) Veröffentlichungstag im Patentblatt: **21.05.2008**

(51) Int Cl.⁸: **H04L 27/20** (2006.01)
H04B 1/707 (2006.01)

(30) Unionspriorität:
33366198 **25.11.1998** **JP**

(73) Patentinhaber:
NEC Corp., Tokyo, JP

(74) Vertreter:
Vossius & Partner, 81675 München

(84) Benannte Vertragsstaaten:
DE, GB

(72) Erfinder:
Ichihara, Masaki, Tokyo, JP

(54) Bezeichnung: **Frequenzmodulationsschaltung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Modulationsschaltung, bei der W-CDMA (Breitband-Codemultiplex-Vielfachzugriff) als ein Mobilkommunikationsschema der nächsten Generation verwendet wird, und insbesondere eine Frequenzspreizmodulationsschaltung, bei der eine Mehrcodeübertragung verwendet wird, und welche auf der Endgeräteseite für die IQ-Multiplexübertragung vorbereitet ist.

[0002] Die CDMA-(Codemultiplex-Vielfachzugriff)-Mobilkommunikation verwendet eine Frequenzspreizung, bei der, anders als beim herkömmlichen FDMA (Frequenzmultiplex-Vielfachzugriff) oder TDMA (Zeitmultiplex-Vielfachzugriff), Kanäle nicht auf der Grundlage von Frequenzen oder Zeitpunkten, sondern Spreizcodes mit geringer Korrelation unterschieden werden. Ein durch einen Spreizcode unterschiedener Kanal wird als ein Codekanal bezeichnet.

[0003] Bei einem hochentwickelten CDMA-Schema, wie W-CDMA (Breitband-CDMA), werden mehrere Spreizcodes (d.h. mehrere Codekanäle) einem Endgerät zugewiesen, um eine schnelle Datenübertragung zu ermöglichen. Dies wird als Mehrcode bezeichnet.

[0004] Zum Übertragen eines Mehrcodes werden mehrere Codekanäle in zwei Gruppen unterteilt. Nachdem die Codekanäle gespreizt wurden, werden sie einer Quadraturphasenmodulation unterzogen, wobei die Summe der ersten Gruppe als ein I-Signal (phasengleiches Signal) verwendet wird und die Summe der zweiten Gruppe als ein Q-Signal (Quadratursignal) verwendet wird. Dieses Schema wird als IQ-Multiplex oder IQ-Multiplexschema bezeichnet.

[0005] Normalerweise werden die Kanäle vor der Quadraturmodulation mit Verwürfelungscodes multipliziert und randomisiert (so dass die vorstehend erwähnten I- und Q-Signale nicht immer direkt als phasengleiche und Quadratursignale verwendet werden), und das Band wird durch ein Filter begrenzt.

[0006] [Fig. 1](#) zeigt eine schematische Ansicht des IQ-Multiplexschemas unter Verwendung eines Mehrcodes.

[0007] N Signale DPDCH 1 bis DPDCH N, die von der linken Seite eingegeben wurden, stellen jeweilige Datenkanäle dar. Ein Signal DPCCCH stellt einen Steuerkanal dar. In der Beschreibung dieses Patents wird dieser Kanal nicht besonders von den restlichen Datenkanälen unterschieden. Diese Signale sind Binärsignale "0" oder "1".

[0008] Eine Frequenzspreizmodulationsschaltung **301** spreizt die Eingangssignale unter Verwendung verschiedener Spreizcodes in Einheiten von Kanälen und unterteilt sie dann in zwei Gruppen. Die Summen der jeweiligen Gruppen werden als I- und Q-Signale erhalten.

[0009] Die Signale werden verwürfelt und als Signale Iout und Qout ausgegeben. Die Bänder der Signale Iout und Qout werden durch Filter **302** bzw. **303** begrenzt. Anschließend werden die Signale durch D/A-Wandler **304** und **305** in Analogsignale umgewandelt. Diese Analogsignale werden einer Quadraturmodulation durch einen Quadraturmodulator **308** unterzogen. Das sich ergebende Hochfrequenzsignal wird durch einen Sender **306** gemischt und verstärkt und von einer Antenne **307** ausgegeben.

[0010] Die Sendesystemschialtung eines Endgeräts des IQ-Multiplexschemas unter Verwendung eines Mehrcodes wurde vorstehend grob beschrieben.

[0011] Die Anordnung der Frequenzspreizmodulationsschialtung **301** dieses Stands der Technik wird mit Bezug auf [Fig. 2](#) beschrieben.

[0012] [Fig. 2](#) zeigt eine Frequenzspreizmodulationsschialtung zum Verwirklichen einer IQ-Multiplexierung unter Verwendung eines Mehrcodes.

[0013] Eingangssignale stellen Datenkanäle dar. Die Kanäle DPDCH 1 bis DPDCH N und der Steuerkanal DPCCCH, d.h. insgesamt N + 1 Signale werden eingegeben. Diese Signale werden in zwei Gruppen unterteilt. Es können verschiedene Verfahren zum Unterteilen der Kanäle verwendet werden. Beispielsweise werden ungeradzahlige Datenkanäle in die I-Gruppe eingeordnet und geradzahlige Datenkanäle in die Q-Gruppe eingeordnet.

[0014] Verschiedene vorbestimmte Spreizcodes, welche den jeweiligen Signalen entsprechen, werden durch

Spreizcode-Erzeugungsschaltungen **1** bis **7** erzeugt. Wenn sowohl die Spreizcodes als auch die Eingangssignale binäre Codes 0 oder 1 sind, wird die Frequenzspreizung durch Berechnen von Exklusiv-ODER-Verknüpfungen **8** bis **14** der Eingangssignale und der Spreizcodes verwirklicht.

[0015] Die Frequenzspreizergebnisse (Binärsignale 0 oder 1) werden in Koeffizientenschaltungen **15** bis **21** eingegeben. Wenn die Eingabe 0 ist, gibt die Koeffizientenschaltung einen vorbestimmten positiven Wert aus. Wenn die Eingabe 1 ist, gibt die Koeffizientenschaltung einen vorbestimmten negativen Wert aus. Die vorbestimmten Werte ändern sich in Einheiten der Kanäle. In dem in [Fig. 2](#) dargestellten Beispiel wird ein Wert A für alle Datenkanäle festgelegt und ein Wert G für die Steuerkanäle festgelegt. Wenn für einen Datenkanal das Spreizergebnis 0 ist, wird +A ausgegeben, und wenn das Spreizergebnis 1 ist, wird –A ausgegeben. Wenn für den Steuerkanal das Spreizergebnis 0 ist, wird +G ausgegeben, und wenn das Spreizergebnis 1 ist, wird –G ausgegeben. Jeder der vorbestimmten Werte A und G weist mehrere Bits auf. Die Werte sind Binärzahlen und entsprechen den Übertragungspegeln der Kanäle.

[0016] Die Werte –A und –G sind durch die Zweierkomplemente der Werte A und G gegeben.

[0017] Ein Addierer **22** berechnet die Summe der Koeffizientenschaltungen (**15** bis **17**), zu denen die I-Gruppe gehört, und gibt sie als ein I-Signal aus. Ein Addierer **23** berechnet die Summe der Koeffizientenschaltungen (**18** bis **21**), zu denen die Q-Gruppe gehört, und gibt sie als ein Q-Signal aus. Die I- und Q-Signale sind Binärzahlen mit einer großen Anzahl von Bits.

[0018] Eine Schaltung **24** ist ein komplexer Multiplizierer, der die I- und Q-Signale verwürfelt, um die Signale I_{out} und Q_{out} zu erzeugen. Als Verwürfelungscodes werden zwei Sätze von Pseudoräuschsignalen, wie Codes der M-Sequenz oder Gold-Codes mit einer niedrigen Korrelation, verwendet. Diese sind die Signale PNI und PNQ. Die Signale PNI und PNQ sind Binärcodes 0 oder 1. Diese Signale werden durch jeweilige Koeffizientenschaltungen **25** und **26** in vorzeichenbehaftete Datensignale XI und XQ +1 oder –1 umgewandelt.

[0019] Die Beziehung zwischen den Signalen PNI und PNQ und den Signalen XI und XQ ist in der Tabelle aus [Fig. 3](#) dargestellt.

[0020] Wenn das Signal PNI 0 ist, ist das Signal XI +1.

[0021] Wenn das Signal PNI 1 ist, ist das Signal XI –1.

[0022] Wenn das Signal PNQ 0 ist, ist das Signal XQ +1.

[0023] Wenn das Signal PNQ 1 ist, ist das Signal XQ –1.

[0024] Die Beziehungen zwischen den Eingaben und Ausgaben des komplexen Multiplizierers **24** lassen sich durch

$$\begin{aligned}
 I_{\text{out}} + j \cdot Q_{\text{out}} &= (I + j \cdot Q) \cdot (X_1 + j \cdot X_Q) \\
 &= (I \cdot X_1 - Q \cdot X_Q) + j \cdot (I \cdot X_Q + Q \cdot X_1) \\
 \therefore I_{\text{out}} &= I \cdot X_1 - Q \cdot X_Q \\
 Q_{\text{out}} &= I \cdot X_Q + Q \cdot X_1
 \end{aligned} \tag{1}$$

darstellen.

[0025] Die Multiplizierer **27**, **28**, **29** und **30** und die Addierer **31** und **32** im komplexen Multiplizierer **24** führen die vorstehend erwähnten Gleichungen getreu aus.

[0026] Die Signale werden auf diese Weise verwürfelt, um die Signale I_{out} und Q_{out} zu erzeugen.

[0027] Die anschließende Verarbeitung wurde vorstehend mit Bezug auf [Fig. 1](#) beschrieben.

[0028] Die herkömmliche Frequenzspreiz-Modulationsschaltung zum Verwirklichen einer IQ-Multiplexierung unter Verwendung eines Mehrcodes wurde vorstehend beschrieben.

[0029] Im Prinzip stellt die vorstehend beschriebene Anordnung kein Problem dar. Weil die I- und Q-Signale jedoch eine verhältnismäßig große Anzahl von Bits aufweisen, werden die Multiplizierer **27**, **28**, **29** und **30** und

die Addierer **31** und **32** bei der Anordnung auf der Grundlage des Prinzips komplex, und die Verarbeitungszeit nimmt zu.

[0030] In WO89/21842 ist eine Anzahl von Architekturen verringerter Komplexität offenbart, die für das Entspreizen von Direktsequenz-Spreizspektrums-Kommunikationssignalen verwendbar sind.

[0031] In EP-A-0 854 586 ist eine Quadraturspreizspektrumssignaldemodulation beschrieben, bei der ein Signal zwei orthogonale Komponenten aufweist, welche eine Signalerzeugungseinrichtung zum Erzeugen eines Trägersignals und eine Signalauswahleinrichtung zum Eingeben von zwei Signalen und zum Ändern der Erzeugungszustände von zwei Ausgangssignalen mit dem von der Signalerzeugungseinrichtung erzeugten Signal aufweist, wobei die Signalauswahleinrichtung gleichwertig eine komplex Konjugierte berechnet.

[0032] In EP-A-0 661 829 ist ein Direktsequenz-Spreizspektrumsempfänger offenbart, bei dem gespreizte orthogonale Datensignale und gespreizte orthogonale Pilotsignale mit orthogonalen Entspreizsequenzen bei einer Chiprate korreliert werden und diese entspreizten Signale bei einer Symbolrate integriert werden, um orthogonale Datensymbole und orthogonale Pilotsymbole zu erzeugen. Eine vorbestimmte Anzahl von Pilotsymbolen jeder Phasenkomponente wird einer gleitenden Mittelwertbildung unterzogen, und jede Phasenkomponente der orthogonalen Datensymbole wird mit dem gleitenden Mittelwert der entsprechenden Phasenkomponente der Pilotsymbole gewichtet und mit der anderen gewichteten Komponente der Datensymbole summiert, um ein Ausgangssignal des Spreizspektrumsempfängers zu erzeugen.

[0033] Die vorliegende Erfindung wurde unter Berücksichtigung der vorstehend erwähnten Situation des Stands der Technik gemacht, und ihre Aufgabe besteht darin, eine Frequenzspreiz-Modulationsschaltung bereitzustellen, welche den Schaltungsumfang verringern kann und die Verzögerungszeit verkürzen kann, indem die Verwürfelungsschaltung in einem komplexen Multiplizierer vereinfacht wird, und welche die gleiche Funktion hat wie die herkömmliche Schaltung.

[0034] Diese Aufgabe wird mit den Merkmalen der Ansprüche gelöst.

[0035] Wie anhand der Ansprüche ersichtlich ist, werden bei einer Verwürfelungsberechnung durch einen komplexen Multiplizierer gemäß der vorliegenden Erfindung die Eingangssignale als Binärzahlen verarbeitet. Daher kann die Verwürfelungsschaltung vereinfacht werden. Folglich kann der Schaltungsumfang verringert werden, und die Prozessverzögerungszeit kann erheblich verkürzt werden. Weil zusätzlich andere Rechenoperationen durch einfache Datenwähler verwirklicht werden, können sowohl der Schaltungsumfang als auch die Prozessverzögerungszeit gering gemacht werden.

[0036] Die vorstehend erwähnten und viele andere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden Fachleuten anhand der folgenden detaillierten Beschreibung und der anliegenden Zeichnung, worin bevorzugte Ausführungsformen, welche die Grundgedanken der Erfindung aufweisen, anhand erläuternder Beispiele dargestellt sind, verständlich werden.

[0037] Es zeigen:

[0038] [Fig. 1](#) ein Blockdiagramm der schematischen Anordnung eines herkömmlichen IQ-Multiplexschemas unter Verwendung eines Mehrcodes,

[0039] [Fig. 2](#) ein Blockdiagramm der Anordnung einer herkömmlichen Frequenzspreiz-Modulationsschaltung zum Verwirklichen einer IQ-Multiplexierung unter Verwendung eines Mehrcodes,

[0040] [Fig. 3](#) eine Tabelle, welche die Beziehungen zwischen den Signalen PNI und PNQ und den Signalen XI und XQ zeigt,

[0041] [Fig. 4](#) ein Blockdiagramm der Anordnung einer Ausführungsform der vorliegenden Erfindung,

[0042] [Fig. 5](#) ein Blockdiagramm der Anordnung einer anderen Ausführungsform der vorliegenden Erfindung und

[0043] [Fig. 6](#) die komplexe Vektorbeziehung zwischen (XI, XQ) und (X'I, X'Q).

[0044] Bevorzugte Ausführungsformen der vorliegenden Erfindung werden nachstehend mit Bezug auf die

anliegende Zeichnung ([Fig. 4](#) bis [Fig. 6](#)) beschrieben.

[0045] Es wird eine in [Fig. 4](#) dargestellte Frequenzspreizmodulationsschaltung gemäß einer Ausführungsform der vorliegenden Erfindung beschrieben.

[0046] Gemäß dieser Ausführungsform der vorliegenden Erfindung ist der komplexe Multiplizierer **24** gemäß der herkömmlichen Frequenzspreizmodulationsschaltung, der bereits mit Bezug auf [Fig. 2](#) beschrieben wurde, vereinfacht. Viele andere Abschnitte sind mit jenen der in [Fig. 2](#) dargestellten Schaltung gemeinsam. Die gleichen Bezugszahlen wie in [Fig. 2](#) bezeichnen in [Fig. 4](#) die gleichen Teile, und es wird auf eine detaillierte Beschreibung davon verzichtet.

[0047] Wie detailliert in "BESCHREIBUNG DES STANDS DER TECHNIK" beschrieben wurde, sind die Beziehungen zwischen den Eingaben und Ausgaben eines komplexen Multiplizierers **24a** durch

$$\begin{aligned} I_{\text{out}} + j \cdot Q_{\text{out}} &= (I + j \cdot Q) \cdot (X_1 + j \cdot X_Q) \\ &= (I \cdot X_1 - Q \cdot X_Q) + j \cdot (I \cdot X_Q + Q \cdot X_1) \\ \therefore I_{\text{out}} &= I \cdot X_1 - Q \cdot X_Q \\ Q_{\text{out}} &= I \cdot X_Q + Q \cdot X_1 \end{aligned} \quad (2)$$

dargestellt.

[0048] Diese Beziehungen werden genauer untersucht.

[0049] Bei der Phasenmodulation gleicht eine feste Phasenverschiebung Phasenverschiebungen infolge der Eigenschaften eines Verstärkers oder dergleichen und kann daher darin aufgenommen werden.

[0050] Auf der Empfangsseite wird eine Demodulationsschaltung verwendet, die für die Phasenverschiebung unempfindlich ist, so dass eine feste Phasenverschiebung kein Problem darstellt.

[0051] Aus diesem Grund können Signale, welche normalen Signalen I_{out} und Q_{out} um 45 Grad ($= \pi/4$ Radiant) voreilen, problemlos als I_{out} und Q_{out} angesehen werden. Daher können die Signale I_{out} und Q_{out} durch

$$I_{\text{out}} + j \cdot Q_{\text{out}} = (I + j \cdot Q) \cdot (X_1 + j \cdot X_Q) \cdot \frac{1 + j}{2} \quad \dots (3)$$

beschrieben werden.

[0052] Für

$$\begin{aligned} (X_1 + j \cdot X_Q) \cdot \frac{1 + j}{2} &= \frac{X_1 - X_Q}{2} + j \cdot \frac{X_1 + X_Q}{2} \\ X'_1 &= \frac{X_1 - X_Q}{2} \quad \dots (4) \\ X'_Q &= \frac{X_1 + X_Q}{2} \end{aligned}$$

haben die Signale PNI und PNQ , die Signale XI und XQ und die Signale $X'I$ und $X'Q$ die in der Tabelle aus [Fig. 3](#) dargestellten Beziehungen.

[0053] Insbesondere haben die komplexen Vektoren (XI, XQ) und $(X'I, X'Q)$ eine in [Fig. 6](#) dargestellte Beziehung.

[0054] Genauer gesagt ergibt sich beim Drehen des Vektors (XI, XQ) um +45 Grad und Multiplizieren von ihm mit $1/\sqrt{2}$ der Vektor $(X'I, X'Q)$. Jeder der Werte $X'I$ und $X'Q$ nimmt einen von drei Werten +1, -1 und 0 an.

[0055] Demgemäß ergibt sich

$$\begin{aligned} I_{\text{out}} &= I \cdot X'_1 - Q \cdot X'_Q \\ Q_{\text{out}} &= I \cdot X'_Q + Q \cdot X'_1 \end{aligned} \quad (5)$$

[0056] Daher haben die Signale PNI und PNQ und die Signale Iout und Qout die in [Fig. 3](#) dargestellten Beziehungen.

[0057] Die folgenden Tatsachen können aus dieser Tatsache abgeleitet werden:
Falls die Signale PNI und PNQ denselben Wert annehmen, werden die I- und Q-Signale durch die Signale Iout und Qout ersetzt und als diese ausgegeben.

[0058] Wenn die Signale PNI und PNQ verschiedene Werte haben, werden die I- und Q-Signale direkt als die Signale Iout und Qout ausgegeben.

[0059] Wenn das Signal PNI 1 ist, wird die Polarität des I-Signals invertiert, und wenn das Signal PNQ bei 0 liegt, wird die Polarität des Q-Signals invertiert.

[0060] Gemäß der vorliegenden Erfindung wird die Verwürfelungsschaltung im komplexen Multiplizierer **24a** unter Verwendung dieses Verfahrens vereinfacht.

[0061] [Fig. 4](#) zeigt eine Ausführungsform der vorliegenden Erfindung.

[0062] Diese Ausführungsform implementiert die in den Merkmalen gemäß der vorliegenden Erfindung beschriebenen Verfahren:

- (1) Falls die Signale PNI und PNQ denselben Wert annehmen, werden die I- und Q-Signale durch die Signale Iout und Qout ersetzt und als diese ausgegeben,
- (2) wenn die Signale PNI und PNQ verschiedene Werte haben, werden die I- und Q-Signale direkt als die Signale Iout und Qout ausgegeben, und
- (3) wenn das Signal PNI eine 1 ist, wird die Polarität des I-Signals invertiert, und wenn das Signal PNQ bei 0 liegt, wird die Polarität des Q-Signals invertiert.

[0063] Der Prozess (3) wird ausgeführt, bevor die Signale durch die Koeffizientenschaltungen **15** bis **21** in Mehrpegelsignale umgewandelt werden. Nur die Prozesse (1) und (2) werden ausgeführt, nachdem die Signale die Addierer **22** und **23** durchlaufen haben.

[0064] Der Prozess (3) wird durch die folgenden Schritte implementiert:

- (a) Die Signale werden mit den Spreizcodes der I-Gruppe multipliziert, nachdem die Spreizcodes durch Exklusiv-ODER-Gatter (XOR-Gatter) **35**, **36** und **37** invertiert wurden, wenn das Signal PNI 0 ist, oder direkt, wenn das Signal PNI 1 ist.
- (b) Die Signale werden mit den Spreizcodes der Q-Gruppe multipliziert, nachdem die Spreizcodes durch Exklusiv-ODER-Gatter (XOR-Gatter) **38** bis **41** und einen Invertierer **43** invertiert wurden, wenn das Signal PNQ 0 ist, oder direkt, wenn das Signal PNQ 1 ist.

[0065] Die Prozesse (1) und (2) werden direkt durch Datenwähler **33** und **34**, den Invertierer **43** und das Exklusiv-ODER-Gatter (XOR-Gatter) **42** implementiert.

[0066] Die Steuereingänge der Datenwähler **33** und **34** sind Endgeräte C. Die Datenwähler **33** und **34** werden durch die Eingabe logischer Werte in die Endgeräte C gesteuert. Wenn C = 1 ist, werden die I- und Q-Signale ersetzt. Wenn C = 0 ist, werden die I- und Q-Signale direkt als die Signale Iout und Qout ausgegeben.

[0067] [Fig. 5](#) zeigt eine andere Ausführungsform der vorliegenden Erfindung, wobei das Verfahren zum Implementieren des vorstehend beschriebenen Prozesses (3) etwas verschieden ist, wenngleich die Grundanordnung der vorstehend beschriebenen gleicht.

[0068] Bei der in [Fig. 4](#) dargestellten Schaltung wird der Prozess (3) implementiert, indem er an Spreizcodes ausgeführt wird. Wie in [Fig. 5](#) dargestellt ist, kann jedoch ein gleichwertiger Prozess durch Ausführen des Prozesses (3) an Eingangssignalen implementiert werden.

[0069] Auch in diesem Fall kann fast die gleiche Wirkung wie bei der in [Fig. 4](#) dargestellten Schaltung erhalten werden.

Patentansprüche

1. Frequenzspreizmodulationsschaltung (**301**) zum Ausführen einer Frequenzspreizung unter Verwen-

derung mehrerer Spreizcodes ($C_{ch,1}, C_{ch,2}, C_{ch,3}, C_{ch,N}, C_{ch,0}$), welche aufweist:

- a) eine erste Eingangssignalgruppe mit einem oder mehreren Eingangssignalen ($DPDCH_1, DPDCH_3, DPDCH_{N-1}$),
- b) eine zweite Eingangssignalgruppe mit einem oder mehreren Eingangssignalen ($DPDCH_2, DPDCH_4, DPDCH_N$),
- c) eine erste Multiplikationsschaltungsgruppe (**8-10**) mit mehreren Multiplikationsschaltungen zum Spreizen der zur ersten Eingangssignalgruppe gehörenden Eingangssignale unter Verwendung einer ersten Untermenge der mehreren Spreizcodes ($C_{ch,1}, C_{ch,3}, C_{ch,N-1}$),
- d) eine erste Koeffizientenschaltungsgruppe (**15-17**) mit mehreren Koeffizientenschaltungen zum Ausgeben vorbestimmter Werte entsprechend Ausgaben von der ersten Multiplikationsschaltungsgruppe,
- e) eine erste Additionsschaltung (**22**) zum Addieren von Ausgaben von der ersten Koeffizientenschaltungsgruppe, um ein Ausgangssignal (I) der ersten Eingangssignalgruppe zu erzeugen,
- f) eine zweite Multiplikationsschaltungsgruppe (**11-14**) mit mehreren Multiplikationsschaltungen zum Spreizen der zur zweiten Eingangssignalgruppe gehörenden Eingangssignale unter Verwendung einer zweiten Untermenge der mehreren Spreizcodes ($C_{ch,2}, C_{ch,4}, C_{ch,N}, C_{ch,0}$),
- g) eine zweite Koeffizientenschaltungsgruppe (**18-21**) mit mehreren Koeffizientenschaltungen zum Ausgeben vorbestimmter Werte entsprechend Ausgaben von der zweiten Multiplikationsschaltungsgruppe,
- h) eine zweite Additionsschaltung (**23**) zum Addieren von Ausgaben von der zweiten Koeffizientenschaltungsgruppe, um ein Ausgangssignal (Q) der zweiten Eingangssignalgruppe zu erzeugen, **dadurch gekennzeichnet**, dass sie weiter aufweist:
- i) eine Logikschaltung (**44**) zum getrennten Empfangen mehrerer Zufallssignale zum Erzeugen eines ersten, eines zweiten und eines dritten Steuersignals und
- j) eine Schaltstufe (**33-41**) zum Steuern der Polaritäten der ersten Untermenge von Spreizcodes entsprechend dem ersten Steuersignal, zum Steuern der Polaritäten der zweiten Untermenge von Spreizcodes entsprechend dem zweiten Steuersignal und zum Ausgeben des I-Signals (I_{out}) als Ausgabe von der ersten Additionsschaltung und des Q-Signals (Q_{out}) als Ausgabe von der zweiten Additionsschaltung direkt oder nach Austausch entsprechend dem dritten Steuersignal,
- k) wobei alle Spreizcodes und jedes Eingangssignal der ersten und der zweiten Eingangssignalgruppe binäre Signale sind und die Polaritäten durch Berechnen einer XOR-Verknüpfung (**35-41**) des ersten Steuersignals mit jedem Spreizcode der ersten Untermenge von Spreizcodes und durch Berechnen einer invertierten XOR-Verknüpfung (**35-41**) des zweiten Steuersignals mit jedem Spreizcode der zweiten Untermenge von Spreizcodes gesteuert werden.

2. Frequenzspreizmodulationsschaltung zum Ausführen einer Frequenzspreizung unter Verwendung mehrerer Spreizcodes ($C_{ch,1}, C_{ch,2}, C_{ch,3}, C_{ch,N}, C_{ch,0}$), welche aufweist:

- a) eine erste Eingangssignalgruppe mit einem oder mehreren Eingangssignalen ($DPDCH_1, DPDCH_3, DPDCH_{N-1}$),
- b) eine zweite Eingangssignalgruppe mit einem oder mehreren Eingangssignalen ($DPDCH_2, DPDCH_4, DPDCH_N$),
- c) eine erste Multiplikationsschaltungsgruppe (**8-10**) mit mehreren Multiplikationsschaltungen zum Spreizen der zur ersten Eingangssignalgruppe gehörenden Eingangssignale unter Verwendung einer ersten Untermenge der mehreren Spreizcodes ($C_{ch,1}, C_{ch,3}, C_{ch,N-1}$),
- d) eine erste Koeffizientenschaltungsgruppe (**15-17**) mit mehreren Koeffizientenschaltungen zum Ausgeben vorbestimmter Werte entsprechend Ausgaben von der ersten Multiplikationsschaltungsgruppe,
- e) eine erste Additionsschaltung (**22**) zum Addieren von Ausgaben von der ersten Koeffizientenschaltungsgruppe, um ein Ausgangssignal (I) der ersten Eingangssignalgruppe zu erzeugen,
- f) eine zweite Multiplikationsschaltungsgruppe (**11-14**) mit mehreren Multiplikationsschaltungen zum Spreizen der zur zweiten Eingangssignalgruppe gehörenden Eingangssignale unter Verwendung einer zweiten Untermenge der mehreren Spreizcodes ($C_{ch,2}, C_{ch,4}, C_{ch,N}, C_{ch,0}$),
- g) eine zweite Koeffizientenschaltungsgruppe (**18-21**) mit mehreren Koeffizientenschaltungen zum Ausgeben vorbestimmter Werte entsprechend Ausgaben von der zweiten Multiplikationsschaltungsgruppe,
- h) eine zweite Additionsschaltung (**23**) zum Addieren von Ausgaben von der zweiten Koeffizientenschaltungsgruppe, um ein Ausgangssignal (Q) der zweiten Eingangssignalgruppe zu erzeugen, **dadurch gekennzeichnet**, dass sie weiter aufweist:
- i) eine Logikschaltung (**44**) zum getrennten Empfangen mehrerer Zufallssignale zum Erzeugen eines ersten, eines zweiten und eines dritten Steuersignals und
- j) eine Schaltstufe (**33-41**) zum Steuern der Polaritäten der ersten Eingangssignalgruppe entsprechend dem ersten Steuersignal, zum Steuern der Polaritäten der zweiten Eingangssignalgruppe entsprechend dem zweiten Steuersignal und zum Ausgeben des I-Signals (I_{out}) als Ausgabe von der ersten Additionsschaltung und des Q-Signals (Q_{out}) als Ausgabe von der zweiten Additionsschaltung direkt oder nach Austausch entspre-

chend dem dritten Steuersignal,

k) wobei alle Spreizcodes und jedes Eingangssignal der ersten und der zweiten Eingangssignalgruppe binäre Signale sind und die Polaritäten durch Berechnen einer XOR-Verknüpfung (**35-41**) des ersten Steuersignals mit der ersten Eingangssignalgruppe und durch Berechnen einer invertierten XOR-Verknüpfung (**35-41**) des zweiten Steuersignals mit der zweiten Eingangssignalgruppe gesteuert werden.

3. Schaltung nach Anspruch 1 oder 2, wobei jede Multiplikationsschaltung (**8-14**) der ersten und der zweiten Multiplikationsschaltungsgruppe ein Exklusiv-ODER-Gatter oder ein Exklusiv-NICHT-ODER-Gatter aufweist.

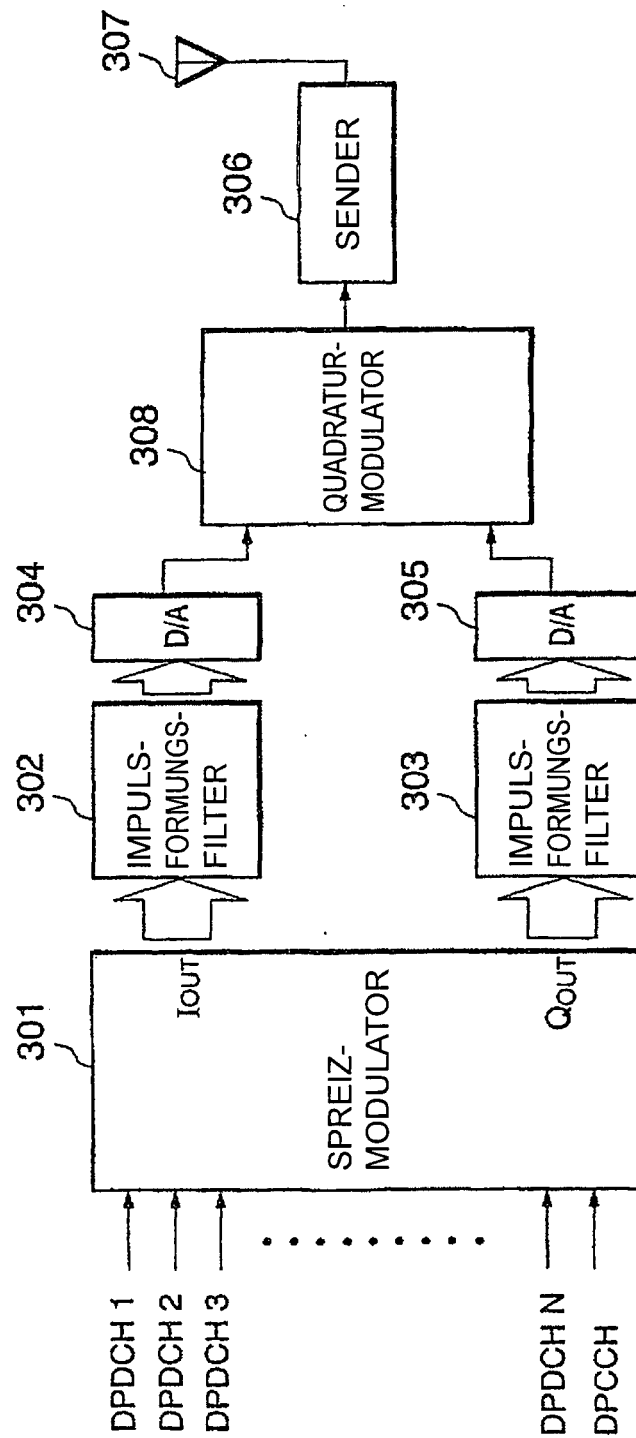
4. Schaltung nach einem der Ansprüche 1-3, welche weiter mehrere Spreizcode-Erzeugungsschaltungen (**1-7**) zum Spreizen der Eingangssignale aufweist.

5. Schaltung nach einem der Ansprüche 1-4, wobei jede der Koeffizientenschaltungen (**15-21**) einen vorbestimmten Wert ausgibt, wenn das Eingangssignal 1 ist, und den invertierten vorbestimmten Wert ausgibt, wenn das Eingangssignal 0 ist, oder umgekehrt.

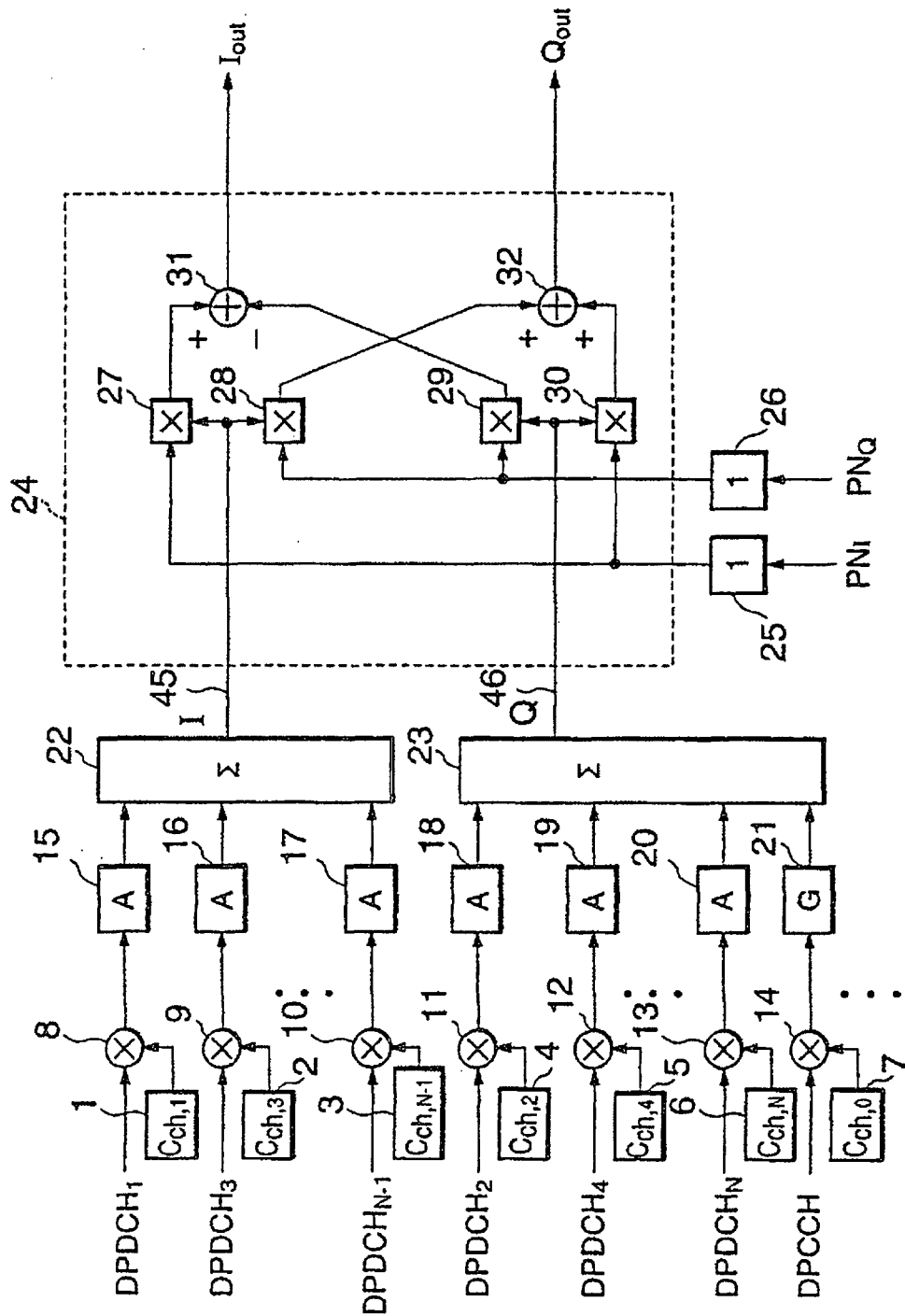
6. Schaltung nach Anspruch 5, wobei der vorbestimmte Wert, der erhalten wird, wenn das Eingangssignal 1 ist, eine Binärzahl ist, welche mehrere Bits aufweist, und der invertierte vorbestimmte Wert eine Binärzahl ist, die mehrere Bits aufweist, welche durch Berechnen eines Zweierkomplements des vorbestimmten Werts erhalten werden.

Es folgen 6 Blatt Zeichnungen

Figur 1 STAND DER TECHNIK



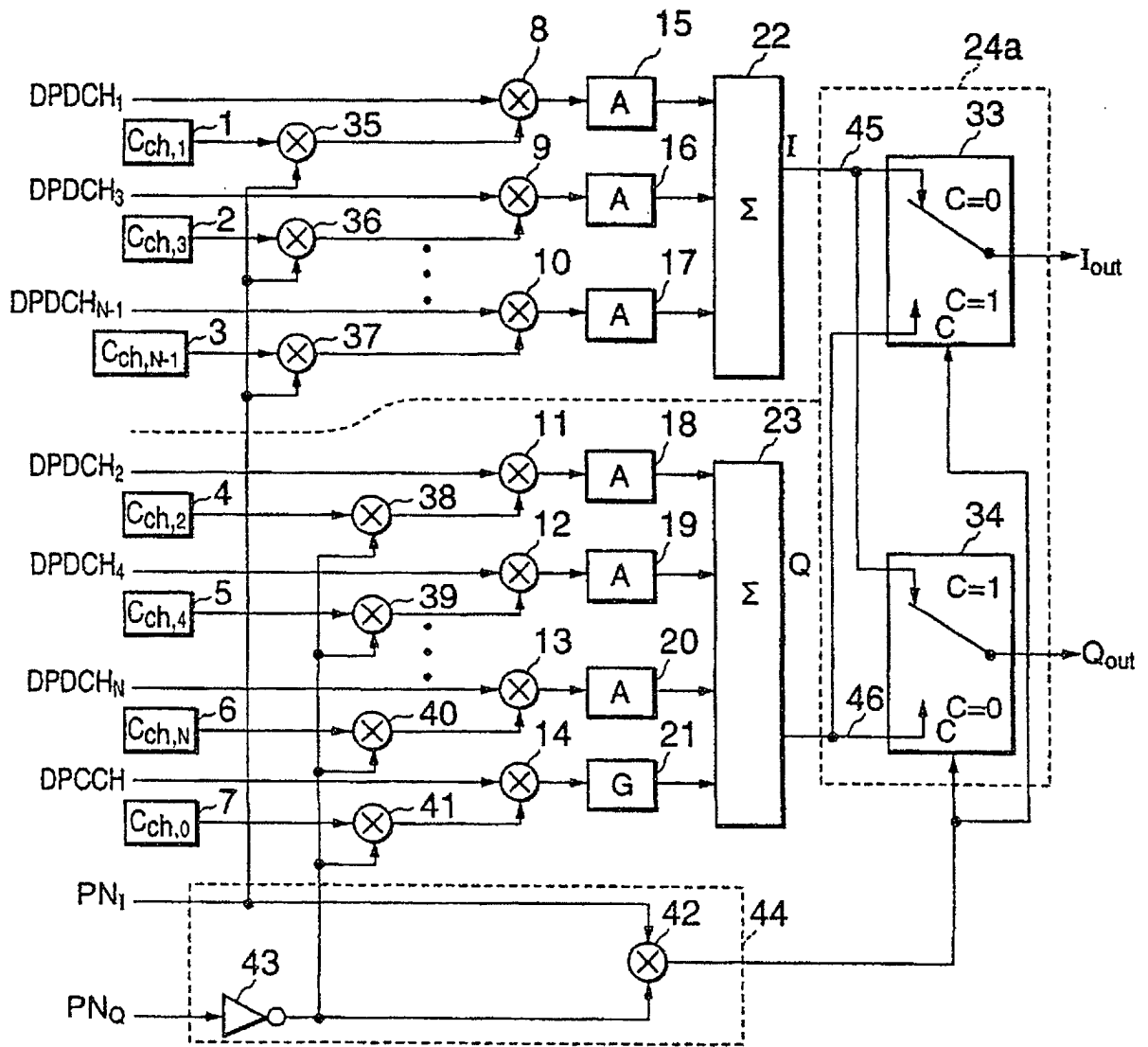
Figur 2 STAND DER TECHNIK



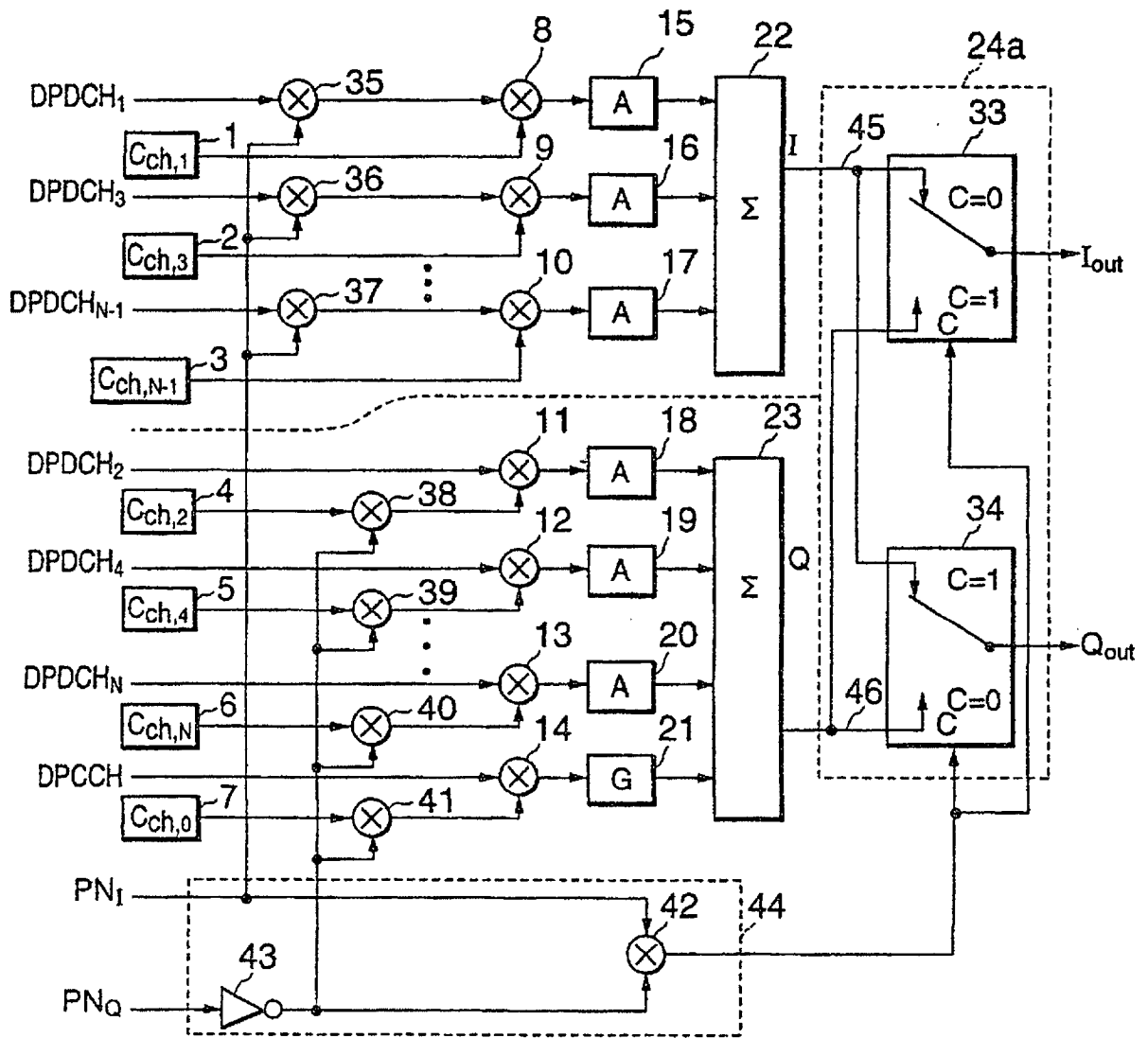
Figur 3

PUNKT	LOGISCHER CODE		DATEN		DREHEN UM +45°		I-, Q-AUSGABE	
	PN _I	PN _Q	X _I	X _Q	X _I '	X _Q '	I _{OUT}	Q _{OUT}
A	0	0	1	1	0	1	-Q	I
B	0	1	1	-1	1	0	I	Q
C	1	0	-1	1	-1	0	-I	-Q
D	1	1	-1	-1	0	-1	Q	-I

Figur 4



Figur 5



Figur 6

