



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년04월21일  
 (11) 등록번호 10-1030056  
 (24) 등록일자 2011년04월12일

(51) Int. Cl.  
*G02F 1/1368* (2006.01) *H01L 29/786* (2006.01)  
 (21) 출원번호 10-2006-7010269  
 (22) 출원일자(국제출원일자) 2004년11월05일  
 심사청구일자 2009년10월05일  
 (85) 번역문제출일자 2006년05월25일  
 (65) 공개번호 10-2006-0133981  
 (43) 공개일자 2006년12월27일  
 (86) 국제출원번호 PCT/JP2004/016796  
 (87) 국제공개번호 WO 2005/048353  
 국제공개일자 2005년05월26일  
 (30) 우선권주장  
 JP-P-2003-00385999 2003년11월14일 일본(JP)

(73) 특허권자  
 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398  
 (72) 발명자  
 야마자키 순페이  
 일본국 243-0036 가나가와켄 아쓰기시 하세 398  
 가부시키가이샤한도오따이 에네루기 켄큐쇼 내  
 마에카와 신지  
 일본국 243-0036 가나가와켄 아쓰기시 하세 398  
 가부시키가이샤한도오따이 에네루기 켄큐쇼 내  
 나카무라 오사무  
 일본국 243-0036 가나가와켄 아쓰기시 하세 398  
 가부시키가이샤한도오따이 에네루기 켄큐쇼 내  
 (74) 대리인  
 황의단

전체 청구항 수 : 총 5 항

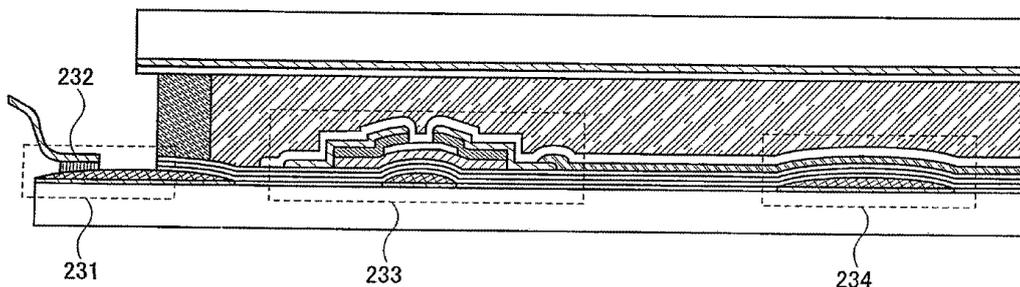
심사관 : 윤영진

**(54) 액정표시장치 제조방법**

**(57) 요약**

종래부터 답습되어 온 액정표시장치 제조기술은 기관의 전면(全面)에 각종 피막을 형성하고, 작은 영역을 남기고 에칭에 의해 그 피막을 제거하는 방법으로서, 재료 비용을 낭비하고, 다량의 폐액을 처리하는 것이 요구되어 왔다. 패턴을 선택적으로 형성할 수 있는 방법에 의해 액정표시장치를 제조하기 위해 필요한 패턴들 중 적어도 하나 또는 그 이상을 형성하여 액정표시장치를 제조한다. 패턴을 선택적으로 형성할 수 있는 방법으로서, 특정 목적으로 조제된 조성물의 액적을 선택적으로 토출하여 소정 패턴을 형성할 수 있는 액적 토출법을 사용한다.

**대표도**



**특허청구의 범위**

**청구항 1**

기판 위에 광축매 물질을 포함하는 층을 형성하는 공정,  
 상기 광축매 물질을 포함하는 층 위에 게이트 전극을 형성하는 공정,  
 상기 게이트 전극을 덮도록 제1 절연막을 형성하는 공정,  
 상기 제1 절연막 위에 화소 전극을 형성하는 공정,  
 상기 제1 절연막과 상기 화소 전극 위에 제1 반도체층을 형성하는 공정,  
 상기 게이트 전극과 겹치도록 상기 제1 반도체층 위에 제2 절연막을 형성하는 공정,  
 상기 제2 절연막을 덮도록 제2 반도체층을 형성하는 공정,  
 상기 제1 및 제2 반도체층을 섬 형상으로 패터닝하는 공정,  
 상기 제2 반도체층 위에 소스 배선 및 드레인 배선을 형성하는 공정,  
 마스크로서 상기 소스 배선과 드레인 배선을 사용하여 상기 제2 반도체층을 에칭하는 공정, 및  
 상기 게이트 전극, 상기 화소 전극, 상기 소스 배선 및 드레인 배선 중 적어도 하나는 액적 토출법에 의해 형성되는, 액정표시장치 제조방법.

**청구항 2**

기판 위에 광축매 물질을 포함하는 층을 형성하는 공정,  
 상기 광축매 물질을 포함하는 층 위에 게이트 전극을 형성하는 공정,  
 상기 게이트 전극을 덮도록 제1 절연막을 형성하는 공정,  
 상기 제1 절연막 위에 제1 반도체층을 형성하는 공정,  
 상기 게이트 전극과 겹치도록 상기 제1 반도체층 위에 제2 절연막을 형성하는 공정,  
 상기 제2 절연막을 덮도록 제2 반도체층을 형성하는 공정,  
 상기 제1 및 제2 반도체층을 섬 형상으로 패터닝하는 공정,  
 상기 제2 반도체층 위에 소스 배선 및 드레인 배선을 형성하는 공정,  
 마스크로서 상기 소스 배선과 드레인 배선을 사용하여 상기 제2 반도체층을 에칭하는 공정,  
 상기 소스 배선과 드레인 배선, 및 상기 제1 절연막 위에 제3 절연막을 형성하는 공정,  
 상기 제3 절연막에 개구부를 형성하는 공정, 및  
 상기 제3 절연막 위에 화소 전극을 형성하는 공정을 포함하고,  
 상기 화소 전극은 상기 개구부를 통해 상기 소스 배선과 드레인 배선 중 하나와 전기적으로 접속되고,  
 상기 게이트 전극, 상기 소스 배선과 드레인 배선과, 상기 화소 전극 중 적어도 하나는 액적 토출법에 의해 형성되는, 액정표시장치 제조방법.

**청구항 3**

삭제

**청구항 4**

기판 위에 광축매 물질을 포함하는 층을 형성하는 공정,

상기 광축매 물질을 포함하는 층 위에 게이트 전극을 형성하는 공정,  
 상기 게이트 전극을 덮도록 제1 절연막을 형성하는 공정,  
 상기 제1 절연막 위에 화소 전극을 형성하는 공정,  
 상기 제1 절연막과 상기 화소 전극 위에 제1 반도체층을 형성하는 공정,  
 상기 게이트 전극과 겹치되도록 상기 제1 반도체층 위에 제2 절연막을 형성하는 공정,  
 상기 제2 절연막을 덮도록 제2 반도체층을 형성하는 공정,  
 상기 제1 및 제2 반도체층을 섬 형상으로 패터닝하는 공정,  
 상기 제2 반도체층 위에 소스 배선과 드레인 배선을 형성하는 공정,  
 마스크로서 상기 소스 배선과 드레인 배선을 사용하여 상기 제2 반도체층을 에칭하는 공정, 및  
 상기 소스 배선과 드레인 배선과 상기 화소 전극 위에 제3 절연막을 형성하는 공정을 포함하고,  
 상기 화소 전극은 상기 소스 배선과 드레인 배선 중의 하나와 전기적으로 접속되고,  
 상기 게이트 전극, 상기 화소 전극, 상기 소스 배선과 드레인 배선 중 적어도 하나는 액적 토출법에 의해 형성  
 되는, 액정표시장치 제조방법.

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

제 1 항, 제 2 항, 제 4 항 중 어느 한 항에 있어서,  
 상기 광축매 물질을 포함하는 상기 층은 TiO<sub>2</sub>층인, 액정표시장치 제조방법.

**청구항 12**

제 1 항, 제 2 항, 제 4 항 중 어느 한 항에 있어서,  
 상기 광축매 물질을 포함하는 상기 층은 친수성 특성을 가진, 액정표시장치 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 대면적의 유리 기판 위에 형성된 트랜지스터 등의 능동 소자를 포함하는 액정표시장치 및 그의 제조 방법에 관한 것이다.

**배경기술**

[0002] 종래, 유리 기판 위에 박막트랜지스터(이하, "TFT"라고도 함)를 포함하는 소위 액티브 매트릭스형 액정 표시 패널은 반도체 집적회로의 제조 기술에서와 같은 포토마스크를 사용한 노광 공정에 의해 각종 박막을 패터닝함으로써 제조되어 왔다.

[0003] 지금까지, 1장의 모(母) 유리 기판으로부터 다수의 액정 표시 패널을 잘라내어 대량 생산을 효율 좋게 행하는 생산 기술이 채용되어 왔다. 모 유리 기판의 사이즈는 1990년 초에는 제1 세대인 300×400 mm에서 2000년에는 제4 세대가 되어 680×880 mm 또는 730×920 mm로 대형화하여, 1장의 기판에서 다수의 표시 패널이 얻어지도록 생산 기술이 진보하여 왔다.

[0004] 유리 기판 또는 표시 패널의 사이즈가 작은 경우에는, 노광 장치를 사용하여 비교적 간편하게 패터닝 처리를 행하는 것이 가능하였지만, 기판 사이즈가 대형화함에 따라, 1회의 노광 처리로 표시 패널의 전면(全面)을 동시에 처리하는 것이 불가능하게 되었다. 그 결과, 노광 처리(예를 들어, 소자들 사이의 경계부에서 단절되지 않도록 배선과 같은 소자들의 엣지들을 연결하기 위해 하나의 기판에 대하여 계속적으로 행하는 노광)로서 기판 전면의 노광을 행하는 방법이 개발되었다. 이 방법은, 포토레지스트가 도포된 영역을 다수의 블록 영역으로 분할하고, 소정의 블록 영역마다 노광 처리를 행하고, 순차적으로 그 처리를 반복함으로써 행해진다.(예를 들어, 일본국 공개특허공고 평 11-326951호 공보 참조).

[0005] 그러나, 유리 기판의 사이즈는 제5 세대에서 1000×1200 mm 또는 1100×1300 mm로 더욱 대형화되고, 차세대에서는 1500×1800 mm 또는 그 이상의 사이즈가 예상된다. 따라서, 종래의 패터닝 방법으로는, 생산성이 좋고 저비용으로 표시 패널을 제조하는 것이 어려워진다. 즉, 상기한 계속적인 노광에 의해 다수 회의 노광 처리를 행하면, 처리 시간이 증가하고, 기판의 대형화에 대응한 노광 장치의 개발에는 큰 투자가 필요하게 된다.

[0006] 또한, 기판의 전면에 각종 피막을 형성하고, 작은 영역을 남기고 그 피막을 에칭에 의해 제거하는 방법에는, 재료 비용을 낭비하고, 다량의 폐액을 처리하는 것이 요구된다는 문제점이 내재되어 있다.

[0007] 본 발명은 상기와 같은 상황을 감안하여 이루어진 것으로, 향상된 재료사용효율과 간략화된 제조공정으로 제조될 수 있는 액정표시장치 및 그의 제조방법을 제공하는 것을 목적으로 하고 있다.

**발명의 상세한 설명**

[0008] 본 발명은, 배선층, 전극을 형성하기 위한 도전층, 및 소정의 패턴을 형성하기 위한 마스크층과 같은, 액정표시장치를 제조하기 위해 필요한 패턴들 중 적어도 하나 이상을, 패턴을 선택적으로 형성할 수 있는 방법에 의해 형성하여, 액정표시장치를 제조하는 것을 특징으로 하는 것이다. 도전층, 절연층 등을 형성하기 위해 패턴을 선택적으로 형성할 수 있는 방법으로서, 특정의 목적으로 조제된 조성물의 액적(液滴)을 선택적으로 토출하여 소정의 패턴을 형성할 수 있는 액적 토출법(그 방식에 따라 잉크젯법이라고도 불림)을 사용한다. 또한, 액적 토출법에 의해 도전체를 형성할 때, 피(被)형성면에 대하여 하지(下地) 처리를 행함으로써, 밀착성이 좋은 도전체를 형성할 수 있다. 피형성면이란, 액적 토출 수단으로부터 토출되는 조성물이 형성되는 면을 말한다.

[0009] 본 발명에 따른 액정표시장치 제조방법의 한가지 특징은, 액적 토출법에 의해 도전체를 형성하기 전에 피형성면에 대하여 하지 처리를 행하는 것에 있다.

[0010] 본 발명에 따른 액정표시장치 제조방법의 다른 특징은 액정 토출법에 의해 막을 형성하기 전에, 도전성을 가지는 피형성면에 대하여 하지 처리를 행하는 것에 있다.

[0011] 본 발명의 일 실시형태에 따른 액정표시장치 제조방법은, 절연 표면을 가진 기판 위에 제1 전극을 형성하는 공정, 제1 전극을 덮도록 제1 절연막을 형성하는 공정, 제1 절연막 위에 제1 반도체층을 형성하는 공정, 제1 전극과 겹치도록 제1 반도체층 위에 제2 절연막을 형성하는 공정, 제2 절연막을 덮도록 n형(陰)의 제2 반도체층을 형성하는 공정, 제1 및 제2 반도체층을 섬 형상으로 패터닝하는 공정, 제2 반도체층 위에 제2 및 제3 전극을 형성하는 공정, 제2 및 제3 전극을 마스크로 하여 제2 반도체층을 에칭하여 분리하는 공정, 및 제3 전극에 접하도록 제4 전극을 형성하는 공정을 포함하고, 상기 전극들 중 어느 하나를 형성하는 공정에서, 그 전극을 액적 토출법

에 의해 형성하는 것을 특징으로 한다.

- [0012] 본 발명의 다른 실시형태에 따른 액정표시장치 제조방법은, 절연 표면을 가진 기판 위에 제1 전극을 형성하는 공정, 제1 전극을 덮도록 제1 절연막을 형성하는 공정, 제1 절연막 위에 제2 전극을 형성하는 공정, 제1 절연막 및 제2 전극 위에 제1 반도체층을 형성하는 공정, 제1 전극과 겹치도록 제1 반도체층 위에 제2 절연막을 형성하는 공정, 제2 절연막을 덮도록 n형의 제2 반도체층을 형성하는 공정, 제1 및 제2 반도체층을 섬 형상으로 패터닝하는 공정, 제2 반도체층 위에 제3 및 제4 전극을 형성하는 공정, 및 제3 및 제4 전극을 마스크로 하여 제2 반도체층을 에칭하여 분리하는 공정을 포함하고, 상기 전극들 중 어느 하나를 형성하는 공정에서, 그 전극을 액적 토출법에 의해 형성하는 것을 특징으로 한다.
- [0013] 본 발명의 또 다른 실시형태에 따른 액정표시장치 제조방법은, 절연 표면을 가진 기판 위에 제1 및 제2 전극을 형성하는 공정, 제2 전극과 일부 겹치도록 제3 전극을 형성하는 공정, 제1 전극, 제2 전극 및 제3 전극 위에 n형의 제1 반도체층을 형성하는 공정, 제1 반도체층을 제1 전극과 접하는 반도체층과, 제2 전극과 접하는 반도체층으로 분리하는 공정, 제1 반도체층 위에 제2 반도체층을 형성하는 공정, 제2 반도체층 위에 절연막을 형성하는 공정, 그 절연막 위와 제1 반도체층이 분리된 영역 위에 제4 전극을 형성하는 공정, 및 제2 반도체층 및 절연막을 섬 형상으로 패터닝하는 공정을 포함하고, 상기 전극들 중 어느 하나를 형성하는 공정에서, 그 전극을 액적 토출법에 의해 형성하는 것을 특징으로 한다.
- [0014] 본 발명의 또 다른 실시형태에 따른 액정표시장치 제조방법은, 절연 표면을 가진 기판 위에 제1 전극을 형성하는 공정, 제2 전극, 및 제1 전극과 일부 겹치는 제3 전극을 형성하는 공정, 제1 전극, 제2 전극 및 제3 전극 위에 n형의 제1 반도체층을 형성하는 공정, 제1 반도체층을 제2 전극과 접하는 반도체층과, 제3 전극과 접하는 반도체층으로 분리하는 공정, 제1 반도체층 위에 제2 반도체층을 형성하는 공정, 제2 반도체층 위에 절연막을 형성하는 공정, 그 절연막 위와, 제1 반도체층이 분리된 영역 위에 제4 전극을 형성하는 공정, 및 제2 반도체층 및 절연막을 섬 형상으로 패터닝하는 공정을 포함하고, 상기 전극들 중 어느 하나를 형성하는 공정에서, 그 전극을 액적 토출법에 의해 형성하는 것을 특징으로 한다.
- [0015] 본 발명의 액정표시장치 제조방법의 다른 특징은, 전극을 액적 토출법에 의해 형성하기 전에 피형성면에 대하여 하지 처리를 행하는 것에 있다.
- [0016] 본 발명의 액정표시장치 제조방법의 다른 특징은, 전극에 접하는 막을 액적 토출법에 의해 형성하기 전에 전극에 대하여 하지 처리를 행하는 것에 있다.
- [0017] 본 발명의 액정표시장치 제조방법의 다른 특징은, 하지 처리로서 피형성면에 광축매 기능을 가지는 물질을 형성하고, 광축매 기능을 가지는 물질에 선택적으로 광을 조사하여 친수성으로 하는 것에 있다.
- [0018] 본 발명의 액정표시장치 제조방법의 다른 특징은, 피처리면에 대한 하지 처리로서 플라즈마 처리를 행하여 발액성(撥液性)으로 하는 것에 있다.
- [0019] 상기한 바와 같이, 본 발명의 한가지 특징은, 게이트 전극층, 배선층, 및 패터닝 시에 사용되는 마스크를 액적 토출법에 의해 형성하는 것에 있다. 액정표시장치를 제조하기 위해 필요한 패턴들 중 적어도 하나 이상이 패턴을 선택적으로 형성할 수 있는 방법에 의해 형성되어, 액정표시장치를 제조함으로써, 그 목적이 달성된다.
- [0020] 본 발명에 따르면, 배선층이나 마스크를 액적 토출법에 의해 직접 패터닝할 수 있으므로, 향상된 재료사용효율과 간략화된 제조공정으로 박막트랜지스터 및 그 박막트랜지스터를 사용한 액정표시장치를 얻을 수 있다.

**실시예**

- [0060] 본 발명의 실시형태에 대하여 도면을 참조하여 상세히 설명한다. 또한, 아래의 설명에서, 각 도면에서 공통하는 동등 부분에 동일 부호를 붙여 나타내고, 중복하는 설명에 대해서는 생략한다. 또한, 본 발명은 아래의 설명에 한정되지 않고, 본 발명의 취지 및 범위로부터 벗어남이 없이 본 발명의 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다.
- [0061] 도 1은 발명에 따른 액정 표시 패널의 구성을 나타내는 상면도이다. 절연 표면을 가진 기판(100) 위에, 화소(102)를 매트릭스 형태로 배열시킨 화소부(101), 주사선측 입력단자(103), 신호선측 입력단자(104)가 형성되어 있다. 화소수는 다양한 규격에 따라 결정될 수 있고, XGA의 화소수는 1024×768×3(RGB), UXGA의 화소수는 1600×1200×3(RGB), 풀 스펙(full-spec) 하이비전의 화소수는 1920×1080×3(RGB)일 수 있다.
- [0062] 화소(102)는 주사선측 입력단자(103)로부터 연장하여 있는 주사선과, 신호선측 입력단자(104)로부터 연장하여

있는 신호선이 교차함으로써 매트릭스 형태로 배열된다. 각각의 화소(102)에는, 스위칭 소자와 그 소자에 접속되는 화소 전극이 구비되어 있다. 스위칭 소자의 대표적인 예는 TFT이고, 이 TFT의 게이트 전극층이 주사선에 접속되고, 그의 소스 또는 드레인층이 신호선에 접속됨으로써, 개개의 화소가 외부로부터 입력하는 신호에 의해 독립하여 제어될 수 있다.

[0063] TFT는 그의 주요 구성요소로서, 반도체층, 게이트 절연층, 및 게이트 전극층을 포함한다. 반도체층에 형성되는 소스 및 드레인 영역에 접속되는 배선층도 포함되어 있다. TFT의 대표적인 구조로서는, 기판층으로부터 차례로 반도체층, 게이트 절연층, 및 게이트 전극층을 배치한 탑 게이트형과, 기판층으로부터 차례로 게이트 전극층, 게이트 절연층, 및 반도체층을 배치한 보텀 게이트형이 알려져 있지만, 본 발명에서는 이들 구조 중 어떠한 것을 사용하여도 좋다.

[0064] 반도체층을 형성하는 재료로서는, 실란이나 게르만(germane)으로 대표되는 반도체 재료 가스를 사용하여 기상 성장법이나 스퍼터링법으로 제조되는 아모르퍼스 반도체(이하, "AS"라고도 함), 이 아모르퍼스 반도체를 광 에너지나 열 에너지를 사용하여 결정화시킨 다결정 반도체, 또는 세미아모르퍼스(미(微)결정이라고도 함) 반도체(이하 "SAS"라고도 함) 등이 사용될 수 있다.

[0065] SAS는, 비정질 구조와 결정 구조(단결정, 다결정을 포함)의 중간적인 구조를 가지고, 자유 에너지적으로 안정적인 제3 상태를 가지는 반도체이고, 단거리 질서와 격자 왜곡을 가지는 결정질 반도체 영역을 포함하고 있다. 막 층의 영역의 적어도 일부에서는 0.5~20 nm의 결정 영역을 관측할 수 있다. 규소를 주성분으로 하는 경우에는, 라만 스펙트럼이  $520\text{ cm}^{-1}$ 보다 저파수측으로 시프트(shift)하고 있다. X선 회절에서는, 규소 결정 격자에 유래하는 (111), (220)의 회절 피크가 관측된다. 땀글링 본드(dangling bond)의 중화제로서 적어도 1 원자% 또는 그 이상의 수소 또는 할로젠이 함유되어 있다. SAS는 규화물 가스를 글로우 방전 분해(플라즈마 CVD)하여 형성된다. 대표적인 규화물 가스로서는,  $\text{SiH}_4$ 를 들 수 있고, 그 외에도,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등이 규화물 가스로서 사용될 수 있다. 또한,  $\text{GeF}_4$ 를 혼합시켜도 좋다. 이 규화물 가스를  $\text{H}_2$ , 또는  $\text{H}_2$ 와 He, Ar, Kr, Ne에서 선택된 1종 또는 다수 종의 희가스 원소로 희석하여도 좋다. 희석율은 2배~1000배의 범위이고, 압력은 대략 0.1 Pa~133 Pa의 범위이고, 전원 주파수는 1 MHz~120 MHz, 바람직하게는 13 MHz~60 MHz의 범위이고, 기판 가열 온도는 300℃ 이하일 수 있다. 막 층의 불순물 원소로서, 산소, 질소, 탄소 등의 대기 성분 불순물은  $1 \times 10^{20}\text{ cm}^{-3}$  이하로 하는 것이 바람직하고, 특히 산소 농도는  $5 \times 10^{19}\text{ /cm}^3$  이하, 바람직하게는  $1 \times 10^{19}\text{ /cm}^3$  이하로 한다.

[0066] 도 1은 주사선 및 신호선에 입력되는 신호를 외부 구동회로에 의해 제어하는 액정 표시 패널의 구성을 나타내고 있지만, 도 2에 도시된 바와 같이, COG(Chip on Glass)에 의해 드라이버 IC(105, 106)를 기판(100) 위에 실장하여도 좋다. 드라이버 IC는 단결정 반도체 기판에 형성된 것이어도 좋고, 유리 기판 위에 TFT로 회로를 형성한 것이어도 좋다.

[0067] 또한, 화소에 마련되는 TFT를 SAS로 형성하는 경우에는, 도 3에 도시된 바와 같이 주사선측 구동회로(107)를 기판(100) 위에 일체로 형성하는 것도 가능하다. 또한, 보호 다이오드(108)도 기판(100) 위에 일체로 형성될 수 있다.

[0068] 도 28은 패턴의 형성에 사용하는 액적 토출 장치의 일 형태를 나타내고 있다. 액적 토출 수단(1401)의 개개의 헤드(1403)는 제어 수단(1404)에 접속되고, 그것이 컴퓨터(1407)에 의해 제어됨으로써, 미리 프로그래밍된 패턴을 묘화(描畵)할 수 있다. 묘화하는 타이밍은, 예를 들어, 기판(1400) 위에 형성된 마커(marker)(1408)를 기준으로 하여 결정될 수 있다. 또는, 기판(1400)의 가장자리를 기준으로 하여 기준점을 확정하여도 좋다. 이것을 CCD 등의 촬상 수단(1402)에 의해 검출하고, 화상 처리 수단(1406)에 의해 디지털 신호로 변환한 디지털 신호를 컴퓨터(1407)에 의해 인식하여 제어 신호를 발생시켜 제어 수단(1404)으로 보낸다. 물론, 기판(1400) 위에 형성되어야 하는 패턴의 정보는 기억 매체(1405)에 기억된 것이고, 이 정보를 기초로 하여 제어 수단(1404)에 제어 신호를 보내어, 액적 토출 수단(1401)의 개개의 헤드(1403)를 개별적으로 제어할 수 있다. 또한, 전후좌우 및 비스듬한 방향으로 이동 가능한 헤드를 이동시켜 묘화할 수 있는 장치를 사용하여도 좋고, 하나의 헤드로부터 다수의 조성물을 토출할 수 있는 액적 토출 장치를 사용하여도 좋다.

[0069] 다음에, 화소(102)의 상세한 사항에 대하여, 액적 토출법을 사용한 제작 공정에 따라 설명한다.

[0070] [실시형태 1]

- [0071] 본 실시형태에서는, 채널 보호형 박막트랜지스터의 제조방법에 대하여 설명한다.
- [0072] 도 4(B)는 액적 토출법에 의해 기판(100) 위에 게이트 전극층과 이 게이트 전극층에 접속되는 게이트 배선층을 형성하는 공정을 나타내고 있다. 또한, 도 4(B)는 중단면 구조를 개략적으로 나타내고, 도 4(B)의 A-B선 및 C-D선에 대응하는 평면 구조를 도 13에 나타내고, 이 도 13이 동시에 참조될 수 있다.
- [0073] 기판(100)에는, 바륨 붕규산 유리, 알루미늄 붕규산 유리 또는 알루미늄실리케이트 유리 등, 퓨전(fusion)법이나 플로팅(floating)법으로 제조되는 무(無)알칼리 유리 기판, 세리믹 기판 이외에, 이 제조공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등이 사용될 수 있다. 또한, 단결정 실리콘 등의 반도체 기판, 스테인리스 강 등의 금속 기판의 표면에 절연층을 마련한 기판이 적용될 수도 있다. 또한, 화학 기계적 연마(CMP) 처리를 행한 유리 기판을 사용하여도 좋다.
- [0074] 먼저, 토출법에 의해 기판 위에 게이트 전극 등의 도전체를 형성할 때 밀착성을 향상시키기 위해 하지(下地) 처리를 행한다.
- [0075] 제1 방법으로서, 스퍼터링법이나 증착법 등의 방법에 의해, Ti(티탄), W(텅스텐), Cr(크롬), Al(알루미늄), Ta(탄탈), Ni(니켈), Zr(지르코늄), Hf(하프늄), V(바나듐), Ir(이리듐), Nb(니오브), Pd(팔라듐), Pt(백금), Mo(몰리브덴), Co(코발트) 또는 Rh(로듐)과 같은 금속 재료로 된 도전성 층을 형성하는 것이 바람직하다. 이 도전성 층은 0.01~10 nm의 막 두께로 형성될 수 있지만, 극히 얇게 형성하면 좋으므로, 반드시 층 구조를 가지지 않아도 좋다. 또한, 이 도전성 층은 게이트 전극층을 밀착성 좋게 형성하기 위해 마련되는 것이므로, 충분한 밀착성이 얻어지는 것이라면, 이 도전성 층을 생략하고 기판(100) 위에 직접 게이트 전극층을 형성하여도 좋다. 이 때, 게이트 전극에 Ag, Cu, Ag/Cu의 적층 등을 사용하면 특히 밀착성이 향상된다.
- [0076] 제2 방법으로서, 도전체를 형성하는 영역 위에 광축매 물질을 형성한다. 광축매 물질은 솔-겔(sol-gel)법의 딥(dip) 코팅법, 스핀 코팅법, 잉크젯법, 이온 도금법, 이온 빔(beam)법, CVD법, 스퍼터링법, RF 마그네트론 스퍼터링법, 플라즈마 스프레이법, 또는 양극산화법에 의해 형성될 수 있다. 또한, 다수의 금속을 포함하는 산화물 반도체로 된 광축매 물질의 경우, 구성 원소의 염을 혼합, 용해하여 형성할 수 있다. 딥 코팅법, 스핀 코팅법 등의 도포법에 의해 광축매 물질을 형성하는 경우, 용매를 제거할 필요가 있을 때, 용매를 소성하거나 건조시킬 수도 있다. 구체적으로는, 바람직하게는 산소를 포함하는 분위기에서 소정의 온도(예를 들어, 300℃ 이상)로 가열할 수 있다. 예를 들어, 산소 및 질소를 포함하는 분위기에서 도전성 페이스트로서 Ag를 사용하여 소성을 행하면, 열 경화성 수지 등의 유기물이 분해되기 때문에, 유기물을 함유하지 않는 Ag를 얻을 수 있다. 그 결과, Ag 표면의 평탄성을 높일 수 있다.
- [0077] 이 가열처리에 의하면, 광축매 물질은 소정의 결정 구조를 가질 수 있다. 예를 들어, 아나타제(anatase)형이나 루틸(rutile)-아나타제 혼합형을 가진다. 아나타제형은 저온상(低温相)에서는 우선적으로 형성된다. 따라서, 광축매 물질이 소정의 결정 구조를 가지지 않는 경우에도 가열될 수도 있다. 또한, 도포법에 의해 형성하는 경우, 소정의 막 두께를 얻기 위해 다수 회에 걸쳐 광축매 물질을 형성할 수도 있다.
- [0078] 본 실시형태에서는, 광축매 물질로서 스퍼터링법에 의해 소정의 결정 구조를 가지는 TiO<sub>x</sub> 결정을 형성하는 경우를 설명한다. 타겟으로는 금속 티탄 튜브를 사용하고, 아르곤 가스와 산소를 사용하여 스퍼터링을 행한다. 또한, He 가스를 도입하여도 좋다. 광축매 활성이 높은 TiO<sub>x</sub>를 형성하기 위해서는, 산소를 많이 함유하는 분위기로 하고, 형성 압력을 높게 한다. 또한, 성막실 또는 처리물이 제공된 기판을 가열하면서 TiO<sub>x</sub>를 형성하는 것이 바람직하다.
- [0079] 이렇게 하여 형성된 TiO<sub>x</sub>는 매우 얇은 막이어도 광축매 기능을 가진다.
- [0080] 그 후, 광 조사(照射)를 선택적으로 행하여 조사 영역을 형성하기 위해, 광학계를 사용하여 광을 집광시킨다. 예를 들어, 렌즈에 의해 광을 집광시킨다. 그 다음, TiO<sub>x</sub>와 광을 상대적으로 이동시킴으로써, 광 조사를 선택적으로 행한다. 그 결과, 조사 영역과 비(非)조사 영역이 형성될 수 있다. 그리고, 조사 영역에서의 TiO<sub>x</sub>는 친수성을 나타낸다. 또한, 광 조사 시간에 따라, 친수성과 친유성을 함께 가지는 상태로도 될 수 있다.
- [0081] 광으로서, 램프(예를 들어, 자외선 램프, 소위 블랙 라이트(black light)) 또는 레이저광(예를 들어, 발진 파장 308 nm의 XeCl 엑시머 레이저, 발진 파장 351 nm의 XeF 엑시머 레이저, 또는 발진 파장 248 nm의 KrF 엑시머 레이저 등)이 사용될 수 있다. 특정의 파장을 발진할 수 있는 레이저광을 사용하면 바람직하다. 또한, 광은 TiO<sub>x</sub>를 광축매 활성화시키는 파장의 광이라면 좋고, 외광을 사용하여 TiO<sub>x</sub>에 광 조사를 선택적으로 행하여도

상관없다.

- [0082] 이 공정에서, 선택적으로 광 조사를 행하기 위해서는, 암실, 또는 적어도 광촉매 활성화시키는 파장이 제거 또는 저감된 반응실에서 광 조사를 행한다. 적어도, 장치 자체의 반응실이 암실이거나, 또는 적어도 광촉매 활성화시키는 파장이 제거 또는 저감될 수도 있다.
- [0083] 또한, 도전체를 형성하는 영역에  $TiO_x$ 를 선택적으로 형성함으로써 전체에 광을 조사할 수 있다. 예를 들어, 잉크젯법, 원하는 형상의 메탈 마스크를 배치한 스핀 코팅법 등에 의해  $TiO_x$ 를 선택적으로 형성하고, 그 후, 램프나 레이저광 등을 사용하여 전체에 광을 조사하면 좋다. 그 결과, 선택적으로 형성된  $TiO_x$ 는 친수성이 된다.
- [0084] 이와 같이  $TiO_x$ 를 선택적으로 형성하면, 박막트랜지스터나 반도체장치를 형성한 후에 외광 등의 광을 조사할 때  $TiO_x$ 가 불필요하게 반응하는 것이 방지될 수 있다. 즉, 도전막 아래를 제외하고 형성되는  $TiO_x$ , 즉, 배선의 형성에 불필요한  $TiO_x$ 를 제거하기 위해, 도전막을 마스크로 한 습식 에칭법 또는 건식 에칭법을 사용하지 않아도 된다.
- [0085] 또한, 전체에  $TiO_x$ 를 형성한 후, 보호막을 형성하고, 그 보호막을 선택적으로 제거하고, 광 조사를 행함으로써, 도전체를 형성하는 소망의 영역의  $TiO_x$ 를 친수성으로 할 수도 있다. 보호막을 선택적으로 제거하는 수단으로서, 건식 에칭, 또는 습식 에칭을 사용할 수 있다. 또는, 일정한 파워 이상이고  $TiO_x$ 를 광촉매 활성화시키는 파장을 가지는 레이저광을 사용한 레이저 제거(ablation)에 의해 보호막을 제거하여도 좋다. 이 경우, 보호막의 선택적 제거와,  $TiO_x$ 의 광촉매 활성화를 동시에 행할 수 있다. 그 후, 광촉매 활성화시키는 파장의 광이  $TiO_x$ 에 조사되지 않도록 하기 위해, 보호막에는, 일정한 파워 이하이고 광촉매 활성화시키는 파장의 광을 흡수 또는 반사하는 재료를 선택한다. 즉, 외광에 포함되는 광촉매 활성화시키는 파장의 광이 조사되는 것을 고려하여 보호막을 선택한다. 그 결과, 반응실들 사이에서의 이동 중이나 제품으로서 사용하는 중에, 광촉매 활성화시키는 파장의 광이  $TiO_x$ 에 조사되는 것이 방지될 수 있다. 또한, 보호막으로서 사용하는 재료는 막 두께를 제어함으로써, 광촉매 활성화시키는 파장의 광을 흡수 또는 반사시킬 수 있다. 또한, 보호막은 다수의 재료를 적층하여 형성하여도 좋다. 그 결과, 광촉매 활성화시키는 파장의 광을 광범위에 걸쳐 흡수 또는 반사시킬 수 있다.
- [0086] 이렇게 하여,  $TiO_x$ 를 선택적으로 친수성으로 할 수 있다. 친수성 영역의 폭은 소망의 배선폭으로 할 수도 있고, 광학계에 의해 광 조사 영역을 좁힐 수도 있다.
- [0087] 또한, 피형성면에 대한 하지 처리로서,  $TiO_x$ , 바람직하게는  $TiO_2$ 를 형성하여 친수성으로 한 후 토출에 의해 형성되는 도전체로서 Ag, Cu, Ag/Cu의 적층을 형성하면 특히 밀착성이 향상될 수 있다.
- [0088] 이 처리는 하지 기관에 한정되지 않고 도전층의 형성 전후에 행할 수 있다.
- [0089] 제3 방법으로서, 게이트 전극 등의 피형성면에 대하여 플라즈마 처리를 행한다. 예를 들어, 게이트 전극의 피형성면이 하지막인 경우에는 하지막에 대하여 플라즈마 처리를 행한다. 플라즈마 처리는 게이트 전극의 피형성면에 대하여 비접촉으로 행하면 좋다.
- [0090] 플라즈마 처리는, 처리 가스로서 공기, 산소 또는 질소를 사용하고 수십 Torr 내지 800 Torr(106400 Pa), 바람직하게는 700 Torr(93100 Pa)~800 Torr(대기압 또는 대기압 근방의 압력)의 압력 하에 행해진다. 또한, 플라즈마 처리의 전원으로서, RF 전원이나 AC 전원이 사용될 수 있다. 예를 들어, AC 전원을 사용하여 교류 전압 100 V, 주파수 13.56 MHz 등의 조건에서 전압을 인가하고 파워를 변화시켜 플라즈마를 발생시킨다. 이 때, 안정한 플라즈마를 방전하기 위해, 2~4  $\mu$ sec의 전압폭 간격으로 펄스를 인가한다. 이 플라즈마 처리를 행한 결과, 알코올이나 오일 등의 액체에 대한 습윤성이 낮은 발액성이 되도록 표면 개질이 행해진다.
- [0091] 본 실시형태에서는, 기관 위에  $TiO_2$  층을 전체적으로 형성한 후, 보호막(도시하지 않음)을 형성하고, 이 보호막을 선택적으로 제거하고, 광 조사를 행함으로써, 도전체를 형성할 소망의 영역의  $TiO_2$  층이 친수성으로 된다.  $TiO_2$  층이 친수성인 영역이  $TiO_2$  층(205, 206, 207)으로 나타내어져 있다(도 4(A)).
- [0092]  $TiO_2$  층(205, 206, 207)에, 도전성 재료를 포함하는 조성물을 액적 토출법에 의해 토출함으로써, 게이트 배선층

(202), 게이트 도전층(203), 용량 배선층(204)이 형성된다(도 4(B)). 이들 층을 형성하는 도전성 재료로서는, Ag(은), Au(금), Cu(구리)), W(텅스텐), Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물이 사용될 수 있다. 또한, 투광성을 가지는 인듐 주석 산화물(ITO), 산화규소를 함유하는 인듐 주석 산화물(ITSO)을 조합시켜도 좋다. 특히, 게이트 배선층은 저저항화하는 것이 바람직하므로, 비(比)저항값을 고려하여, 금, 은, 구리 중 어떤 재료를 용매에 용해 또는 분산시킨 것을 사용하는 것이 바람직하고, 저저항의 은이나 구리를 사용하는 것이 더 바람직하다. 그러나, 은이나 구리를 사용하는 경우에는, 불순물 대책으로서 배리어 막을 추가로 마련할 수도 있다. 용매는 초산부틸 등의 에테르류, 이소프로필 알코올 등의 알코올류, 아세톤 등의 유기 용제 등에 대응한다. 표면장력과 점성은 용매의 농도를 조정하거나 계면 활성제 등을 첨가하여 적절히 조정된다. 그 후, 토출한 도트(dot)의 용매를 제거할 필요가 있을 때, 소성하거나 건조시키기 위해 가열처리를 행한다. 구체적으로는, 소정의 온도, 예를 들어, 200℃~300℃로 바람직하게는 산소 함유 분위기에서 가열처리를 행한다. 이때, 게이트 전극의 표면에 요철이 생기지 않도록 가열 온도를 설정한다. 본 실시형태와 같이 은(Ag)을 포함하는 도트를 사용하는 경우, 산소 및 질소를 포함하는 분위기에서 가열처리를 행하면, 용매 중에 포함된 접착제 등의 열 경화성 수지 등의 유기물이 분해되기 때문에, 유기물을 포함하지 않는 은(Ag)이 얻어질 수 있다. 그 결과, 게이트 전극 표면의 평탄성이 향상되고, 비저항값이 낮아질 수 있다.

[0093] 액적 토출법에 사용되는 노즐의 직경은 0.02~100 μm(바람직하게는, 30 μm 이하)로 설정하고, 이 노즐로부터 토출되는 조성물의 토출량은 0.001 pL~100 pL(바람직하게는, 10 pL 이하)로 설정하는 것이 바람직하다. 액적 토출법에는 온 디맨드(on-demand)형과 연속형의 두 가지 방식이 있지만, 어느 방식을 사용하여도 좋다. 또한, 액적 토출법에 사용되는 노즐에는, 전압 인가에 의해 변형하는 압전체(壓電體)의 성질을 사용하는 압전 방식과, 노즐 내에 마련된 히터에 의해 조성물을 비등시켜 이 조성물을 토출하는 가열 방식이 있지만, 그 중 어떠한 방식을 사용하여도 좋다. 피처리물과 노즐의 토출구 사이의 거리는 소망의 위치에 적하기 위해 가능한 한 가깝게 하는 것이 바람직하고, 0.1~3 mm(바람직하게는, 1 mm 이하) 정도로 설정되는 것이 바람직하다. 노즐과 피처리물 사이의 상대적 거리를 유지하면서, 노즐과 피처리물 중의 어느 한쪽을 이동시켜, 소망의 패턴을 묘화한다. 또한, 조성물을 토출하기 전에, 피처리물의 표면에 플라즈마 처리를 실시하여도 좋다. 이것은, 플라즈마 처리를 하면 피처리물의 표면이 친수성이 되거나 소액성(疎液性)이 되는 것을 활용하기 위해서이다. 예를 들어, 순수(純水)에 대해서는 친수성이 되고, 알코올을 용매로 한 페이스트에 대해서는 소액성이 된다.

[0094] 조성물을 토출하는 공정은 감압 하에서 행해질 수 있다. 이것은, 조성물이 토출되어 피처리물에 착륙하기까지의 사이에 이 조성물의 용매가 휘발하고, 이후의 건조와 소성의 공정이 생략 또는 단축될 수 있도록 하기 위해서이다. 조성물의 토출 후, 상압 하 또는 감압 하에서 레이저광 조사나 급속 열 어닐, 가열로 등에 의해 건조와 소성 중의 어느 한쪽 또는 모두를 행한다. 건조와 소성의 공정은 양 공정 모두 가열처리의 공정이지만, 예를 들어, 건조는 100℃에서 3분간, 소성은 200~350℃에서 15분~120분간 행하는 것으로, 그 목적, 온도와 시간이 다른 것이다. 건조와 소성의 공정을 양호하게 행하기 위해서는, 기판을 가열하여 두어도 좋고, 그 때의 온도는 기판 등의 재질에 의존하지만, 100~800℃(바람직하게는 200~350℃)로 한다. 이 공정에 의해, 조성물 중의 용매가 휘발 또는 화학적으로 분산체가 제거되고, 주위의 수지가 경화 수축함으로써, 용합과 융착을 가속한다. 분위기는 산소 분위기, 질소 분위기 또는 공기에서 행한다. 그러나, 금속 원소를 분해 또는 분산하고 있는 용매가 제거되기 쉬운 산소 분위기 하에서 이 공정을 행하는 것이 바람직하다.

[0095] 레이저광 조사에는 연속 발진 또는 펄스 발진 기체 레이저 또는 고체 레이저가 사용될 수 있다. 기체 레이저로서는, 엑시머 레이저, YAG 레이저 등이 있고, 고체 레이저로서는, Cr, Nd 등이 도핑된 YAG, YVO<sub>4</sub> 등의 결정을 사용한 레이저 등이 있다. 또한, 레이저광의 흡수율의 관계에서는 연속 발진 레이저를 사용하는 것이 바람직하다. 또한, 펄스 발진과 연속 발진을 조합시킨 소위 하이브리드 레이저 조사 방법을 사용하여도 좋다. 그러나, 기판의 내열성에 따라서는 레이저광 조사에 의한 가열처리를 수 마이크로초 내지 수십 초 내에서 순간적으로 행하여도 좋다. 급속 열 어닐(RTA)은, 불활성 가스 분위기에서 자외광에서 적외광까지의 광을 조사하는 적외 램프나 할로겐 램프 등을 사용하여 급속하게 온도를 상승시키고, 수 마이크로초 내지 수분간 가열하여 행한다. 이 처리는 순간적으로 행하기 때문에, 실질적으로 최표면의 박막만을 가열할 수 있고, 하층의 막에는 영향을 주지 않는다는 이점이 있다.

[0096] 다음에, 플라즈마 CVD법이나 스퍼터링법을 사용하여, 게이트 절연층을 단층 또는 적층 구조로 형성한다(도 4(C) 참조). 특히 바람직한 형태로서는, 질화규소로 된 절연층(208), 산화규소로 된 절연층(209), 질화규소로 된 절연층(210)의 3층의 적층체가 게이트 절연층에 대응한다. 또한, 낮은 성막 온도로 게이트 누설 전류가 적은 치밀한 절연막을 형성하기 위해서는, 아르곤 등의 희가스 원소를 반응 가스에 함유시켜, 형성되는 절연막 중에 혼입시키면 좋다. 게이트 배선층(202), 게이트 전극층(203) 및 용량 배선층(204)에 접하는 제1 층을 질화규소 또

는 질화산화규소로 형성한 경우, 산화에 의한 열화를 방지할 수 있다.

- [0097] 다음에, 반도체층(211)을 형성한다. 이 반도체층(211)은 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용하여 기상 성장법이나 스퍼터링법으로 제조되는 AS 또는 SAS로 되어 있다.
- [0098] 플라즈마 CVD법을 사용하는 경우, AS는 반도체 재료 가스인 SiH<sub>4</sub>, 또는 SiH<sub>4</sub>와 H<sub>2</sub>의 혼합 가스를 사용하여 형성된다. SiH<sub>4</sub>를 H<sub>2</sub>로 3배~1000배로 희석한 혼합 가스 또는 Si<sub>2</sub>H<sub>6</sub> 대 GeF<sub>4</sub>의 유량비를 20~40 대 0.9로 하여 Si<sub>2</sub>H<sub>6</sub>과 GeF<sub>4</sub>를 희석한 혼합 가스를 사용하는 경우, Si의 조성비가 80% 이상인 SAS가 얻어질 수 있다. 특히, 후자의 경우에는, 반도체층(211)이 하지와의 계면으로부터 결정성을 가질 수 있기 때문에 바람직하다.
- [0099] 반도체층(211)상에 절연층(212)을 플라즈마 CVD법이나 스퍼터링법으로 형성한다. 이 절연층(212)은, 이후 공정에서 나타내는 바와 같이, 게이트 전극층과 상대하여 반도체층(211)상에 잔존되고, 채널 보호층으로서 작용한다. 따라서, 절연층(212)을 치밀한 막으로 하여 계면의 청정성을 확보하고 유기물이나 금속물, 수증기 등의 불순물로 반도체층(211)이 오염되는 것을 방지하는 효과를 얻도록 하는 것이 바람직하다. 글로우 방전 분해법에서도, 규화물 가스를 아르곤 등의 희가스로 100배~500배로 희석하여 형성된 질화규소막은 100℃ 이하의 성막 온도에서도 치밀한 막을 형성할 수 있기 때문에 바람직하다. 또한, 필요하다면, 절연막을 적층하여 형성하여도 좋다.
- [0100] 지금까지의 공정에서, 절연층(208)으로부터 절연층(212)까지를 대기예의 노출 없이 연속적으로 형성할 수 있다. 즉, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 의해 오염되지 않고 각 적층 계면을 형성할 수 있으므로, TFT의 특성의 편차를 저감할 수 있다.
- [0101] 다음에, 절연층(212)상에 게이트 전극층(203)과 상대하는 위치에 조성물을 선택적으로 토출하여 마스크(213)를 형성한다(도 4(C) 참조). 이 마스크(213)에는, 에폭시 수지, 아크릴 수지, 페놀 수지, 노보락 수지, 아크릴 수지, 멜라민 수지, 우레탄 수지 등의 수지 재료가 사용된다. 또한, 이 마스크(213)는 벤조시클로부텐, 파릴렌, 플레어, 투과성을 가지는 폴리이미드 등의 유기 재료, 실록산계 폴리머 등의 중합에 의해 형성되는 화합물 재료, 수용성 호모폴리머와 수용성 공중합체를 함유하는 조성물 재료 등을 사용하여 액적 토출법으로 형성될 수도 있다. 또는, 감광제를 포함하는 시판 레지스트 재료를 사용하여도 좋고, 예를 들어, 대표적인 포지티브형 레지스트인 노보락 수지와 감광제인 나프토퀴노네디 아지드 화합물을 공지의 용매로 분산 또는 용해시킨 것, 네거티브형 레지스트인 베이스 수지, 디페닐실란 디올, 및 산 발생제 등을 공지의 용매로 분산 또는 용해시킨 것을 사용하여도 좋다. 어느 재료를 사용하여도, 표면장력과 점도는 용매의 농도를 조절하거나 계면활성제 등을 첨가하거나 하여 적절히 조정된다.
- [0102] 마스크(213)를 사용하여 절연층(212)을 에칭하여, 채널 보호층으로서 기능하는 절연층(214)을 형성한다. 마스크(213)를 제거하고, 반도체층(211) 및 절연층(214) 위에 n형의 반도체층을 형성한다(도 4(C) 및 도 5(A) 참조). 이 n형의 반도체층은 실란 gas와 포스핀 가스를 사용하여 형성될 수 있고, AS 또는 SAS로 형성될 수도 있다. 그 후, n형의 반도체층상에 마스크(216)를 액적 토출법으로 형성한다. 이 마스크(216)를 사용하여 n형의 반도체층 및 반도체층(211)을 에칭하여, 반도체층(217)과 일 도전형을 가지는 반도체층(218)을 형성한다(도 5(A) 참조). 또한, 도 5(A)는 중단면 구조를 개략적으로 나타내고, 도 5(A)의 A-B선 및 C-D선에 대응하는 평면 구조가 도 14에 도시되어 있고, 이 도 14도 동시에 참조될 수 있다.
- [0103] 이어서, 마스크(216)를 제거한 후, 도전성 재료를 포함하는 조성물을 선택적으로 토출하여 소스 및 드레인 배선층(219, 220)을 액적 토출법으로 형성한다(도 5 (B) 참조). 또한, 도 5(B)는 중단면 구조를 개략적으로 나타내고, 도 5(B)의 A-B선 및 C-D선에 대응하는 평면 구조를 도 15에 나타낸다. 도 15에 나타낸 바와 같이, 기판(100)의 일 단부로부터 연장하는 신호 배선(221)도 형성된다. 이 신호 배선(221)은 소스 및 드레인 배선층(219)과 전기적으로 접속하도록 제공된다. 이 배선층을 형성하는 도전성 재료로서는, Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물이 사용될 수 있다. 또한, 투과성을 가지는 인듐 주석 산화물(ITO), 인듐 주석 산화물과 산화규소로 된 ITS0, 유기 인듐, 유기 주석, 산화아연, 질화티탄 등을 조합시켜도 좋다.
- [0104] 다음에, 소스 및 드레인 배선층(219, 220)을 마스크로 하여 절연층(214)상의 n형의 반도체층(218)을 에칭하여, 소스 및 드레인 영역을 형성하는 n형의 반도체층(222, 223)을 형성한다(도 5(C) 참조).
- [0105] 이어서, 소스 및 드레인 배선층(220)과 전기적으로 접속하도록 도전성 재료를 포함하는 조성물을 선택적으로 토출하여, 화소 전극에 대응하는 화소 전극층(224)을 형성한다. 투과형 액정 표시 패널을 제조하는 경우에는, 화

소 전극층(224)은 인듐 주석 산화물(ITO), 산화규소를 함유하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 산화주석(SnO<sub>2</sub>) 등을 포함하는 조성물의 소정의 패턴을 형성하고, 이 패턴을 소성함으로써 형성될 수도 있다. 또한, 반사형 액정 표시 패널을 제조하는 경우에는, Ag(은), Au(금), Cu(구리), W(텅스텐), Al(알루미늄) 등의 금속의 입자를 주성분으로 한 조성물이 사용될 수 있다. 다른 방법으로서, 스퍼터링법에 의해 투명 도전막 또는 광 반사성 도전막을 형성하고, 액적 토출법에 의해 마스크 패턴을 형성하고, 에칭 공정을 추가로 행하여 화소 전극층을 형성할 수도 있다(도 6(A) 참조). 또한, 도 6(A)는 종단면 구조를 개략적으로 나타내고, 도 6(A)의 A-B선 및 C-D선에 대응하는 평면 구조를 도 16에 나타내며, 이 도 16도 동시에 참조될 수 있다.

[0106] 이상의 공정에 의해, 기판(100) 위에 보텀 게이트형(역스태거형이라고도 함) TFT와 화소 전극이 접속된 액정 표시 패널용 TFT 기판(100)이 완성된다.

[0107] 다음에, 화소 전극층(224)을 덮도록 인쇄법이나 스핀 코팅법에 의해 배향막이라 불리는 절연층(225)을 형성한다. 이 절연층(225)은 스크린 인쇄법이나 오프셋 인쇄법을 사용하여 도시된 바와 같이 선택적으로 형성될 수도 있다. 그 후, 러빙 처리를 행한다. 이어서, 화소를 형성한 주변 영역에 액적 토출법에 의해 시일재(226)를 형성한다(도 6(B) 참조).

[0108] 그 후, 배향막으로서 기능하는 절연층(227)과, 대향 전극으로서 기능하는 도전성 층(228)이 제공된 대향 기판(229)과 TFT 기판(100)을 스페이서를 사이에 두고 부착하고, 공간에 액정층(230)을 제공함으로써, 액정 표시 패널이 제조될 수 있다(도 6(C) 참조). 시일재(226)에는 충전재가 혼입될 수도 있고, 또한, 대향 기판(229)에는 컬러 필터나 차폐막(블랙 매트릭스) 등이 제공된다. 또한, 액정층을 형성하는 방법으로서, 디스펜서 방식(적하 방식)이나 대향 기판(229)을 부착한 후 모세관 현상을 사용하여 액정을 주입하는 딥(dip) 방식(펌핑 방식)이 사용될 수 있다.

[0109] 디스펜서 방식을 채용한 액정 적하 주입법에서는, 시일재(226)로 폐쇄 루프(closed loop)가 형성되고, 그 안에 액정이 1회 또는 다수 회 적하된다. 이어서, 진공 중에서 기판을 부착시킨 다음, 자외선 경화를 행하여, 액정이 충전된 상태가 된다.

[0110] 다음에, 대기압 또는 대기압 근방의 압력 하에 산소 가스를 사용한 애싱(ashing) 처리에 의해, 도 7에 도시된 영역(231)의 절연층(208~210)을 제거한다(도 7 참조). 이 처리는 산소 가스와, 수소, CF<sub>4</sub>, NF<sub>3</sub>, H<sub>2</sub>O, CHF<sub>3</sub>으로부터 선택된 1종 또는 다수 종을 사용하여 행한다. 이 공정에서는, 정전기에 의한 손상이나 파손을 방지하기 위해 대향 기판을 사용하여 봉지(封止)한 후에 애싱 처리를 행하고 있지만, 정전기에 의한 영향이 적은 경우에는 어떠한 타이밍에서 애싱 처리를 행하여도 상관없다.

[0111] 이어서, 이방성 도전성 층을 사이에 두고 게이트 배선층(202)에 전기적으로 접속하도록, 접속용 배선판(232)을 제공한다. 이 배선판(232)은 외부로부터의 신호나 전위를 전달하는 역할을 한다. 상기 공정들을 거쳐, 채널 보호형 스위칭용 TFT(233)와 용량 소자(234)를 포함하는 액정 표시 패널이 완성된다. 용량 소자(234)는 용량 배선층(204)과 게이트 절연층과 화소 전극층(224)으로 형성된다.

[0112] 이상 설명한 바와 같이, 본 실시형태에서는, 포토마스크를 사용한 노광 공정을 사용하지 않으므로써, 공정을 단축할 수 있다. 또한, 액적 토출법을 사용하여 기판 상에 직접 각종 패턴을 형성함으로써, 한 번이 1000 mm를 넘는 제5 세대 이후의 유리 기판을 사용하는 경우라도 용이하게 액정 표시 패널을 제조할 수 있다.

[0113] [실시형태 2]

[0114] 실시형태 1은 화소 전극층(224)과 소스 및 드레인 배선층(220)이 직접 서로 접촉하는 구성을 나타내지만, 다른 형태로서 이들 사이에 절연층이 개재될 수도 있다.

[0115] 이 경우에는, 도 5(C)의 나타낸 공정까지가 종료된 때, 보호막으로서 기능하는 절연층(240)이 형성된다(도 8(A) 참조). 이 보호막으로서, 질화규소나 산화규소의 피막을 스퍼터링법이나 플라즈마 CVD법으로 형성한 것을 사용할 수 있다. 절연층(240)에 개구부(241)를 형성할 필요가 생기고, 이 개구부(241)를 통하여 소스 및 드레인 배선층(220)이 화소 전극층(224)과 전기적으로 접속된다(도 8(B) 참조). 또한, 개구부(241)의 형성 시에는, 후에 접속 단자를 부착하기 위해 필요한 개구부(242)도 동시에 형성될 수 있다. 그 후, 절연층(244)을 형성한다.

[0116] 개구부(241, 242)의 형성 방법은 특별히 한정되는 것은 아니지만, 예를 들어, 대기압 하의 플라즈마 에칭에 의해, 개구부를 선택적으로 형성할 수 있고, 또는, 액적 토출법에 의해 마스크를 형성한 후 습식 에칭 처리를 행할 수도 있다. 또한, 액적 토출법에 의해 무기 실록산계 또는 유기 실록산계 피막을 형성하여 절연층(240)으로

하면, 개구부를 형성하는 공정이 생략될 수 있다.

- [0117] 이상과 같이 하여, 도 9에 도시된 액정 표시 패널이 완성된다.
- [0118] [실시형태 3]
- [0119] 본 실시형태에서는, 채널 에치(etch)형 박막트랜지스터의 제조방법에 대하여 설명한다.
- [0120] 기판(100) 위에 도전성 재료를 포함하는 조성물을 액적 토출법에 의해 토출하여 게이트 배선층(202), 게이트 전극층(203), 용량 배선층(204)을 형성한다. 다음에, 플라즈마 CVD법이나 스퍼터링법에 의해 게이트 절연층을 단층 또는 적층 구조로 형성한다. 특히, 바람직한 형태로서는, 질화규소로 된 절연층(208), 산화규소로 된 절연층(209), 질화규소로 된 절연층(210)의 3층의 적층체가 게이트 절연막에 상당한다. 또한, 활성층으로서 기능하는 반도체층(211)까지 형성한다. 이상의 공정은 실시형태 1과 마찬가지로이다.
- [0121] 반도체층(211)상에 n형의 반도체층(301)을 형성한다(도 10(A) 참조). 다음에, n형의 반도체층(301)상에 조성물을 선택적으로 토출하여 마스크(302)를 형성한다. 이어서, 마스크(302)를 사용하여 반도체층(211)과 n형의 반도체층(301)을 동시에 에칭하여, 반도체층(303)과 n형의 반도체층(304)을 형성한다. 그 후, n형의 반도체층(304) 위에 도전성 재료를 포함하는 조성물을 토출하여 소스 및 드레인 배선층(305, 306)을 형성한다(도 10(B) 참조).
- [0122] 다음에, 소스 및 드레인 배선층(305, 306)을 마스크로 하여 n형의 반도체층(304)을 에칭하여, n형의 반도체층(307, 308)을 형성한다. 이 때, 반도체층(303)도 약간 에칭되어, 반도체층(309)이 형성된다. 이어서, 소스 및 드레인 배선층(306)과 전기적으로 접속하도록, 도전성 재료를 포함하는 조성물을 토출하여 화소 전극층(310)을 형성한다(도 10(C) 참조).
- [0123] 다음에, 배향막으로서 기능하는 절연층(311)을 형성한다. 이어서, 시일재(312)를 형성하고, 이 시일재(312)를 사용하여, 기판(100)과 대향 전극(314)과 배향막(313)이 형성된 기판(315)을 부착한다. 그 후, 기판(100)과 기판(315) 사이에 액정층(316)을 형성한다. 다음에, 접속 단자(317)를 부착할 영역을 대기압 또는 대기압 근방의 압력 하에 에칭하여 노출시키고, 접속 단자(317)를 부착하면, 표시 기능을 가지는 액정 표시 패널이 제조될 수 있다(도 11 참조).
- [0124] [실시형태 4]
- [0125] 본 실시형태에서는, 실시형태 1 및 2와는 달리 드레인 배선이 화소 전극과 겹치는 구성을 가지는 채널 보호형 박막트랜지스터를 가지는 액정표시장치의 제조방법에 대하여 도 29(A)~도 29(D) 및 도 30(A)~도 30(D)를 참조하여 설명한다.
- [0126] 실시형태 1에서 설명한 바와 같이 하지 처리를 행한 기판(100) 위에 액적 토출법에 의해 도전성 재료를 포함하는 조성물을 토출하여, 게이트 전극층(203)과 용량 배선층(204)을 형성한다. 여기서의 기판(100)의 하지 처리로서는, 먼저, 스퍼터링법 또는 CVD법에 의해 성막한 Ti 막(1100)을 오븐에서 소성하여 TiO<sub>2</sub>를 형성한 다음, 액적 토출법에 의해 도전체를 토출할 영역에 광을 선택적으로 조사하여 활성화 영역(1101)을 형성한다.
- [0127] 다음에, 플라즈마 CVD법이나 스퍼터링법에 의해 게이트 절연층을 단층 또는 적층 구조로 형성한다. 여기서는, 질화규소로 된 절연층(208)과, 산화규소로 된 절연층(209)의 2층 적층체가 게이트 절연층에 상당한다. 물론, 실시형태 1과 같이 질화규소와 산화규소를 조합시켜 3층의 적층체를 사용하여도 좋다. 그 후, 도전성 재료를 포함하는 조성물을 토출하여 화소 전극(9001)을 형성한다(도 29(A)). 이 화소 전극(9001)은 액적 토출법에 의해 인듐 주석 산화물(ITO), 산화규소를 함유하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 산화주석(SnO<sub>2</sub>) 등을 포함하는 조성물의 소정의 패턴을 형성하고 이 패턴을 소성하여 형성하여도 좋다.
- [0128] 또한, 바람직하게는, 스퍼터링법에 의해 인듐 주석 산화물(ITO), 산화규소를 함유하는 인듐 주석 산화물(ITSO), 산화아연(ZnO) 등으로 화소 전극을 형성한다. 더 바람직하게는, ITO에 산화규소가 2~10 중량% 함유된 타겟을 사용한 스퍼터링법에 의해 산화규소를 함유하는 산화인듐주석을 사용하여도 좋다.
- [0129] 이어서, 활성층으로서 기능하는 반도체층(9002)을 형성한다(도 29(B)). 이 반도체층에는, 비정질 반도체를 결정화시킨 다결정 반도체 또는 SAS 등이 사용될 수 있다. 그 후, 게이트 전극층(203)과 거의 전체가 겹치도록, 실시형태 1에서 설명한 방법에 의해 반도체층(9002)상에 채널 보호층이 되는 절연층(214)을 형성한다(도 29(C)). 그 후, 실란 가스나 포스핀 가스를 사용한 CVD법에 의해 n형의 반도체층(9003)을 형성한다(도 29(D)) 다음, 반도체층을 패터닝하기 위한 마스크(216)를 액적 토출법으로 형성한다(도 30(A)).

- [0130] 이어서, 마스크(216)를 사용하여 n형 반도체층(9003) 및 반도체층(9002)을 에칭하여 패터닝한다. 이것에 의해, 이들 반도체층이 화소 전극(9001)과 분리된다(도 30(B)). 그 후, 도전성 재료를 포함하는 조성물을 액적 토출법에 의해 선택적으로 토출하여, 소스 및 드레인 배선층(9004, 9005)을 형성하고, 이것에 의해, n형 반도체층(9003)과 화소 전극(9001)이 전기적으로 접속된다(도 30(C)). 이 때, 소스 및 드레인 배선의 밀착성을 향상시키기 위해, 기판에 대한 하지 처리의 경우와 같이 n형 반도체층(9003)에 하지 처리를 한 후, 도전성 재료를 포함하는 조성물을 토출한다. 그리하여, 밀착성이 양호한 소스 및 드레인 배선이 형성될 수 있다. 도전성 재료를 포함하는 조성물로서는, Ag 또는 Cu를 포함하는 조성물이 사용될 수 있고, 이들의 단층 또는 Ag/Cu의 적층 구조의 배선이 형성될 수도 있다.
- [0131] 이어서, 소스 및 드레인 배선층(9004, 9005)을 마스크로 하여 n형 반도체층(9003)을 에칭한다(도 30(D)). 이상의 공정을 거쳐, 액정 패널용 TFT 기판이 형성될 수 있다. 이 액정 패널용 TFT 기판의 상면도를 도 37에 나타낸다. 도 30(D)는 도 37의 C-D 점선을 따라 취한 액정 표시 패널용 TFT 기판의 단면도를 나타내는 것이다.
- [0132] 또한, 도 29(C)를 사용하여 설명한 채널 보호층이 되는 절연층(214)을 마련함이 없이 소스 및 드레인 배선층(9004, 9005)을 마스크로 n형 반도체층(9003)을 에칭하여, n형 반도체층(9003)을 분리하고, 그대로 반도체층의 도층까지 에칭함으로써, 도 31과 같은 액정 패널용 TFT 기판을 형성할 수도 있다.
- [0133] 이어서, 실시형태 1에서와 같이, 배향막으로서 기능하는 절연층과, 대향 전극으로서 기능하는 도전성 층이 마련된 기판과 본 실시형태에서 제조한 TFT 기판을 스페이서를 사이에 두고 부착하고, 그 공간에 액정 재료를 도입함으로써, 액정 패널이 형성될 수 있다.
- [0134] 본 실시형태는, 액정표시장치의 제조에 있어서 액적 토출법에 의해 도전체를 형성하는 전후의 어느 하나의 공정에서 피형성면에 실시형태 1에서 설명한 바와 같은 밀착성을 향상시키는 전(前)처리를 행하는 것을 특징으로 하고 있다.
- [0135] [실시형태 5]
- [0136] 본 실시형태에서는, n형 반도체층이 직접 및 드레인 배선을 통하여 화소 전극과 전기적으로 접속되어 있는 박막트랜지스터를 가지는 액정표시장치의 제조방법을 설명한다.
- [0137] 실시형태 1에서 설명한 바와 같이, 게이트 전극층(203), 용량 배선층(204), 절연층(208, 209)을 형성한 후, 반도체층(9101)과 절연층(214)을 형성한다(도 32(A)). 물론, 이들은 실시형태 1에서 설명한 바와 같은 하지 전처리를 행한 후에 액적 토출법에 의해 형성될 수도 있다. 그 후, 반도체층(9101)을 패터닝하기 위한 마스크(216)를 액적 토출법에 의해 형성하고(도 32(A)), 이 마스크(216)를 사용하여 반도체층(9101)을 패터닝한다(도 32(B)). 이어서, 마스크를 제거하고, n형 반도체층(9102)을 형성한다(도 32(C)). 그 후, 도전성 재료를 포함하는 조성물을 액적 토출법에 의해 토출하여 소스 및 드레인 배선(9103, 9104)을 형성한다(도 32(D)). 이어서, 소스 및 드레인 배선(9103, 9104)을 사용하여 n형 반도체층(9102)의 분리 및 패터닝을 행한다(도 33(A)). 이어서, 액적 토출법에 의해 도전성 재료를 포함하는 조성물을 토출하여, 드레인 배선층(9104)과 접하도록 화소 전극(9105)을 형성한다(도 33(B)). 화소 전극(9105)은 액적 토출법에 의해 인듐 주석 산화물(ITO), 산화규소를 함유하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 산화주석(SnO<sub>2</sub>) 등을 포함하는 조성물의 소정의 패턴을 형성하고 이 패턴을 소성함으로써 형성될 수도 있다.
- [0138] 이어서, 실시형태 1에서와 같이, 배향막으로서 기능하는 절연층과, 대향 전극으로서 기능하는 도전성 층이 마련된 기판과 본 실시형태에서 제조한 TFT 기판을 스페이서를 사이에 두고 부착하고, 그 공간에 액정 재료를 도입함으로써, 액정 패널이 형성될 수 있다.
- [0139] 본 실시형태는, 액정표시장치의 제조에 있어서 액적 토출법에 의해 도전체를 형성하는 전후의 어느 하나의 공정에서 피형성면에 실시형태 1에서 설명한 바와 같은 밀착성을 향상시키는 전처리를 행하는 것을 특징으로 한다.
- [0140] [실시형태 6]
- [0141] 본 실시형태에서는, 스테거형 박막트랜지스터를 가지는 액정표시장치의 제조방법을 설명한다.
- [0142] 실시형태 1에서 설명한 바와 같이 하지 처리를 행한 기판에 액적 토출법에 의해 도전성 재료를 포함하는 조성물을 토출하여, 소스 및 드레인 배선층(9201, 9202)을 형성한다(도 34(A)). 이어서, 도전성 재료를 포함하는 조성물을 토출하여 화소 전극(9203)을 형성한다(도 34(B)). 화소 전극을 형성하는데 있어서, 실시형태 1에서 설명한 기판의 하지 처리와 같은 처리를 드레인 배선층(9202) 또는 기판(100)에 실시함으로써 화소 전극이 밀착성

중계 형성될 수 있다. 그 후, n형의 반도체층(9204)을 형성한다(도 34(C)) 다음, n형의 반도체층(9204)을 패터닝하기 위한 마스크(9205)를 액적 토출법에 의해 형성한다(도 34(D)). 이 마스크를 사용하여 n형의 반도체층(9204)의 분리 및 패터닝을 행한다(도 34(E)). 반도체막(9206) 및 2층의 게이트 절연막(9207, 9208)을 형성한다(도 34(F) 및 도 34(G)). 물론, 게이트 절연막은 실시형태 1과 같이 3층 구조를 가질 수도 있다. 그 후, n형의 반도체층이 분리된 부분 위에 위치한 게이트 절연막(9208)에 도전성 재료를 포함하는 조성물을 토출하여, 화소 전극(9209)을 형성한다(도 34(H)). 이어서, 반도체층(9206)을 패터닝하기 위한 마스크(9210)를 액적 토출법에 의해 형성하고(도 34(I)), 게이트 절연막(9208, 9207) 및 반도체층(9206)을 에칭하여 패터닝한다(도 34(J)).

[0143] 이상의 공정을 거쳐, 액정 패널용 TFT 기판이 형성될 수 있다. 이 액정 패널용 TFT 기판의 상면도를 도 38에 나타낸다. 도 34(J)는 도 38의 C-D 점선을 따라 취한 액정 패널용 TFT 기판의 단면도를 나타내는 것이다.

[0144] 그리고, 실시형태 1에서와 같이, 배향막으로서 기능하는 절연층과, 대향 전극으로서 기능하는 도전성 층이 마련된 기판과 본 실시형태에서 제조한 TFT 기판을 스페이서를 사이에 두고 부착하고, 그 공간에 액정 재료를 주입함으로써, 액정 패널이 형성될 수 있다.

[0145] 본 실시형태는, 액정표시장치의 제조에 있어서 액적 토출법으로 도전체를 형성하는 전후의 어느 하나의 공정에서 피형성면에 실시형태 1에서 설명한 것과 같은 밀착성을 향상시키는 전처리를 행하는 것을 특징으로 한다.

[0146] [실시형태 7]

[0147] 본 실시형태에서는, 드레인 배선이 화소 전극과 겹치는 구조의 스테거형 박막트랜지스터를 가지는 액정표시장치의 제조방법을 설명한다.

[0148] 실시형태 1에서 설명한 것과 같이 하지 처리를 행한 기판에 액적 토출법에 의해 도전성 재료를 포함하는 조성물을 토출하여, 화소 전극(9301)을 형성한다(도 35(A)). 마찬가지로 방식으로, 소스 및 드레인 배선층(9302, 9303)을 형성한다(도 35(B)). 이 드레인 배선층은 화소 전극과 일부 겹치도록 선택적으로 형성된다. 그 후, n형의 반도체층(9304)을 형성하고(도 35(C)), 이 n형의 반도체층을 분리하여 패터닝하기 위한 마스크(9305)를 액적 토출법에 의해 형성한다(도 35(D)). 이 마스크를 사용하여 n형의 반도체층(9304)의 분리 및 패터닝을 행한다(도 35(D)). 그 후, 반도체층(9306) 및 2층의 게이트 절연막(9307, 9308)을 형성한다(도 35(F) 및 도 35(G)). 물론, 게이트 절연막은 실시형태 1과 같이 3층 구조를 가질 수도 있다. 그 후, n형의 반도체층이 분리된 부분 위에 위치한 게이트 절연막(9308)에 도전성 재료를 포함하는 조성물을 토출하여, 게이트 전극(9309)을 형성한다(도 35(H)). 이어서, 반도체층(9306)을 패터닝하기 위한 마스크(9310)를 액적 토출법에 의해 형성하고(도 35(I)), 게이트 절연막(9307, 9308) 및 반도체층(9306)을 에칭하고 패터닝하여, 액정 패널용 TFT 기판이 형성된다(도 35(J)).

[0149] 이상의 공정을 거쳐, 액정 패널용 TFT 기판이 형성될 수 있다. 이 액정 패널용 TFT 기판의 상면도를 도 39에 나타낸다. 도 35(J)는 도 39의 C-D 점선을 따라 취한 액정 패널용 TFT 기판의 단면도를 나타내는 것이다.

[0150] 이어서, 실시형태 1에서와 같이, 배향막으로서 기능하는 절연층과, 대향 전극으로서 기능하는 도전성 층이 마련된 기판과 본 실시형태에서 제조한 TFT 기판을 스페이서를 사이에 두고 부착하고, 그 공간에 액정 재료를 주입함으로써, 액정 패널이 형성될 수 있다.

[0151] 본 실시형태는, 액정표시장치의 제조에 있어서 액적 토출법으로 도전체를 형성하는 전후 어느 하나의 공정에서 피형성면에 실시형태 1에서 설명한 바와 같은 밀착성을 향상시키는 전처리를 행하는 것을 특징으로 하고 있다.

[0152] [실시형태 8]

[0153] 실시형태 6 및 실시형태 7에서 설명한 제조방법에서 n형의 반도체층을 마련하지 않고 제조한 액정표시장치용의 TFT 기판의 단면도를 도 36(A) 및 도 36(B)에 나타낸다.

[0154] 도 36(A)에 도시된 액정 표시 패널용 TFT 기판을 제조하는 경우, 도 34(C), 도 34(D), 도 34(E)를 사용하여 설명한 공정들이 생략될 수 있어, 액정표시장치의 제조공정이 간략화될 수 있다.

[0155] 도 36(B)에 도시된 액정 표시 패널용 TFT 기판을 제조하는 경우에는, 도 35(C), 도 35(D), 도 35(E)를 사용하여 설명한 공정들이 생략될 수 있어, 액정표시장치의 제조공정이 간략화될 수 있다.

[0156] [실시예 1]

- [0157] 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4, 실시형태 5, 실시형태 6, 실시형태 7 및 실시형태 8에 의해 제조되는 액정 표시 패널에서, 반도체층을 SAS로 형성함으로써, 도 3에 나타낸 바와 같이, 주사선측 구동회로를 기판(100) 위에 형성할 수 있다.
- [0158] 도 20은 1~15 cm<sup>2</sup>/V·sec의 전계효과 이동도가 얻어지는 SAS를 사용한 n채널형 TFT를 포함하는 주사선측 구동회로의 블록도를 나타내고 있다.
- [0159] 도 20에서, 부호 500으로 나타낸 블록이 1스테이지분의 샘플링 펄스를 출력하는 펄스 출력 회로에 대응하고, 시프트 레지스터는 n개의 펄스 출력 회로를 포함한다. 부호 501은 버퍼 회로를 나타내고, 그 버퍼 회로의 끝에 화소(502)(도 3의 화소(102)에 대응함)가 접속된다.
- [0160] 도 21은 펄스 출력 회로(500)의 구체적인 구성을 나타내고, 이 회로는 n채널형 TFT(601~613)를 포함한다. 이 때, SAS를 사용한 n채널형 TFT의 동작 특성을 고려하여, TFT의 사이즈를 결정하면 좋다. 예를 들어, 채널 길이를 8 μm로 하면, 채널 폭은 10~80 μm의 범위로 설정될 수 있다.
- [0161] 또한, 도 22는 버퍼 회로(501)의 구체적인 구성을 나타낸다. 이 버퍼 회로도 마찬가지로 n채널형 TFT(620~635)를 포함한다. 이 때, SAS를 사용한 n채널형 TFT의 동작 특성을 고려하여, TFT의 사이즈를 결정하면 좋다. 예를 들어, 채널 길이를 10 μm로 하면, 채널 폭은 10~1800 μm의 범위로 설정될 수 있다.
- [0162] 이와 같은 회로를 실현하기 위해서는 TFT들을 배선에 의해 서로 접속할 필요가 있고, 그 경우의 배선의 구성 예를 도 12에 나타낸다. 도 12는 실시형태 1에서와 같이, 게이트 전극층(203), 게이트 절연층(절화규소로 된 절연층(208), 산화규소로 된 절연층(209), 질화규소로 된 절연층(210)의 3층 적층체), SAS로 된 반도체층(217), 채널 보호층을 형성하는 절연층(214), 소스 및 드레인을 형성하는 n형 반도체층(222, 223), 소스 및 드레인 배선층(219, 220)이 형성된 상태를 나타내고 있다. 이 경우, 기판(100) 위에는, 게이트 전극층(203)과 동일 공정에서 접속 배선층(1201, 1202, 1203)이 형성된다. 그리고, 접속 배선층(1201, 1202, 1203)이 노출되도록 게이트 절연층의 일부를 에칭한다. 소스 및 드레인 배선층(219, 220) 및 그것과 동일 공정에서 형성되는 접속 배선층(235)에 의해 TFT들을 적절히 접속함으로써, 다양한 회로를 실현할 수 있다.
- [0163] [실시예 2]
- [0164] 주사선측 입력단자부와 신호선측 입력단자부가 보호 다이오드를 구비한 일 형태에 대하여 도 26을 참조하여 설명한다. 도 26에서 화소(102)에는 TFT(260)가 마련되어 있다. 이 TFT는 실시형태 1에서와 같은 구성을 가지고 있다.
- [0165] 신호선측 입력단자부에는 보호 다이오드(261, 262)가 마련되어 있다. 이들 보호 다이오드는 TFT(260)와 동일 공정에서 제조되고, 게이트와 드레인 또는 소스를 접속함으로써 다이오드로서 동작한다. 도 26에 나타낸 상면도의 등가 회로도도 도 27에 나타내고 있다. 부호 256은 신호 배선층을 나타낸다.
- [0166] 보호 다이오드(261)는 게이트 전극층(250), 반도체층(251), 채널 보호층의 절연층(252), 배선층(253)을 포함한다. 보호 다이오드(262)도 동일 구조를 가진다. 이 보호 다이오드에 접속되는 공통 전위선(254, 255)은 게이트 전극층과 동일 층으로 형성되어 있다. 따라서, 배선층(253)에 전기적으로 접속하기 위해서는 게이트 절연층에 콘택트 홀을 형성할 필요가 있다.
- [0167] 게이트 절연층에 콘택트 홀을 형성하기 위해서는, 액적 토출법에 의해 마스크층을 형성하고, 에칭 가공을 하면 된다. 이 경우, 대기압 방전에 의한 에칭 가공을 적용하면, 국소적인 방전 가공도 가능하고, 기판의 전면(全面)에 마스크층을 형성할 필요는 없다.
- [0168] 또한, 주사선측 입력단자부에는 보호 다이오드(263, 264)와 용량 소자(265)가 제공되어 있다. 또한, 보호 다이오드를 배치하는 위치는 본 실시형태에 한정되는 것은 아니고, 도 3에 나타낸 바와 같이, 구동회로와 화소 사이에 제공될 수도 있다.
- [0169] [실시예 3]
- [0170] 실시형태 1, 실시형태 2, 실시형태 3, 실시형태 4, 실시형태 5, 실시형태 6, 실시형태 7 및 실시형태 8에 의해 제조되는 액정 표시 패널에 구동회로를 실장하는 양태에 대하여 도 17~도 19를 참조하여 설명한다.
- [0171] 먼저, COG 방식을 채용한 표시장치에 대하여 도 17(A) 및 도 17(B)를 사용하여 설명한다. 기판(1001) 위에는, 문자나 화상 등의 정보를 표시하는 화소부(1002)와, 주사선측 구동회로(1003, 1004)가 마련된다. 다수의 구동회로가 마련된 기판(1005, 1008)은 직사각형으로 분단되고, 분단 후의 구동회로(이하, IC 칩이라 함)가 기판

(1001)상에 실장된다. 도 17(A)는 다수의 IC 칩(1007)과, 이 IC 칩(1007)의 끝에 테이프(1006)를 실장하는 양태를 나타낸다. 도 17(B)은 IC 칩(1010)과, IC 칩(1010)의 끝에 테이프(1009)를 실장하는 양태를 나타낸다.

[0172] 다음에, TAB 방식을 채용한 표시장치에 대하여 도 18(A) 및 도 18(B)를 사용하여 설명한다. 기관(1001) 위에는 화소부(1002)와 주사측 구동회로(1003, 1004)가 마련된다. 도 18(A)는 기관(1001)에 다수의 테이프(1006)를 부착하고 이 테이프(1006)에 IC 칩(1007)을 실장하는 양태를 나타낸다. 도 18(B)는 기관(1001)에 테이프(1009)를 부착하고 이 테이프(1009)에 IC 칩(1010)을 실장하는 양태를 나타낸다. 후자를 채용하는 경우에는, 강도의 문제로, IC 칩(1010)을 고정하는 금속편 등을 함께 부착하여도 좋다.

[0173] 액정 표시 패널에 실장되는 IC 칩은 생산성을 향상시키는 관점에서 한 변이 300 mm~1000 mm 이상인 직사각형 기관(1005, 1008) 위에 다수개 형성되는 것이 바람직하다.

[0174] 즉, 구동회로부와 입력단자부를 하나의 유닛으로 하는 회로 패턴을 기관(1005, 1008) 위에 다수개 형성하고, 마지막에 분할하여 취출할 수 있다. IC 칩은, 화소부의 한 변의 길이를 고려하여, 도 17(A) 및 도 18(A)에 도시된 바와 같이, 긴 변이 15~80 mm, 짧은 변이 1~6 mm인 직사각형으로 형성될 수도 있고, 또는, 도 17(B) 및 도 18(B)에 도시된 바와 같이, 화소부(1002)의 한 변의 길이와 각 구동회로(1003, 1004)의 한 변의 길이를 더한 길이를 긴 변에 가지도록 형성될 수도 있다.

[0175] 드라이버 IC의 IC 칩보다 우수한 외부 치수의 이점(利點)은 긴 변의 길이에 있고, 긴 변이 15~80 mm로 형성된 IC 칩을 사용하면, 화소부(1002)에 대응하여 실장하는데 필요한 수가 적어질 수 있어, 제조 수율이 향상될 수 있다. 또한, 유리 기관 위에 드라이버 IC를 형성하면, 모체로서 사용하는 기관의 형상으로 인한 한정 없어 생산성에 손해를 입지 않는다. 이것은 원형 실리콘 웨이퍼로부터 IC 칩을 취출하는 경우와 비교하면 큰 이점이다.

[0176] 도 17(A) 및 도 17(B)와 도 18(A) 및 도 18(B)에서, 화소부(1002)의 외측의 영역에는, 구동회로가 형성된 IC 칩(1007 또는 1010)이 실장된다. 이들 IC 칩(1007 또는 1010)은 신호선측 구동회로이다. RGB 풀 컬러에 대응한 화소부를 형성하기 위해서는, XGA급에 대해서는 3072개의 신호선이 필요하고, UXGA급에 대해서는 4800개의 신호선이 필요하게 된다. 이와 같은 개수로 형성된 신호선은 화소부(1002)의 단부에서 수 블록으로 분할되고, 인출선을 구비한다. 신호선은 IC 칩(1007 또는 1010)의 출력단자의 피치에 맞추어 모여진다.

[0177] 드라이버 IC는 기관 위에 형성된 결정질 반도체로 형성되는 것이 바람직하고, 이 결정질 반도체는 연속 발진 레이저광을 조사함으로써 형성되는 것이 바람직하다. 따라서, 이 레이저광을 발생시키는 발진기로서는, 연속 발진 고체 레이저 또는 기체 레이저를 사용한다. 연속 발진 레이저를 사용하면 결정 결함이 적고, 그 결과, 대립경의 다결정 반도체층을 사용하여 트랜지스터를 형성할 수 있게 된다. 또한, 이동도나 응답 속도가 양호하기 때문에 고속 구동이 가능하고, 종래의 소자보다 소자의 동작 주파수를 더욱 향상시킬 수 있다. 따라서, 특성 편차가 적기 때문에 높은 신뢰성이 얻어질 수 있다. 또한, 동작 주파수를 더욱 향상시키는 것을 목표로 하여, 트랜지스터의 채널 길이 방향과 레이저광 주사 방향을 일치시키면 좋다. 이것은, 연속 발진 레이저에 의한 레이저 결정화 공정에서 트랜지스터의 채널 길이 방향과 기관에 대한 레이저광 주사 방향이 대략 평행(바람직하게는  $-30^{\circ} \sim 30^{\circ}$ )일 때 가장 높은 이동도가 얻어지기 때문이다. 또한, 채널 길이 방향은 채널 형성 영역에서 전류가 흐르는 방향, 바꿔 말하면, 전하가 이동하는 방향과 일치한다. 이와 같이 제조한 트랜지스터는 결정립이 채널 방향으로 연장하여 있는 다결정 반도체층을 포함하는 활성층을 가지고, 이것은 결정립계가 대략 채널 방향을 따라 형성되어 있다는 것을 의미한다.

[0178] 레이저 결정화를 행하기 위해서는, 레이저광의 폭을 크게 좁히는 것이 바람직하고, 그의 빔 스폿의 폭은 드라이버 IC의 짧은 변과 대략 같은 1~3 mm로 하는 것이 좋다. 또한, 피조사체에 대하여 충분히 그리고 효율적인 에너지 밀도를 확보하기 위해, 레이저광 조사 영역은 선 형상인 것이 바람직하다. 여기서 말하는 선 형상이란, 엄밀한 의미에서의 선을 의미하는 것은 아니고, 어스펙트비가 큰 장방형 또는 긴 타원형을 의미한다. 예를 들어, 선 형상이란, 어스펙트비가 2 이상(바람직하게는 10~10000)의 장방형 또는 타원형을 가리킨다. 이와 같이, 레이저광의 빔 스폿의 폭을 드라이버 IC의 짧은 변의 길이와 같은 길이로 함으로써, 생산성을 향상시킨 표시장치 제조방법을 제공할 수 있다.

[0179] 도 17(A) 및 도 17(B)와 도 18(A) 및 도 18(B)에서는, 주사선측 구동회로가 화소부와 일체로 형성되고, 신호선측 구동회로로서 드라이버 IC가 실장된 형태를 나타낸다. 그러나, 본 발명은 이 형태에 한정되지 않고, 주사선측 구동회로 및 신호선측 구동회로 모두로서 드라이버 IC를 실장하여도 좋다. 그 경우에는, 주사선측에 사용하는 드라이버 IC와 신호선측에 사용하는 드라이버 IC의 사양을 다르게 하는 것이 바람직하다.

- [0180] 화소부(1002)에서는, 신호선과 주사선이 교차하여 매트릭스를 형성하고, 각 교차부에 대응하여 트랜지스터가 배치된다. 본 발명에서 화소부(1002)에 배치되는 트랜지스터로서, 비정질 반도체 또는 세미아모르퍼스 반도체를 채널부로 한 TFT를 사용한다. 비정질 반도체는 플라즈마 CVD법이나 스퍼터링법 등의 방법에 의해 형성된다. 세미아모르퍼스 반도체는 플라즈마 CVD법에 의해 300℃ 이하의 온도에서 형성할 수 있고, 예를 들어, 외부 사이즈 550×650 mm의 무알칼리 유리 기판의 경우에도 트랜지스터를 형성하는데 필요한 막 두께가 단시간에 형성된다. 이와 같은 제조기술의 특징은 대면적의 표시장치를 제조하는데 유효하다. 또한, 세미아모르퍼스 TFT는 SAS로 채널 형성 영역을 형성함으로써, 2~10 cm<sup>2</sup>/V·sec의 전계효과 이동도를 얻을 수 있다. 따라서, 이 TFT는 화소의 스위칭용 소자나 주사선측 구동회로를 구성하는 소자로서 사용될 수 있다. 따라서, 시스템 온 패널을 실현한 액정 표시 패널을 제조할 수 있다.
- [0181] 또한, 도 17(A) 및 도 17(B)와 도 18(A) 및 도 18(B)는, 실시형태 3에 따라 반도체층을 SAS로 형성한 TFT를 사용함으로써, 주사선측 구동회로도 기판 위에 일체로 형성하는 것을 전제로 하고 있다. 반도체층을 AS로 형성한 TFT를 사용하는 경우에는, 주사선측 구동회로 및 신호선측 구동회로 모두로서 드라이버 IC를 실장하여도 좋다.
- [0182] 그 경우, 주사선측에 사용하는 드라이버 IC와 신호선측에 사용하는 드라이버 IC의 사양을 다르게 하는 것이 바람직하다. 예를 들어, 주사선측 드라이버 IC를 구성하는 트랜지스터에는 30 V 정도의 내압이 요구되지만, 구동 주파수는 100 kHz 이하이고, 비교적 고속 동작은 요구되지 않는다. 따라서, 주사선측 구동회로를 구성하는 트랜지스터의 채널 길이(L)는 충분히 길게 설정하는 것이 바람직하다. 한편, 신호선측 드라이버 IC의 트랜지스터에는 12 V 정도의 내압이 있으면 충분하지만, 구동 주파수는 3 V에서 65 MHz 정도이고, 고속 동작이 요구된다. 따라서, 구동회로를 구성하는 트랜지스터의 채널 길이 등을 마이크론 룰(rule)로 설정하는 것이 바람직하다.
- [0183] 도 19(A) 및 도 19(B)는 드라이버 IC를 COG에 의해 실장하는 구성을 나타내고, 도 2에 나타난 액정 표시 패널의 경우에 대응하는 경우를 나타내고 있다. 도 19(A)는 이방성 도전재를 사용하여 TFT 기판(100)상에 드라이버 IC(106)를 실장한 구조를 나타낸다. TFT 기판(100)에는 화소부(101)와 신호선측 입력단자(104)(주사선측 입력단자(103)도 마찬가지로)가 제공되어 있다. 대향 기판(229)은 시일재(226)로 TFT 기판(100)에 접촉되어 있고, 그 기판들 사이에 액정층(230)이 형성되어 있다.
- [0184] 신호선측 입력단자(104)에는 이방성 도전재에 의해 FPC(812)가 부착되어 있다. 이방성 도전재는 수지(815)와, 표면에 Au 등이 도금된 수십 μm 내지 수백 μm 직경의 도전성 입자(814)를 포함하고, 이 도전성 입자(814)에 의해 신호선측 입력 단자(104)와 FPC(812)상에 형성된 배선(813)이 전기적으로 접속된다. 드라이버 IC(106)도 이방성 도전재에 의해 TFT 기판(100)에 부착되고, 수지(811) 중에 혼입된 도전성 입자(810)에 의해, 드라이버 IC(106)에 마련된 입출력 단자(809)와 신호선측 입력단자(104)가 전기적으로 접속된다.
- [0185] 또한, 도 19(B)에 나타난 바와 같이, TFT 기판(100)에 드라이버 IC 칩(106)이 접착재(816)로 고정되고, 드라이버 IC의 입출력 단자가 Au 와이어(817)에 의해 인출선 또는 접속 배선에 접속될 수도 있다. 그 다음, 봉지(封止) 수지(818)로 봉지가 행해진다. 또한, 드라이버 IC의 실장 방법은 특별히 한정되는 것은 아니고, 공지의 COG 방법이나 와이어 본딩 방법 또는 TAB 방법이 사용될 수도 있다.
- [0186] 드라이버 IC의 두께가 대향 기판의 두께와 같도록 드라이버 IC를 형성함으로써 드라이버 IC와 대향 기판 사이의 높이가 거의 같게 될 수 있고, 이것은 표시장치 전체의 박형화에 기여한다. 또한, 각각의 기판을 같은 재질의 것으로 제조함으로써, 이 표시장치에 온도 변화가 생겨도 열 응력이 발생하지 않고, TFT를 포함하는 회로의 특성에 손상을 주지 않는다. 그 외에도, 본 실시형태에서 설명한 바와 같은 긴 길이의 드라이버 IC를 실장함으로써, 하나의 화소부에 실장되는 드라이버 IC의 수를 줄일 수 있다.
- [0187] 이상과 같이 하여, 액정 표시 패널에 구동회로를 통합시킬 수 있다.
- [0188] [실시예 4]
- [0189] 실시예 3에 따라 제조된 액정 표시 패널을 사용하여 액정 텔레비전 수상기를 완성시킬 수 있다. 도 23은 액정 텔레비전 수상기의 주요 구성의 블록도를 나타내고 있다. 액정 표시 패널은, 도 1에 도시된 바와 같은 구성으로서 화소부(401)만이 형성되고 주사선측 구동회로(403)와 신호선측 구동회로(402)가 TAB 방식에 의해 실장되는 경우와, 도 2에 도시된 바와 같은 구성으로서 화소부(401)와 그 화소부의 주변에 주사선측 구동회로(403)와 신호선측 구동회로(402)가 COG 방식에 의해 실장되는 경우와, 도 3에 도시된 바와 같은 구성으로서 SAS로 TFT가 형성되고, 화소부(401)와 주사선측 구동회로(403)가 기판 위에 일체로 형성되고, 신호선측 구동회로(402)가 별도로 드라이버 IC로서 실장되는 경우를 포함하지만, 어떠한 형태로 하여도 좋다.

- [0190] 다른 외부 회로로서는, 튜너(404)에 의해 수신된 신호들 중 영상 신호를 증폭하는 영상 신호 증폭 회로(405)와, 그 증폭 회로로부터 출력되는 신호를 적, 녹, 청의 각색에 대응한 색 신호로 변환하는 영상 신호 처리 회로(406)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 제어 회로(407) 등을 영상 신호 입력측에 포함하고 있다. 제어 회로(407)는 주사선측과 신호선측 모두에 신호를 출력한다. 디지털 구동의 경우에는, 신호선측에 신호 분할 회로(408)가 제공될 수 있고, 입력 디지털 신호가 m개로 분할되어 공급될 수도 있다.
- [0191] 튜너(404)에 의해 수신된 신호들 중 음성 신호는 음성 신호 증폭 회로(409)로 보내지고, 그 증폭 회로의 출력은 음성 신호 처리 회로(410)를 거쳐 스피커(413)에 공급된다. 제어 회로(411)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(412)로부터 받고, 튜너(404) 및 음성 신호 처리 회로(410)로 신호를 송출한다.
- [0192] 도 24는 액정 표시 모듈의 일 예를 나타낸다. TFT 기관(100)과 대향 전극(229)이 시일재(226)에 의해 고착되고, 그 기관들 사이에 화소부(101)와 액정층(230)이 제공되어 표시 영역을 형성하고 있다. 착색층(270)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 마련되어 있다. TFT 기관(100)과 대향 기관(229)의 외측에는 편광판(271, 272)이 배치되어 있다. 광원은 냉음극관(275)과 도광(導光)판(259)을 포함하고, 회로판(274)은 가요성 배선판(273)에 의해 TFT 기관(100)에 접속되고, 제어 회로나 전원 회로 등의 외부 회로가 설치되어 있다.
- [0193] 도 25는 이 액정 표시 모듈을 케이스(2304)에 조립하여 텔레비전 수상기를 완성시킨 상태를 나타내고 있다. 액정 표시 모듈을 사용하여 표시 화면(2303)이 형성되고, 그 외의 부속 설비로서, 스피커(2302, 2304), 조작 스위치(2305) 등이 구비되어 있다. 이와 같이, 본 발명에 따라 텔레비전 수상기가 완성될 수 있다.
- [0194] 물론, 본 발명은 텔레비전 수상기에 한정되지 않고, 퍼스널 컴퓨터의 모니터뿐만 아니라, 철도 역이나 공항 등에서의 정보 표시판이나, 거리의 광고 표시판 등의 특히 대면적의 표시 매체로서 다양한 용도에 적용될 수 있다.
- [0195] 본 발명에 따르면, 액적 토출법에 의해 배선층이나 마스크를 직접 패터닝할 수 있으므로, 향상된 재료사용효율과 간략화된 제조공정으로 박막트랜지스터 및 그 박막트랜지스터를 사용한 액정표시장치를 얻을 수 있다.

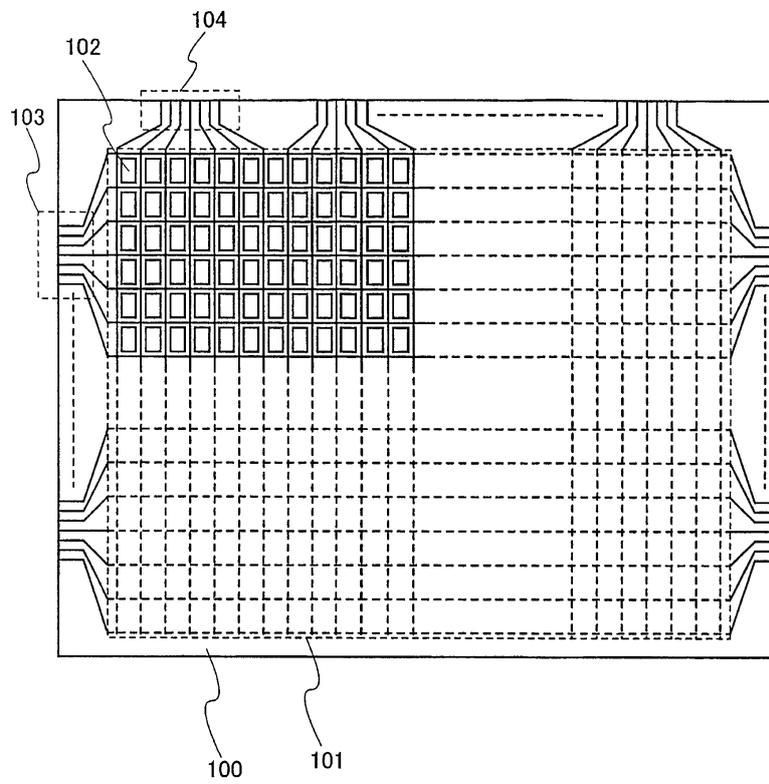
**도면의 간단한 설명**

- [0021] 도 1은 본 발명의 액정 표시 패널의 구성을 나타내는 상면도이다.
- [0022] 도 2는 본 발명의 액정 표시 패널의 구성을 나타내는 상면도이다.
- [0023] 도 3은 본 발명의 액정 표시 패널의 구성을 나타내는 상면도이다.
- [0024] 도 4(A)~도 4(C)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0025] 도 5(A)~도 5(C)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0026] 도 6(A)~도 7(C)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0027] 도 7은 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0028] 도 8(A) 및 도 8(B)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0029] 도 9는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0030] 도 10(A)~도 10(C)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0031] 도 11은 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0032] 도 12는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0033] 도 13은 본 발명의 액정표시장치 제조방법을 나타내는 상면도이다.
- [0034] 도 14는 본 발명의 액정표시장치 제조방법을 나타내는 상면도이다.
- [0035] 도 15는 본 발명의 액정표시장치 제조방법을 나타내는 상면도이다.
- [0036] 도 16은 본 발명의 액정표시장치 제조방법을 나타내는 상면도이다.
- [0037] 도 17(A) 및 도 17(B)는 본 발명의 액정표시장치의 구동회로의 실장 방법(COG 방식)을 나타내는 도면이다.

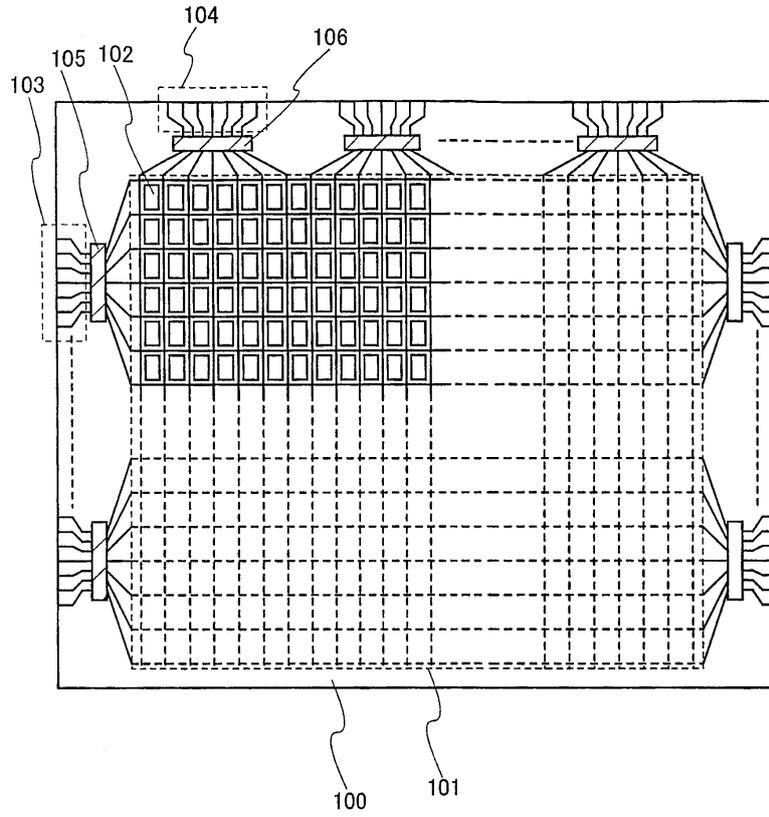
- [0038] 도 18(A) 및 도 18(B)는 본 발명의 액정표시장치의 구동회로의 실장 방법(TAB 방식)을 나타내는 도면이다.
- [0039] 도 19(A) 및 도 19(B)는 본 발명의 액정표시장치의 구동회로의 실장 방법(COG 방식)을 나타내는 도면이다.
- [0040] 도 20은 본 발명의 액정표시장치에서 주사선측 구동회로를 TFT로 형성하는 경우의 회로 구성을 나타내는 도면이다.
- [0041] 도 21은 본 발명의 액정표시장치에서 주사선측 구동회로를 TFT로 형성하는 경우의 회로 구성(시프트 레지스터 회로)을 나타내는 도면이다.
- [0042] 도 22는 본 발명의 액정표시장치에서 주사선측 구동회로를 TFT로 형성하는 경우의 회로 구성(버퍼 회로)을 나타내는 도면이다.
- [0043] 도 23은 본 발명의 액정 텔레비전 수상기의 주요 구성을 나타내는 블록도이다.
- [0044] 도 24는 본 발명의 액정 표시 모듈의 구성을 나타내는 도면이다.
- [0045] 도 25는 본 발명에 의해 완성하는 텔레비전 수상기의 구성을 나타내는 도면이다.
- [0046] 도 26은 본 발명의 액정표시장치를 나타내는 상면도이다.
- [0047] 도 27은 도 26에 나타난 액정표시장치의 등가 회로도이다.
- [0048] 도 28은 본 발명에 적용될 수 있는 액적 토출 장치의 구성을 나타내는 도면이다.
- [0049] 도 29(A)~도 29(D)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0050] 도 30(A)~도 30(D)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0051] 도 31은 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0052] 도 32(A)~도 32(D)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0053] 도 33(A) 및 도 33(B)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0054] 도 34(A)~도 34(J)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0055] 도 35(A)~도 35(J)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0056] 도 36(A) 및 도 36(B)는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0057] 도 37은 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0058] 도 38은 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.
- [0059] 도 39는 본 발명의 액정표시장치 제조방법을 나타내는 단면도이다.

도면

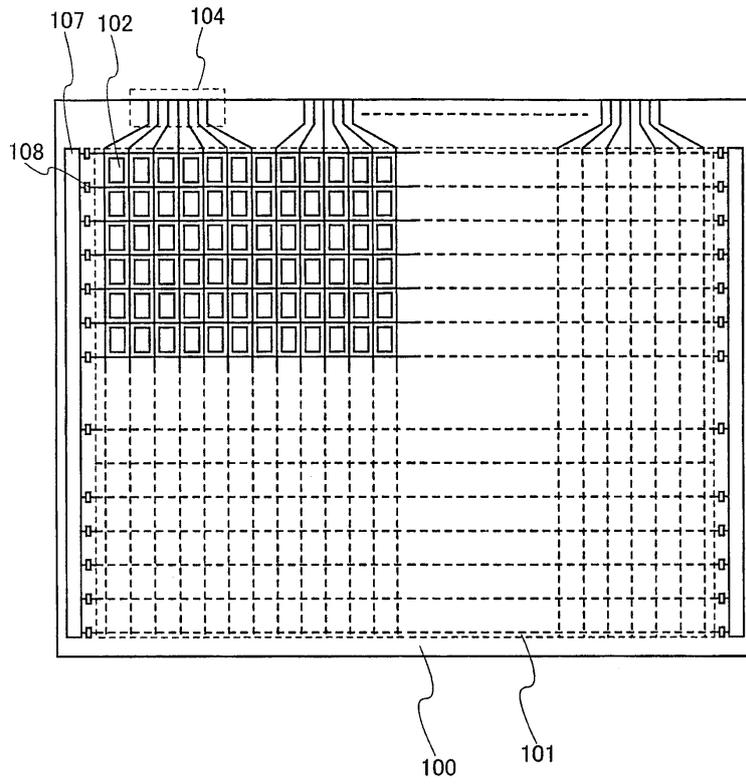
도면1



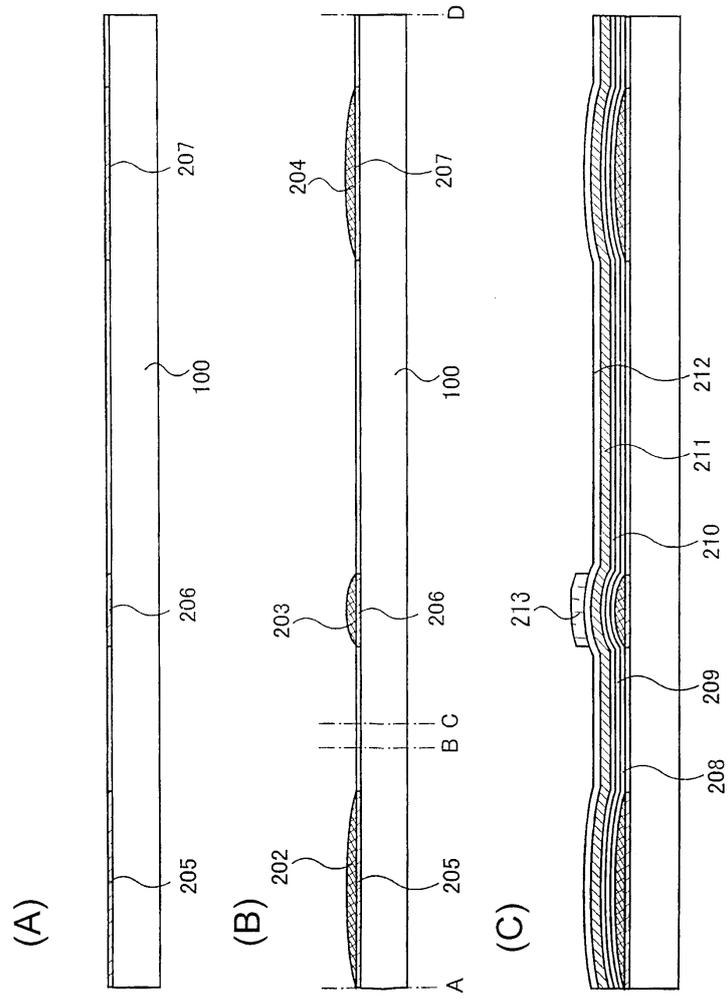
도면2



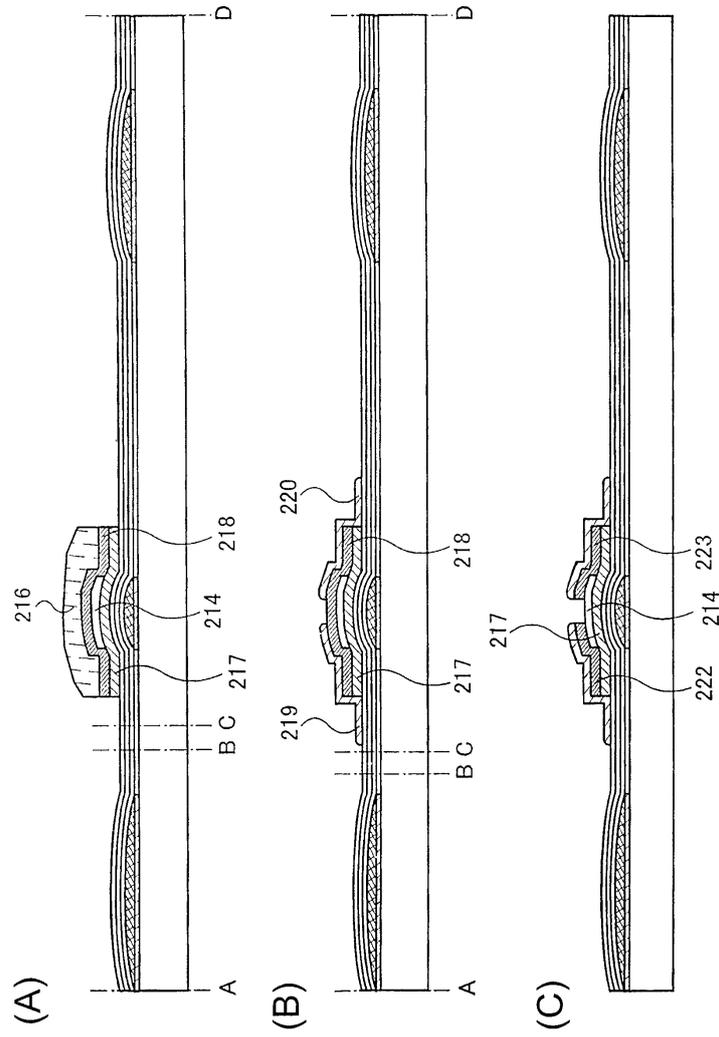
도면3



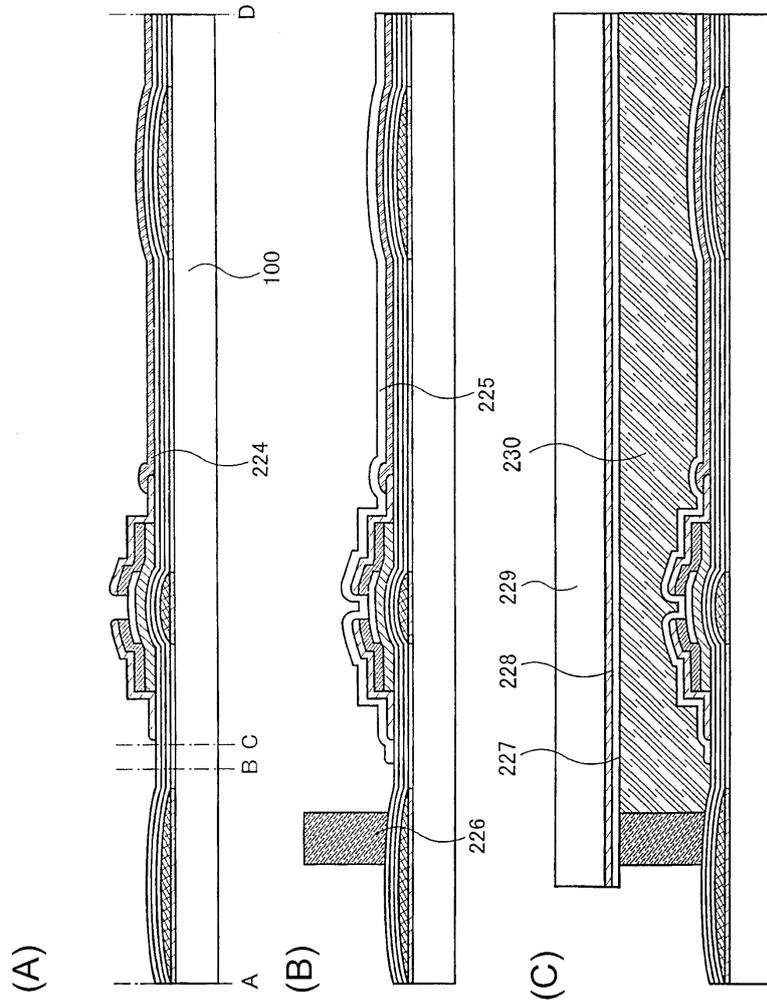
도면4



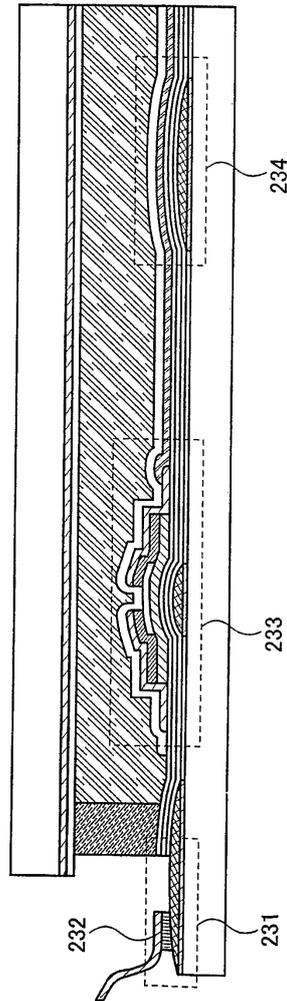
도면5



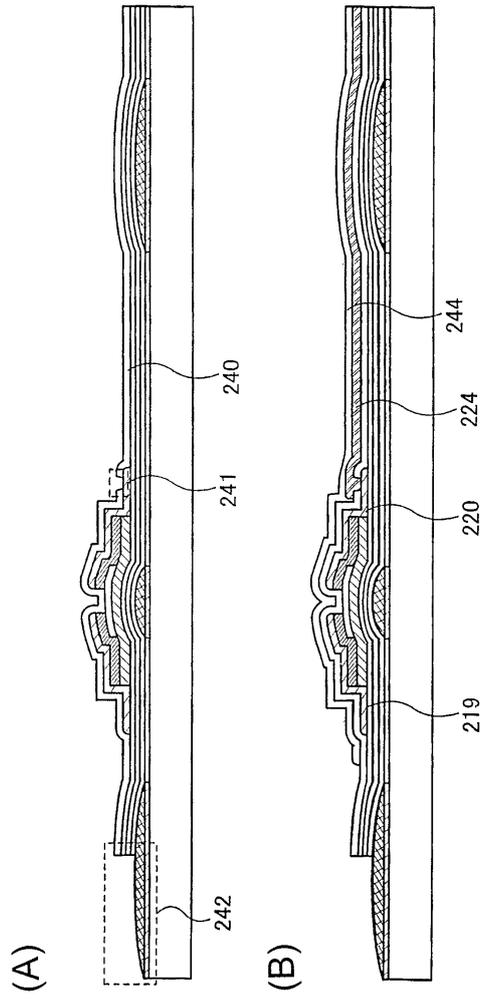
도면6



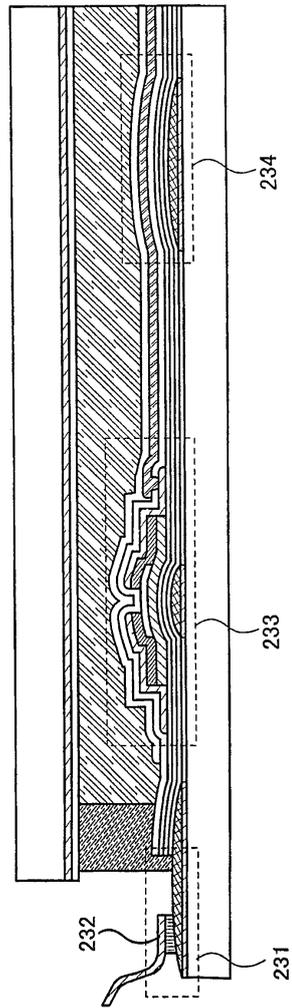
도면7



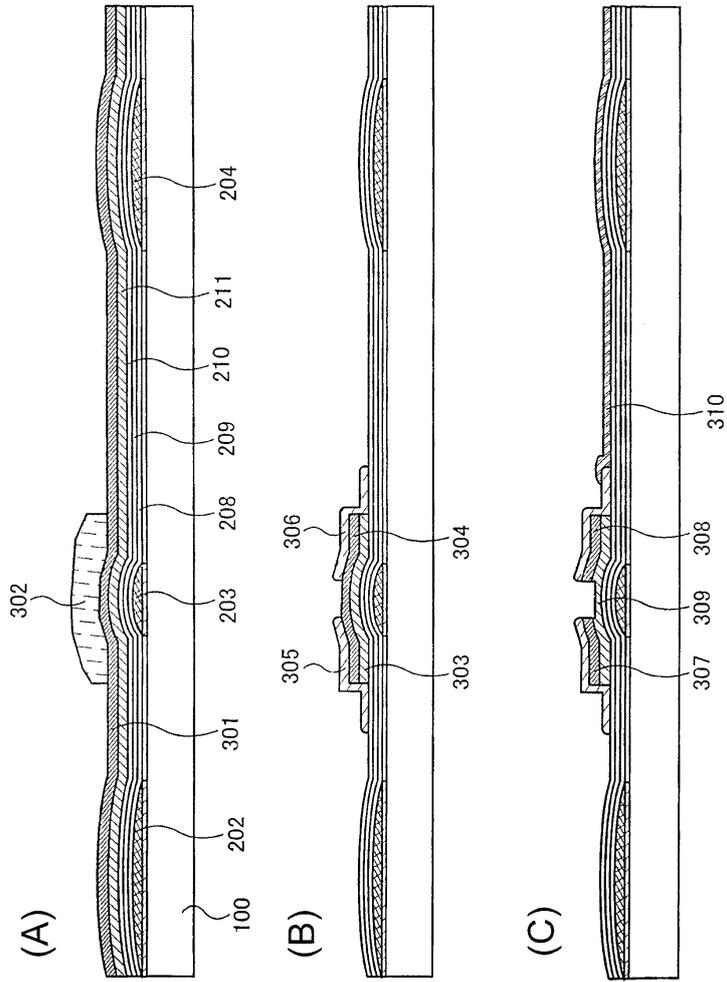
도면8



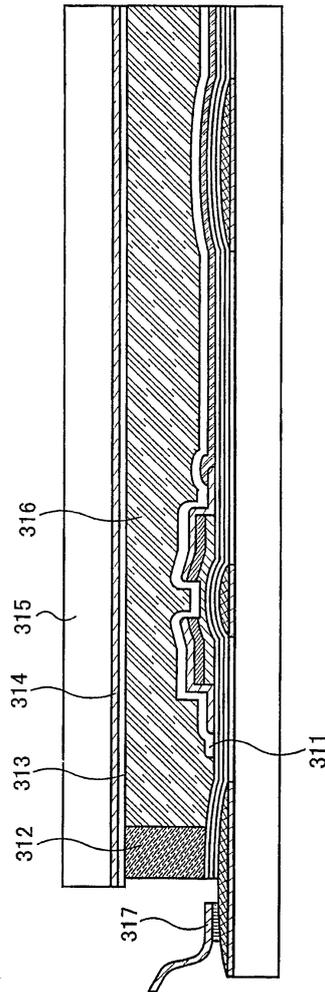
도면9



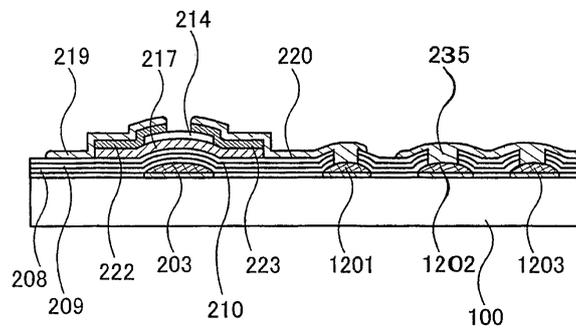
도면10



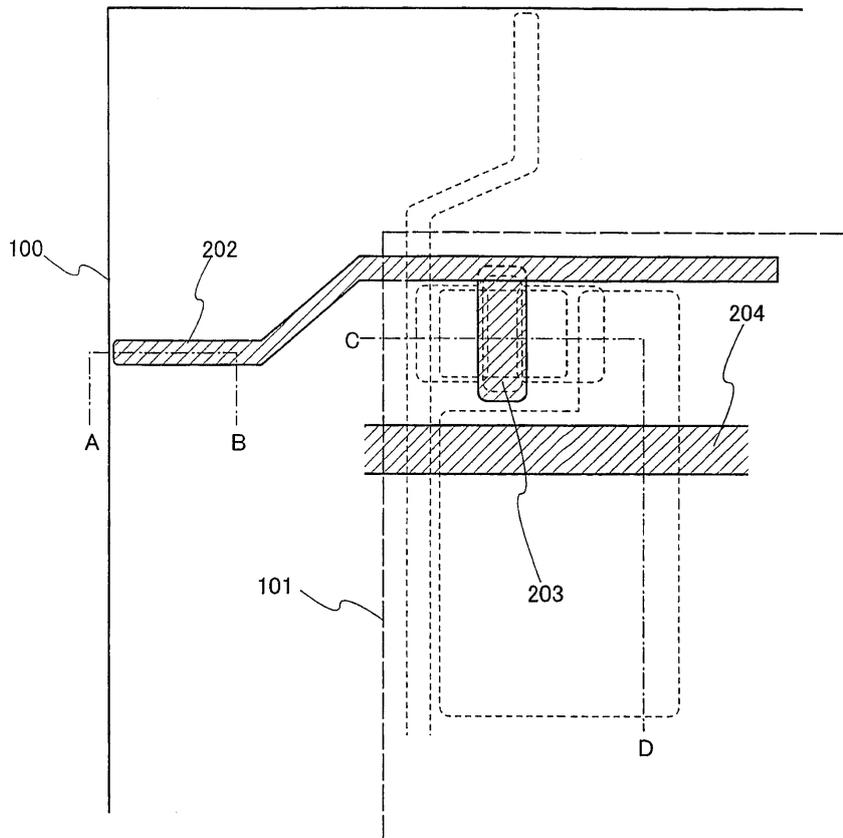
도면11



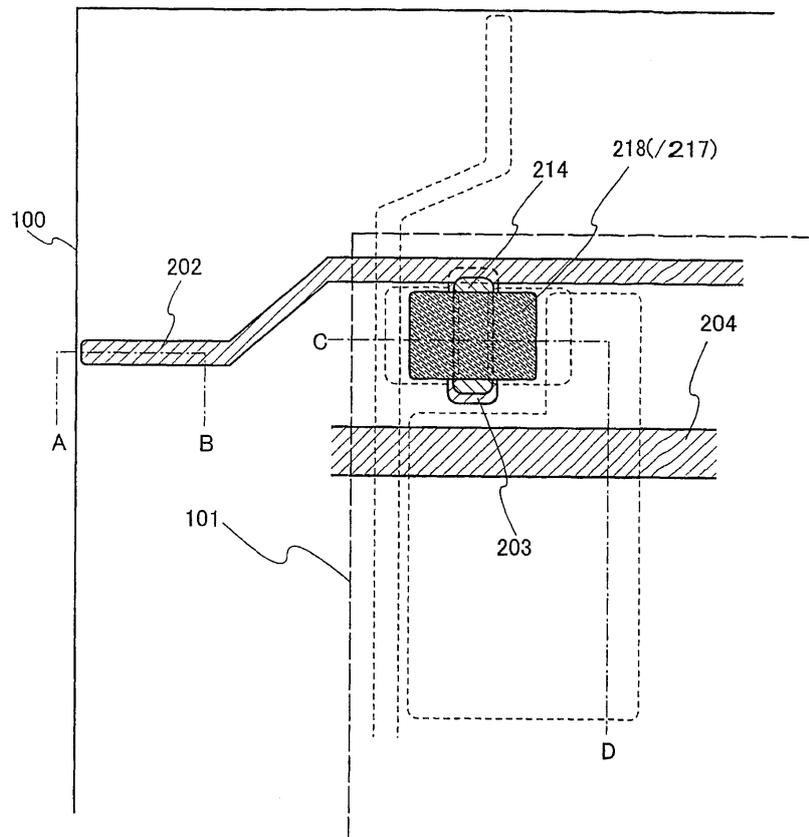
도면12



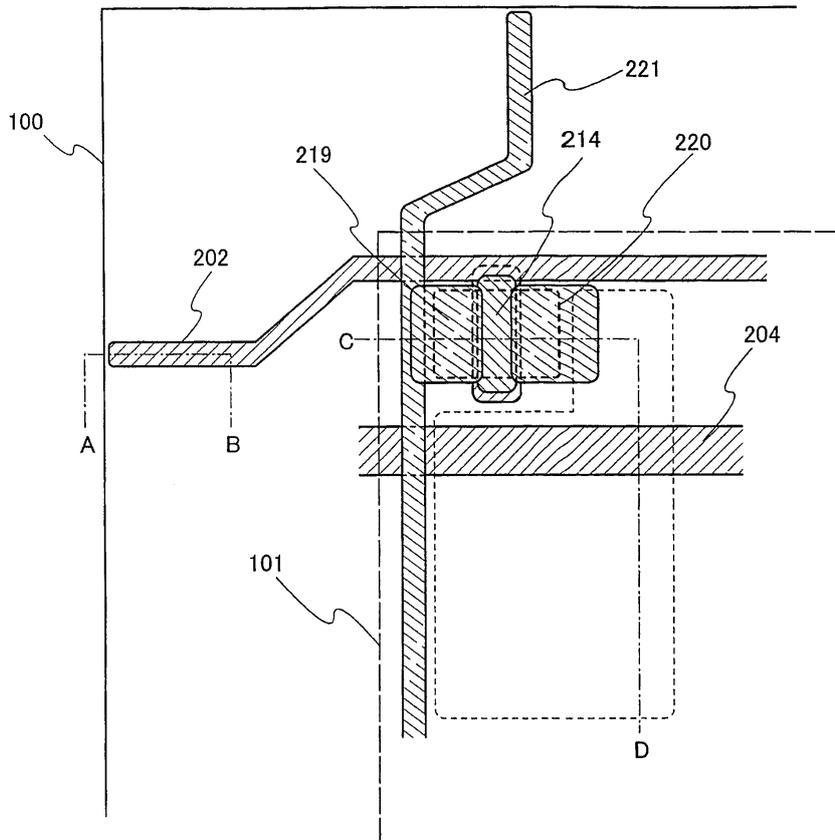
도면13



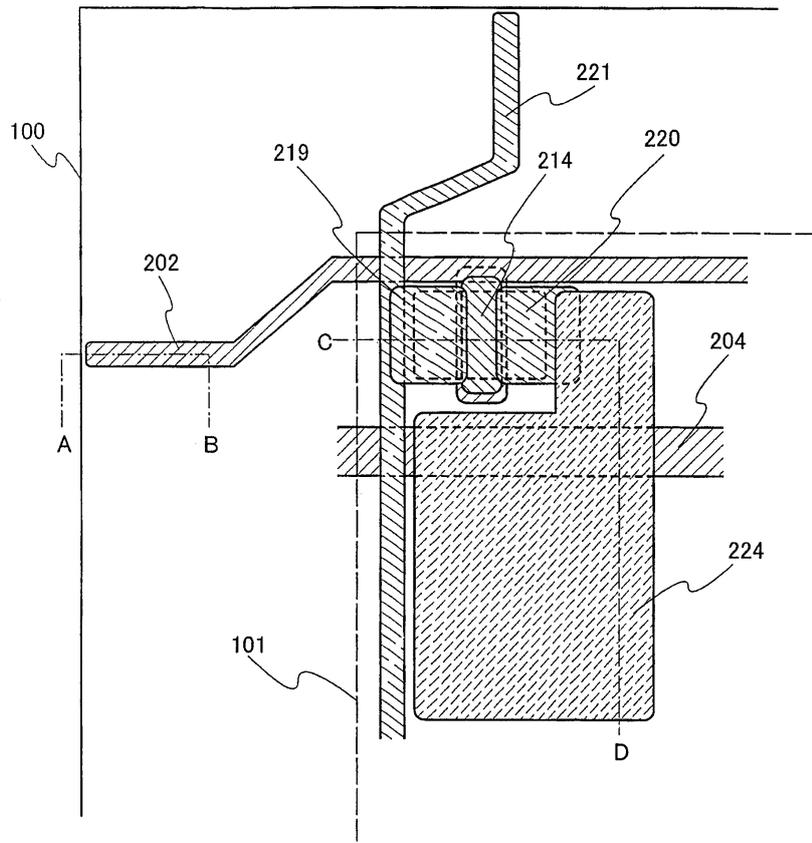
도면14



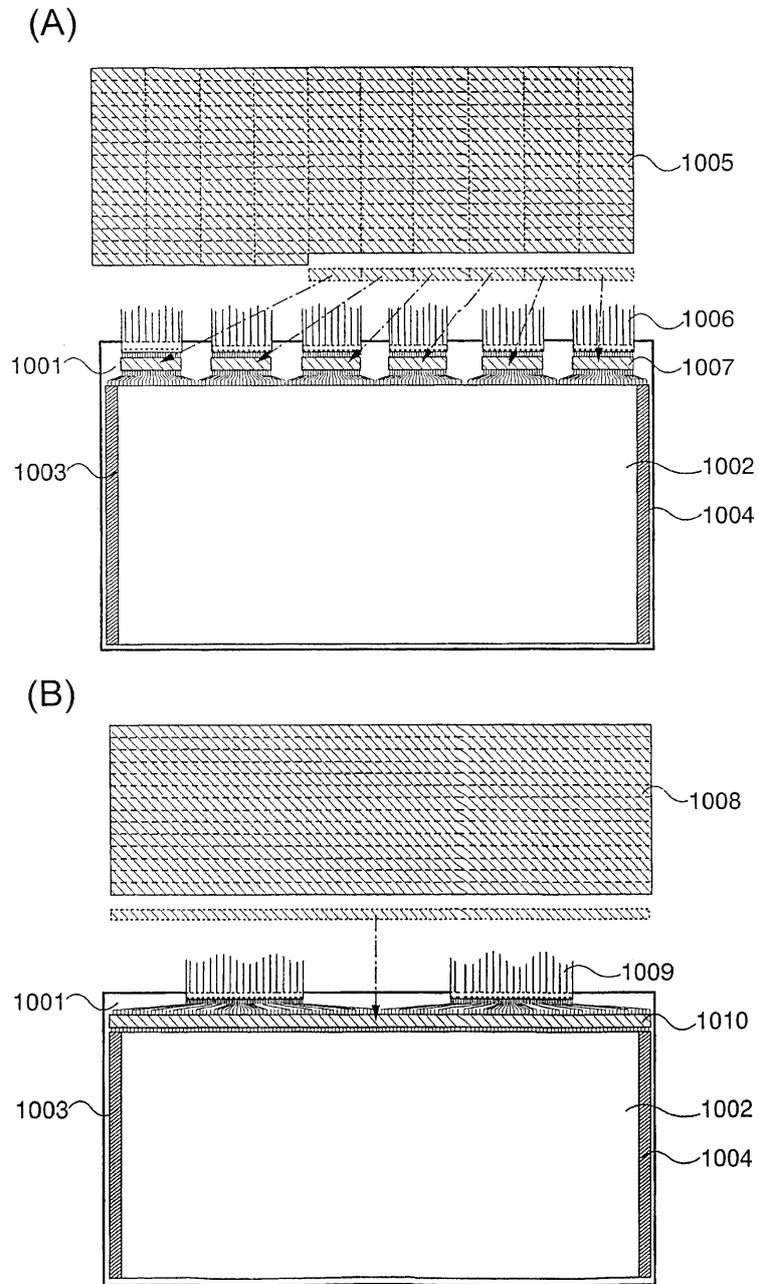
도면15



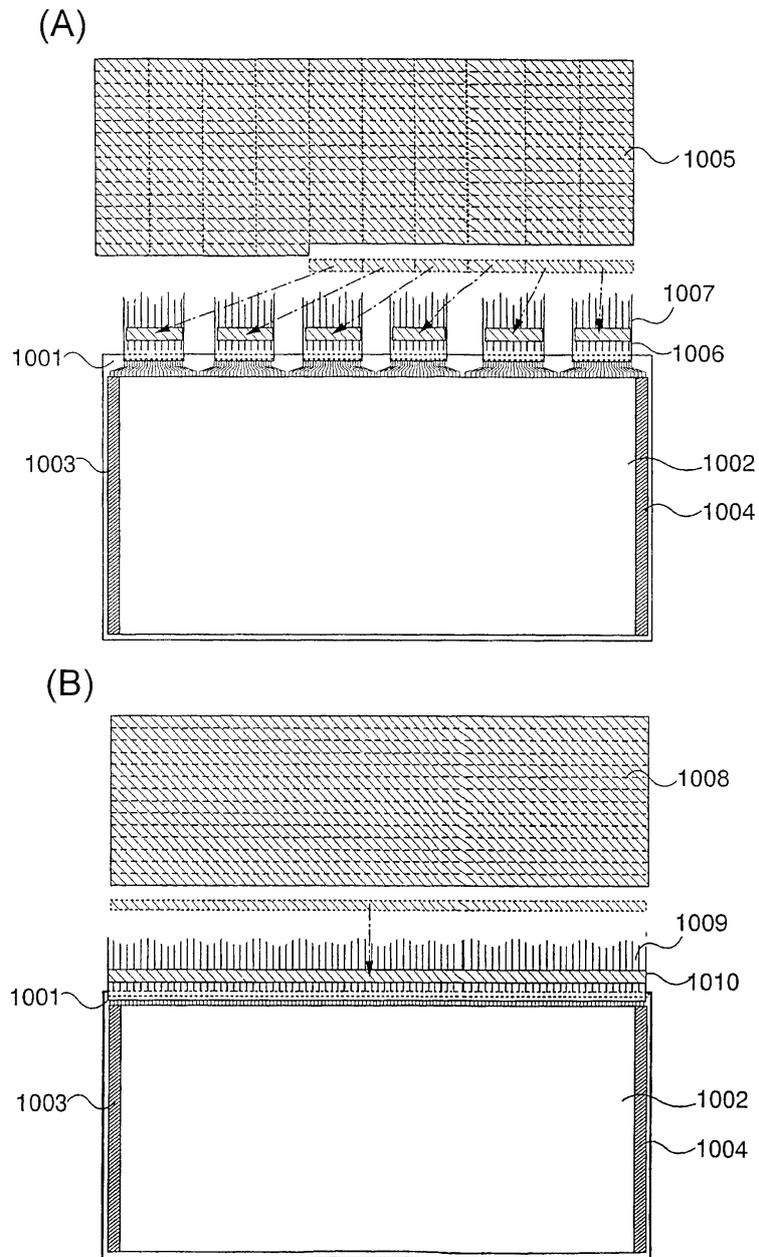
도면16



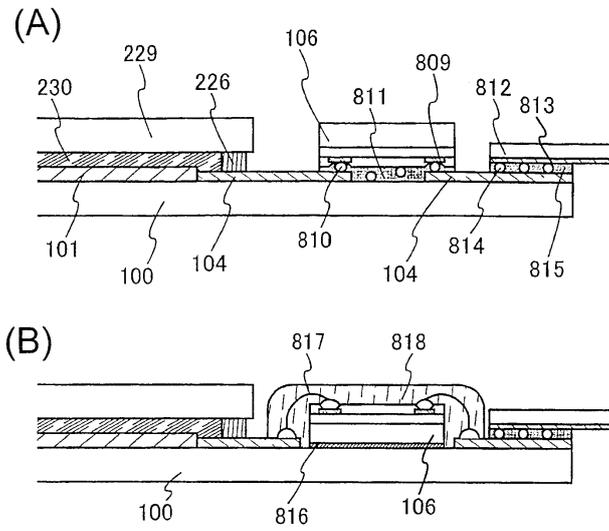
도면17



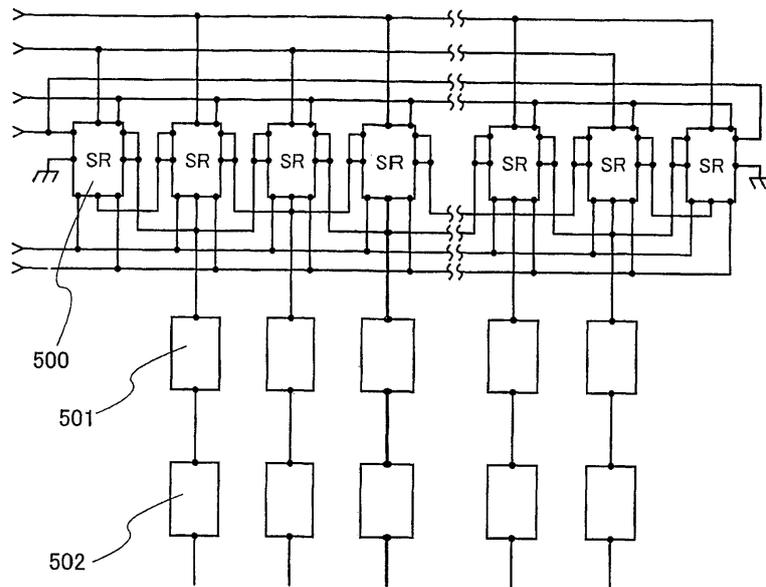
도면18



도면19

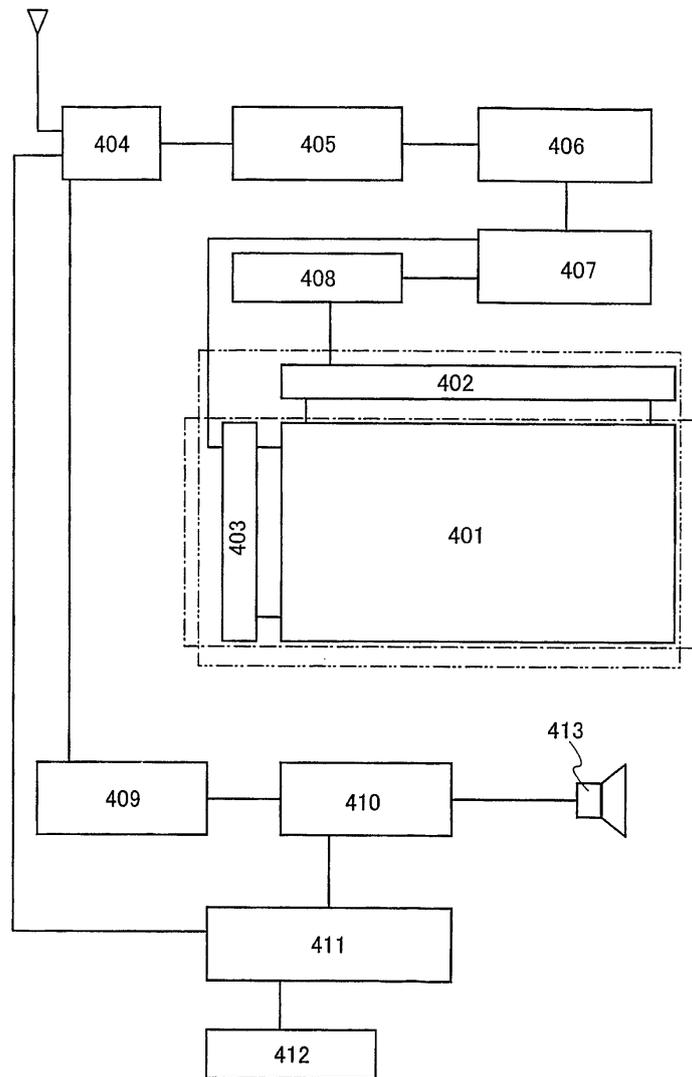


도면20

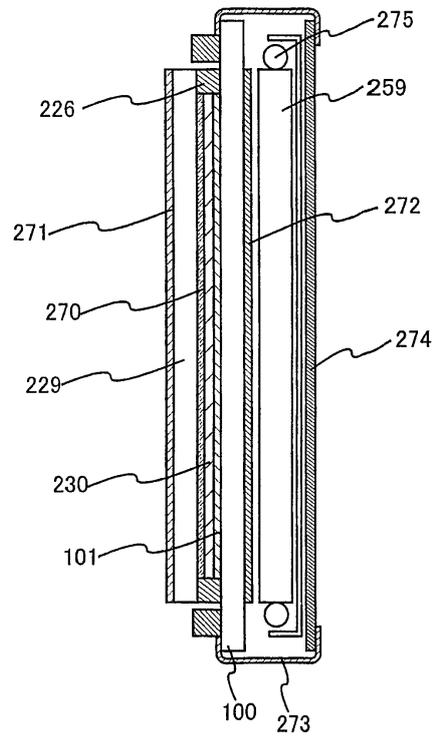




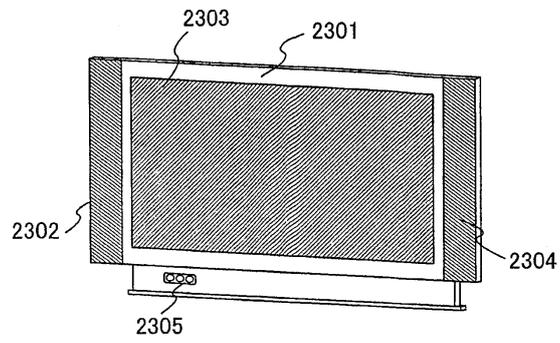
도면23



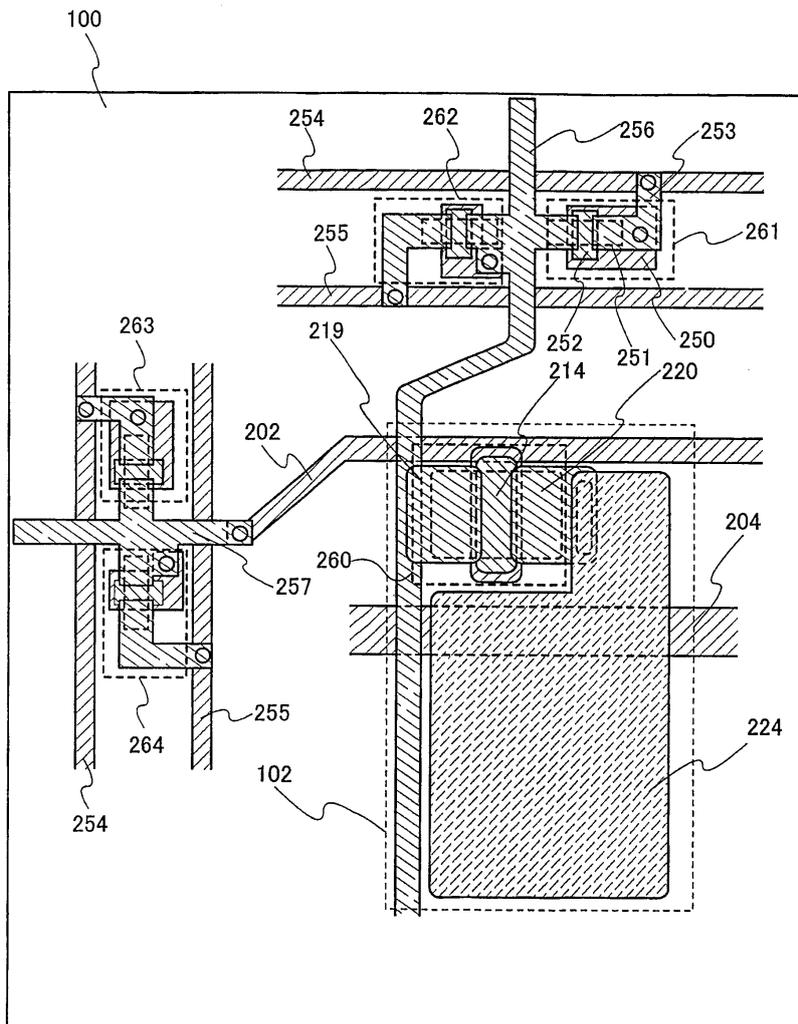
도면24



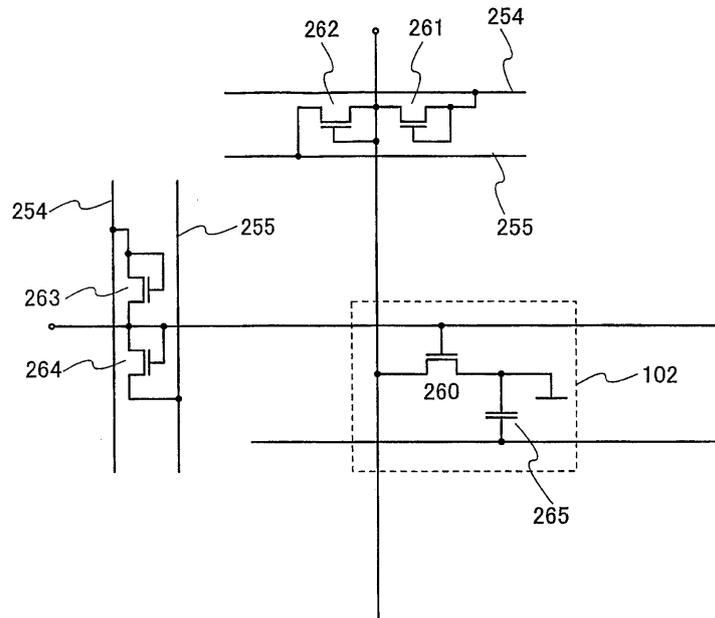
도면25



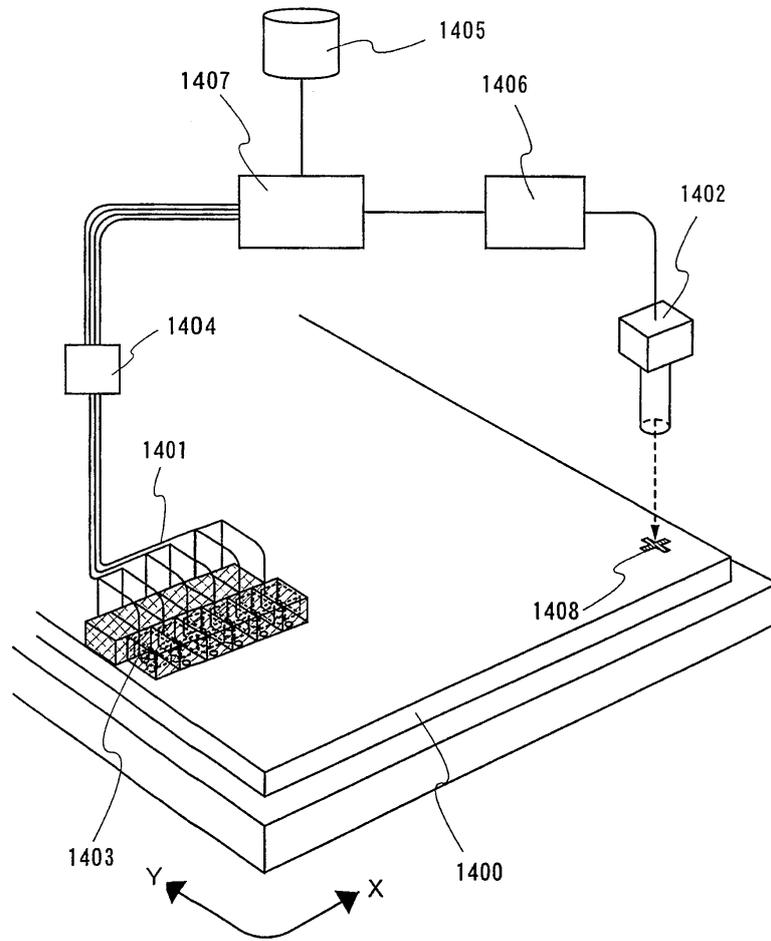
도면26



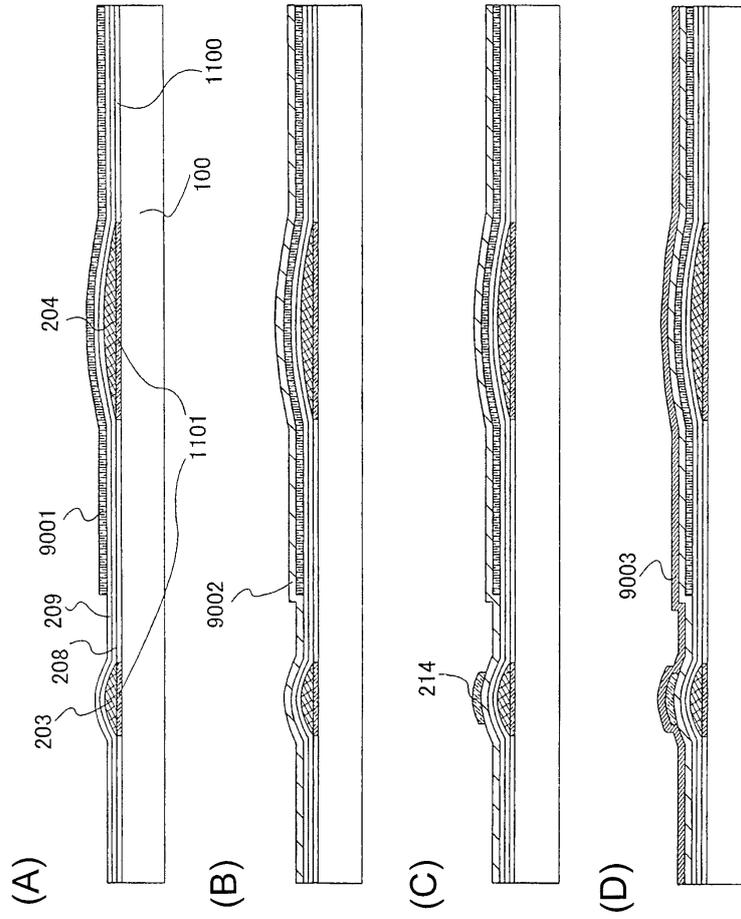
도면27



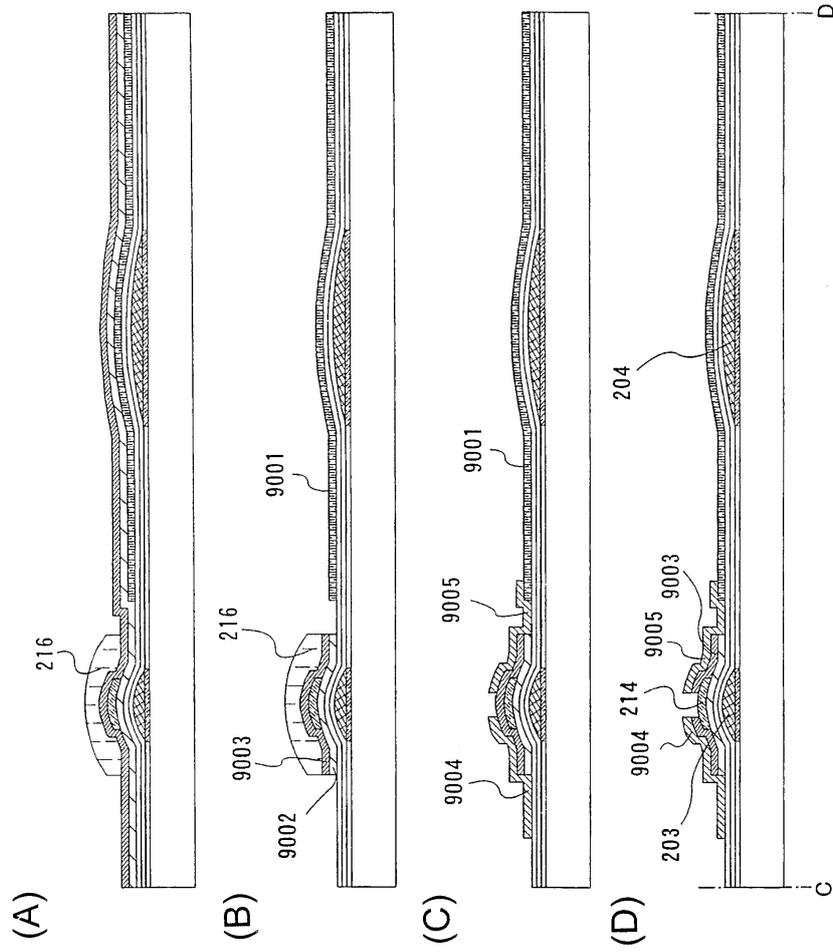
도면28



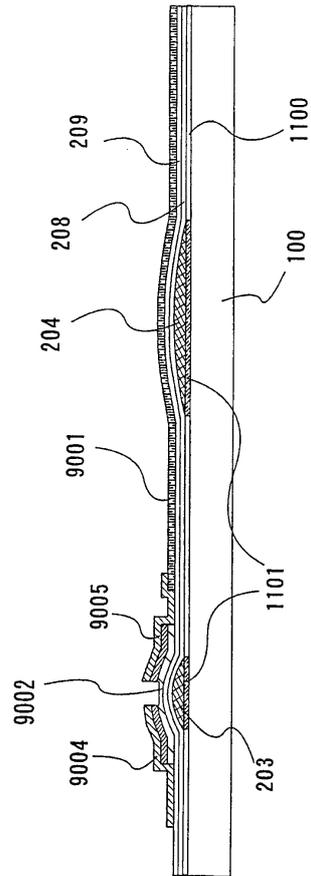
도면29



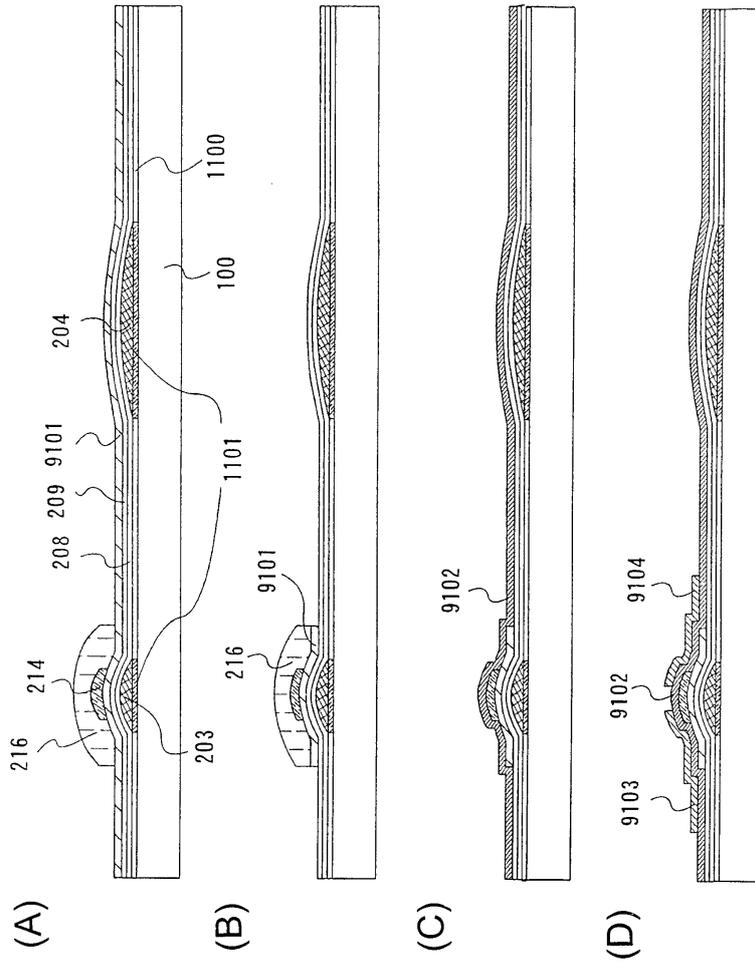
도면30



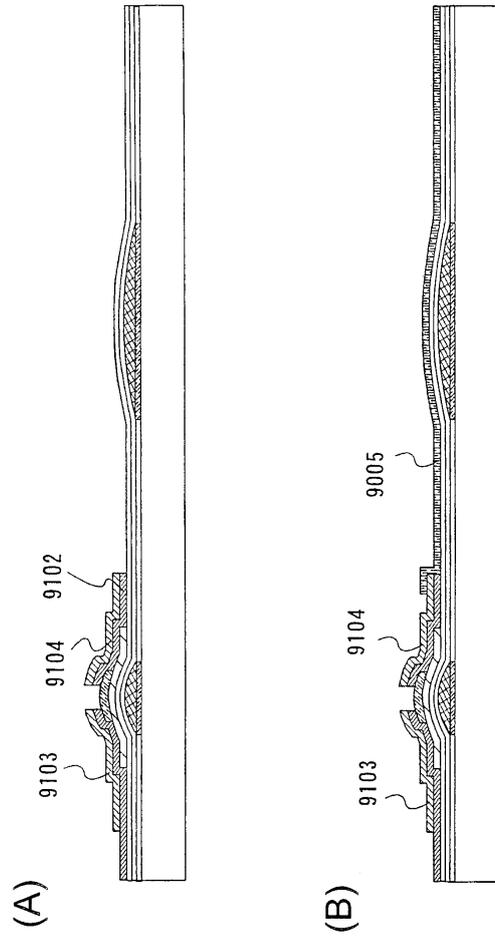
도면31



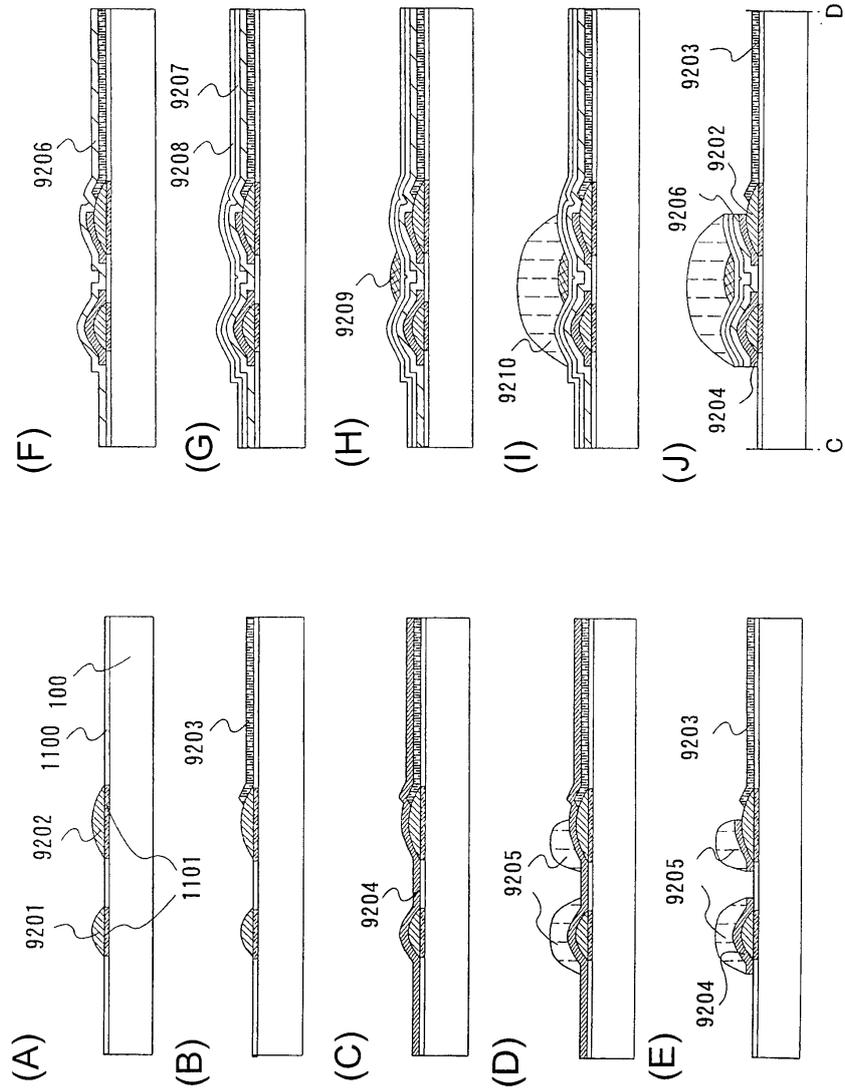
도면32



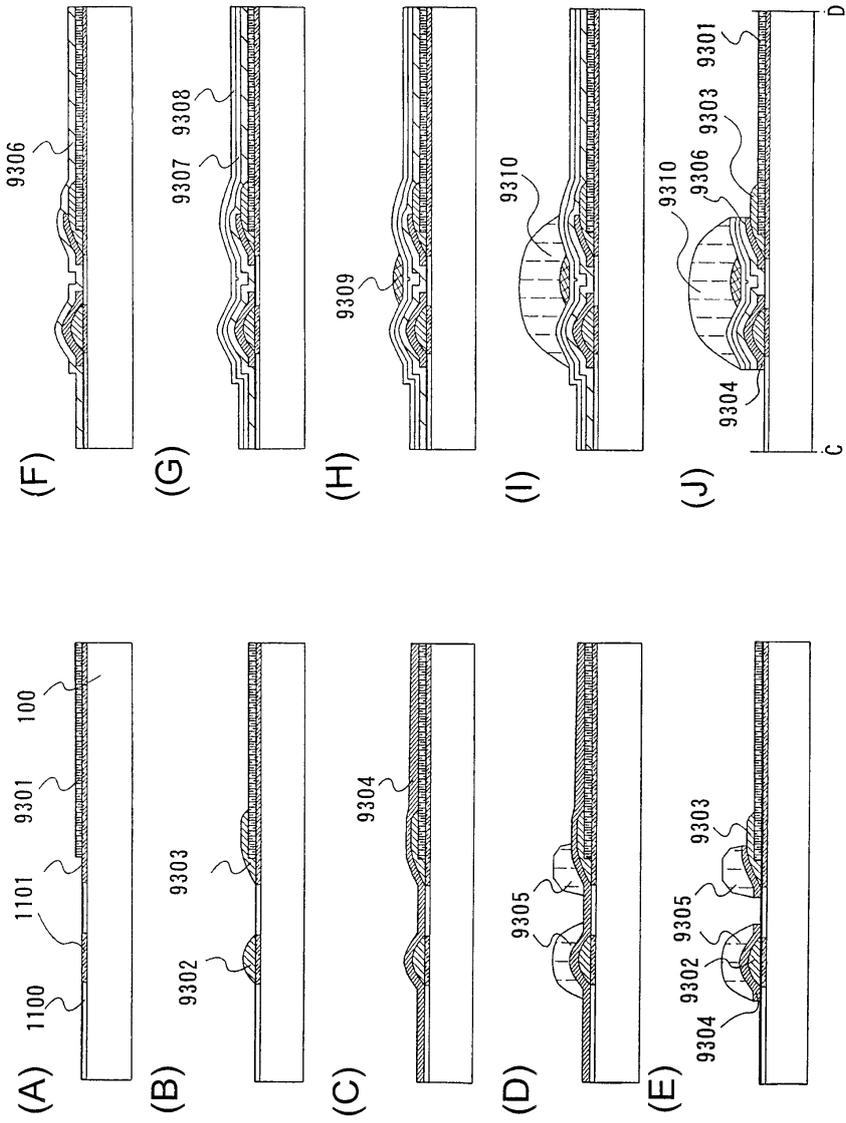
도면33



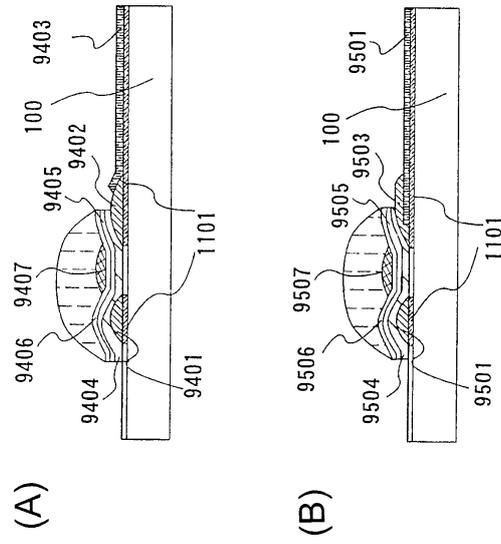
도면34



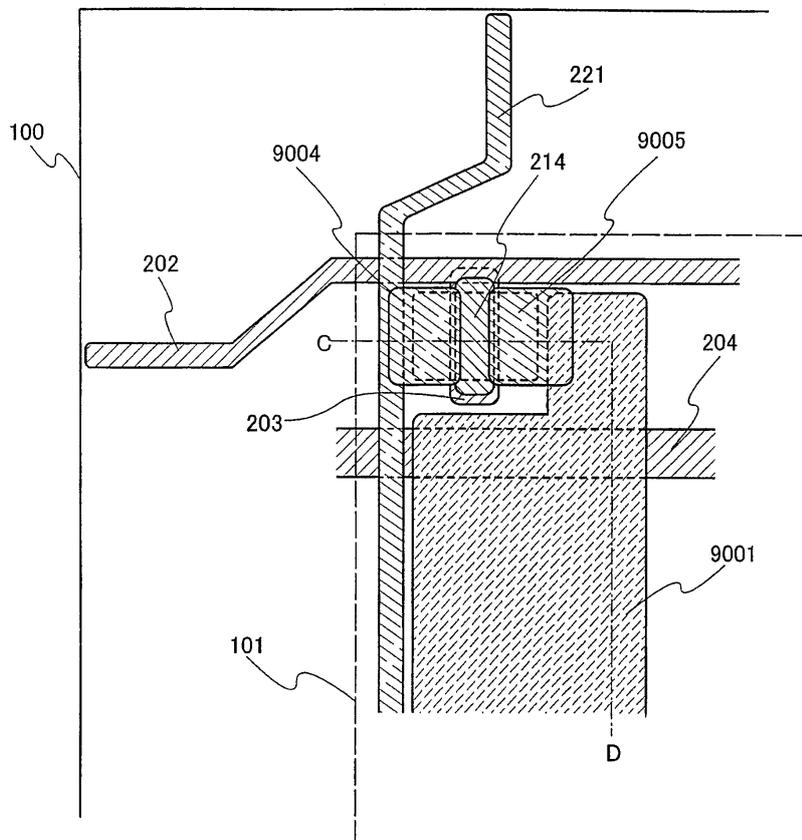
도면35



도면36



도면37





도면39

