



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월24일
(11) 등록번호 10-2535680
(24) 등록일자 2023년05월18일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) H01L 21/8234 (2006.01)
H01L 21/8238 (2006.01)
(52) CPC특허분류
H01L 27/14616 (2013.01)
H01L 21/823412 (2013.01)
(21) 출원번호 10-2016-0034041
(22) 출원일자 2016년03월22일
심사청구일자 2021년03월04일
(65) 공개번호 10-2017-0109880
(43) 공개일자 2017년10월10일
(56) 선행기술조사문헌
KR100858882 B1*
US20160056201 A1*
KR1020140133814 A
US7279735 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
양윤희
충청북도 청주시 흥덕구복대동 대농로 55, 204동 1202호
박성근
충청북도 청주시 흥덕구 대신로74번길 21 금호어울림아파트 202동 1202호
(뒷면에 계속)
(74) 대리인
신성특허법인(유한)

전체 청구항 수 : 총 4 항

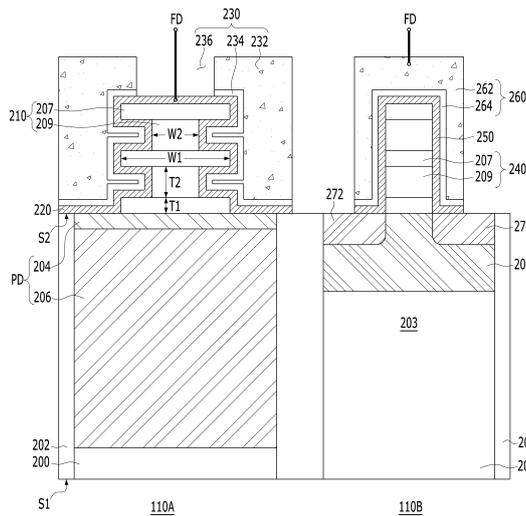
심사관 : 심병로

(54) 발명의 명칭 이미지 센서 및 그 제조방법

(57) 요약

본 기술은 이미지 센서에 관한 것으로, 이미지 센서는 광전변환소자를 포함하는 기관; 상기 광전변환소자 상에 형성되어 측벽이 요철구조를 갖는 필라; 상기 필라의 표면을 따라 형성되고 끝단이 상기 광전변환소자에 연결된 채널막; 상기 채널막 상에 형성된 전송 게이트를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

H01L 21/823487 (2013.01)

H01L 21/823807 (2013.01)

H01L 27/14603 (2013.01)

H01L 27/14614 (2013.01)

H01L 27/14683 (2013.01)

(72) 발명자

곽평수

충청북도 음성군 감곡면음성로 2650-22 감곡덕일한
마음아파트 102동 504호

이호령

경기도 이천시 부발읍 경충대로 2091

권영준

세종특별자치시 달빛로 211 범지기마을10단지아
파트 1004동 1803호

명세서

청구범위

청구항 1

광전변환소자를 포함하는 기관;

상기 광전변환소자 상에 형성되어 측벽이 요철구조를 갖는 필라;

상기 필라의 표면을 따라 형성되고 끝단이 상기 광전변환소자에 연결된 채널막;

상기 채널막 상에 형성된 전송 게이트를 포함하며,

상기 필라는 제1절연막과 제2절연막이 복수회 교번 적층된 적층구조물을 포함하는 이미지 센서.

청구항 2

삭제

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1절연막 및 상기 제2절연막은 서로 다른 식각선택비를 갖는 이미지 센서.

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 필라의 최하층 및 최상층에는 상기 제1절연막이 위치하는 이미지 센서.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1절연막의 두께보다 상기 제2절연막의 두께가 더 큰 이미지 센서.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1절연막의 선폭보다 상기 제2절연막의 선폭이 더 작은 이미지 센서.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1절연막은 산화물을 포함하고, 상기 제2절연막은 질화물을 포함하는 이미지 센서.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 채널막은 폴리실리콘을 포함하는 이미지 센서.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 채널막은 언도프드 폴리실리콘 또는 P형 폴리실리콘을 포함하는 이미지 센서.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 채널막은 N형 폴리실리콘을 포함하는 이미지 센서.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 전송 게이트는 상기 채널막을 일부 노출시키는 오픈부를 포함하는 이미지 센서.

청구항 12

광전변환소자를 포함하는 기관;

상기 광전변환소자 상에 형성되어 측벽이 요철구조를 갖는 제1필라;

상기 제1필라의 표면을 따라 형성되고 끝단이 상기 광전변환소자에 연결된 제1채널막;

상기 제1채널막 상에 형성된 제1게이트;

상기 기관에 형성되어 활성영역을 정의하고 상기 활성영역과 상기 광전변환소자를 분리하는 소자분리구조물;

상기 활성영역 상에 형성된 제2필라;

상기 제2필라 양측의 상기 활성영역에 형성된 소스영역 및 드레인영역;

상기 제2필라 표면을 따라 형성되고, 양측 끝단이 각각 상기 소스영역 및 드레인영역에 연결된 제2채널막; 및

상기 제2채널막 상에 형성된 제2게이트를 포함하며,

상기 제1필라 및 상기 제2필라는 제1절연막과 제2절연막이 복수회 교번 적층된 적층구조물을 포함하는 이미지 센서.

청구항 13

삭제

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1절연막 및 상기 제2절연막은 서로 다른 식각선택비를 갖는 이미지 센서.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1필라 및 상기 제2필라의 최하층 및 최상층에는 상기 제1절연막이 위치하는 이미지 센서.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1절연막의 두께보다 상기 제2절연막의 두께가 더 큰 이미지 센서.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1필라에서 상기 제1절연막의 선폭보다 상기 제2절연막의 선폭이 더 작은 이미지 센서.

청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1절연막은 산화물을 포함하고, 상기 제2절연막은 질화물을 포함하는 이미지 센서.

청구항 19

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1필라와 상기 제2필라는 서로 동일한 높이를 갖는 이미지 센서.

청구항 20

◆청구항 20은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제2필라는 버티컬한 측벽을 갖거나, 또는 측벽이 요철구조를 갖는 이미지 센서.

청구항 21

◆청구항 21은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1채널막 및 상기 제2채널막은 폴리실리콘을 포함하는 이미지 센서.

청구항 22

◆청구항 22은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1채널막은 언도프드 폴리실리콘 또는 P형 폴리실리콘을 포함하는 이미지 센서.

청구항 23

◆청구항 23은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1채널막은 N형 폴리실리콘을 포함하는 이미지 센서.

청구항 24

◆청구항 24은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제2채널막은 P형 폴리실리콘을 포함하는 이미지 센서.

청구항 25

◆청구항 25은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1게이트는 상기 제1채널막을 일부 노출시키는 오픈부를 포함하는 이미지 센서.

청구항 26

◆청구항 26은(는) 설정등록료 납부시 포기되었습니다.◆

제12항에 있어서,

상기 제1게이트는 전송 게이트를 포함하고, 상기 제2게이트는 리셋 게이트, 소스 팔로워 게이트 및 선택 게이트 중 어느 하나를 포함하는 이미지 센서.

청구항 27

광전변환소자를 포함하는 기관상에 서로 다른 식각선택비를 갖는 제1절연막과 제2절연막이 복수회 교번 적층된 다층막을 형성하는 단계;

상기 다층막을 선택적으로 식각하여 버티컬한 측벽을 갖는 필라를 형성하는 단계;

상기 필라의 측벽이 요철구조를 갖도록 상기 제2절연막 일부를 선택적으로 식각하는 단계;

상기 필라를 포함한 구조물 표면을 따라 채널막을 형성하는 단계;

상기 채널막 상에 전송 게이트를 형성하는 단계

를 포함하는 이미지 센서 제조방법.

청구항 28

◆청구항 28은(는) 설정등록료 납부시 포기되었습니다.◆

제27항에 있어서,

상기 전송 게이트에 상기 채널막을 일부 노출시키는 오픈부를 형성하는 단계를 더 포함하는 이미지 센서 제조방법.

청구항 29

광전변환소자를 포함하는 기관에 소자분리구조물을 형성하여 상기 광전변환소자와 분리된 활성영역을 형성하는 단계;

상기 기관에 서로 다른 식각선택비를 갖는 제1절연막과 제2절연막이 복수회 교번 적층된 다층막을 형성하는 단계;

상기 다층막을 선택적으로 식각하여 상기 광전변환소자 및 상기 활성영역상에 각각 버티컬한 측벽을 갖는 제1필라 및 제2필라를 형성하는 단계;

상기 제1필라의 측벽이 요철구조를 갖도록 상기 제2절연막 일부를 선택적으로 식각하는 단계;

상기 제1필라 및 제2필라를 포함하는 구조물 표면을 따라 예비-채널막을 형성하는 단계; 및

상기 예비-채널막 상에 게이트절연막 및 게이트도전막을 순차적으로 형성하는 단계; 및

상기 게이트도전막, 상기 게이트절연막 및 상기 예비-채널막을 선택적으로 식각하여 상기 제1필라를 덮는 제1게이트 및 상기 제1필라와 상기 제1게이트 사이에 게재된 제1채널막을 형성하고, 제2필라를 덮는 제2게이트 및 제2필라와 제2게이트 사이에 게재된 제2채널막을 형성하는 단계

를 포함하는 이미지 센서 제조방법.

청구항 30

◆청구항 30은(는) 설정등록료 납부시 포기되었습니다.◆

제29항에 있어서,

상기 제1게이트에 상기 제1채널막을 일부 노출시키는 오픈부를 형성하는 단계를 더 포함하는 이미지 센서 제조방법.

청구항 31

◆청구항 31은(는) 설정등록료 납부시 포기되었습니다.◆

제29항에 있어서,

상기 예비-채널막을 형성하는 단계 이후에,

상기 광전변환소자 상부 및 상기 활성영역의 상부에 형성된 예비 채널막에 각각 소정의 불순물을 도핑하는 단계를 더 포함하는 이미지 센서 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 제조 기술에 관한 것으로, 보다 구체적으로는 이미지 센서 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 이미지 센서(image sensor)는 광학 영상을 전기 신호로 변환시키는 소자이다. 최근 들어, 컴퓨터 산업과 통신 산업의 발달에 따라 디지털 카메라, 캠코더, PCS(Personal Communication System), 게임 기기, 경비용 카메라, 의료용 마이크로 카메라, 로봇 등 다양한 분야에서 집적도 및 성능이 향상된 이미지 센서의 수요가 증대되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들은 성능이 향상된 이미지 센서를 제공한다.

과제의 해결 수단

[0004] 본 발명의 실시예에 따른 이미지 센서는 광전변환소자를 포함하는 기관; 상기 광전변환소자 상에 형성되어 측벽이 요철구조를 갖는 필라; 상기 필라의 표면을 따라 형성되고 끝단이 상기 광전변환소자에 연결된 채널막; 상기 채널막 상에 형성된 전송 게이트를 포함할 수 있다.

[0005] 상기 필라는 제1절연막과 제2절연막이 복수회 교번 적층된 적층구조물을 포함할 수 있다. 상기 제1절연막 및 상기 제2절연막은 서로 다른 식각선택비를 가질 수 있다. 상기 필라의 최하층 및 최상층에는 상기 제1절연막이 위치할 수 있다. 상기 제1절연막의 두께보다 상기 제2절연막의 두께가 더 클 수 있다. 상기 제1절연막의 선평보다 상기 제2절연막의 선평이 더 작을 수 있다. 상기 제1절연막은 산화물을 포함할 수 있고, 상기 제2절연막은 질화물을 포함할 수 있다. 상기 채널막은 폴리실리콘을 포함할 수 있다. 상기 채널막은 언도프드 폴리실리콘 또는 P형 폴리실리콘을 포함할 수 있다. 상기 채널막은 N형 폴리실리콘을 포함할 수 있다. 상기 전송 게이트는 상기 채널막을 일부 노출시키는 오픈부를 포함할 수 있다.

[0006]

[0007] 본 발명의 실시예에 따른 이미지 센서는 광전변환소자를 포함하는 기관; 상기 광전변환소자 상에 형성되어 측벽이 요철구조를 갖는 제1필라; 상기 제1필라의 표면을 따라 형성되고 끝단이 상기 광전변환소자에 연결된 제1채널막; 상기 제1채널막 상에 형성된 제1게이트; 상기 기관에 형성되어 활성영역을 정의하고 상기 활성영역과 상기 광전변환소자를 분리하는 소자분리구조물; 상기 활성영역 상에 형성된 제2필라; 상기 제2필라 양측의 상기 활성영역에 형성된 소스영역 및 드레인영역; 상기 제2필라 표면을 따라 형성되고, 양측 끝단이 각각 상기 소스영역 및 드레인영역에 연결된 제2채널막; 및 상기 제2채널막 상에 형성된 제2게이트를 포함할 수 있다.

[0008] 상기 제1필라 및 상기 제2필라는 제1절연막과 제2절연막이 복수회 교번 적층된 적층구조물을 포함할 수 있다. 상기 제1절연막 및 상기 제2절연막은 서로 다른 식각선택비를 가질 수 있다. 상기 제1필라 및 상기 제2필라의 최하층 및 최상층에는 상기 제1절연막이 위치할 수 있다. 상기 제1절연막의 두께보다 상기 제2절연막의 두께가 더 클 수 있다. 상기 제1필라에서 상기 제1절연막의 선평보다 상기 제2절연막의 선평이 더 작을 수 있다. 상기 제1절연막은 산화물을 포함할 수 있고, 상기 제2절연막은 질화물을 포함할 수 있다. 상기 제1필라와 상기 제2필

라는 서로 동일한 높이를 가질 수 있다. 상기 제2필라는 버티컬한 측벽을 갖거나, 또는 측벽이 요철구조를 가질 수 있다. 상기 제1채널막 및 상기 제2채널막은 폴리실리콘을 포함할 수 있다. 상기 제1채널막은 언도프드 폴리실리콘 또는 P형 폴리실리콘을 포함할 수 있다. 상기 제1채널막은 N형 폴리실리콘을 포함할 수 있다. 상기 제2채널막은 P형 폴리실리콘을 포함할 수 있다. 상기 제1게이트는 상기 제1채널막을 일부 노출시키는 오픈부를 포함할 수 있다. 상기 제1게이트는 전송 게이트를 포함할 수 있고, 상기 제2게이트는 리셋 게이트, 소스 팔로워 게이트 및 선택 게이트 중 어느 하나를 포함할 수 있다.

[0009] 본 발명의 실시예에 따른 이미지 센서의 제조방법은 광전변환소자를 포함하는 기관상에 서로 다른 식각선택비를 갖는 제1절연막과 제2절연막이 복수회 교번 적층된 다층막을 형성하는 단계; 상기 다층막을 선택적으로 식각하여 버티컬한 측벽을 갖는 필라를 형성하는 단계; 상기 필라의 측벽이 요철구조를 갖도록 상기 제2절연막 일부를 선택적으로 식각하는 단계; 상기 필라를 포함한 구조물 표면을 따라 채널막을 형성하는 단계; 상기 채널막 상에 전송 게이트를 형성하는 단계를 포함할 수 있다. 또한, 상기 전송 게이트에 상기 채널막을 일부 노출시키는 오픈부를 형성하는 단계를 더 포함할 수 있다.

[0010] 본 발명의 실시예에 따른 이미지 센서의 제조방법은 광전변환소자를 포함하는 기관에 소자분리구조물을 형성하여 상기 광전변환소자와 분리된 활성영역을 형성하는 단계; 상기 기관에 서로 다른 식각선택비를 갖는 제1절연막과 제2절연막이 복수회 교번 적층된 다층막을 형성하는 단계; 상기 다층막을 선택적으로 식각하여 상기 광전변환소자 및 상기 활성영역상에 각각 버티컬한 측벽을 갖는 제1필라 및 제2필라를 형성하는 단계; 상기 제1필라의 측벽이 요철구조를 갖도록 상기 제2절연막 일부를 선택적으로 식각하는 단계; 상기 제1필라 및 제2필라를 포함하는 구조물 표면을 따라 예비-채널막을 형성하는 단계; 및 상기 예비-채널막 상에 게이트절연막 및 게이트도전막을 순차적으로 형성하는 단계; 및 상기 게이트도전막, 상기 게이트절연막 및 상기 예비-채널막을 선택적으로 식각하여 상기 제1필라를 덮는 제1게이트 및 상기 제1필라와 상기 제1게이트 사이에 게재된 제1채널막을 형성하고, 제2필라를 덮는 제2게이트 및 제2필라와 제2게이트 사이에 게재된 제2채널막을 형성하는 단계를 포함할 수 있다. 또한, 상기 제1게이트에 상기 제1채널막을 일부 노출시키는 오픈부를 형성하는 단계를 더 포함할 수 있다. 또한, 상기 예비-채널막을 형성하는 단계 이후에, 상기 광전변환소자 상부 및 상기 활성영역의 상부에 형성된 예비 채널막에 각각 소정의 불순물을 도핑하는 단계를 더 포함할 수 있다.

발명의 효과

[0011] 상술한 과제에 해결 수단을 바탕으로 하는 본 기술은 고집적화가 용이하고, 집적도 증가에 기인한 특성 열화를 방지할 수 있으며, 단채널효과에 기인한 특성열화를 방지할 수 있다.

[0012] 또한, 서로 다른 기능을 갖는 각각의 트랜지스터가 요구하는 다양한 채널길이를 제공할 수 있다.

[0013] 또한, 압전류 특성을 개선할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 실시예들에 따른 이미지 센서를 개략적으로 도시한 블럭도.

도 2는 본 발명의 실시예에 따른 이미지 센서의 픽셀 어레이 일부를 도시한 평면도.

도 3은 본 발명의 실시예에 따른 이미지 센서의 단위픽셀을 도 2에 도시된 A-A' 절취선을 따라 도시한 단면도.

도 4는 본 발명의 다른 실시예에 따른 이미지 센서의 픽셀 어레이 일부를 도시한 평면도.

도 5a 내지 도 5e는 본 발명의 실시예에 따른 이미지 센서의 제조방법을 도 2에 도시된 A-A' 절취선을 따라 도시한 단면도.

도 6은 본 발명의 실시예들에 따른 이미지 센서를 구비한 전자장치를 간략히 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0015] 이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 도면을 참조하여 설명하기로 한다. 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예

를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1층이 제2층 상에 있거나 또는 기판상에 있는 경우, 제1층이 제2층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1층과 제2층 사이 또는 제1층과 기판 사이에 존재하는 경우도 나타낼 수 있다.

- [0016] 후술하는 본 발명의 실시예는 성능이 향상된 이미지 센서 및 그 제조방법을 제공하기 위한 것이다. 여기서, 성능이 향상된 이미지 센서는 고화소 이미지를 제공할 수 있는 이미지 센서를 의미할 수 있다. 고화소 이미지를 제공하기 위해서는 제한된 면적내에 최대한 많은수의 단위픽셀들이 집적화된 이미지 센서가 요구된다. 따라서, 실시예에 따른 이미지 센서에서 복수의 단위픽셀들 각각은 수직 전송 게이트(vertical transfer gate)를 갖는 전송 트랜지스터(transfer transistor)를 포함하고, 전송 트랜지스터와 광전변환소자(photoelectric conversion element)가 적층된 형태를 가질 수 있다.
- [0017] 도 1은 본 발명의 실시예들에 따른 이미지 센서를 개략적으로 도시한 블럭도이다.
- [0018] 도 1에 도시된 바와 같이, 실시예에 따른 이미지 센서는 복수의 단위픽셀(110)들이 매트릭스 구조로 배열된 픽셀 어레이(pixel array, 100), 상관 이중 샘플링(correlated double sampling, CDS, 120), 아날로그-디지털 컨버터(analog digital converter, ADC, 130), 버퍼(Buffer, 140), 로우 드라이버(row driver, 150), 타이밍 제너레이터(timing generator, 160), 제어 레지스터(control register, 170) 및 램프 신호 제너레이터(ramp signal generator, 180)를 포함할 수 있다.
- [0019] 타이밍 제너레이터(160)는 로우 드라이버(150), 상관 이중 샘플링(120), 아날로그-디지털 컨버터(130) 및 램프 신호 제너레이터(180) 각각의 동작을 제어하기 위한 하나 이상의 제어 신호를 생성할 수 있다. 제어 레지스터(170)는 램프 신호 제너레이터(180), 타이밍 제너레이터(160) 및 버퍼(140) 각각의 동작을 제어하기 위한 하나 이상의 제어 신호를 생성할 수 있다.
- [0020] 로우 드라이버(150)는 픽셀 어레이(100)를 로우라인(row line) 단위로 구동할 수 있다. 예를 들어, 로우 드라이버(150)는 복수의 로우라인(row line)들 중에서 어느 하나의 로우라인(row line)을 선택할 수 있는 선택 신호를 생성할 수 있다. 복수의 단위픽셀(110)들 각각은 입사광을 감지하여 이미지 리셋 신호와 이미지 신호를 컬럼라인(column line)을 통해 상관 이중 샘플링(120)으로 출력할 수 있다. 상관 이중 샘플링(120)은 수신된 이미지 리셋 신호와 이미지 신호 각각에 대하여 샘플링을 수행할 수 있다.
- [0021] 아날로그-디지털 컨버터(130)는 램프 신호 제너레이터(180)로부터 출력된 램프 신호와 상관 이중 샘플링(120)으로부터 출력되는 샘플링 신호를 서로 비교하여 비교 신호를 출력할 수 있다. 타이밍 제너레이터(160)로부터 제공되는 클럭 신호에 따라 비교 신호의 레벨 전이(transition) 시간을 카운트하고, 카운트 값을 버퍼(140)로 출력할 수 있다. 램프 신호 제너레이터(180)는 타이밍 제너레이터(160)의 제어 하에 동작할 수 있다.
- [0022] 버퍼(140)는 아날로그-디지털 컨버터(130)로부터 출력된 복수의 디지털 신호 각각을 저장한 후 이들 각각을 감지 증폭하여 출력할 수 있다. 따라서, 버퍼(140)는 메모리(미도시)와 감지증폭기(미도시)를 포함할 수 있다. 메모리는 카운트 값을 저장하기 위한 것이며, 카운트 값은 복수의 단위픽셀(110)들로부터 출력된 신호에 연관된 카운트 값을 의미한다. 감지증폭기는 메모리로부터 출력되는 각각의 카운트 값을 감지하여 증폭할 수 있다.
- [0023] 여기서, 고화소 이미지를 제공하기 위해서는 픽셀 어레이(100) 내 집적되는 단위픽셀(110)의 수를 필연적으로 증가시켜야만 한다. 즉, 제한된 면적내에 더 많은 단위픽셀(110)을 집적시켜야 하며, 이를 위해 단위픽셀(110)의 물리적 사이즈를 감소시켜야만 한다. 그러나, 이미지 센서는 입사광에 응답하여 각각의 단위픽셀에서 생성된 픽셀 신호를 기반으로 동작하기 때문에 단위픽셀(110)의 물리적 사이즈를 감소시키면, 단위픽셀(100)의 특성이 열화될 수 밖에 없다.
- [0024] 따라서, 고집적화에 따른 단위픽셀(100)의 특성 열화를 방지하기 위해 광전변환소자의 필팩터(Fill factor)를 최대화 시킬 수 있는 수직 채널을 갖는 트랜지스터를 구비한 3차원 픽셀이 제안되었다. 3차원 픽셀에서는 채널이 높이를 증가시키는 방법으로 요구되는 채널길이를 확보하나, 높이를 무한정 증가시킬 수 없기 때문에 실질적으로 요구되는 채널길이를 확보하기 어렵다. 따라서, 단채널효과(Short channel effect)에 기인하여 특성이 열화되고, 서로 다른 기능을 갖는 각각의 트랜지스터가 요구하는 다양한 채널길이를 제공하기 어렵다.
- [0025] 따라서, 후술하는 본 발명의 실시예는 고집적화가 용이하고, 집적도 증가에 기인한 특성 열화를 방지할 수 있으며, 서로 다른 기능을 갖는 각각의 트랜지스터가 요구하는 다양한 채널길이를 제공할 수 있는 이미지 센서에 대

하여 도면을 참조하여 상세히 설명하기로 한다.

- [0026] 도 2는 본 발명의 실시예에 따른 이미지 센서의 픽셀 어레이 일부를 도시한 평면도이고, 도 3은 본 발명의 실시예에 따른 이미지 센서의 단위픽셀을 도 2에 도시된 A-A'절취선을 따라 도시한 단면도이다.
- [0027] 도 2 및 도 3에 도시된 바와 같이, 실시예에 따른 이미지 센서는 픽셀 어레이(100)를 포함하고, 픽셀 어레이(100)는 복수의 단위픽셀(110)을 포함할 수 있다. 복수의 단위픽셀(110) 각각은 광전변환소자(PD, photoelectric conversion element) 및 전송 트랜지스터(Tx, transfer transistor)를 포함하는 수광부(110A)와 리셋 트랜지스터(Rx, reset transistor), 소스 팔로워 트랜지스터(SFx, source follower transistor) 및 선택 트랜지스터(Sx, selection transistor)를 포함하는 출력부(110B)를 포함할 수 있다. 도 3에는 출력부(110B)의 소스 팔로워 트랜지스터(SFx)를 도시하였다.
- [0028] 실시예에 따른 이미지 센서에서 각각의 단위픽셀(110) 및 복수의 단위픽셀(110) 각각의 수광부(110A)와 출력부(110B)는 기판(200)에 형성된 소자분리구조물(202)에 의해 분리될 수 있다. 그리고, 소자분리구조물(202)에 의해 출력부(110B)의 활성영역(203)이 정의될 수 있다.
- [0029] 기판(200)은 반도체 기판을 포함할 수 있다. 반도체 기판은 단결정 상태(Single crystal state)일 수 있으며, 실리콘 함유 재료를 포함할 수 있다. 즉, 기판(200)은 단결정의 실리콘 함유 재료를 포함할 수 있다. 그리고, 기판(200)은 씨닝공정(thinning process)을 통해 박막화된 기판(200)일 수 있다. 예를 들어, 기판(200)은 씨닝공정을 통해 박막화된 벌크 실리콘 기판일 수 있다.
- [0030] 소자분리구조물(202)은 STI(Shallow Trench Isolation), DTI(Deep Trench Isolation) 또는 불순물영역을 포함할 수 있다. 불순물영역은 기판(200)에 불순물을 주입하여 형성된 것일 수 있다. 예를 들어, 불순물영역은 기판(200)에 P형 불순물인 붕소(Boron)를 주입하여 형성된 P형 불순물영역일 수 있다. 소자분리구조물(202)은 STI, DTI 또는 불순물영역 중 어느 하나로 구성되거나, 또는 둘 이상이 혼합되어 구성될 수 있다. 예를 들어, 광전변환소자(PD)를 둘러싸는 소자분리구조물(202)은 DTI 이거나, 또는 DTI와 불순물영역이 결합된 구조일 수 있다. 그리고, 활성영역(203)을 둘러싸는 소자분리구조물(202)은 불순물영역이거나, 또는 불순물영역과 STI가 결합된 구조일 수 있다.
- [0031] 실시예에 따른 이미지 센서에서 수광부(110A)는 광전변환소자(PD)를 포함하는 기판(200), 광전변환소자(PD) 상에 형성되어 측벽이 요철구조를 갖는 제1필라(210), 제1필라(210)의 표면을 따라 형성되고 끝단이 광전변환소자(PD)에 연결된 제1채널막(220) 및 제1채널막(220) 상에 형성된 제1게이트(230)를 포함할 수 있다. 여기서, 제1게이트(230)는 전송 트랜지스터(Tx)의 전송 게이트일 수 있다.
- [0032] 광전변환소자(PD)는 유기 또는 무기 포토다이오드(photodiode)를 포함할 수 있다. 예를 들어, 광전변환소자(PD)는 기판(200)에 형성되고 서로 상보적인 도전형을 갖는 제1불순물영역(204) 및 제2불순물영역(206)이 수직방향으로 적층된 형태를 가질 수 있다. 이때, 제1불순물영역(204)은 P형 불순물영역일 수 있으며, 기판(200) 표면에 접할 수 있다. 제2불순물영역(206)은 N형 불순물영역일 수 있으며, 제1불순물영역(204) 아래에 위치하여 제1불순물영역(204)과 중첩될 수 있다. 수직방향으로 제2불순물영역(206)은 균일한 도핑 프로파일을 갖거나, 전하이동방향을 따라 점차 불순물 도핑농도가 증가하는 프로파일을 가질 수 있다. 제1불순물영역(204)이 접하는 기판(200)의 표면은 광전변환소자(PD)로 입사광이 유입되는 입사면(S1)에 대향하는 대향면(S2)일 수 있다. 그리고, 전하이동방향은 입사면(S1)에서 대향면(S2)을 바라보는 방향이다.
- [0033] 측벽이 요철구조를 갖는 제1필라(210)는 전송 트랜지스터(Tx)가 요구하는 채널길이를 제공하기 위한 것이다. 여기서, 제1필라(210)는 측벽이 요철구조를 갖기 때문에 제1필라(210)의 높이를 조절하지 않고도 효과적으로 전송 트랜지스터(Tx)가 요구하는 채널길이를 제공할 수 있다. 제1필라(210)의 평면형상은 삼각형 이상의 다각형, 원형 또는 타원형일 수 있다. 제1필라(210)는 절연물질을 포함할 수 있다. 구체적으로, 제1필라(210)는 서로 다른 식각선택비를 갖는 절연막들이 복수회 교번 적층된 것일 수 있다. 제1필라(210)는 산화물을 포함하는 제1절연막(207)과 질화물을 포함하는 제2절연막(209)이 복수회 교번 적층된 적층구조물일 수 있다. 이때, 제1필라(210)의 최하층 및 최상층은 제1절연막(207)일 수 있다. 이는, 질화물을 포함하는 제2절연막(209)의 물성에 기인한 특성 열화를 방지하기 위함이다. 제1채널막(220)의 형성공정이 용이하도록 제1절연막(207)의 두께(T1)는 제2절연막(209)의 두께(T2)보다 작을 수 있다. 그리고, 제1절연막(207)의 선포(W1)이 제2절연막(209)의 선포(W2)보다 클 수 있으며, 제1절연막(207)의 선포(W1)과 제2절연막(209)의 선포(W2) 차이가 증가할수록 전송 트랜지스터(Tx)의 채널길이를 증가시킬 수 있다.
- [0034] 측벽이 요철구조를 갖는 제1필라(210)는 광전변환소자(PD)의 중심부에 위치할 수 있다. 이는, 광전변환소자(P

D)에서 생성된 광전하가 제1채널막(220)으로 전송되는 효율을 향상시키기 위함이다. 한편, 실시예에서는 광전변환소자(PD) 상에 하나의 제1필라(210)가 형성된 경우를 예시하였으나, 둘 이상의 제1필라(210)가 형성될 수도 있다. 광전변환소자(PD) 상에 둘 이상의 제1필라(210)가 형성되는 경우, 복수의 제1필라(210)는 매트릭스 형태로 배치될 수 있다.

[0035] 제1채널막(220)은 제1게이트(230) 즉, 전송 게이트에 인가되는 전송신호에 응답하여 광전변환소자(PD)에서 생성된 광전하를 플로팅디퓨전(FD)으로 전달하는 역할을 수행할 수 있다. 제1채널막(220)은 제1필라(210)의 표면을 따라 일정한 두께를 가질 수 있다. 제1필라(210)의 표면을 따라 형성된 제1채널막(220)은 역실린더 형태를 가질 수 있고, 역실린더 형태의 측벽도 요철구조를 가질 수 있다. 광전변환소자(PD)와 제1채널막(220) 사이의 콘택면적을 증가시키기 위해 광전변환소자(PD)와 접하는 제1채널막(220)의 끝단은 기관(200)상으로 확장된 형태를 가질 수 있다. 기관(200)상으로 확장된 제1채널막(220)은 제1게이트(230)와 광전변환소자(PD) 사이에 삽입된 형태를 가질 수 있고, 광전변환소자(PD)의 제1불순물영역(204)에 접할 수 있다.

[0036] 제1채널막(220)은 실리콘 함유 물질을 포함할 수 있다. 예를 들어, 제1채널막(220)은 폴리실리콘을 포함할 수 있다. 구체적으로, 제1채널막(220)은 불순물이 도핑되지 않은 언도프드(Undoped) 폴리실리콘, P형 불순물이 도핑된 P형 폴리실리콘 또는 N형 불순물이 도핑된 N형 폴리실리콘 중 어느 하나일 수 있다. 제1채널막(220)이 언도프드 폴리실리콘 또는 P형 폴리실리콘을 포함하는 경우, 전송 트랜지스터(Tx)는 오프상태에서 채널이 비활성화된 상태를 유지하는 증강모드(enhancement mode)로 동작할 수 있다. 반면에, 제1채널막(220)이 N형 폴리실리콘을 포함하는 경우, 전송 트랜지스터(Tx)는 오프상태에서 채널이 활성화된 상태를 유지하는 공핍모드(depletion mode)로 동작할 수 있다.

[0037] 참고로, 폴리실리콘은 다수의 트랩사이트(trap site)를 갖는 물질이기 때문에 제1채널막(220)으로 폴리실리콘을 적용하는 경우 막내 트랩사이트가 암전류 생성 소스로 작용할 수 있다. 그러나, 실시예에 따른 이미지 센서는 제1채널막(220)으로 폴리실리콘을 적용함에 따른 암전류 생성을 방지할 수 있다. 구체적으로, 제1채널막(220)이 언도프드 폴리실리콘 또는 P형 폴리실리콘을 포함하는 경우, 전송 트랜지스터(Tx) 턴오프시 예컨대, 인티그레이션 타임(integration time) 동안 제1게이트(230) 즉, 전송 게이트에 네거티브 바이어스(negative base)를 인가하면 제1채널막(220) 내부 및 광전변환소자(PD)와 제1채널막(220)이 접하는 계면에 홀(hole)이 축적(accumulation)되면서 암전류 생성을 방지할 수 있다. 이때, 암전류가 생성되더라도 계면에 축적된 홀에 의한 재결합으로 생성된 암전류를 제거할 수 있다.

[0038] 반면, 제1채널막(220)이 N형 폴리실리콘을 포함하는 경우, 전송 트랜지스터(Tx)가 공핍모드로 동작하기 때문에 전송 트랜지스터(Tx) 턴오프시 예컨대, 인티그레이션 타임 동안 제1채널막(220) 내부 및 광전변환소자(PD)와 제1채널막(220)이 접하는 계면에서 발생된 암전류를 플로팅디퓨전(FD)을 통해 외부로 빼내 제거할 수 있다. 여기서, 제1채널막(220)이 N형 폴리실리콘을 포함하는 경우에는 제1채널막(220) 및 기관(200)의 표면에서 생성된 암전류를 외부로 빼내기 때문에 제1채널막(220)이 언도프드 폴리실리콘 또는 P형 폴리실리콘을 포함하는 경우보다 암전류를 효과적으로 방지할 수 있다.

[0039] 제1게이트(230)는 전송 트랜지스터(Tx)의 전송 게이트일 수 있다. 제1게이트(230)는 광전변환소자(PD) 상에 형성되고 수직 채널을 구현하기 위해 제1필라(210)의 측벽을 둘러싸는 형태를 가질 수 있다. 제1게이트(230)는 광전변환소자(PD)와 중첩되는 평판형태를 가질 수 있다. 이때, 제1게이트(230)는 기관(200)의 대향면(S2) 상에 형성되기 때문에 광전변환소자(PD)에 대한 후면 반사층으로 작용할 수 있으며, 이를 통해 광전변환소자(PD)의 양자효율을 향상시킬 수 있다. 제1게이트(230)는 제1필라(210) 일부와 중첩되는 오픈부(236)를 포함할 수 있다. 오픈부(236)는 제1필라(210) 상부면 상에 형성된 제1채널막(220)과 플로팅디퓨전(FD) 사이의 콘택을 위한 것이다. 오픈부(236)의 평면형상은 삼각형 이상의 다각형, 원형 또는 타원형일 수 있다. 제1게이트(230)는 제1게이트절연막(232) 및 제1게이트전극(234)을 포함할 수 있다. 제1게이트절연막(232)은 제1채널막(220) 상에 형성되어 균일한 두께를 가질 수 있다. 제1게이트절연막(232)은 산화물, 질화물 및 산질화물로 이루어진 그룹으로부터 선택된 어느 하나 또는 둘 이상을 포함할 수 있다. 제1게이트전극(234)은 실리콘을 포함하는 반도체물질 또는 금속성물질을 포함할 수 있다.

[0040] 실시예에 따른 이미지 센서에서 출력부(110B)는 소자분리구조물(202)에 의해 정의된 활성영역(203), 활성영역(203) 상에 형성된 제2필라(240), 제2필라(240) 양측 활성영역(203)에 형성된 소스영역(272) 및 드레인영역(274), 제2필라(240)의 표면을 따라 형성되고 양측 끝단이 각각 소스영역(272) 및 드레인영역(274)에 연결된 제2채널막(250) 및 제2채널막(250) 상에 형성된 제2게이트(260)를 포함할 수 있다. 여기서, 제2게이트(260)는 소스 팔로워 트랜지스터(SFx)의 게이트인 경우를 예시하였으나, 제2게이트(260)는 리셋 트랜지스터(Rx)의 게이트

또는 선택 트랜지스터(Sx)의 게이트일 수도 있다. 또한, 활성영역(203)의 기판(200)은 웰(201)을 포함할 수 있으며, 웰(201) 내부에 소스영역(272) 및 드레인영역(274)이 위치할 수 있다. 웰(201)은 기판(200)에 P형 불순물을 주입하여 형성된 것일 수 있다.

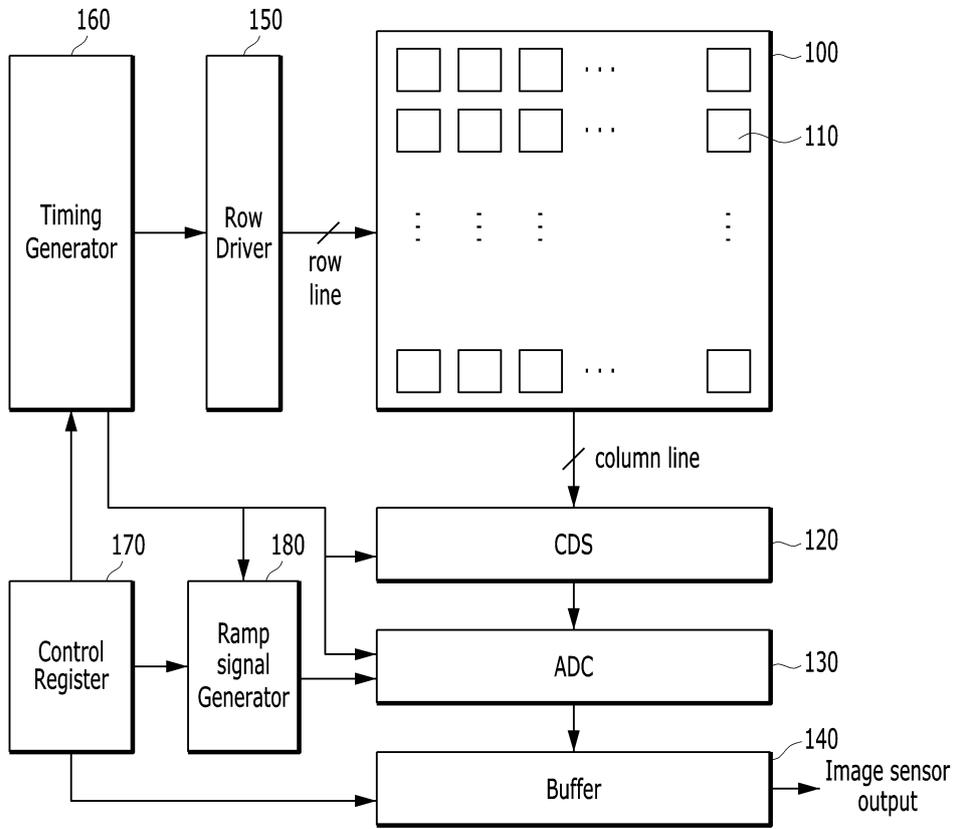
- [0041] 제2필라(240)는 소스 팔로워 트랜지스터(SFx)가 요구하는 채널길이를 제공하기 위한 것이다. 제2필라(240)는 제1필라(210)와 함께 형성된 것일 수 있으며, 제1필라(210)와 동일한 높이를 가질 수 있다. 따라서, 제2필라(240)도 절연물질을 포함할 수 있으며, 산화물을 포함하는 제1절연막(207)과 질화물을 포함하는 제2절연막(209) 복수회 교번 적층된 적층구조물일 수 있다. 이때, 제2필라(240)의 최하층 및 최상층은 제1절연막(207)일 수 있으며, 제1절연막(207)의 두께(T1)보다 제2절연막(209)이 두께(T2)가 더 클 수 있다. 제2필라(240)는 버티컬한 측벽을 갖거나, 또는 제1필라(210)와 같이 요철구조를 갖는 측벽을 가질 수도 있다. 이는, 출력부(110B)의 각 트랜지스터가 요구하는 채널길이를 제공하기 위한 것이다. 즉, 제2필라(240)는 측벽 형상을 제어하여 원하는 채널길이를 제공할 수 있다. 제2필라(240)의 평면형상은 삼각형 이상의 다각형, 원형 또는 타원형일 수 있다.
- [0042] 소스영역(272) 및 드레인영역(274)은 활성영역(203)의 기판(200)에 N형 불순물을 주입하여 형성된 불순물영역일 수 있다. 리셋 트랜지스터(Rx)와 소스 팔로워 트랜지스터(SFx)가 공유하는 소스영역(272)은 전원전압이 인가될 수 있다. 소스 팔로워 트랜지스터(SFx)와 선택 트랜지스터(Sx)가 공유하는 드레인영역(274)을 통해 두 트랜지스터(SFx, Sx)가 연결될 수 있다.
- [0043] 제2채널막(250)은 제2필라(240)의 표면을 따라 일정한 두께를 가질 수 있다. 제2필라(240)의 표면을 따라 형성된 제2채널막(250)은 역실린더 형태를 가질 수 있고, 역실린더 형태의 측벽은 버티컬할 수 있다. 제2채널막(250)은 실리콘 함유 물질을 포함할 수 있다. 예를 들어, 제2채널막(250)은 폴리실리콘을 포함할 수 있다. 구체적으로, 제2채널막(250)은 P형 폴리실리콘을 포함할 수 있다.
- [0044] 제2채널막(250) 상에 형성되어 제2필라(240)의 측면 및 상부면을 덮는 제2게이트(260)는 소스영역(272) 및 드레인영역(274) 일부와 중첩될 수 있다. 제2게이트(260)는 제2게이트절연막(262) 및 제2게이트전극(264)을 포함할 수 있다. 제2게이트절연막(262)은 제2채널막(250) 상에 형성되어 균일한 두께를 가질 수 있다. 제2게이트절연막(262)은 제1게이트절연막(232)과 함께 형성된 것일 수 있으며, 동일 물질을 포함할 수 있다. 제2게이트절연막(262)은 산화물, 질화물 및 산질화물로 이루어진 그룹으로부터 선택된 어느 하나 또는 둘 이상을 포함할 수 있다. 제2게이트전극(264)은 제1게이트전극(234)과 함께 형성된 것일 수 있으며, 동일 물질을 포함할 수 있다. 제2게이트전극(264)은 실리콘을 포함하는 반도체물질 또는 금속성물질을 포함할 수 있다.
- [0045] 도면에 도시하지는 않았지만, 실시예에 따른 이미지 센서는 기판(200)의 입사면(S1) 상에 형성된 색분리소자(color separation element) 및 색분리소자 상의 집광소자(light focusing element)를 포함할 수 있다. 색분리소자는 컬러필터를 포함할 수 있고, 컬러필터는 레드 필터(red filter), 그린 필터(green filter), 블루 필터(blue filter), 사이언 필터(cyan filter), 옐로우 필터(yellow filter), 마젠타 필터(magenta filter), 화이트 필터(white filter), 블랙필터(black filter), 적외선차단필터(IR cutoff filter) 등을 포함할 수 있다. 집광소자는 디지털 렌즈(digital lens) 또는 반구형 렌즈(hemispherical lens)를 포함할 수 있다.
- [0046] 도 4는 본 발명의 다른 실시예에 따른 이미지 센서의 픽셀 어레이 일부를 도시한 평면도이다.
- [0047] 도 4는 도 2 및 도 3을 참조하여 설명한 실시예에 따른 이미지 센서의 단위픽셀(110)을 공유 픽셀 구조에 적용한 경우를 예시한 것이다. 따라서, 도 4에 도시된 A-A'절취선에 따른 단면은 도 3에 도시된 것과 실질적으로 동일하다. 그리고, 동일한 도면부호를 사용하며, 동일 구성에 대한 상세한 설명은 생략하기로 한다.
- [0048] 도 4에 도시된 바와 같이, 복수의 단위픽셀(110) 각각은 광전변환소자(PD) 및 전송 트랜지스터(Tx)를 포함하는 수광부(110A)를 4개 포함할 수 있다. 그리고, 리셋 트랜지스터(Rx), 소스 팔로워 트랜지스터(SFx) 및 선택 트랜지스터(Sx)를 포함하는 출력부(110B)를 포함할 수 있으며, 4개의 수광부(110A)가 하나의 출력부(110B)를 공유할 수 있다.
- [0049] 이처럼, 본 발명의 실시예에 따른 이미지 센서는 공유 픽셀 구조를 갖는 이미지 센서에 손쉽게 적용할 수 있다.
- [0050] 도 5a 내지 도 5e는 본 발명의 실시예에 따른 이미지 센서의 제조방법을 도 2에 도시된 A-A'절취선을 따라 도시한 단면도이다.
- [0051] 도 5a에 도시된 바와 같이, 기판(10)에 소자분리구조물(12)을 형성하여 수광부(110A)와 출력부(110B)를 구분한다. 소자분리구조물(12)에 의해 출력부(110B)에 활성영역을 형성할 수 있다.
- [0052] 기판(10)은 단결정의 실리콘 함유 재료를 포함할 수 있다. 그리고, 소자분리구조물(12)은 STI(Shallow Trench

Isolation), DTI(Deep Trench Isolation) 또는 불순물영역을 포함할 수 있다. 소자분리구조물(12)은 STI, DTI 또는 불순물영역 중 어느 하나로 구성되거나, 또는 둘 이상이 혼합되어 구성될 수 있다.

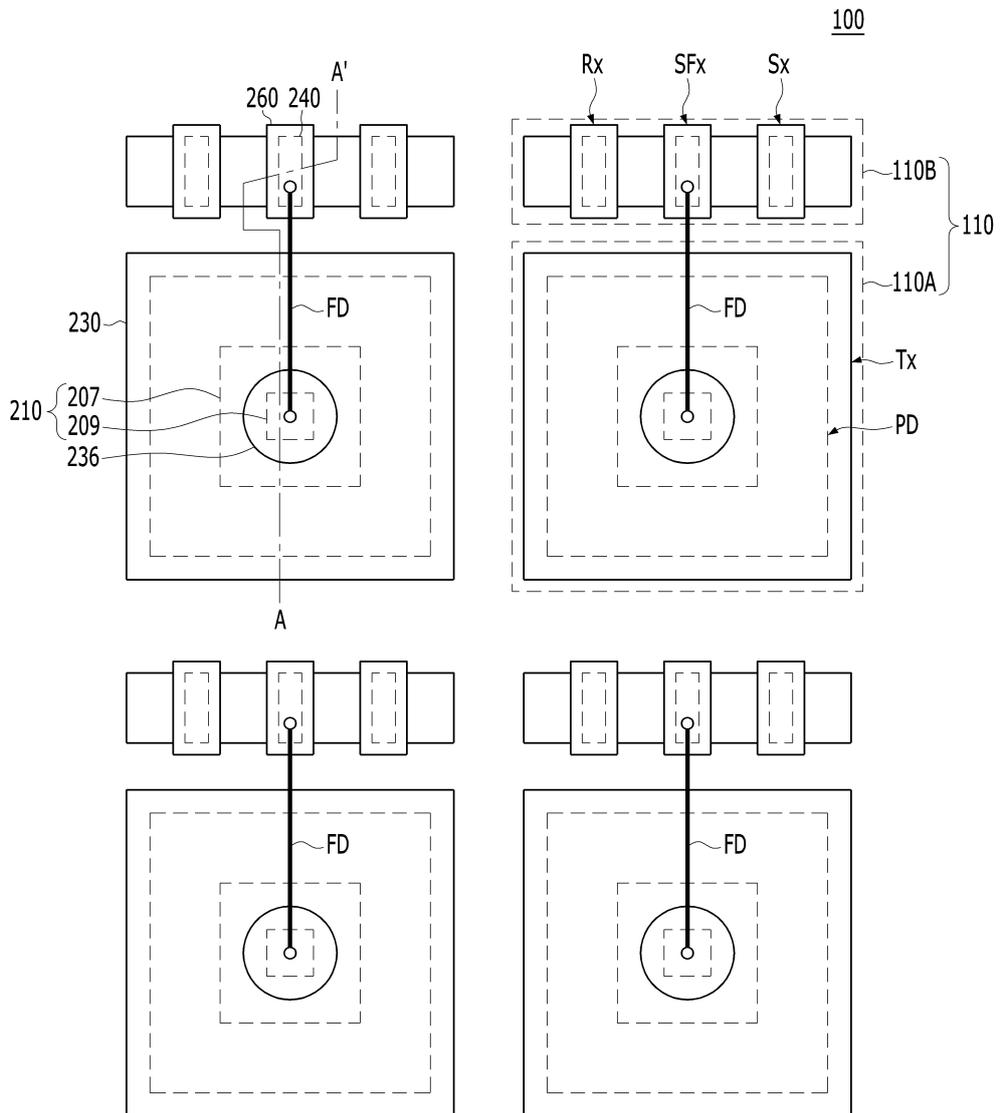
- [0053] 다음으로, 수광부(110A)에 광전변환소자(18)를 형성하고, 활성영역에 웰(20)을 형성한다. 광전변환소자(18)는 포토다이드로 형성할 수 있다. 구체적으로, 광전변환소자(18)는 기관(10)에 P형 불순물이 주입하여 형성된 제1불순물영역(14)과 N형 불순물을 주입하여 형성된 제2불순물영역(16)이 수직하게 적층된 형태를 가질 수 있다. 그리고, 웰(20)은 기관(10)에 P형 불순물을 주입하여 형성할 수 있다. P형 불순물은 보론(B)일 수 있고, N형 불순물은 인(P) 또는 비소(As)일 수 있다.
- [0054] 다음으로, 기관(10)상에 제1절연막(22)과 제2절연막(24)이 복수회 교번 적층된 다층막(26)을 형성한다. 제1절연막(22)은 산화물을 포함할 수 있고, 제2절연막(24)은 질화물을 포함할 수 있다. 다층막(26)에서 최하층 및 최상층에서는 제1절연막(22)이 위치하도록 형성할 수 있다. 이는, 질화물을 포함하는 제2절연막(24)의 특성 예컨대, 응력에 기인한 특성 열화를 방지하기 위함이다. 그리고, 제1절연막(22)의 두께(T1)보다 제2절연막(24)의 두께(T2)가 더 크도록 형성할 수 있다.
- [0055] 도 5b에 도시된 바와 같이, 다층막(26) 상의 마스크패턴(미도시)을 식각장벽으로 다층막(26)을 식각하여 광전변환소자(18) 상에 제1필라(28)를 형성하고, 활성영역 즉, 웰(20) 상에 제2필라(30)를 형성한다. 제1필라(28) 및 제2필라(30)는 버티컬한 측벽을 가질 수 있고, 서로 동일한 높이를 가질 수 있다.
- [0056] 도 5c에 도시된 바와 같이, 기관(10)상에 제2필라(30)를 덮고, 제1필라(28)를 노출시키는 마스크패턴(32)을 형성한 후, 마스크패턴(32)을 식각장벽으로 습식식각을 진행하여 제1필라(28)의 제2절연막(24) 일부를 식각한다. 습식식각은 인산용액을 사용하여 진행할 수 있다. 이로써, 제1절연막(22)의 선평(W1)보다 제2절연막(24)의 선평(W2)이 작고, 측벽이 요철구조를 갖는 제1필라(28)를 형성할 수 있다. 습식식각시 제2절연막(24)이 제거되는 정도 즉, 제1절연막(22)의 선평(W1)과 제2절연막(24)의 선평(W2) 차이를 제어하는 방법으로 채널길이를 제어할 수 있다.
- [0057] 한편, 실시예에서는 제1필라(28)만 측벽이 요철구조를 갖는 경우를 예시하였으나, 상술한 공정을 이용하여 제2필라(30)의 측벽도 요철구조를 갖도록 형성할 수 있다. 즉, 상술한 공정을 통해 각각의 트랜지스터가 요구하는 채널길이를 제공할 수 있다.
- [0058] 도 5d에 도시된 바와 같이, 마스크패턴(32)을 제거한 후, 제1필라(28) 및 제2필라(30)를 포함하는 구조물 표면을 따라 예비-채널막(34)을 형성한다. 예비-채널막(34)은 실리콘 함유 물질을 포함할 수 있다. 예를 들어, 예비-채널막(34)은 폴리실리콘을 포함할 수 있고, 폴리실리콘은 불순물이 도핑되지 않은 언도프트 폴리실리콘일 수 있다.
- [0059] 다음으로, 예비-채널막(34) 상에 게이트절연막(36) 및 게이트도전막(38)을 순차적으로 형성한다. 게이트절연막(36)은 산화물, 질화물 및 산화질화물로 이루어진 그룹으로부터 선택된 어느 하나 또는 둘 이상을 포함할 수 있다. 게이트도전막(38)은 실리콘을 포함하는 반도체물질 또는 금속성물질을 포함할 수 있다.
- [0060] 한편, 게이트절연막(36)을 형성하기 이전에 예비-채널막(34)에 대한 불순물 도핑공정을 진행할 수 있다. 예를 들어, 수광부(110A)에 형성된 예비-채널막(34)에는 N형 불순물을 도핑시킬 수 있고, 출력부(110B)에 형성된 예비-채널막(34)에는 P형 불순물을 도핑시킬 수 있다.
- [0061] 도 5e에 도시된 바와 같이, 게이트도전막(38), 게이트절연막(36) 및 예비-채널막(34)을 선택적으로 식각하여 수광부(110A)에 제1필라(28)를 덮는 제1게이트(48) 및 제1필라(28)와 제1게이트(48) 사이에 게재된 제1채널막(40)을 형성하고, 출력부(110B)에 제2필라(30)를 덮는 제2게이트(56) 및 제2필라(30)와 제2게이트(56) 사이에 게재된 제2채널막(50)을 형성한다. 제1게이트(48)는 제1게이트절연막(42) 및 제1게이트전극(44)을 포함할 수 있고, 제2게이트(56)는 제2게이트절연막(52) 및 제2게이트전극(54)을 포함할 수 있다.
- [0062] 다음으로, 제1게이트절연막(42) 및 제1게이트전극(44)을 선택적으로 식각하여 제1게이트(48)에 제1채널막(40)을 일부 노출시키는 오픈부(46)를 형성한다.
- [0063] 다음으로, 제2필라(30) 양측 활성영역 즉, 웰(20)에 N형 불순물을 주입하여 소스영역(58) 및 드레인영역(60)을 형성한다. 한편, 실시예에서는 제2게이트(56)를 형성한 이후에 소스영역(58) 및 드레인영역(60)을 형성하는 경우를 예시하였으나, 소스영역(58) 및 드레인영역(60)은 다층막(26)을 식각하여 제1필라(28) 및 제2필라(30)를 형성한 직후에 진행할 수도 있다.

도면

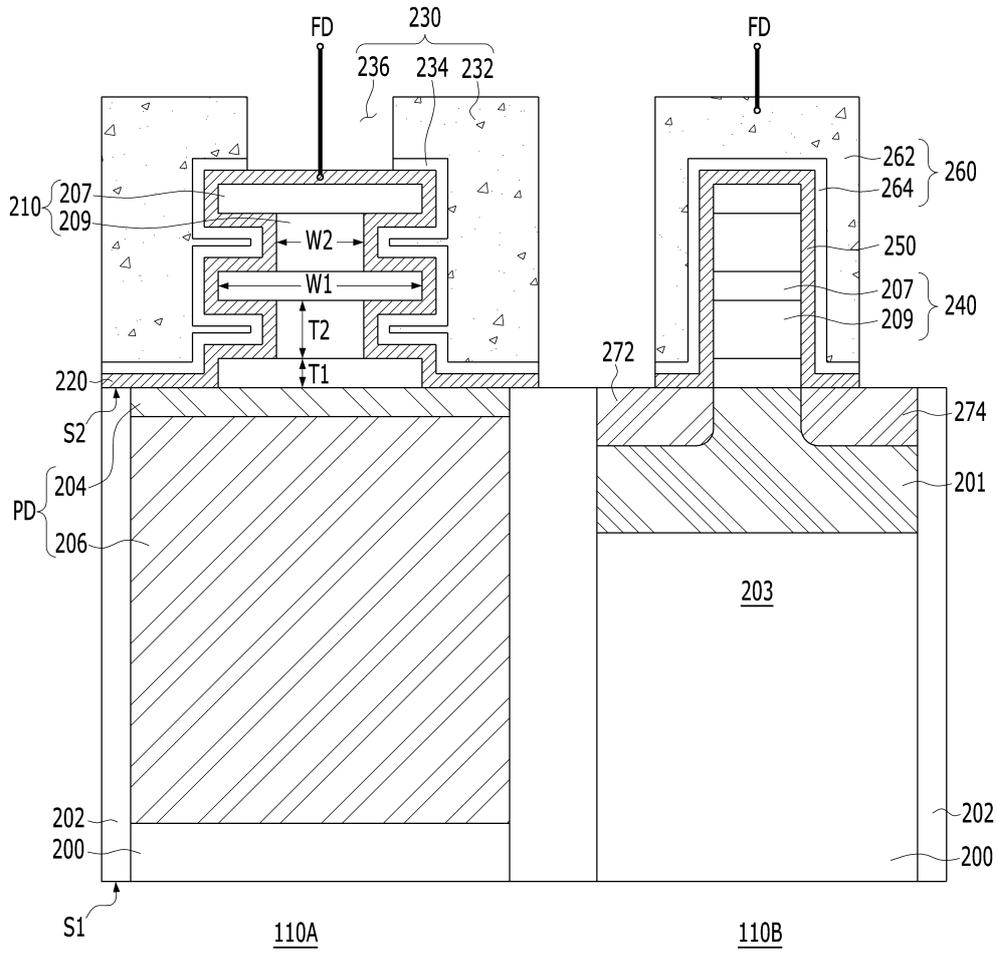
도면1



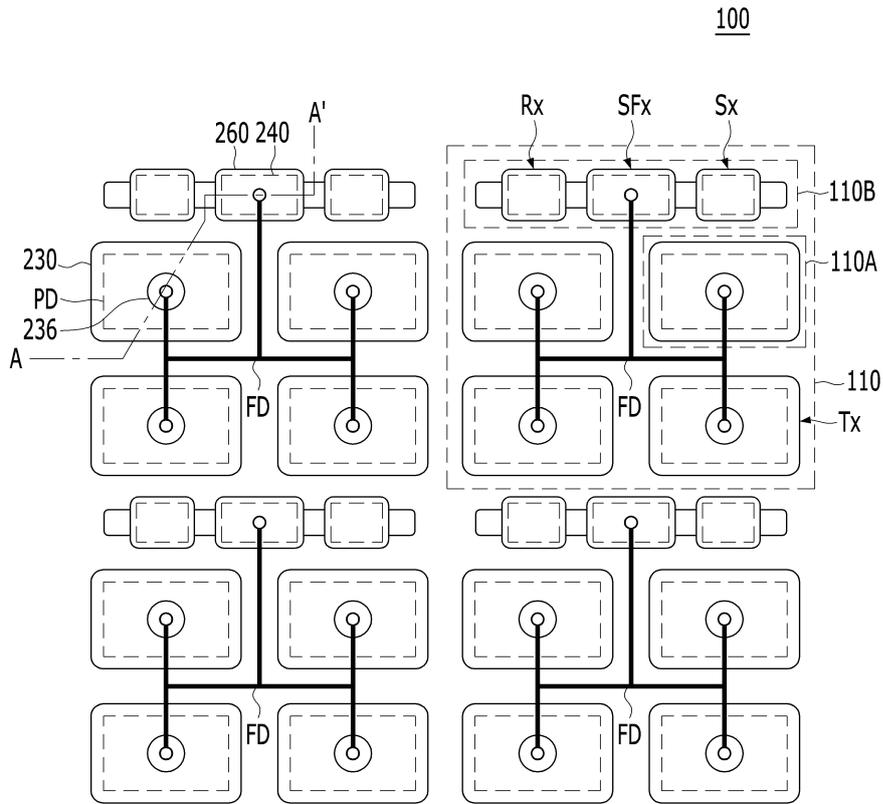
도면2



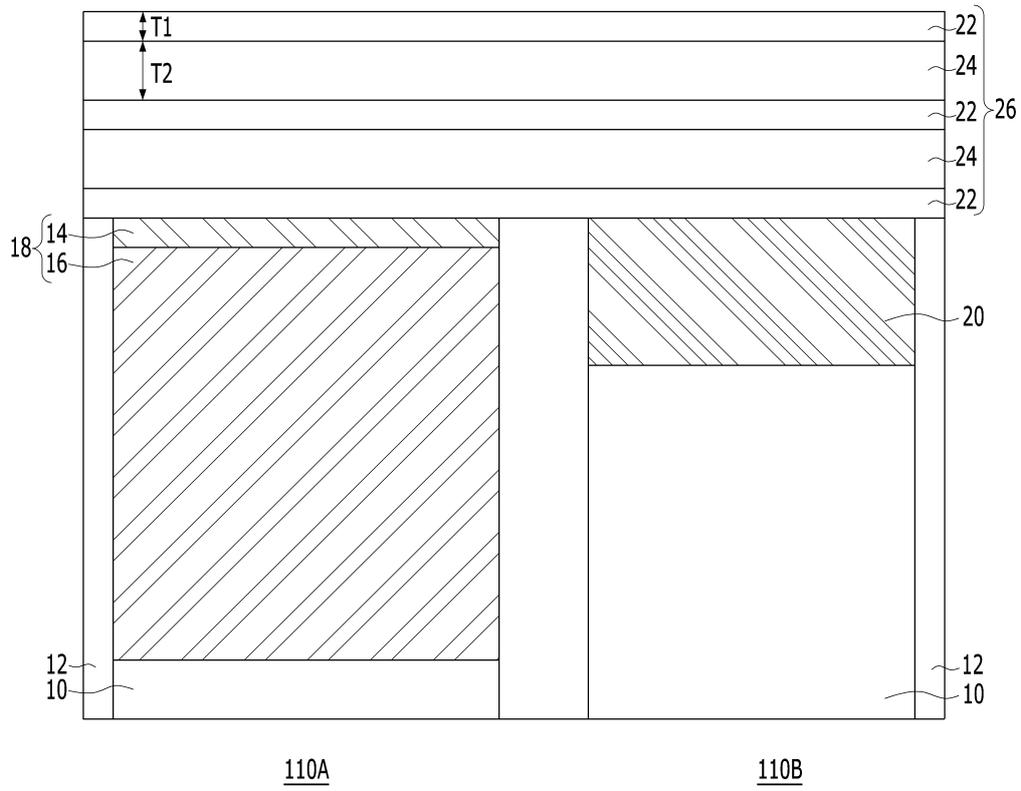
도면3



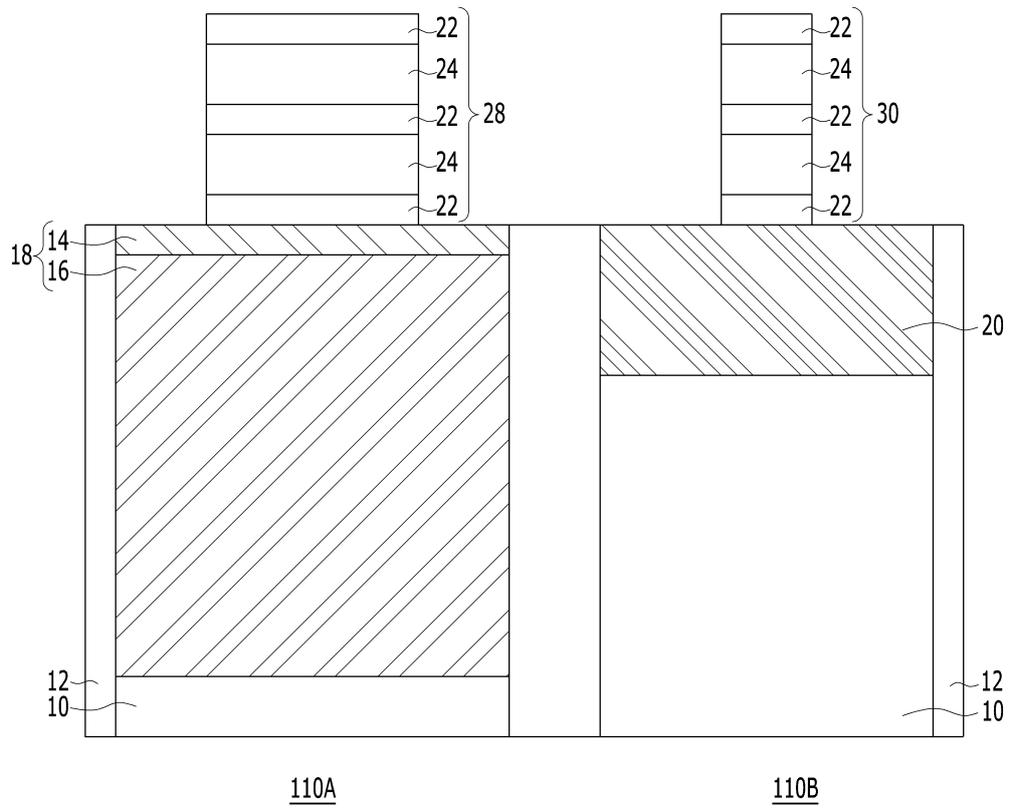
도면4



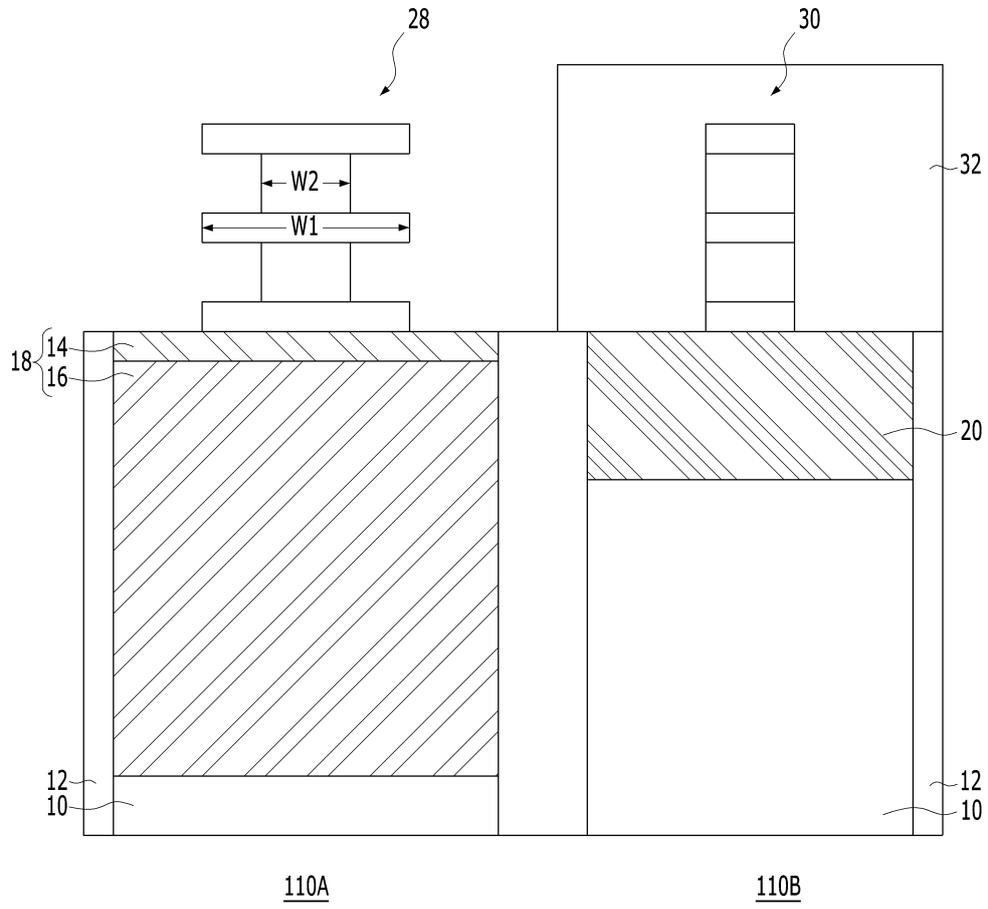
도면5a



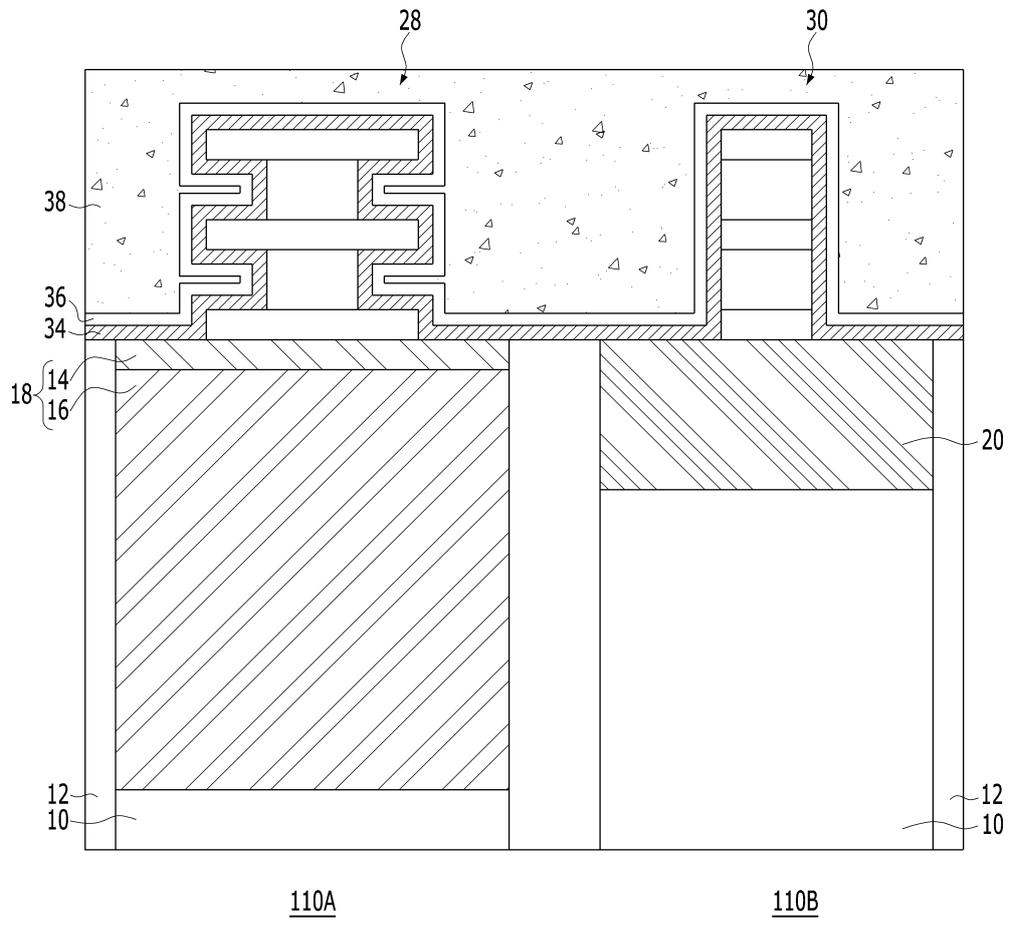
도면5b



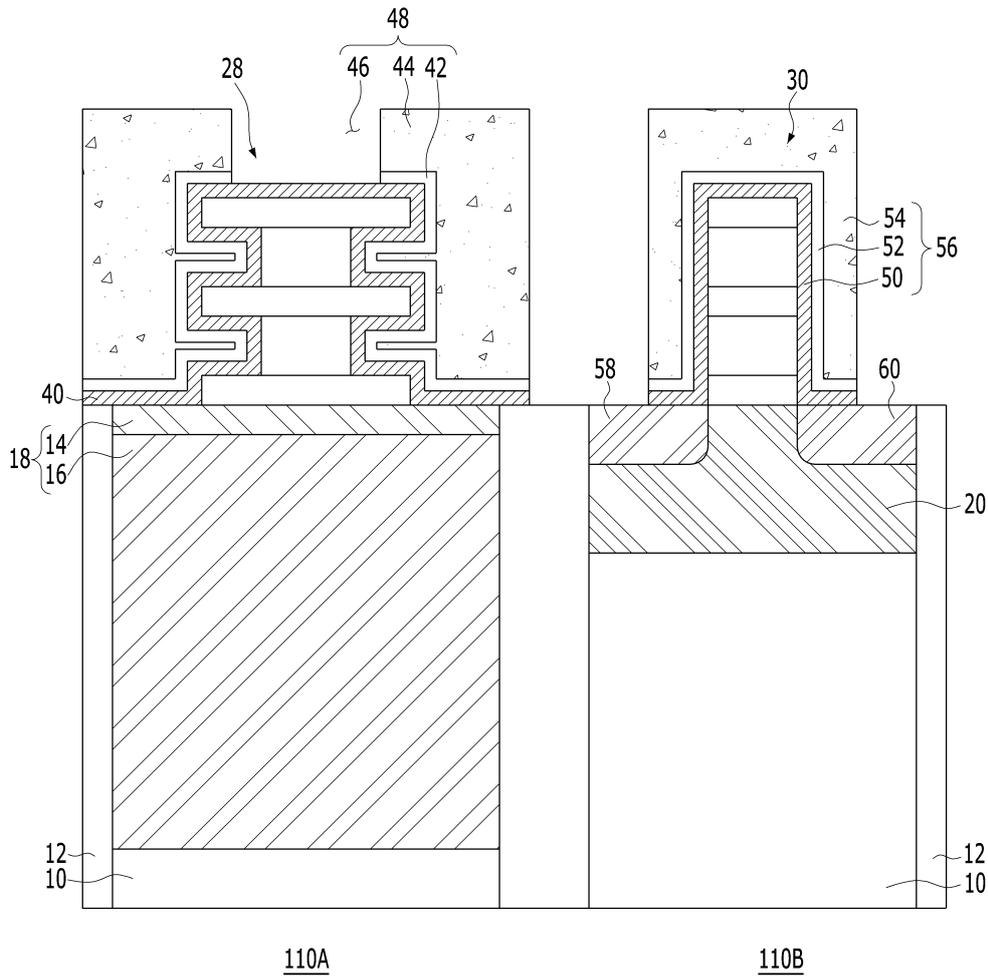
도면5c



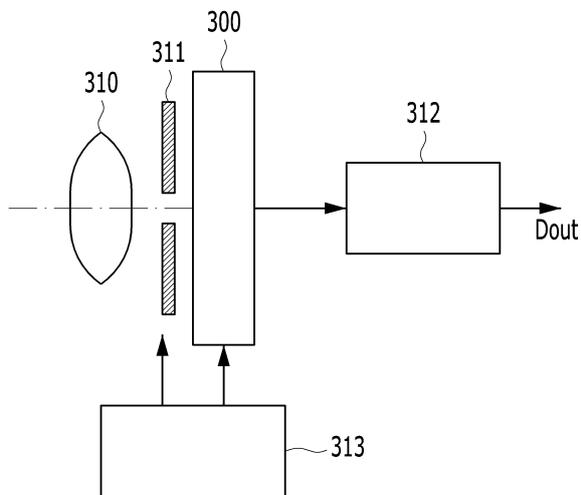
도면5d



도면5e



도면6



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

제2항에 있어서,

상기 제1절연막의 두께보다 상기 제2절연막의 두께가 더 큰 이미지 센서.

【변경후】

제1항에 있어서,

상기 제1절연막의 두께보다 상기 제2절연막의 두께가 더 큰 이미지 센서.