

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7112254号  
(P7112254)

(45)発行日 令和4年8月3日(2022.8.3)

(24)登録日 令和4年7月26日(2022.7.26)

(51)国際特許分類	F I
G 0 2 B 6/12 (2006.01)	G 0 2 B 6/12 3 0 1
G 0 2 B 6/42 (2006.01)	G 0 2 B 6/42
G 0 2 B 6/124(2006.01)	G 0 2 B 6/124
H 0 1 L 31/02 (2006.01)	H 0 1 L 31/02 B

請求項の数 11 (全28頁)

(21)出願番号	特願2018-104842(P2018-104842)	(73)特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22)出願日	平成30年5月31日(2018.5.31)	(74)代理人	110002066弁理士法人筒井国際特許事務所
(65)公開番号	特開2019-211508(P2019-211508 A)	(72)発明者	飯田 哲也 茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチュアリング株式会社内
(43)公開日	令和1年12月12日(2019.12.12)	(72)発明者	中柴 康 隆 茨城県ひたちなか市堀口751番地 ルネサスセミコンダクタマニュファクチュアリング株式会社内
審査請求日	令和2年10月16日(2020.10.16)	審査官	坂上 大貴

最終頁に続く

(54)【発明の名称】 半導体モジュールおよび半導体モジュールを用いた通信方法

(57)【特許請求の範囲】

【請求項1】

第1表面、光デバイス、および、前記第1表面から露出し、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第1配線を備える第1半導体チップと、

第2表面、電気回路の一部を構成する半導体素子、および、前記第2表面から露出し、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第2配線を備える第2半導体チップと、

を有し、

前記第1配線と前記第2配線とが直接接するように、前記第1半導体チップの前記第1表面は、前記第2半導体チップの前記第2表面と接合しており、

前記光デバイスは、

半導体層からなる第1光導波路と、

コア層として機能し、かつ前記第1光導波路の下面に直接接している第2光導波路と、を有し、

前記第1半導体チップは、前記第1配線と同層に形成され、且つ、前記光デバイスに電氣的に接続されていない第1ダミー配線を含み、

前記第2半導体チップは、前記第2配線と同層に形成され、且つ、前記半導体素子に電氣的に接続されていない第2ダミー配線を含み、

前記第1ダミー配線は、前記第2ダミー配線に直接接し、

前記光デバイスは、受光器を有し、  
 前記受光器の下方には、第1絶縁膜が形成され、  
 前記第1半導体チップの裏面において、前記第1絶縁膜が露出され、  
 前記受光器の上方に、反射膜が形成され、  
 前記反射膜は、前記第1配線および前記第1ダミー配線と同じ材料で形成され、且つ、前記第1配線および前記第1ダミー配線と同層に形成され、  
 前記受光器は、前記第1半導体チップの前記裏面側において、半導体モジュール外部の光通信機器からの光を受光可能である、半導体モジュール。

【請求項2】

請求項1記載の半導体モジュールにおいて、  
 平面視において、前記第1半導体チップの外周は、前記第2半導体チップの外周と5 μm以内の範囲で一致している、半導体モジュール。 10

【請求項3】

請求項1記載の半導体モジュールにおいて、  
 平面視において、前記第1半導体チップおよび前記第2半導体チップは、それぞれ、第1方向に沿った第1辺および第2辺と、前記第1方向と交差する第2方向に沿った第3辺および第4辺とを有し、  
 前記第1半導体チップの第1辺および前記第2半導体チップの第1辺は、5 μm以内の範囲で一致し、  
 前記第1半導体チップの第2辺および前記第2半導体チップの第2辺は、5 μm以内の範囲で一致し、  
 前記第1半導体チップの第3辺および前記第2半導体チップの第3辺は、5 μm以内の範囲で一致し、  
 前記第1半導体チップの第4辺および前記第2半導体チップの第4辺は、5 μm以内の範囲で一致している、半導体モジュール。 20

【請求項4】

請求項1記載の半導体モジュールにおいて、  
 前記第2半導体チップにおいて、前記半導体素子の下方には半導体基板が設けられ、  
 前記第1半導体チップにおいて、前記光デバイスの下方には半導体基板が設けられていない、半導体モジュール。 30

【請求項5】

請求項1記載の半導体モジュールにおいて、  
 前記第1半導体チップは、  
 前記光デバイスの上方に形成され、且つ、前記第1配線を含む第1多層配線と、  
 前記光デバイスの下方に形成され、且つ、前記第1半導体チップの裏面側に形成された第1絶縁膜と、  
 前記第1絶縁膜の下面に形成されたパッド電極と、  
 前記第1絶縁膜を貫通し、且つ、前記パッド電極および前記第1配線に電氣的に接続された貫通電極と、  
 前記パッド電極の下面に形成された外部接続用端子と、  
 を有し、  
 前記第2半導体チップは、  
 表面および裏面を有する半導体基板と、  
 前記半導体基板の前記表面の上方に形成され、且つ、前記第2配線を含む第2多層配線と、  
 を有し、  
 前記半導体素子は、前記半導体基板の前記表面に形成されている、半導体モジュール。 40

【請求項6】

請求項5記載の半導体モジュールにおいて、  
 前記第1配線および前記第1ダミー配線は、前記第1多層配線の最上層配線であり、 50

前記第 2 配線および前記第 2 ダミー配線は、前記第 2 多層配線の最上層配線である、半導体モジュール。

【請求項 7】

請求項 1 記載の半導体モジュールにおいて、

前記第 2 光導波路は、前記第 1 光導波路の前記下面および側面を覆っている、半導体モジュール。

【請求項 8】

第 1 表面、光デバイス、および、前記第 1 表面から露出し、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第 1 配線を備える第 1 半導体チップと、

第 2 表面、電気回路の一部を構成する半導体素子、および、前記第 2 表面から露出し、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第 2 配線を備える第 2 半導体チップと、

を有し、

前記第 1 配線と前記第 2 配線とが直接接するように、前記第 1 半導体チップの前記第 1 表面は、前記第 2 半導体チップの前記第 2 表面と接合しており、

前記光デバイスは、凹部および凸部を有するグレーティングカプラを含み、

前記グレーティングカプラの前記凹部および前記凸部は、前記第 1 半導体チップの裏面側に向けて設けられ、

前記凹部は、半導体層内において、前記半導体層を貫通しないように形成され、

前記グレーティングカプラの下方には、第 5 絶縁膜が形成され、

前記第 1 半導体チップの裏面において、前記第 5 絶縁膜が露出され、

前記第 1 半導体チップは、前記第 1 配線と同層に形成され、且つ、前記光デバイスに電氣的に接続されていない第 1 ダミー配線を含み、

前記第 2 半導体チップは、前記第 2 配線と同層に形成され、且つ、前記半導体素子に電氣的に接続されていない第 2 ダミー配線を含み、

前記第 1 ダミー配線は、前記第 2 ダミー配線に直接接し、

前記グレーティングカプラの上方に、反射膜が形成され、

前記反射膜は、前記第 1 配線および前記第 1 ダミー配線と同じ材料で形成され、且つ、前記第 1 配線および前記第 1 ダミー配線と同層に形成され、

前記グレーティングカプラは、前記第 1 半導体チップの前記裏面側において、半導体モジュール外部の光通信機器と、光通信を行うことが可能である、半導体モジュール。

【請求項 9】

請求項 5 記載の半導体モジュールを用いた通信方法において、

前記半導体モジュール外部の電気機器からの第 1 電気信号を、前記外部接続用端子および前記貫通電極を介して、前記第 1 半導体チップで受信する工程、

前記第 1 半導体チップが受信した前記第 1 電気信号を、前記第 1 半導体チップから前記第 2 半導体チップへ送信する工程、

前記第 2 半導体チップが受信した前記第 1 電気信号を、前記半導体素子を用いて、第 2 電気信号に加工する工程、

前記第 2 電気信号を、前記第 2 半導体チップから前記第 1 半導体チップへ送信する工程、  
前記第 1 半導体チップが受信した前記第 2 電気信号を、前記光デバイスを用いて、光信号へ変換する工程、

前記光信号を、前記第 1 半導体チップから前記半導体モジュール外部の光通信機器へ送信する工程、

を有する、通信方法。

【請求項 10】

請求項 5 記載の半導体モジュールを用いた通信方法において、

前記半導体モジュール外部の光通信機器からの光信号を、前記第 1 半導体チップで受信する工程、

10

20

30

40

50

前記第 1 半導体チップが受信した前記光信号を、前記光デバイスを用いて、第 3 電気信号へ変換する工程、

前記第 3 電気信号を、前記第 1 半導体チップから前記第 2 半導体チップへ送信する工程

、  
前記第 2 半導体チップが受信した前記第 3 電気信号を、前記半導体素子を用いて、第 4 電気信号に加工する工程、

前記第 4 電気信号を、前記外部接続用端子および前記貫通電極を介して、前記半導体モジュール外部の電気機器へ送信する工程、

を有する、通信方法。

【請求項 1 1】

請求項 1 記載の半導体モジュールにおいて、

前記第 1 半導体チップは、前記光デバイスの上方に形成された第 1 多層配線を有し、

前記第 2 半導体チップは、前記半導体素子の上方に形成された第 2 多層配線を有し、

前記第 1 配線および前記第 1 ダミー配線は、前記第 1 多層配線の最上層配線であり、

前記第 2 配線および前記第 2 ダミー配線は、前記第 2 多層配線の最上層配線である、半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体モジュールおよびその製造方法、並びに、半導体モジュールを用いた通信方法に関し、例えば、光信号および電気信号の伝搬を行う半導体モジュールに好適に利用できるものである。

【背景技術】

【0002】

近年、光通信を行う半導体装置として、シリコンフォトニクス技術が開発されている。シリコンフォトニクス技術では、半導体基板上に、シリコンなどの半導体を材料とした光信号用の伝送線路を形成し、この光信号用の伝送線路により形成される種々の光デバイスと、電子デバイスとを集積したフォトニクスチップが使用される。また、このフォトニクスチップを制御するためのドライバチップを、フォトニクスチップ上に搭載することで、光信号および電気信号の伝搬を行う半導体モジュールの集積化が検討されている。

【0003】

特許文献 1 ~ 4 には、光導波路などの光デバイスが形成された基板上に、ドライバチップを搭載する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開 2017 - 151146 号公報

国際公開第 2014 / 156962 号

米国特許出願公開第 2009 / 0294814 号明細書

米国特許出願公開第 2009 / 0297091 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

フォトニクスチップを有する光通信用の半導体モジュールにおいて、フォトニクスチップのサイズは、半導体素子から構成される電子回路が形成されたドライバチップのサイズよりも大きい場合が多い。これは、フォトニクスチップにおいては、光の伝送距離が長くなっても伝搬損失が非常に小さいため、ドライバチップにおいて、電気の伝送距離を最短とする方が、全体的な伝搬損失を低減し、消費電力を最小にできるからである。更に、フォトニクスチップの上面側の方向、または、フォトニクスチップの側面側の方向から光の入出力を行うことができる。

10

20

30

40

50

## 【 0 0 0 6 】

しかし、このような光信号および電気信号の伝搬を行う半導体モジュールでは、フォトリソグラフィとドライバチップとの間で、体積当たりのデータ伝送量（帯域密度）を最大化し、データ伝送エネルギーの効率（情報量当たりの消費電力）を向上させることが困難である。また、半導体モジュールの高集積化のための設計自由度が低いので、半導体モジュールの微細化に対応し難いという問題がある。

## 【 0 0 0 7 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【課題を解決するための手段】

10

## 【 0 0 0 8 】

一実施の形態によれば、半導体モジュールは、光デバイス、および、光デバイスの上方に形成された第1配線を備える第1半導体チップと、電気回路の一部を構成する半導体素子、および、半導体素子の上方に形成された第2配線を備える第2半導体チップと、を有する。ここで、第2半導体チップは、第1半導体チップ上に搭載され、第1配線と第2配線とが直接接するように、第1半導体チップの表面は、第2半導体チップの表面と接合している。

## 【発明の効果】

## 【 0 0 0 9 】

一実施の形態によれば、半導体モジュールの性能を向上させることができる。

20

## 【図面の簡単な説明】

## 【 0 0 1 0 】

【図1】実施の形態1の半導体モジュールを示す平面図である。

【図2】実施の形態1の半導体モジュールを示す断面図である。

【図3】実施の形態1の半導体モジュールの製造工程を示す断面図である。

【図4】図3に続く製造工程を示す断面図である。

【図5】図4に続く製造工程を示す断面図である。

【図6】図5に続く製造工程を示す断面図である。

【図7】実施の形態2の半導体モジュールを示す断面図である。

【図8】実施の形態3の半導体モジュールを示す断面図である。

30

【図9】実施の形態3の半導体モジュールを示す要部平面図である。

【図10】実施の形態3の半導体モジュールを示す要部断面図である。

【図11】実施の形態3の半導体モジュールを示す要部断面図である。

【図12】実施の形態3の半導体モジュールの製造工程を示す要部断面図である。

【図13】図12に続く製造工程を示す要部断面図である。

【図14】変形例1の半導体モジュールを示す断面図である。

【図15】変形例1の半導体モジュールを示す要部断面図である。

【図16】変形例1の半導体モジュールを示す要部断面図である。

【図17】変形例1の半導体モジュールの製造工程を示す要部断面図である。

【図18】図17に続く製造工程を示す要部断面図である。

40

【図19】実施の形態4の半導体モジュールを示す断面図である。

【図20】実施の形態4の半導体モジュールの製造工程を示す要部断面図である。

【図21】図20に続く製造工程を示す要部断面図である。

【図22】変形例2の半導体モジュールを示す断面図である。

## 【発明を実施するための形態】

## 【 0 0 1 1 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に

50

言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップなども含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合などを除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合などを除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

#### 【0012】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。また、実施の形態で用いる断面図においては、図面を見易くするためにハッチング等を省略する場合もある。

10

#### 【0013】

（実施の形態1）

図1には、光信号および電気信号の伝搬を行う半導体装置である半導体モジュールM Jの平面図が示されており、図2には、半導体モジュールM Jの断面図が示されている。半導体モジュールM Jは、半導体チップC H P 1と、半導体チップC H P 1上に搭載された半導体チップC H P 2を有する。半導体チップC H P 1は、光導波路などの光デバイスを備えたフォトニクスチップである。半導体チップC H P 2は、半導体チップC H P 1と電気信号の伝搬を行い、且つ、C P U（central processing unit）などの電気回路が形成されているドライバチップである。

20

#### 【0014】

図1に示されるように、半導体モジュールM Jの外部には、光通信機器として、レーザー光L Zを発光する発光部を有するレーザーダイオードチップL Dが設けられている。半導体モジュールM Jのうち半導体チップC H P 1は、直接または光ファイバなどを介して、レーザーダイオードチップL Dからのレーザー光L Zの受光が可能であり、図示はしていないが、半導体モジュールM J外部に取り付けられる光ファイバなどの光通信機器と光の送受信を行うことができる。すなわち、半導体モジュールM Jは、光の送受信が可能な光通信用のインターポーザであるとも言える。

30

#### 【0015】

また、後で詳細に説明するが、半導体チップC H P 1の平面サイズは、半導体チップC H P 2の平面サイズとほぼ同じである。図1に示されるように、平面視において、半導体モジュールM Jは、X方向に沿った第1辺S 1および第2辺S 2、並びに、Y方向に沿った第3辺S 3および第4辺S 4を有し、半導体チップC H P 1および半導体チップC H P 2も、これらに対応する第1辺S 1～第4辺S 4を有する。なお、X方向およびY方向は、互いに交差し、互いに直交している。

#### 【0016】

ここで、第1辺S 1を用いて例示すると、平面視において、半導体チップC H P 1の第1辺S 1の位置は、半導体チップC H P 2の第1辺S 1の位置と、5 μ m以内の範囲で一致している。このような関係は、各々の第2辺S 2～第4辺S 4についても同様である。

40

#### 【0017】

すなわち、平面視において、半導体チップC H P 1の外周は、半導体チップC H P 2の外周と所定の範囲内で一致し、具体的には、半導体チップC H P 2の外周と5 μ m以内の範囲で一致している。言い換えれば、半導体チップC H P 1の側面と、半導体チップC H P 2の側面とは、面一である。更に言い換えれば、半導体チップC H P 1の第1辺S 1～第4辺S 4の位置と、半導体チップC H P 2の第1辺S 1～第4辺S 4の位置とのずれが、それぞれ5 μ m以内である。

#### 【0018】

50

以降の本実施の形態において、半導体チップC H P 1の平面サイズ、および、半導体チップC H P 2の平面サイズが、同じ、または、ほぼ同じと記したときは、上述のように、半導体チップC H P 1の外周が、半導体チップC H P 2の外周と5  $\mu$ m以内の範囲で一致していることを意味する。

#### 【0019】

以下に、図2を用いて、本実施の形態の半導体モジュールM Jに含まれる半導体チップC H P 1および半導体チップC H P 2の構造について説明する。図2に示されるように、半導体チップC H P 1は、表面T S 1および裏面B S 1を有し、半導体チップC H P 2は、表面T S 2および裏面B S 2を有している。表面T S 1および表面T S 2は、向かい合わせになっており、互いに接合している。すなわち、図2では、半導体チップC H P 2が逆さになっている状態が示されている。

10

#### 【0020】

また、図2の断面図において、半導体モジュールM Jの側面(半導体チップC H P 1の側面)のうち、光導波路W G 1に近い側面が、図1に示される辺S 4に対応している。

#### 【0021】

<半導体チップC H P 1の構造>

本実施の形態では、半導体チップC H P 1に含まれる主な構成として、光デバイス(光半導体素子)である光導波路W G 1、光変調器O Mおよび受光器O Rが示されている。

#### 【0022】

光導波路W G 1、光変調器O Mおよび受光器O Rは、それぞれ絶縁膜B X上に形成されており、同層の半導体層が加工されて形成されている。このような半導体層は、例えばシリコンからなる。また、絶縁層B Xは、例えば酸化シリコンからなり、例えば500nm~3  $\mu$ mの厚さを有する。

20

#### 【0023】

光導波路W G 1は、主に、各光デバイスを光学的に接続するための光信号の伝搬路であり、例えば半導体層からなる。本実施の形態の図面では詳細に図示していないが、光導波路W G 1は、光変調器O Mおよび受光器O Rのような他の光デバイスと接続されている。

#### 【0024】

光変調器O Mを構成する半導体層は、例えば、p型、i型(真性半導体)およびn型の領域を含み、これらによってp i n構造が構成されている。そして、p型およびn型の領域は、プラグなどを介して、それぞれ上層の配線M 1 aに電氣的に接続されている。この配線M 1 aから供給される電圧により、半導体層内のキャリア密度を変化させることで、半導体層内の屈折率が変化する。これにより、光変調器O Mを伝搬する光に対する実効的な屈折率が変化して、光変調器O Mから出力される光の位相を変化させることができる。

30

#### 【0025】

受光器O Rは、例えばp型の不純物が導入された半導体層と、このp型の半導体層上に形成され、その表面がn型であるi型のゲルマニウム層とを含み、これらによってp i n構造が構成されている。n型のゲルマニウム層およびp型の半導体層は、プラグなどを介して、それぞれ上層の配線M 1 aに電氣的に接続されている。これによって、p i n構造において光起電力効果により流れる直流電流を、受光器O Rの外部に取り出すことができる。

40

#### 【0026】

また、後で説明するが、半導体チップC H P 1では、半導体チップC H P 1の裏面B S 1において、半導体基板S B 1が除去されている。このため、受光器O Rは、裏面B S 1側において、半導体モジュールM J外部の光通信機器からの光を受光することができる。

#### 【0027】

光導波路W G 1、光変調器O Mおよび受光器O Rの上方には、例えば酸化シリコンからなる層間絶縁膜I L 1が形成されている。このように、光導波路W G 1、光変調器O Mおよび受光器O Rの各々の周囲は、互いに同じ材料からなる絶縁膜B Xおよび層間絶縁膜I L 1に覆われている。そして、絶縁膜B Xおよび層間絶縁膜I L 1は、光導波路W G 1、光変調器O Mおよび受光器O Rを構成する材料の屈折率よりも、低い屈折率を有する材料

50

からなる。このため、光導波路WG1、光変調器OMおよび受光器ORは、光デバイスのコア層として機能し、絶縁膜BXおよび層間絶縁膜IL1は、光デバイスのクラッド層として機能する。

#### 【0028】

層間絶縁膜IL1中には、1層目の配線M1aと、配線M1aの上方に2層目の配線M2aが形成されている。層間絶縁膜IL1は、実際には多層の絶縁膜の積層膜からなり、配線M1aおよび配線M2aは、各層の絶縁膜中に形成されているが、本実施の形態では、このような多層の絶縁膜を層間絶縁膜IL1として図示している。光デバイスは、配線M1aおよび配線M2aに電氣的に接続されている。配線M1aおよび配線M2aは、所謂ダマシ構造またはデュアルダマシ構造の配線であり、銅を主体とした導電性膜からなる。ダマシ構造またはデュアルダマシ構造とは、層間絶縁膜IL1などの絶縁膜に溝を形成し、この溝内に窒化タンタル膜などのバリアメタル膜を介して、銅を主体とした導電性膜を埋め込み、その後、溝外のバリアメタル膜および導電性膜を、CMP (chemical mechanical polishing) 法によって除去することで形成される配線構造である。

10

#### 【0029】

光デバイスの下方には絶縁膜BXが形成されているが、絶縁膜BXの下面には、更に、例えば酸化シリコンからなる絶縁膜IFが形成されている。

#### 【0030】

絶縁膜BXと、光導波路WG1、光変調器OMおよび受光器ORなどに使用される半導体層とは、元々、SOI (Silicon on Insulator) 基板の一部である。本実施の形態では、SOI基板の支持基板である半導体基板SB1を除去している。この時、絶縁膜BXの一部も除去され、絶縁膜BXの厚さが薄くなり、絶縁膜BXがクラッド層として機能できる程度の厚さを保てなくなる恐れがある。このため、絶縁膜IFは、半導体チップCHP1の裏面BS1側において、クラッド層としての役目も果たす。なお、この目的が絶縁膜BXのみで十分に達成できるならば、本実施の形態において、絶縁膜IFは必須ではない。

20

#### 【0031】

絶縁膜IFの下面側(半導体チップCHP1の裏面BS1側)には、例えば銅膜またはアルミニウム膜を有するパッド電極PADが形成されている。また、パッド電極PADは、貫通電極TGVを介して、配線M1aに電氣的に接続されている。貫通電極TGVは、裏面BS1側から配線M1aに達するように、絶縁膜BXおよび絶縁膜IFを貫通し、層間絶縁膜IL1の一部が除去されることで形成された孔内に、例えば銅からなる導電性膜を埋め込むことで構成される。

30

#### 【0032】

パッド電極PADの下面には、外部接続用端子として、例えば半田からなるバンプ電極BEが形成されている。図示はしていないが、このバンプ電極BEは、他の配線基板または他の半導体チップなどに接続される。従って、半導体チップCHP1は、他の配線基板または他の半導体チップなどのような半導体モジュールMJ外部の電気機器と、電気信号の伝達を行うことができる。

#### 【0033】

<半導体チップCHP2の構造>

本実施の形態では、半導体チップCHP2に含まれる主な構成として、半導体素子であるMISFET1Q~3Qとが示されている。

40

#### 【0034】

半導体チップCHP2の裏面BS2側には、p型の不純物が導入されたシリコンからなる半導体基板(基板)SB2が設けられている。従って、半導体基板SB2の裏面は、半導体チップCHP2の裏面BS2である。

#### 【0035】

半導体基板SB2の表面には、p型のウェル領域PW1~PW3、および、n型のウェル領域NWが形成されている。本実施の形態では、ウェル領域PW1にMISFET1Qが形成され、ウェル領域PW2にMISFET2Qが形成され、ウェル領域PW3に容量

50

素子が形成され、ウェル領域NWにMISFET3Qが形成されている例を示している。これらのMISFET1Q～3Qは、半導体チップCHP2内に形成されている電気回路の一部を構成する半導体素子である。

【0036】

なお、詳細な説明は省略するが、MISFET1QおよびMISFET2Qは、n型のトランジスタであり、n型のソース領域、n型のドレイン領域、ゲート絶縁膜およびゲート電極を有する。また、MISFET3Qは、p型のトランジスタであり、p型のソース領域、p型のドレイン領域、ゲート絶縁膜およびゲート電極を有する。ウェル領域PW3は、n型の拡散領域およびp型の拡散領域を有する容量素子を構成し、この容量素子は、例えばアナログ回路のACハイパスフィルタの一部として設けられている。

10

【0037】

半導体基板SB2上には、半導体素子(MISFET1Q～3Q)を覆うように、層間絶縁膜IL2が形成されており、層間絶縁膜IL2中には、半導体素子の上方に多層配線層が形成されている。図2では、このような多層配線層として、配線M1b～M6bが示されており、半導体素子は配線M1b～M6bに電気的に接続されている。これらの配線M1b～M6bの構造は、半導体チップCHP1の配線M1aおよび配線M2aと同様に、例えばダマシ構造またはデュアルダマシ構造である。層間絶縁膜IL2は、実際には多層の絶縁膜の積層膜からなり、配線M1b～M6bは、各層の絶縁膜中に形成されているが、本実施の形態では、このような多層の絶縁膜を層間絶縁膜IL2として図示している。

20

【0038】

<半導体モジュールMJの構成および特徴>

本実施の形態における半導体モジュールMJは、半導体チップCHP1および半導体チップCHP2を有し、半導体チップCHP1の表面TS1および半導体チップCHP2の表面TS2が、互いに接合している。具体的には、半導体チップCHP1の層間絶縁膜IL1の上面が、半導体チップCHP2の層間絶縁膜IL2の上面と接合し、半導体チップCHP1の最上層配線である配線M2aの上面が、半導体チップCHP2の最上層配線である配線M6bの上面と接合している。

【0039】

このように、半導体チップCHP1および半導体チップCHP2は、互いに直接接している配線M2aおよび配線M6bを介して、電気信号の伝達を行うことができる。また、半導体チップCHP1のポンプ電極BEを介して、半導体チップCHP1外部の電気機器(他の配線基板または他の半導体チップなど)から半導体チップCHP2へ、電気信号の伝達を行うことができる。また、半導体チップCHP1は、レーザダイオードチップLDおよび光ファイバなど、半導体モジュールMJ外部の光通信機器と光の送受信を行うことができる。

30

【0040】

以下に、半導体モジュールMJと、半導体モジュールMJ外部の光通信機器および電気機器との通信方法について説明する。

【0041】

電気信号から光信号へ変換する場合は、まず、半導体モジュールMJ外部の電気機器からの第1電気信号を、ポンプ電極BE、貫通電極TGVおよび配線M1aを介して、半導体チップCHP1内で受信する。次に、半導体チップCHP1が受信した第1電気信号を、配線M2aおよび配線M6bを介して、半導体チップCHP1から半導体チップCHP2へ送信する。次に、半導体チップCHP2が受信した第1電気信号を、半導体チップCHP2のMISFET1Q～3Qなどを用いて、第2電気信号などに加工する。次に、第2電気信号を、半導体チップCHP2から半導体チップCHP1へ送信する。次に、半導体チップCHP1が受信した第2電気信号を、半導体チップCHP1の光デバイス(光導波路WG1、光変調器OMおよび受光器OR)を用いて、光信号へ変換する。その後、光信号が、半導体モジュールMJ外部の光通信機器(光ファイバなど)へ送信される。

40

50

## 【0042】

光信号から電気信号へ変換する場合は、上記と逆の通信経路を辿ればよい。すなわち、まず、半導体モジュールMJ外部の光通信機器（レーザダイオードチップLDなど）からの光信号を、半導体チップCHP1で受信する。次に、半導体チップCHP1が受信した光信号を、半導体チップCHP1の光デバイスを用いて、第3電気信号へ変換する。次に、第3電気信号を、半導体チップCHP1から半導体チップCHP2へ送信する。次に、半導体チップCHP2が受信した第3電気信号を、半導体チップCHP2のMISFET1Q~3Qなどを用いて、第4電気信号などに加工する。その後、第4電気信号が、半導体チップCHP1のバンプ電極BE、貫通電極TGV、配線M1aおよび配線M2aを介して、半導体モジュールMJ外部の電気機器へ送信される。

10

## 【0043】

また、従来技術においては、上述の先行技術文献などに示されるように、フォトニクスチップである半導体チップCHP1の平面サイズが、ドライバチップである半導体チップCHP2の平面サイズよりも大きくなるように形成されていた。

## 【0044】

これに対して、本実施の形態では、図1で説明したように、半導体チップCHP1の平面サイズ、および、半導体チップCHP2の平面サイズは同じである。より具体的には、平面視において、半導体チップCHP1の外周は、半導体チップCHP2の外周と5μm以内の範囲で一致している。

## 【0045】

従って、半導体チップCHP1と半導体チップCHP2との実装密度が最大となっているので、両チップ間において、単位体積当たりのデータ伝送量を最大化し、データ伝送エネルギーの効率を向上させることができる。従って、半導体チップCHP1および半導体チップCHP2を有する半導体モジュールMJの性能を向上させることができる。

20

## 【0046】

また、半導体チップCHP1の平面サイズを、半導体チップCHP2の平面サイズと同じにすることができるので、半導体モジュールMJを高集積化することが可能であり、半導体モジュールMJの微細化を図ることができる。

## 【0047】

また、従来技術においては、上述の先行技術文献などに示されるように、フォトニクスチップが、ドライバチップに層間絶縁膜のみを介して接合されているため、フォトニクスチップおよびドライバチップの接合強度が十分でない。

30

## 【0048】

これに対して、本実施の形態では、半導体チップCHP1の表面TS1および半導体チップCHP2の表面TS2において、半導体チップCHP1の配線M2aおよび半導体チップCHP2の配線M6bが互いに直接接合している。このため、半導体チップCHP1と半導体チップCHP2との間の抵抗を最小にすることができるとともに、半導体チップCHP1と半導体チップCHP2との接合強度を高めることができる。従って、上記の半導体チップCHP1と半導体チップCHP2との間のデータ伝送エネルギーの効率を最大にすることができる。また、半導体チップCHP1と半導体チップCHP2との接続は、配線M2aおよび配線M6bからなる積層配線を引き回すことで達成できる。すなわち、厚さの厚い積層配線によって、半導体チップCHP1内および半導体チップCHP2内の所望の箇所まで配線を引き回せるため、設計の自由度が増し、配線抵抗を低く抑制することができる。

40

## 【0049】

<半導体モジュールMJの製造方法>

以下に、図3~図6を用いて、本実施の形態の半導体モジュールMJの製造方法を説明する。なお、図3~図6では、最終的に図2の半導体モジュールMJが形成される領域に着目して説明するが、図3~図6は、実際には、半導体モジュールMJが形成される領域を複数備えるウェハ状態における製造工程の断面図となっている。

50

## 【 0 0 5 0 】

まず、図3に示されるように、半導体チップC H P 1となる領域を複数有するウェハW F 1と、半導体チップC H P 2となる領域を複数有するウェハW F 2とを、それぞれ準備する。

## 【 0 0 5 1 】

ウェハW F 1では、半導体基板S B 1上に絶縁膜B Xが形成され、絶縁膜B X上に光デバイス（光導波路W G 1、光変調器O Mおよび受光器O Rなど）、層間絶縁膜I L 1、配線M 1 aおよび配線M 2 aが形成されている。なお、半導体基板S B 1、絶縁膜B X、並びに、光導波路W G 1、光変調器O Mおよび受光器O Rなどに使用される半導体層は、それぞれ、S O I基板の一部である。

10

## 【 0 0 5 2 】

ウェハW F 2では、半導体基板S B 2上にM I S F E T 1 Q ~ 3 Qが形成され、M I S F E T 1 Q ~ 3 Q上に、層間絶縁膜I L 2および配線M 2 a ~ M 6 bが形成されている。

## 【 0 0 5 3 】

このようなウェハW F 1およびウェハW F 2を準備した後、ウェハW F 1の表面T S 1と、ウェハW F 2の表面T S 2とが向き合うように、ウェハW F 1に対してウェハW F 2を反転させる、または、ウェハW F 2に対してウェハW F 1を反転させる。

## 【 0 0 5 4 】

次に、図4に示されるように、ウェハW F 1の表面T S 1と、ウェハW F 2の表面T S 2とを互いに接合させる。この時、半導体チップC H P 1となる領域が、半導体チップC H P 2となる領域と重なるように、ウェハW F 1とウェハW F 2との位置合わせが行われる。これにより、ウェハW F 1の層間絶縁膜I L 1および配線M 2 aが、それぞれ、ウェハW F 2の層間絶縁膜I L 2および配線M 6 bに接合される。

20

## 【 0 0 5 5 】

次に、図5に示されるように、ウェハW F 1の裏面B S 1に対して研磨処理を行い、半導体基板S B 1を除去することで、ウェハW F 1の裏面B S 1側において、絶縁膜B Xを露出させる。

## 【 0 0 5 6 】

次に、絶縁膜B Xの下面に、例えばC V D法によって、酸化シリコンからなる絶縁膜I Fを形成する。絶縁膜I Fの厚さは、例えば1  $\mu$ m ~ 2  $\mu$ mである。

30

## 【 0 0 5 7 】

なお、必要であれば、これらの工程の前後に、ウェハW F 2の裏面B S 2を研磨して半導体基板S B 2を薄くしてもよい。

## 【 0 0 5 8 】

次に、図6に示されるように、まず、ウェハW F 1の裏面B S 1側から配線M 1 aに達するように、絶縁膜B Xおよび絶縁膜I Fを貫通し、層間絶縁膜I L 1の一部を除去することで、孔を形成する。次に、この孔内に、例えば銅からなる導電性膜を埋め込む。次に、絶縁膜I Fの下面側（ウェハW F 1の裏面B S 1側）に、例えば銅膜またはアルミニウム膜を含む導電性膜を形成し、この導電性膜をパターニングすることで、パッド電極P A Dを形成する。次に、パッド電極P A Dに接するように、例えば半田ボールからなるバン

40

## 【 0 0 5 9 】

図6の製造工程後、互いに接合しているウェハW F 1およびウェハW F 2を、ダイシング工程によって個片化することで、図2に示されるような、互いに接合している半導体チップC H P 1および半導体チップC H P 2が複数個取得される。すなわち、複数の半導体モジュールM Jが形成される。

## 【 0 0 6 0 】

このように、ウェハW F 1およびウェハW F 2が互いに接合された状態において、ダイシング工程を行っているので、半導体チップC H P 1の平面サイズ、および、半導体チップC H P 2の平面サイズは同じとなる。

50

## 【 0 0 6 1 】

ここで、ダイシング工程には、ブレードまたはレーザによる手法が用いられるが、本願発明者らの検討によれば、これらの手法では、各チップのサイズに多少のばらつきがあることが判った。また、層間絶縁膜 I L 1 および層間絶縁膜 I L 2 のような絶縁膜と、半導体基板 S B 2 のようなシリコンとでは、熱膨張係数が異なるため、ダイシング工程後に、半導体チップ C H P 1 および半導体チップ C H P 2 の各々の平面サイズが変化することもある。

## 【 0 0 6 2 】

特に、本実施の形態のように、互いに接合されたウェハ W F 1 およびウェハ W F 2 を一括してダイシングする場合、1つの半導体モジュール M J における平面サイズのばらつきが大きくなる。このようなばらつきは、5  $\mu$ m 以内の範囲である。すなわち、本実施の形態の半導体モジュール M J では、図 1 で説明したように、半導体チップ C H P 1 の第 1 辺 S 1 ~ 第 4 辺 S 4 の位置と、半導体チップ C H P 2 の第 1 辺 S 1 ~ 第 4 辺 S 4 の位置とのずれが、それぞれ 5  $\mu$ m 以内である。

10

## 【 0 0 6 3 】

(実施の形態 2)

以下に、実施の形態 2 の半導体モジュール M J を、図 7 を用いて説明する。なお、以下の説明では、実施の形態 1 との相違点を主に説明する。

## 【 0 0 6 4 】

図 7 に示されるように、実施の形態 2 では、半導体チップ C H P 1 の最上層配線である配線 M 2 a の一部が、ダミー配線 D W 1 として形成され、半導体チップ C H P 2 の最上層配線である配線 M 6 b の一部が、ダミー配線 D W 2 として形成されている。

20

## 【 0 0 6 5 】

ダミー配線 D W 1 およびダミー配線 D W 2 は、半導体チップ C H P 1 の光デバイス(光導波路 W G 1、光変調器 O M および受光器 O R など)、および、半導体チップ C H P 1 の M I S F E T 1 Q ~ 3 Q のような半導体素子とは電氣的に接続されていない配線であり、フローティング配線である。

## 【 0 0 6 6 】

このようなダミー配線 D W 1 およびダミー配線 D W 2 を設ける目的は、主に、配線 M 2 a および配線 M 6 b を形成する際の研磨処理によるディッシングを防止するためである。すなわち、配線 M 2 a または配線 M 6 b と同層の配線層では、互いに隣接する配線の間隔が大きくなると、ディッシングの問題が生じ易い。従って、そのような間隔の広い領域にダミー配線 D W 1 およびダミー配線 D W 2 を設けることで、ディッシングを防止できる。

30

## 【 0 0 6 7 】

また、実施の形態 2 では、半導体チップ C H P 1 のダミー配線 D W 1 と、半導体チップ C H P 2 のダミー配線 D W 2 とを、互いに接合するように配置している。ダミー配線 D W 1 を含む配線 M 2 a、および、ダミー配線 D W 2 および配線 M 6 b は、銅を主体とした導電性膜によって構成されている。銅は、層間絶縁膜 I L 1 または層間絶縁膜 I L 2 と直接接していると、層間絶縁膜 I L 1 中または層間絶縁膜 I L 2 中へ拡散し易い傾向がある。ダマシン構造である配線 M 2 a および配線 M 6 b は、その側面および底面はバリアメタル膜で囲まれているが、その上面にはバリアメタル膜は形成されていない。そのため、ダミー配線 D W 1 とダミー配線 D W 2 とを、互いに向き合わせることで、ダミー配線 D W 1 とダミー配線 D W 2 に含まれる銅が、層間絶縁膜 I L 1 中または層間絶縁膜 I L 2 中へ拡散されることを、出来るだけ抑制することができる。

40

## 【 0 0 6 8 】

すなわち、ディッシングの抑制だけを目的とするならば、ダミー配線 D W 1 とダミー配線 D W 2 とを互いに接合させる必要はない。しかし、層間絶縁膜 I L 1 中または層間絶縁膜 I L 2 中へ銅の拡散を考慮し、ダミー配線 D W 1 とダミー配線 D W 2 とを互いに接合させることで、半導体モジュール M J 全体の信頼性を向上させることができる。

## 【 0 0 6 9 】

50

更に、金属膜であるダミー配線DW1とダミー配線DW2とを互いに接合させることで、層間絶縁膜IL1と層間絶縁膜IL2とを互いに接合させるよりも、大きな接着力を得ることができる。すなわち、半導体チップCHP1と半導体チップCHP2との接合強度を向上させることができる。

【0070】

(実施の形態3)

以下に、実施の形態3の半導体モジュールMJおよびその製造方法を、図8～図13を用いて説明する。なお、以下の説明では、実施の形態1との相違点を主に説明する。

【0071】

図8に示されるように、実施の形態3では、半導体チップCHP1のうち、レーザダイオードチップLDからのレーザ光LZを受光する側面付近に、スポットサイズコンバータSSCが設けられている。

10

【0072】

<スポットサイズコンバータSSCについて>

フォトリソグラフィ技術である半導体チップCHP1と、レーザダイオードチップLDとの接続において、光導波路WG1を伝搬する光のスポットサイズと、レーザ光LZのような発光素子のスポットサイズと違いが問題なる場合がある。例えば、互いにスポットサイズの異なる光導波路WG1と発光素子とをそのまま光学的に接続すると、接続部分における光損失が大きくなってしまふという問題が生じる。また、光導波路WG1と光ファイバなどとの接続においても、ほぼ同様の問題が生じる。

20

【0073】

例えば、光導波路WG1を伝搬する光のスポットサイズは、サブミクロンのオーダーとなるが、光ファイバや発光素子における光のスポットサイズは、数ミクロンのオーダーとなる。このため、スポットサイズの相対的に小さな光を伝搬する光導波路WG1と、スポットサイズの相対的に大きな光を伝搬する光ファイバまたは発光素子との間に、光のスポットサイズを変換する光デバイスとして、スポットサイズコンバータ(スポットサイズ変換器)SSCを挿入することが有効である。

【0074】

そこで、図8に示されるように、実施の形態3では、スポットサイズコンバータSSCとして、光導波路WG1の一部に加えて、更に、光導波路WG1の下方に光導波路WG2を設けている。この光導波路WG2は、絶縁膜BXと絶縁膜IF1との間に形成され、例えば窒化シリコンからなる絶縁膜によって形成されている。光導波路WG2の厚さは、例えば1 $\mu$ m～2 $\mu$ mである。ここで、光導波路WG2は、光が伝搬する経路であり、コア層として機能する。また、絶縁膜BXの下面と、光導波路WG2の下面とは、光導波路WG2を構成する材料の屈折率よりも、低い屈折率を有する材料からなる絶縁膜IFによって覆われている。従って、絶縁膜IFは、クラッド層として機能している。また、光導波路WG2の一方の側面は、絶縁膜IFに覆われておらず、露出している。すなわち、半導体チップCHP2の第4辺S4において、光導波路WG2の一方の側面は、露出しており、レーザダイオードチップLDからレーザ光LZを直接受光できる。

30

【0075】

図9は、スポットサイズコンバータSSCの一部を構成する光導波路WG1を拡大した要部平面図を示しており、図10および図11は、それぞれ図9のB-B線およびC-C線に沿った断面を示している。なお、図9のA-A線に沿った断面は、図8に示されるスポットサイズコンバータSSCに対応している。

40

【0076】

図9～図11に示されるように、光導波路WG1は、光導波路WG1の延在方向(X方向)に沿って、部分P1と部分P2とを有する。平面視において、光導波路WG1の部分P1は、光導波路WG1の延在方向(X方向)と直交する方向(Y方向)の幅がほぼ同じであり、光導波路WG1の部分P2は、Y方向の幅が連続的に狭くなるような、テーパ形状である。

50

## 【 0 0 7 7 】

また、実施の形態 3 では、絶縁膜 B X の厚さが、実施の形態 1 と比較して薄く、例えば 3 0 n m ~ 4 0 0 n m である。すなわち、光導波路 W G 1 と光導波路 W G 2 との間隔は、例えば 3 0 n m ~ 4 0 0 n m である。

## 【 0 0 7 8 】

ここで、光導波路 W G 1 および光導波路 W G 2 は、それぞれ、レーザダイオードチップ L D からレーザ光 L Z を受光する。このとき、光導波路 W G 1 と光導波路 W G 2 との間には、絶縁膜 B X が存在しているため、光導波路 W G 2 内を伝搬するレーザ光 L Z は、光導波路 W G 1 内へは伝搬しないように思われる。例えば、実施の形態 1 では、光導波路 W G 1 下に形成されている絶縁膜 B X は、クラッド層として機能していた。

10

## 【 0 0 7 9 】

しかしながら、実施の形態 3 では、エバネッセント光の染み出し距離よりも小さくなるように、絶縁膜 B X の厚さを薄くしている。すなわち、光導波路 W G 1 と光導波路 W G 2 との間隔は、例えば 3 0 n m ~ 4 0 0 n m であり、エバネッセント光の染み出し距離よりも小さい。このため、エバネッセント光によって、光導波路 W G 2 内のレーザ光 L Z は、光導波路 W G 2 から光導波路 W G 1 へ伝搬することができる。

## 【 0 0 8 0 】

従って、光導波路 W G 2 が受光したレーザ光 L Z が、光導波路 W G 2 の内部を伝搬するにつれて、光導波路 W G 2 と隣接する光導波路 W G 1 のテーパ部分である部分 P 2 を介して、光導波路 W G 2 から光導波路 W G 1 にレーザ光 L Z の分布が移動する。このレーザ光 L Z の分布の移動は、テーパ部分である部分 P 2 の形状に依存する。このように、光導波路 W G 1 を伝搬する光のスポットサイズと、レーザダイオードチップ L D などの光のスポットサイズが異なっても、スポットサイズコンバータ S S C によって、光損失を抑制することができる。

20

## 【 0 0 8 1 】

< スポットサイズコンバータ S S C の製造方法 >

以下に、図 1 2 および図 1 3 を用いて、実施の形態 3 の半導体モジュール M J の一部であるスポットサイズコンバータ S S C の製造工程を説明する。図 1 2 および図 1 3 は、図 9 の C - C 線に沿った断面であり、実施の形態 1 の図 5 で説明した、半導体基板 S B 1 の研磨工程から絶縁膜 I F の形成工程までの間の工程に対応している。

30

## 【 0 0 8 2 】

まず、図 1 2 に示されるように、実施の形態 1 の図 5 で説明した手法と同様に、半導体基板 S B 1 の研磨処理を行い、更にドライエッチング処理を追加することで、絶縁膜 B X が露出される。ここで、絶縁膜 B X の厚さは、例えば 5 0 0 n m ~ 3 μ m となる。次に、研磨処理を継続し、更にウェットエッチング処理を行うことで、絶縁膜 B X の厚さを薄くする。この工程により、絶縁膜 B X の厚さは、例えば 3 0 n m ~ 4 0 0 n m 程度となる。

## 【 0 0 8 3 】

次に、図 1 3 に示されるように、絶縁膜 B X の下面に、例えば C V D 法によって、例えば窒化シリコンからなる絶縁膜を形成する。この絶縁膜の厚さは、例えば 1 μ m ~ 2 μ m である。次に、フォトリソグラフィ法およびエッチング処理を用いて、この絶縁膜をパターンニングすることで、光導波路 W G 2 を形成する。

40

## 【 0 0 8 4 】

その後、実施の形態 1 の図 5 で説明した手法と同様に、絶縁膜 I F を形成することで、図 1 1 の構造が得られる。実施の形態 3 では、絶縁膜 I F は、絶縁膜 B X だけでなく、光導波路 W G 2 も覆うように形成される。

## 【 0 0 8 5 】

ここで、光導波路 W G 1 上に光導波路 W G 2 を形成することで、実施の形態 3 のスポットサイズコンバータ S S C と同様なデバイスを形成することも考えられるが、その場合には、光導波路 W G 1 を構成する半導体層上にて、光導波路 W G 2 を形成するために種々のドライエッチング処理などが必要となる。そうすると、光導波路 W G 1 にエッチングダメ

50

ージが加わる、または、光導波路WG1中にチャージアップが発生するなどの不具合が起こる恐れがある。特に、実施の形態3の光導波路WG2の厚さは、例えば1 $\mu$ m~2 $\mu$ mであるため、上記ドライエッチング処理を時間の長いオーバーエッチングで行う必要があり、そうすると、上記エッチングダメージおよび上記チャージアップなどの不具合が起こる恐れも大きくなり易い。

【0086】

これに対して、実施の形態3では、半導体チップCHP1の裏面BS1側を利用して、光導波路WG1の下に光導波路WG2を形成することができる。そのため、光導波路WG1に対して、上記の不具合を発生させる恐れを抑制することができるので、スポットサイズコンバータSSCの性能を向上させることができる。

10

【0087】

また、実施の形態3の技術を、上述の実施の形態2に組み合わせて適用することもできる。

【0088】

(変形例1)

以下に、変形例1の半導体モジュールMJおよびその製造方法を、図14~図18を用いて説明する。なお、以下の説明では、実施の形態3との相違点を主に説明する。

【0089】

図14に示されるように、変形例1では、実施の形態3と同様の目的で、スポットサイズコンバータSSCが設けられている。しかしながら、変形例1では、実施の形態3と異なり、スポットサイズコンバータSSCを構成する光導波路WG1と光導波路WG2との間において、絶縁膜BXが除去されており、光導波路WG2は光導波路WG1に直接接している。

20

【0090】

なお、スポットサイズコンバータSSCの一部を構成する光導波路WG1の平面図は、実施の形態3で説明した図9と同様であり、図9のA-A線に沿った断面が、図14に示されるスポットサイズコンバータSSCに対応している。また、図15および図16は、それぞれ図9のB-B線およびC-C線に沿った断面を示している。

【0091】

図15および図16に示されるように、光導波路WG2である窒化シリコン膜などの絶縁膜は、光導波路WG1の下面だけでなく、光導波路WG1の側面(X方向に沿った側面)も覆っている。そして、光導波路WG2の下面は、絶縁膜IFによって覆われている。

30

【0092】

実施の形態3では、光導波路WG2は光導波路WG1に直接接しているため、光導波路WG2内を伝搬するレーザ光LZは、実施の形態3のようにエバネッセント光を利用することなく、光導波路WG2から光導波路WG1へ容易に伝搬することができる。

【0093】

また、光導波路WG2は、光導波路WG1に直接接しているだけでなく、光導波路WG1の下面および側面も覆っている。従って、仮に、光導波路WG1から漏れる光があったとしても、光導波路WG2によって、その漏れた光を吸収することができる。すなわち、光損失を抑制することができる。

40

【0094】

なお、変形例1では、光導波路WG2の上面の位置が、光導波路WG1の上面の位置よりも高いまで達しているが、光導波路WG2の上面の位置は、光導波路WG1の上面の位置よりも低くてもよい。また、光導波路WG2を光導波路WG1に直接接しさせる目的のみであれば、光導波路WG2の上面の位置は、光導波路WG1の下面の位置と同じであってもよい。すなわち、光導波路WG2の上面の位置は、光導波路WG1の下面の位置と同じか、光導波路WG1の下面の位置より高い。

【0095】

<変形例1のスポットサイズコンバータSSCの製造方法>

50

以下に、図 17 および図 18 を用いて、変形例 1 の半導体モジュール M J の一部であるスポットサイズコンバータ S S C の製造工程を説明する。図 17 および図 18 は、図 9 の C - C 線に沿った断面であり、実施の形態 3 の図 12 および図 13 で説明した工程に対応している。

【0096】

まず、図 17 に示されるように、実施の形態 1 の図 5 で説明した手法と同様に、半導体基板 S B 1 の研磨処理を行うことで、絶縁膜 B X が露出される。次に、フォトリソグラフィ法およびエッチング処理を用いて、スポットサイズコンバータ S S C となる領域の絶縁膜 B X を選択的に除去する。そして、更にエッチング処理を継続させることで、層間絶縁膜 I L 1 の一部を除去する。

10

【0097】

次に、図 18 に示されるように、絶縁膜 B X の下面に、例えば C V D 法によって、例えば窒化シリコンからなる絶縁膜を形成する。この絶縁膜の厚さは、例えば  $1\ \mu\text{m} \sim 2\ \mu\text{m}$  である。次に、フォトリソグラフィ法およびエッチング処理を用いて、この絶縁膜をパターンニングすることで、光導波路 W G 2 を形成する。

【0098】

その後、実施の形態 1 の図 5 で説明した手法と同様に、絶縁膜 I F を形成することで、図 16 の構造が得られる。変形例 1 では、絶縁膜 I F は、絶縁膜 B X だけでなく、光導波路 W G 2 も覆うように形成される。

【0099】

20

(実施の形態 4)

以下に、実施の形態 4 の半導体モジュール M J およびその製造方法を、図 19 ~ 図 21 を用いて説明する。なお、以下の説明では、実施の形態 1 との相違点を主に説明する。

【0100】

図 19 に示されるように、実施の形態 4 では、半導体チップ C H P 1 内に、光導波路 W G 1 と接続されるグレーティングカップラ (Grating Coupler) G C を設けている。なお、グレーティングカップラ G C は、光導波路 W G 1、光変調器 O M および受光器 O R などと同層の半導体層を加工することで形成されている。実施の形態 4 では、便宜上、上記半導体層を半導体層 S L として説明している。

【0101】

30

<グレーティングカップラ G C について>

グレーティングカップラ G C は、光導波路 W G 1 の 1 種であり、光導波路 W G 1 を伝搬する光に半導体モジュール M J 外部の光通信機器から入射するレーザ光を結合する、または、光導波路 W G 1 を伝搬する光を半導体モジュール M J 外部の光通信機器へ出射する光デバイスである。

【0102】

図 19 では、グレーティングカップラ G C を介して、光導波路 W G 1 から半導体モジュール M J 外部の光通信機器へ光を出射する場合について、光の伝搬経路を模式的に矢印で示している。また、グレーティングカップラ G C を介して、半導体モジュール M J 外部の光通信機器から光導波路 W G 1 へ光を入射する場合は、この矢印の向きが逆となる。なお、図 19 では、光の伝搬経路を判り易くするため、グレーティングカップラ G C および光導波路 W G 1 の周辺のハッチングを省略している。

40

【0103】

グレーティングカップラ G C を伝搬する光は、光導波路面に、伝搬方向に沿って設けられた凹部 (溝部) および凸部 (突起部) により、周期的屈折率変調 (導波路グレーティング) が行われ、ある特定の方向に回折放射される。実施の形態 4 では、図 19 に示されるように、グレーティングカップラ G C の凹部および凸部は、半導体チップ C H P 1 の裏面 B S 1 側に向けて設けられている。そのため、光の回折方向は、裏面 B S 1 側に向かう方向が支配的となる。

【0104】

50

実施の形態 4 では、半導体チップ C H P 1 の表面 T S 1 側には、半導体チップ C H P 2 が設けられている。このため、グレーティングカブラ G C と、半導体モジュール M J 外部の光通信機器との光通信は、表面 T S 1 側で行うことが困難であり、裏面 B S 1 側で行うことが有効である。ここで、グレーティングカブラ G C の下方において、半導体チップ C H P 1 の裏面 B S 1 では、半導体基板 S B 1 が除去され、絶縁膜 I F が露出している。このため、グレーティングカブラ G C は、裏面 B S 1 側において、半導体モジュール M J 外部の光通信機器と、光通信を行うことができる。そして、上述のように、グレーティングカブラ G C の凹部および凸部は、裏面 B S 1 側に向けて設けられているので、上記光の伝搬を効率的に行うことができる。

【 0 1 0 5 】

< グレーティングカブラ G C の製造方法 >

以下に、図 2 0 および図 2 1 を用いて、変形例 1 の半導体モジュール M J の一部であるグレーティングカブラ G C の製造工程を説明する。図 2 0 および図 2 1 は、グレーティングカブラ G C の形成領域を拡大した要部断面図を示しており、実施の形態 1 の図 5 で説明した、半導体基板 S B 1 の研磨工程から絶縁膜 I F の形成工程までの間の工程に対応している。

【 0 1 0 6 】

まず、図 2 0 に示されるように、実施の形態 1 の図 5 で説明した手法と同様に、半導体基板 S B 1 の研磨処理を行うことで、絶縁膜 B X が露出される。

【 0 1 0 7 】

次に、図 2 1 に示されるように、フォトリソグラフィ法およびエッチング処理を用いて、絶縁膜 B X の一部を選択的にパターニングする。その後、エッチングガスを変更し、エッチング処理を継続することで、半導体層 S L を貫通しないように、半導体層 S L に凹部（溝部）を形成する。この時、エッチングされなかった領域が、凸部となる。このように、半導体層 S L が加工されて、半導体チップ C H P 1 の裏面 B S 1 側に向けて設けられた凹部および凸部を有するグレーティングカブラ G C が形成される。

【 0 1 0 8 】

その後、実施の形態 1 の図 5 で説明した手法と同様に、絶縁膜 I F を形成することで、図 1 6 の構造が得られる。絶縁膜 I F は、グレーティングカブラ G C の凹部および凸部を覆うように形成される。

【 0 1 0 9 】

また、実施の形態 4 の技術を、上述の実施の形態 2 および実施の形態 3 に組み合わせて適用することもできる。

【 0 1 1 0 】

（変形例 2）

以下に、変形例 2 の半導体モジュール M J を、図 2 2 を用いて説明する。なお、以下の説明では、実施の形態 4 との相違点を主に説明する。

【 0 1 1 1 】

図 2 2 に示されるように、変形例 2 では、実施の形態 4 と同様の目的で、グレーティングカブラ G C が設けられている。そして、変形例 2 では、グレーティングカブラ G C の上方に、反射膜 R F が設けられている。言い換えれば、平面視において、グレーティングカブラ G C と重なる位置に、反射膜 R F が設けられている。

【 0 1 1 2 】

実施の形態 4 で説明したように、グレーティングカブラ G C の凹部および凸部は、半導体チップ C H P 1 の裏面 B S 1 側に向けて設けられているため、光の回折方向は、裏面 B S 1 側へ向かう方向が支配的である。しかしながら、半導体チップ C H P 1 の裏面 B S 1 側に回折せず、半導体チップ C H P 1 の表面 T S 1 側に回折する光も存在している。具体的には、70%程度の光が裏面 B S 1 側に回折し、30%程度の光が表面 T S 1 側に回折している。この表面 T S 1 側に回折した光は、光損失に直結する。

【 0 1 1 3 】

10

20

30

40

50

反射膜 R F は、このような表面 T S 1 側に回折した光を裏面 B S 1 側に反射させ、光損失を抑制するために設けられている。従って、反射膜 R F は、グレーティングカプラ G C の上面全体を覆っていることが好ましい。

【 0 1 1 4 】

また、このような反射膜 R F は、導電性膜によって構成されるが、光の反射率を高めるために、反射膜 R F は、金属膜によって構成されていることが好ましい。図 2 2 では、反射膜 R F が、配線 M 1 a と同じ材料で形成され、配線 M 1 a と同層に形成され、且つ、配線 M 1 a と同じ工程で形成された場合を例示している。この場合、製造工程を簡略化することができる。

【 0 1 1 5 】

また、反射膜 R F は、配線 M 2 a と同じ材料で形成され、配線 M 2 a と同層に形成され、且つ、配線 M 2 a と同じ工程で形成されていてもよい。配線 M 1 a または配線 M 2 a の選択については、グレーティングカプラ G C 内を伝搬する光の波長によって、より適切な方を選択することができる。

【 0 1 1 6 】

また、反射膜 R F は、配線 M 1 a または配線 M 2 a とは別の導電性膜によって形成されてもよい。このような導電性膜は、配線 M 1 a または配線 M 2 a とは別工程によって形成される。この場合、反射膜 R F を別途形成するための製造コストが増加するが、反射膜 R F の材料は、配線 M 1 a または配線 M 2 a に使用される材料に限られず、所望の反射率が得られるように、自由に選択できる。このような導電性膜としては、例えば窒化チタン膜、窒化タンタル膜またはタングステン膜のような金属膜が挙げられる。

【 0 1 1 7 】

また、変形例 2 では、図 2 2 に示されるように、受光器 O R の上方にも反射膜 R F を設けている。言い換えれば、平面視において、受光器 O R と重なる位置に、反射膜 R F が設けられている。実施の形態 1 で説明したように、半導体チップ C H P 1 の裏面 B S 1 では、半導体基板 S B 1 が除去されているので、受光器 O R は、裏面 B S 1 側において、半導体モジュール M J 外部の光通信機器からの光を受光することができる。このとき、受光器 O R の上方に反射膜 R F が設けられていることで、受光器 O R を透過した光を反射させ、反射した光を受光器 O R で受光することができる。なお、図 2 2 では、光の伝搬経路を判り易くするため、グレーティングカプラ G C の周辺と同様に、受光器 O R の周辺のハッチングも省略している。

【 0 1 1 8 】

また、裏面 B S 1 側において、半導体モジュール M J 外部の光通信機器から半導体チップ C H P 1 ( 受光器 O R およびグレーティングカプラ G C ) へ入射させる光の角度は、反射膜 R F に対して垂直ではなく、反射膜 R F に対する垂線から斜めに傾けた角度とすることが好ましい。この理由は、入射角度が垂直であった場合、入射した光と、反射膜 R F から反射した光とが重なり、互いの波長を打ち消しあう恐れがあるからである。

【 0 1 1 9 】

以上、本願発明者らによってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【 0 1 2 0 】

例えば、半導体チップ C H P 1 において、配線 M 1 a のような最上層配線より下層の配線は、ダマシ構造の配線ではなく、窒化チタン膜、アルミニウム膜および窒化チタン膜を積層させ、この積層膜をパターンニングすることによって形成された配線であってもよい。この場合、配線の形成し、配線を覆うように層間絶縁膜を形成した後、層間絶縁膜の上面に対して C M P 法による研磨処理を行うことによって、層間絶縁膜が平坦化される。

【 0 1 2 1 】

また、半導体チップ C H P 1 では、多層配線として、配線 M 1 a および配線 M 2 a の 2 層配線を例示したが、半導体チップ C H P 1 の多層配線は、3 層以上であってもよい。ま

10

20

30

40

50

た、半導体チップＣＨＰ２では、多層配線として、配線Ｍ１ｂ～配線Ｍ６ｂの６層配線を例示したが、半導体チップＣＨＰ２の多層配線は、６層より少なくてもよいし、６層より多くてもよい。

【０１２２】

その他、上記実施の形態に記載された内容の一部を以下に記載する。

【０１２３】

[付記１]

光デバイス、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第１配線、および、前記第１配線と同層に形成され、且つ、前記光デバイスに電氣的に接続されていない第１ダミー配線を備える第１半導体チップと、

10

電気回路の一部を構成する半導体素子、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第２配線、および、前記第２配線と同層に形成され、且つ、前記半導体素子に電氣的に接続されていない第２ダミー配線を備える第２半導体チップと、

を有し、

前記第２半導体チップは、前記第１半導体チップ上に搭載され、

前記第１配線と前記第２配線とが直接接し、且つ、前記第１ダミー配線と前記第２ダミー配線とが直接接するように、前記第１半導体チップの表面は、前記第２半導体チップの表面と接合している、半導体モジュール。

【０１２４】

20

[付記２]

光デバイス、および、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第１配線を備える第１半導体チップと、

電気回路の一部を構成する半導体素子、および、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第２配線を備える第２半導体チップと、

を有し、

前記第２半導体チップは、前記第１半導体チップ上に搭載され、

前記第１配線と前記第２配線とが直接接するように、前記第１半導体チップの表面は、前記第２半導体チップの表面と接合し、

前記光デバイスは、半導体層からなる第１光導波路と、少なくとも前記第１光導波路の下方に形成され、且つ、絶縁膜からなる第２光導波路とを有する、半導体モジュール。

30

【０１２５】

[付記３]

光デバイス、および、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第１配線を備える第１半導体チップと、

電気回路の一部を構成する半導体素子、および、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第２配線を備える第２半導体チップと、

を有し、

前記第２半導体チップは、前記第１半導体チップ上に搭載され、

前記第１配線と前記第２配線とが直接接するように、前記第１半導体チップの表面は、前記第２半導体チップの表面と接合し、

40

前記光デバイスは、凹部および凸部を有するグレーティングカプラを含み、

前記グレーティングカプラの前記凹部および前記凸部は、前記第１半導体チップの裏面側に向けて設けられている、半導体モジュール。

【０１２６】

[付記４]

光デバイス、および、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第１配線を備える第１半導体チップと、

電気回路の一部を構成する半導体素子、および、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第２配線を備える第２半導体チップと、

50

を有し、

前記第 2 半導体チップは、前記第 1 半導体チップ上に搭載され、

前記第 1 配線と前記第 2 配線とが直接接するように、前記第 1 半導体チップの表面が、前記第 2 半導体チップの表面と接合している、半導体モジュールを用いた通信方法において、

前記半導体モジュール外部の電気機器からの第 1 電気信号を、前記第 1 半導体チップで受信する工程、

前記第 1 半導体チップが受信した前記第 1 電気信号を、前記第 1 半導体チップから前記第 2 半導体チップへ送信する工程、

前記第 2 半導体チップが受信した前記第 1 電気信号を、前記半導体素子を用いて、第 2 電気信号に加工する工程、

前記第 2 電気信号を、第 2 半導体チップから前記第 1 半導体チップへ送信する工程、

前記第 1 半導体チップが受信した前記第 2 電気信号を、前記光デバイスを用いて、光信号へ変換する工程、

前記光信号を、前記第 1 半導体チップから前記半導体モジュール外部の光通信機器へ送信する工程、を有する、通信方法。

【 0 1 2 7 】

[ 付記 5 ]

光デバイス、および、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第 1 配線を備える第 1 半導体チップと、

電気回路の一部を構成する半導体素子、および、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第 2 配線を備える第 2 半導体チップと、

を有し、

前記第 2 半導体チップは、前記第 1 半導体チップ上に搭載され、

前記第 1 配線と前記第 2 配線とが直接接するように、前記第 1 半導体チップの表面が、前記第 2 半導体チップの表面と接合している、半導体モジュールを用いた通信方法において、

前記半導体モジュール外部の光通信機器からの光信号を、前記第 1 半導体チップで受信する工程、

前記第 1 半導体チップが受信した前記光信号を、前記光デバイスを用いて、第 3 電気信号へ変換する工程、

前記第 3 電気信号を、前記第 1 半導体チップから前記第 2 半導体チップへ送信する工程、

前記第 2 半導体チップが受信した前記第 3 電気信号を、前記半導体素子を用いて、第 4 電気信号に加工する工程、

第 4 電気信号を、前記外部接続用端子および前記貫通電極を介して、前記半導体モジュール外部の電気機器へ送信する工程、を有する、通信方法。

【 0 1 2 8 】

[ 付記 6 ]

光デバイス、および、前記光デバイスの上方に形成され、且つ、前記光デバイスに電氣的に接続された第 1 配線を備える第 1 半導体チップと、

電気回路の一部を構成する半導体素子、および、前記半導体素子の上方に形成され、且つ、前記半導体素子に電氣的に接続された第 2 配線を備える第 2 半導体チップと、

を有する半導体モジュールにおいて、

前記第 2 半導体チップは、前記第 1 半導体チップ上に搭載され、

前記第 1 配線と前記第 2 配線とが直接接するように、前記第 1 半導体チップの表面が、前記第 2 半導体チップの表面と接合し、

前記第 1 半導体チップ C H P 1 の裏面側において、前記半導体モジュール外部の電気機器および光通信機器と、それぞれ電気信号および光信号の伝達が可能である、半導体モジュール。

【 符号の説明 】

10

20

30

40

50

## 【 0 1 2 9 】

1 Q ~ 3 Q M I S F E T

B E バンプ電極

B S 1、B S 2 裏面

B X 絶縁膜

C H P 1、C H P 2 半導体チップ

D W 1、D W 2 ダミー配線

G C グレーティングカプラ

I F 絶縁膜

I L 1、I L 2 層間絶縁膜

10

L D レーザダイオードチップ

L Z レーザ光

M 1 a、M 2 a 配線

M 1 b ~ M 6 b 配線

M J 半導体モジュール

N W ウェル領域

O M 光変調器

O R 受光器

P 1、P 2 部分

P A D パッド電極

20

P W 1 ~ P W 3 ウェル領域

R F 反射膜

S 1 ~ S 4 辺

S B 1、S B 2 半導体基板

S L 半導体層

S S C スポットサイズコンバータ

T G V 貫通電極

T S 1、T S 2 表面

W F 1、W F 2 ウェハ

W G 1、W G 2 光導波路

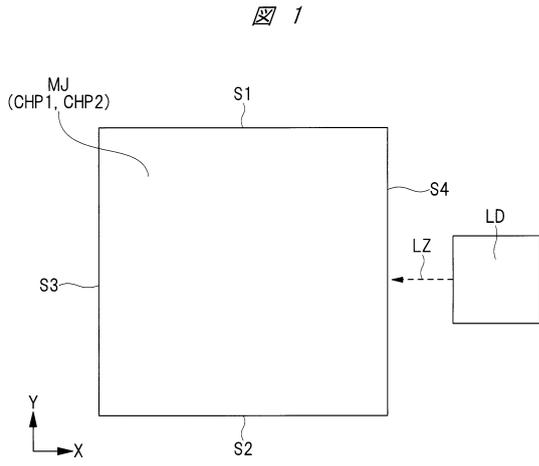
30

40

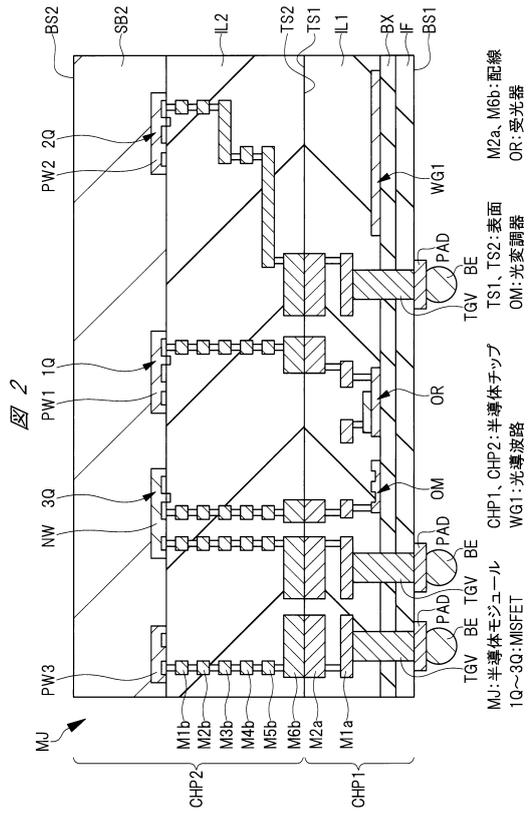
50

【図面】

【図 1】



【図 2】



10

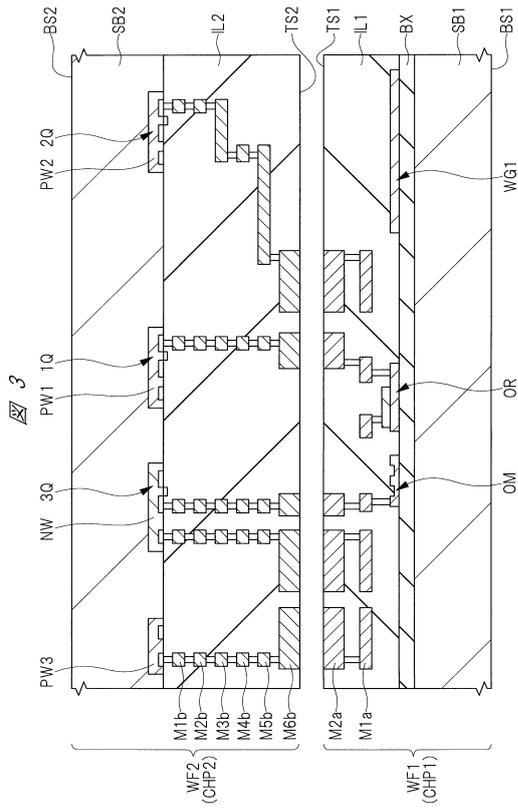
20

30

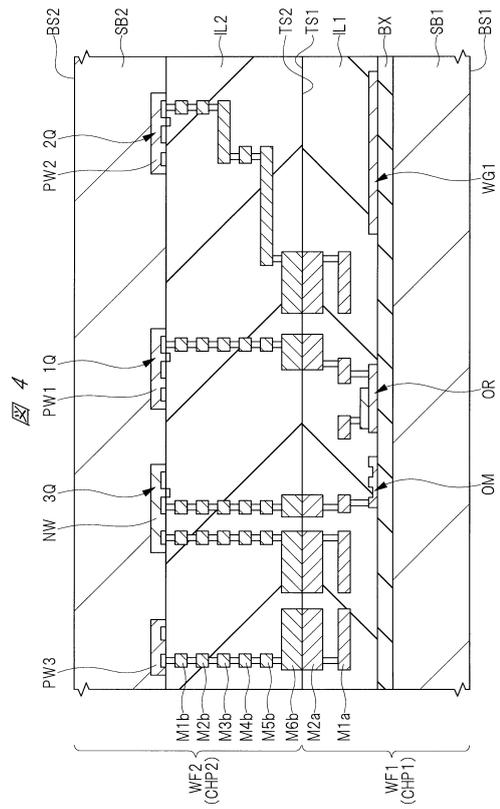
40

50

【図 3】



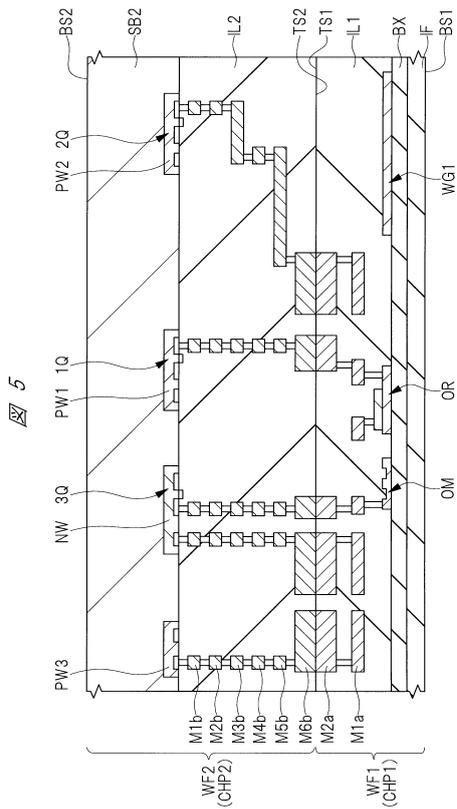
【図 4】



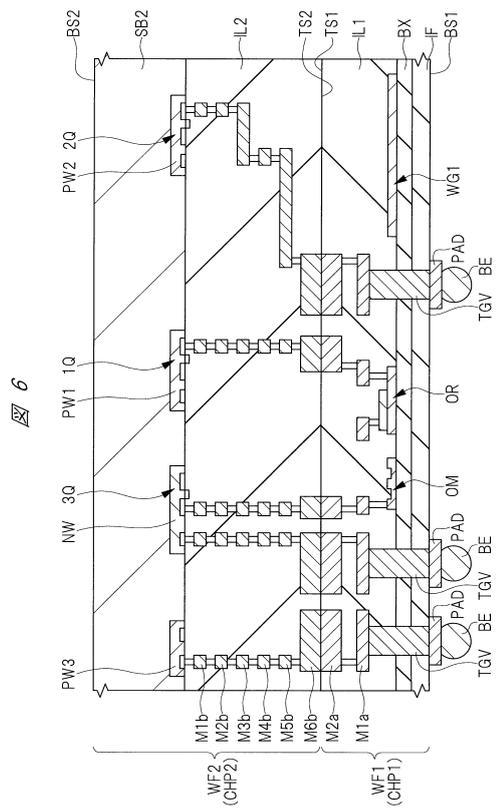
10

20

【図 5】



【図 6】

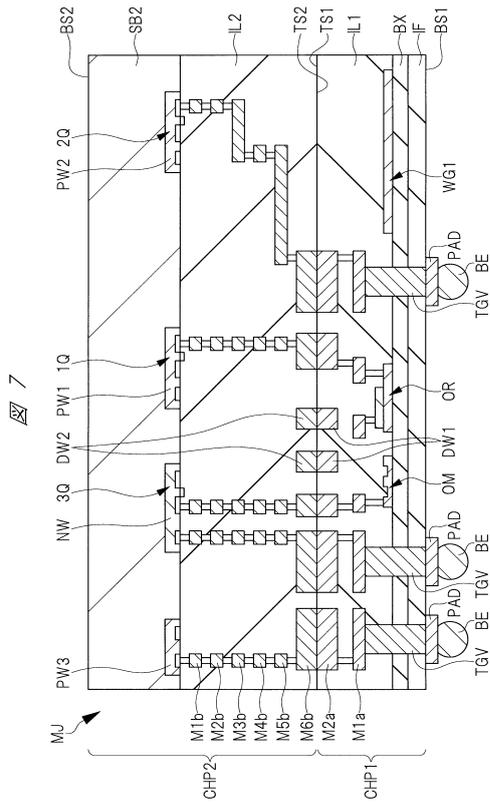


30

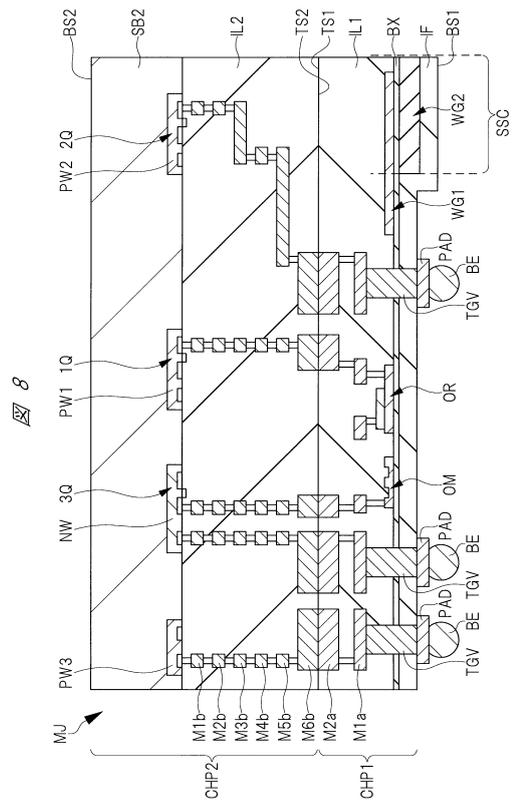
40

50

【図 7】



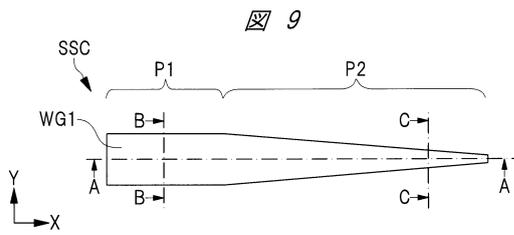
【図 8】



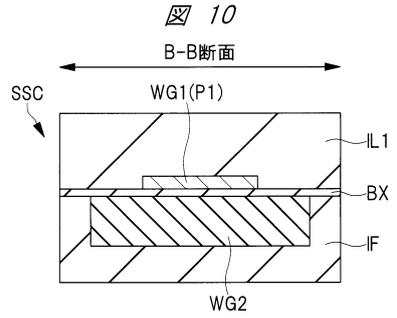
10

20

【図 9】



【図 10】

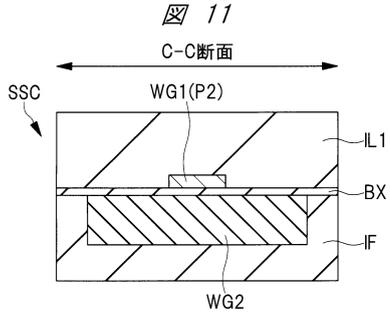


30

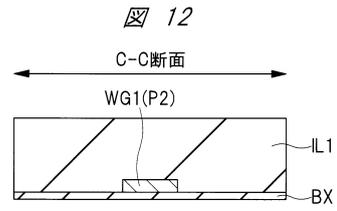
40

50

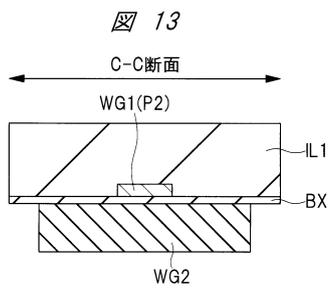
【 図 1 1 】



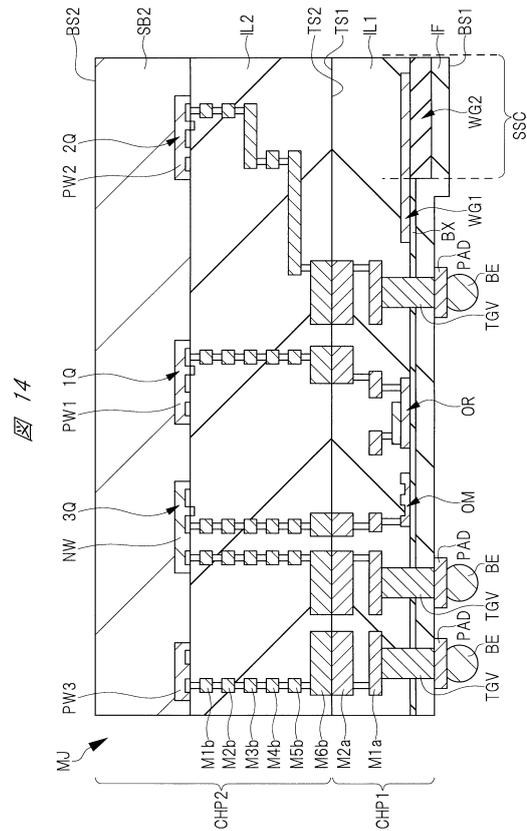
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



10

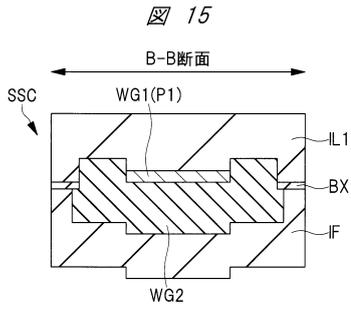
20

30

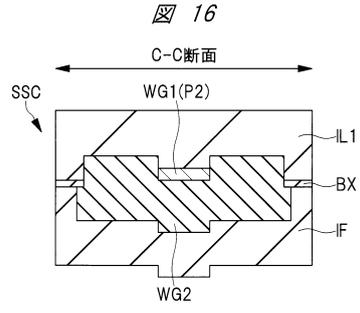
40

50

【 図 1 5 】

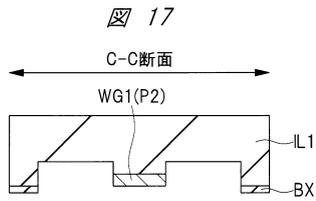


【 図 1 6 】

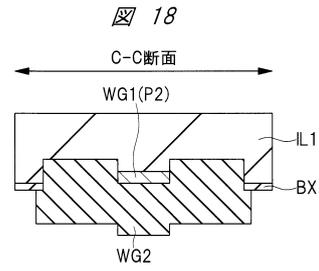


10

【 図 1 7 】



【 図 1 8 】



20

30

40

50



## フロントページの続き

- (56)参考文献 米国特許出願公開第2017/0139142 (US, A1)  
特開2004-133446 (JP, A)  
米国特許出願公開第2018/0100970 (US, A1)  
特開2012-256736 (JP, A)  
国際公開第2016/185883 (WO, A1)  
国際公開第2009/107742 (WO, A1)  
特開2011-203604 (JP, A)  
米国特許出願公開第2017/0115458 (US, A1)  
特開平08-201666 (JP, A)  
特開2006-085177 (JP, A)  
Luo Xianshu, et al., CMOS-compatible multi-layered waveguide platform for silicon hybrid integrated circuits, 2016 International Conference on Optical MEMS and Nanophotonics, Mo3.7-1, 米国, IEEE, 2006年07月31日, 1-2, <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7565831>, DOI: 10.1109/OMN.2016.7565831
- (58)調査した分野 (Int.Cl., DB名)  
G02B 6/12 - 6/14  
6/26 - 6/27  
6/30 - 6/34  
6/42 - 6/43  
H01L 21/88 - 21/90  
27/04  
31/00 - 31/02  
31/08 - 31/10  
31/18  
JSTPlus (JDreamIII)  
JST7580 (JDreamIII)  
JSTChina (JDreamIII)