

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5231190号
(P5231190)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int.Cl. F I
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 K
 G 1 1 C 11/34 J

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2008-311574 (P2008-311574)	(73) 特許権者	000233169
(22) 出願日	平成20年12月5日(2008.12.5)		株式会社日立超エル・エス・アイ・システムズ
(65) 公開番号	特開2010-135025 (P2010-135025A)		東京都国分寺市東恋ヶ窪三丁目1番地1
(43) 公開日	平成22年6月17日(2010.6.17)	(74) 代理人	100081938
審査請求日	平成23年11月18日(2011.11.18)		弁理士 徳若 光政
		(72) 発明者	天野 伸平太
			東京都小平市上水本町五丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内
		(72) 発明者	田中 宏幸
			東京都小平市上水本町五丁目22番1号
			株式会社日立超エル・エス・アイ・システムズ内

最終頁に続く

(54) 【発明の名称】 半導体装置とメモリマクロ

(57) 【特許請求の範囲】

【請求項1】

1つの入力及び出力ポートを持つメモリ回路と、
読み出し用ポートと、
書き込み用ポートと、

外部クロック信号の1周期の前半で上記読み出し用ポートからの信号により上記メモリ回路をアクセスして読み出し動作を行い、上記外部クロック信号の後半で上記書き込み用ポートからの信号により上記メモリ回路をアクセスして書き込み動作を行うメモリタイミング制御回路とを有し、

上記メモリタイミング制御回路は、

上記外部クロック信号を受けて、第1遅延回路を用いて上記メモリ回路の読み出し動作に必要な第1タイミング信号を生成する第1タイミング信号生成回路と、

上記第1タイミング信号による上記メモリ回路の読み出し動作終了信号を受けて、上記メモリ回路における読み出し状態のリセットを行う第2タイミング信号を生成する第2遅延回路と、

上記第2タイミング信号を受けて、第3遅延回路を用いて上記メモリ回路の書き込み動作に必要な第3タイミング信号を生成する第2タイミング生成回路とを有し、

上記外部クロック信号は、上記第3タイミング信号の後エッジと次サイクルの前エッジとの時間差が上記メモリ回路における書き込み状態のリセットに必要な時間より大きく設定される、

半導体装置。

【請求項 2】

請求項 1 において、

上記メモリ回路は、

複数のワード線と複数の相補ビット線の交差部に設けられた複数のスタティック型メモリセルと、

上記メモリセルと同様な構成とされ、上記スタティック型メモリセルからの読み出し信号に対応したセンスアンプ動作タイミング信号を生成するダミーセルと、

上記センスアンプ動作タイミング信号により選択されたスタティック型メモリセルの読み出し信号を増幅するセンスアンプとを有し、

上記メモリ動作終了信号は、上記センスアンプ動作の終了タイミングを設定する信号である、

半導体装置。

【請求項 3】

請求項 2 において、

上記第 1 タイミング生成回路は、

上記外部クロック信号と上記第 1 遅延回路で遅延された上記外部クロック信号とを受ける第 1 ゲート回路からなり、上記第 1 遅延回路の遅延時間に対応したパルス幅を有する上記第 1 タイミング信号を生成し、

上記第 2 タイミング生成回路は、

上記第 2 タイミング信号と上記第 3 遅延回路で遅延された上記第 2 タイミング信号とを受ける第 2 ゲート回路からなり、上記第 3 遅延回路の遅延時間に対応したパルス幅を有する上記第 3 タイミング信号を生成し、

上記第 1 タイミング信号と第 3 タイミング信号とを受ける論理和信号が内部クロック信号として上記メモリ回路に供給される、

半導体装置。

【請求項 4】

1 つの入力及び出力ポートを持つメモリ回路と、

読み出し用ポートと、

書き込み用ポートと、

外部クロック信号の 1 周期の前半で上記読み出し用ポートからの信号により上記メモリ回路をアクセスして読み出し動作を行い、上記外部クロック信号の後半で上記書き込み用ポートからの信号により上記メモリ回路をアクセスして書き込み動作を行うメモリタイミング制御回路とを有し、

上記メモリタイミング制御回路は、

上記外部クロック信号を受けて、第 1 遅延回路を用いて上記メモリ回路の読み出し動作に必要な第 1 タイミング信号を生成する第 1 タイミング信号生成回路と、

上記第 1 タイミング信号による上記メモリ回路の読み出し動作終了信号を受けて、上記メモリ回路における読み出し状態のリセットを行う第 2 タイミング信号を生成する第 2 遅延回路と、

上記第 2 タイミング信号を受けて、第 3 遅延回路を用いて上記メモリ回路の書き込み動作に必要な第 3 タイミング信号を生成する第 2 タイミング生成回路とを有し、

上記外部クロック信号は、上記第 3 タイミング信号の後エッジと次サイクルの前エッジとの時間差が上記メモリ回路における書き込み状態のリセットに必要な時間より大きく設定される、

メモリマクロ。

【請求項 5】

請求項 4 において、

ハードウェア IP コアとして提供される、

メモリマクロ。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置とメモリマクロに関し、例えば、半導体装置に構成された2ポートメモリに利用して有効な技術に関するものである。

【背景技術】

【0002】

組み込みメモリにおいては、低面積・高集積化が要求されている。この要求に有効な手段として、STS(Super Time Sharing)方式がある。このSTS方式は、パラレルに入力される制御信号をシリアルな信号に変換し、高速で動作する1ポートSRAMで逐次処理することでマルチポートSRAMの機能を実現する技術である。このようなマルチポートSRAMとして特開2008-004218号公報がある。この公報では、複数のポートを時間的に割り振りするタイミング信号を形成するタイミング生成回路に、メモリ回路の動作終了信号を利用する。これにより、タイミング生成にPLL回路やインバータチェーンによる遅延回路を利用するものに比べて回路の簡素化が図られる。

【特許文献1】特開2008-004218号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

本願発明者においては、STS方式を適用して読み出し専用ポートと書き込み専用ポートとを持つ2ポートSRAMの開発に当たり高速化の検討を行った。上記STS方式を適用して読み出し専用ポートと書き込み専用ポートとを持つ2ポートSRAMを時分割的に動作させるためには、基本的にはクロック信号の1周期の前半周期と、後半周期とを利用できるので前記公報のような特別なタイミング生成回路が不要である。しかしながら、上記のような動作の高速化に向けては、上記クロック信号の前半周期と後半周期(ハイレベル期間/ロウレベル期間)を利用すると、クロック信号のデューティのばらつきや変動の影響を受けるので得策ではない。つまり、クロック信号のデューティのばらつきや変動のワーストケース条件化で、読み出し動作とリードリカバリ動作及び書き込み動作とライトリカバリ動作が確実に実施できるようなマージンを持たせた低い周波数のクロック信号を用いることが必要となり高速化ができない。

【0004】

SRAMにおける読み出し動作と書き込み動作に必要な時間は同じではなく、そのリカバリ動作に必要な時間も同じではない。したがって、上記のような2ポートSRAMの動作の高速化のためには、上記4つの動作に必要なタイミング信号を時系列的に生成し、上記クロック信号の1周期に割り振りすることが高速化を図る上では必要となる。そこで、本願発明者において、図6に示したようなメモリタイミング制御回路を検討した。図7には、その動作タイミング信号が示されている。

【0005】

図6のメモリタイミング制御回路では、読み出し動作に必要なタイミング信号を形成するために、クロック信号EXCLKと遅延回路DL1とインバータ回路IV1を通した上記クロック信号EXCLKの第1遅延信号とをナンド(NAND)ゲート回路G1に供給して第1タイミング信号CK1を生成する。上記遅延回路DL1からの第1遅延信号を遅延回路DL2により遅延し、上記リードリカバリ時間に対応したタイミングを確保する。上記遅延回路DL2からの第2遅延信号と遅延回路DL3とインバータ回路IV3を通した上記第2遅延信号の遅延信号とをナンドゲート回路G2に供給して第2タイミング信号CK2を形成する。上記ゲート回路G1から出力される第1タイミング信号CK1と、上記ゲート回路G2から出力される第2タイミング信号CK2とは、論理和回路としてのナンドゲート回路G3を通して反転されて内部クロック信号ICKとしてシリアルに出力される。

【0006】

つまり、図7の内部クロック信号ICLKのように、遅延回路DL1の遅延時間に対応してロウレベルにされる上記第1タイミング信号CK1が上記ナンドゲート回路G3により反転されてハイレベルの信号として出力され、上記遅延回路DL2での遅延時間だけ遅れて上記第2タイミング信号CK2が上記ナンドゲート回路G3により反転されてハイレベルの信号として出力される。上記内部クロック信号ICLKの最初のハイレベル期間がリード（読み出し動作）期間とされ、次に内部クロックICLKがハイレベルに変化するまでのロウレベル期間が、上記遅延回路DL2の遅延時間により設定されてリードリカバリ動作とされる。そして、上記内部クロック信号ICLKの2番目のハイレベル期間がライト（書き込み動作）期間とされ、次に内部クロックICLKがハイレベルに変化するまでのロウレベル期間がライトリカバリ動作とされる。

10

【0007】

図6のようなメモリタイミング制御回路では、上記のようなSTS方式での2ポートSRAMにおいて、各動作に必要な時間を遅延回路DL1、DL2及びDL3でそれぞれ設定し、設定された遅延時間DL1、DL2及びDL3に対応してクロック信号EXCLKの1周期（周波数）を設定することにより、上記ライトリカバリ時間を設定するので、クロック信号EXCLKのデューティのばらつきや変動の影響を受けないので高速化ができる。

【0008】

しかしながら、上記2ポートSRAMが搭載されるLSIのような半導体装置を製造するプロセスの進展により、LSI中のトランジスタの微細化が進展している。トランジスタの微細化が進展するとトランジスタのしきい値電圧（ V_{th} ）のばらつきが増大する。つまり、半導体の微細加工技術が進展してトランジスタサイズが小さくなるに伴いトランジスタの製造ばらつきが大きくなり、トランジスタを用いたインバータ回路等で構成された上記遅延回路の遅延時間DL1～DL3のばらつきや変動を考慮することが必要となる。つまり、1ポートRAMのリード-ライト動作時間に十分な遅延時間DL1、DL3を設定した場合、高速化できない問題がある。また、遅延時間DL1～DL3を小さくした場合、遅延回路DL1～DL3がそれぞれ異なるためデバイス、温度、電圧バラツキに対して安定動作しない問題がある。そこで、前記特許文献1に記載されているメモリ動作終了信号に着目し、STS方式を適用して読み出し専用ポートと書き込み専用ポートを持つ2ポートSRAMの高速化に利用できることに気が付いた。

20

30

【0009】

この発明の目的は、高速化を可能にした2ポートメモリを有する半導体装置及びメモリマクロを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】**【0010】**

本願において開示される1つの実施例は、以下の通りである。半導体装置又はメモリマクロは、1つの入力及び出力ポートを持つメモリ回路、読み出し用ポート、書き込み用ポート、メモリタイミング制御回路とを有する。上記メモリタイミング制御回路は、上記外部クロック信号を受けて、第1遅延回路を用いて上記メモリ回路の読み出し動作に必要な第1タイミング信号を生成する第1タイミング信号生成回路と、上記第1タイミング信号による上記メモリ回路の読み出し動作終了信号を受けて、上記メモリ回路における読み出し状態のリセットを行う第2タイミング信号を生成する第2遅延回路と、上記第2タイミング信号を受けて、第3遅延回路を用いて上記メモリ回路の書き込み動作に必要な第3タイミング信号を生成する第2タイミング生成回路とを有する。上記外部クロック信号は、上記第3タイミング信号の後エッジと次サイクルの前エッジとの時間差が上記メモリ回路における書き込み状態のリセットに必要な時間より大きく設定される。

40

【発明の効果】**【0011】**

読み出し動作を起動する第1タイミング信号を形成する遅延回路での製造ばらつきの影

50

響を考慮した時間マージンの設定が不要となり高速化ができる。

【発明を実施するための最良の形態】

【0012】

図1には、本発明に係るSTS方式の2ポートSRAMの一実施例の概略図が示されている。SPSRAMは、スタティック型メモリセルを用いて構成され、1つの入力ポート及び出力ポートを持つシングルポートSRAMである。このSPRAMに対して、読み出しポートPOTRと書き込みポートPOTWからなる2つのポートを持つインターフェイス部STSIFと、STS方式のメモリタイミング制御回路STSCGが付加されてSTS方式の2ポートSRAMが構成される。

【0013】

メモリタイミング制御回路STSCGは、外部クロック信号EXCLKを受けて、STS方式で上記インターフェイス部STSIFを制御して上記SPRAMをみかけ上2ポートメモリ動作させる内部クロック信号ICLKを形成する。上記メモリタイミング制御回路STSCGは、次の各回路で構成される。外部クロック信号EXCLKは、遅延回路DL1とインバータ回路IV1を通して遅延される。上記インバータ回路IV1からの遅延信号と上記外部クロック信号EXCLKとは、ナンド(NAND)ゲート回路G1の入力に供給されて、その出力端子から上記遅延回路DL1の遅延時間に対応したロウレベルのパルス幅を持つ第1タイミング信号CK1が生成される。

【0014】

上記SPRAMからのメモリ動作終了信号SENDは、遅延回路DL2とインバータ回路IV2を通して遅延される。インバータ回路IV2の出力端子から出力される遅延信号は、遅延回路DL3とインバータ回路IV3を通して遅延される。このインバータ回路IV3から出力される遅延信号と上記インバータ回路IV2から出力される遅延信号とは、ナンドゲート回路G2の入力に供給され、その出力端子から上記遅延回路DL3の遅延時間に対応したロウレベルのパルス幅を持つ第2タイミング信号CK2が生成される。上記ゲート回路G1から出力される第1タイミング信号CK1と、上記ゲート回路G2から出力される第2タイミング信号CK2とは、論理和回路としてのナンドゲート回路G3を通してハイレベルに反転されて、上記内部クロック信号ICLKとしてシリアル(CK1+CK2)に出力される。

【0015】

図2には、図1のメモリタイミング制御回路STSCGの動作を説明するタイミング図が示されている。外部クロック信号EXCLKのハイレベルへの変化に対応し、上記遅延回路DL1とインバータ回路IV1及びゲート回路G1により、遅延回路DL1の遅延時間だけロウレベルとなる第1タイミング信号CK1が形成される。一方、上記第1タイミング信号CK1によりSPRAMが読み出し動作とされて、そのメモリ動作終了に対応してメモリ動作終了信号SENDがハイレベルからロウレベルに変化すると、遅延回路DL2とインバータ回路IV2により遅延時間だけ遅延された遅延信号が形成される。この遅延信号は、上記メモリ動作終了信号SENDが反転されてロウレベルからハイレベルに変化するので、上記同様に上記遅延回路DL3とインバータ回路IV3及びゲート回路G2により、遅延回路DL3の遅延時間だけロウレベルとなる第2タイミング信号CK2が形成される。

【0016】

したがって、ゲート回路G3を通して出力される内部クロック信号ICLKは、遅延回路DL1の遅延時間だけハイレベルとなる第1タイミング信号(/CKA1)、上記遅延回路DL2の遅延時間だけロウレベルの期間の後に、再び上記遅延回路DL3の遅延時間だけハイレベルとなる第2タイミング信号(/CKA2)が上記のようにシリアル(CK1+CK2)に出力され、外部クロック信号EXCLKの次サイクルのハイレベルに同期してハイレベルにされる。

【0017】

上記インターフェイス部STSIFは、上記内部クロックICLKを受けて、上記第1

10

20

30

40

50

タイミング信号CK1に対応した前半がリードサイクルと、上記第2タイミング信号CK2に対応した後半がライトサイクルとする。第1タイミング信号CK1に対応して読み出しポートPOTRが選択され、リードアドレス信号がSPRAMに入力されて、メモリ選択とセンスアンプによる読み出し信号増幅と出力動作が行われる。この実施例では、メモリ動作終了信号SENDを利用するので、上記第1タイミング信号CK1は、上記のようなSPRAMの読み出し動作の起動に必要なパルス幅を持つタイミング信号とされる。SPRAMにおいて、実際にメモリセルが選択されて、読み出し動作が行われことに対応したメモリ動作終了信号SENDが出力されるので、このタイミング信号SENDに対して、リードリカバリ動作が開始され、遅延回路DL2によりその時間が確保される。

【0018】

10

上記リードリカバリ動作の終了を待って生成された上記第2タイミング信号CK2に対応して書き込みポートPOTWが選択され、ライトアドレス信号とライトデータがSPRAMに入力されて、メモリ選択とライトアンプによる書き込み動作が行われる。この書き込み時間は、上記遅延回路DL3で設定された遅延時間により設定される。そして、この第2タイミング信号CK2に対応した書き込み動作終了から次のサイクルまでの期間にライトリカバリ動作が実施される。

【0019】

シングルポートSRAM(SPRAM)のリード動作の完了を受けリードリカバリに引き続いてライト動作が開始されるため、無駄な待機時間が無くなるため、SPSRAMの性能に対応した高速動作が可能である。つまり、前記図6のように遅延回路DL1でメモリ動作期間を設定した場合には、遅延回路を構成するトランジスタ等の製造ばらつきを考慮した時間マージン設定が必要になる。これに対して、図1の実施例では実際のメモリ動作終了信号SENDを用いているので、前記図6のような製造ばらつきを考慮した時間マージン設定が不要になる。したがって、上記マージン設定が不要になる分メモリサイクルの短縮化(高速化)が可能になり、しかも上記実際のメモリ動作終了信号SENDを用いているので安定したメモリの読み出し動作を実施することができる。一般に、読み出し動作は、メモリセルに記憶された比較的小さな信号を増幅して出力することが必要であり、読み出し動作に要する時間がトランジスタ等の製造ばらつきの影響を大きく受ける。本願発明では、この製造ばらつきや変動の影響を無視できるので高速化が可能になる。

20

【0020】

30

図3には、本発明に係るSTS方式の2ポートSRAMの一実施例のブロック図が示されている。この実施例は、前記図1の実施例に対応している。同図では、主に前記インターフェイス部STSIFの一実施例の構成例が示されている。インターフェイス部STSIFは、前記読み出しポートPOTRを構成するリードアドレス入力ポートPRA、リードデータ出力ポートPRD及び前記書き込みポートPOTWを構成するライトアドレス入力ポートPWA、ライトデータ入力ポートPWDとを有する。

【0021】

リードアドレス入力ポートPRAからのリードアドレス信号は、アドレスバッファADBを通してセクタSELの一方の入力に供給される。ライトアドレス入力ポートPWAからのライトアドレス信号は、アドレスラッチADLに保持される。このアドレスラッチADLの出力信号が上記セクタSELの他方の入力に供給される。上記セクタSELで選択されたアドレス信号がSPRAMのアドレス端子ADDに供給される。

40

【0022】

上記SPRAMのデータ入出力端子DIOは、リードデータラッチRD Lの入力端子とライトデータラッチWD Lの出力端子に接続される。上記リードデータラッチRD Lの出力信号は、データ出力回路DOBを通して上記リードデータ出力ポートPRDに伝えられる。上記ライトデータ入力ポートPWDから入力されるライトデータは、データ入力回路DIBを通して上記ライトデータラッチWD Lに保持される。

【0023】

メモリタイミング制御回路STSCGは、前記外部クロック信号EXCLKと、前記メ

50

メモリ動作終了信号SENDとを受けて、前記のような内部クロック信号ICKを形成して上記SPRAMのクロック端子に伝える。また、メモリタイミング制御回路STSCGは、上記セクタSEL、リードデータラッチRDL、ライトデータラッチWDLを制御するタイミング信号PSEL、上記アドレスラッチADL及びデータ入力回路DIBの動作タイミング信号PWC、データ出力回路DOBの動作タイミング信号PRC等を形成する。

【0024】

特に制限されないが、外部クロック信号EXCLKに同期して、リードアドレス入力ポートPRAからリードアドレス信号が供給され、ライトアドレス入力ポートPWAからライトアドレス信号とライトデータが供給される。上記リードアドレス信号は、アドレスバッファADB及びセクタSELを通してSPRAMのアドレス端子ADDに伝えられ、ライトアドレス信号とライトデータは、アドレスラッチADL及びデータ入力回路DIBにラッチされる。SPRAMは、外部クロック信号EXCLKに対応して発生された第1番目の内部クロック信号(CK1)に対応してリード動作が実行される。メモリタイミング制御回路STSCGは、読み出し動作終了信号SENDにより、前記リードリカバリ時間を確保した後に内部クロック信号ICKの2番目のクロック(CK2)を生成する。これに対応してタイミング信号PSELを発生させてリードデータRDをリードデータラッチRDLに保持させ、タイミング信号PRCを発生させて上記保持されたリードデータRDをデータ出力回路DOBを通して出力させる。

【0025】

上記内部クロック信号ICKの2番目のクロック(CK2)に対応して、タイミング信号PSELが変化されるので、上記セクタSELの切り替えも行われてアドレスラッチADLに保持されていたライトアドレス信号がSPRAMのアドレス端子ADDに伝える。SPRAMは、上記内部クロック信号ICKの2番目のクロック(CK2)に対応してライトサイクルに入り、メモリセルの選択とライトデータラッチWDLに保持されたライトデータの書き込みを行う。そして、外部クロック信号EXCLKの次サイクルまでの間に、上記クロック(CK2)で設定されたメモリセルへの書き込み動作と、ライトリカバリが実行される。

【0026】

図4には、この発明に用いられるSPRAMの一実施例の概略ブロック図が示されている。図5には、その動作を説明するタイミング図が示されている。図4には、メモリアレイMARY、レプリカメモリアレイRMARY、ワードドライバ部WLDV、入出力部I/Oと、メモリ制御回路の一部が示されている。上記メモリアレイMARYは、2つのワード線WL1, WL2と2対の相補ビット線BL0, /BL0, BL1, /BL1及びそれぞれ交差部に設けられたメモリセルMCが代表として例示的に示されている。上記ワードドライバ部WLDVは、上記ワード線WL0とWL1をそれぞれ選択するワードドライバDRV0, DRV1が代表として例示的に示されている。

【0027】

レプリカメモリアレイRMARYは、レプリカメモリセルRMCとレプリカワード線RWL及びレプリカビット線RBLを有する。レプリカメモリセルRMCは、通常動作する上記メモリセルMCと大部分が同じ構成となっている。図5に示すように、内部クロック信号ICKが入力される前には、つまりロウレベルの期間にレプリカビット線RBLが例えばハイレベルにプリチャージされている。このため、インバータ回路IV12の出力信号REPは、ロウレベルになっている。

【0028】

内部クロック信号ICKがハイレベルになると、インバータ回路IV10, IV11を通してレプリカワード線RWLがハイレベルに活性化され、それによりレプリカメモリセルRMCが活性化され、ハイレベルにプリチャージされていたレプリカビット線RBLの電荷が引き抜かれる。これと並行して、メモリアレイMARY側に対しては、ゲート回路G10からワードドライバ部WLDVを活性化信号も生成される。したがって、図示し

10

20

30

40

50

ないアドレスデコーダで形成された選択信号に対応して、上記レプリカワード線RWLとほぼ同様なタイミングで例えばワードドライバDRV0によりワード線WL0が活性化される。

【0029】

上記レプリカビット線RBLのロウレベルの変化をインバータ回路IV12が検知し、内部クロック信号ICKが入力される前は、ロウレベルであった信号REPがハイレベルに変化する。上記ゲート回路G10には、遅延回路を構成するインバータ回路IV15を通して上記信号REPが伝えられるのでセンスアンプSAの増幅に必要な一定時間経過後にワードドライバ部WLDVを非活性にさせる。

【0030】

上記信号REPのハイレベルへの変化に対応して、ゲート回路G11及びインバータ回路IV14を通してセンスアンプ活性化信号SCをハイレベルにし、センスアンプSAが増幅動作を開始する。上記信号REPは、遅延回路を構成するインバータ回路IV13によって反転遅延されて、上記ゲート回路G11に伝えられる。したがって、ゲート回路G11及びインバータ回路IV14を通して生成されたセンスアンプ活性化信号SCは、上記インバータ回路IV13の遅延時間だけハイレベルとなりセンスアンプSAを活性化させる。したがって、上記インバータ回路IV13の出力信号は、メモリ動作終了信号SENDとして利用できる。つまり、信号SEDがハイレベルからロウレベルに変化したタイミングは、上記センスアンプSAの動作が終了したタイミングに対応している。

【0031】

上記メモリアレイMARYにおいては、選択されたワード線WL0等を非選択状態にしただけでは、例示的に示されているビット線BL0、/BL0、BL1、/BL1を含んで全相補ビット線に選択されたワード線WL0に接続されたメモリセルの記憶情報に対応した読み出し信号が残ったままとなる。このように相補ビット線BL0、/BL0との間に電圧差が残ったままであると引き続き実行されるライトアンプの動作を遅くする。つまり、相補ビット線BL0、/BL0との間に残っている電圧差を反転させるような電圧変化を必要として、上記オフセット電圧分だけ余分に時間がかかる。常にワーストケースを考慮して設定する必要があるので、相補ビット線BL0、/BL0に電圧差があると、書き込み時間を長くすることになる。

【0032】

この実施例では、上記センスアンプSAの動作が終了したタイミングの後にリードリカバリ動作が実行される。リードリカバリ動作は、上記全ワード線が非選択状態で全相補ビット線対をそれぞれ同じ電位に設定する。例えば、図4において、相補ビット線BL0、/BL0及びBL1、/BL1間を短絡するMOSFETQ1、Q2等をイコライズ信号EQによりオン状態にさせる。また、これと共に図示しないプリチャージMOSFETをオン状態にして、相補ビット線BL0、/BL0及びBL1、/BL1等を所定電位に設定する機能を合わせて設けるようにするものであってもよい。更には、センスアンプの内部ノードも出力ノードも同電位となるようにリセットするものを設けるものであってもよい。前記書き込みポートPOTWからのライト動作実行後のライトリカバリ動作においても、上記MOSFETQ1、Q2等はオン状態にされる。

【0033】

この発明に係るSTS方式の2ポートSRAMは、例えばFIFO（先入れ先出し）メモリとして利用できる。上記2ポートSRAMは、例えばレーザープリンタ等を制御する1チップマイクロコンピュータ等に搭載され、プリントデータ保持用メモリとして使用される。プリンタが印刷可能になるまでの間にプリントデータが上記2ポートSRAMに書き込まれる。つまり、印刷ができないために外部クロックEXCLKの1サイクルのうちのリードサイクルはダミーサイクルとされる。印刷動作が可能になると、外部クロックEXCLKの1サイクルの前半サイクルで既に行われたプリントデータの読み出しが行われ、後半サイクルで引き続きプリントデータの書き込みが実行される。

【0034】

10

20

30

40

50

この発明に係る2ポートメモリは、メモリマクロとして各種システムLSIに搭載可能にされる。つまり、前記設定された外部クロック信号EXCLKな動作可能な最高周波数になり、それよりも低い周波数の外部クロック信号でも何等問題なく動作する。しかも、ライト動作終了後から次サイクルまではライトリカバリ動作が実行されるものであり、かかるリカバリ動作ではメモリアレイのワード線が非選択状態であり、メモリアレイ等でのリーク電流が最小に抑えられてるからより低い周波数で動作させても格別な弊害が生じない。したがって、上記メモリマクロは、保証された最高周波数以下で可能とされる様々なLSIに搭載できる。

【0035】

以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、図3において、リード/ライトアドレス信号や書き込みデータの取り込みは、外部クロック信号EXCLKに対応して同時に行うもの、あるいはそれぞれのリードサイクル、ライトサイクルに対応して取り込むものであってもよい。読み出しデータの出力タイミングは、上記リードサイクルで直ちに出力させるものあるいは外部クロック信号EXCLKの次サイクルに出力させるもの用途に応じて種々の実施形態をとることができる。

【0036】

メモリ回路は、スタティック型RAMの他にDRAM(ダイナミック型ランダム・アクセス・メモリ)に置き替えることも可能である。メモリタイミング制御回路STSCGの具体的構成は、前記1つの入力ポートと出力ポートを持つRAM(SRAM又はDRAM)からのメモリ動作終了信号を用いて、外部クロック信号に対応して読み出し用ポートと書き込み用ポートをそれぞれの動作に必要な時間を考慮して順次に行うようにするものであればよい。この発明に係る2ポートメモリは、マイクロコンピュータ等のようなLSI等に搭載される2ポートメモリ、又は各種システムLSIに搭載される2ポートSRAMのハードウェアIP(Intellectual Propety)コアに利用することができる。

【産業上の利用可能性】

【0037】

この発明は、2ポートメモリを有する半導体装置及びそのメモリマクロとして広く利用することができる。

【図面の簡単な説明】

【0038】

【図1】この発明に係るSTS方式の2ポートSRAMの一実施例の概略図である。

【図2】図1のメモリタイミング制御回路STSCGの動作を説明するタイミング図である。

【図3】この発明に係るSTS方式の2ポートSRAMの一実施例のブロック図である。

【図4】この発明に用いられるSPRAMの一実施例の概略ブロック図である。

【図5】図4のSPRMAの動作を説明するタイミング図である。

【図6】本願発明に先だって検討されたメモリタイミング制御回路の概略図である。

【図7】図6のメモリタイミング制御回路の動作を説明するタイミング図である。

【符号の説明】

【0039】

SPRAM...シングルポートSRAM、STSCG...メモリタイミング制御回路、STSIF...インターフェイス部、POTR...読み出しポート、POTW...書き込みポート、DL1~DL3...遅延回路、G1~3, G10, G11...ゲート回路、IV1~IV3, IV10~IV15...インバータ回路、

WLDV...ワードドライバ部、MARY...メモリアレイ、RMARY...レプリカメモリアレイ、MC...メモリセル、RMC...レプリカメモリセル(ダミーセル)、SA...センスアンプ、WL0, WL1...ワード線、BL0, /BL0, BL1, /BL1...相補ビット線、

10

20

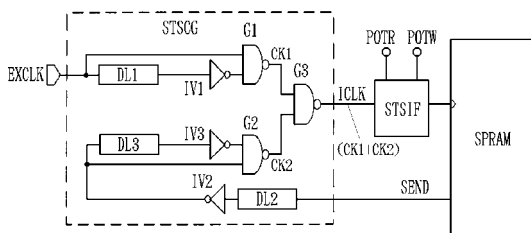
30

40

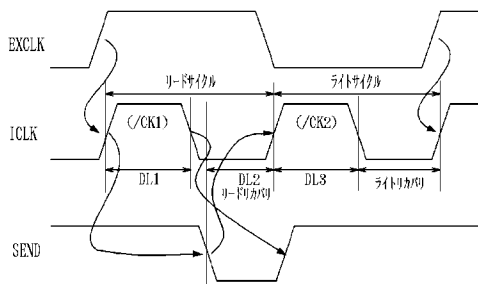
50

P R A ... リードアドレス入力ポート、 A D B ... アドレスバッファ、 S E L ... セレクタ、
 A D L ... アドレスラッチ、 P W A ... ライトアドレス入力ポート、 D I O ... データ入出力端
 子、 P R D ... リードデータ出力ポート、 D I B ... データ入力回路、 W D L ... ライトデータ
 ラッチ、 R D L ... リードデータラッチ、 D O B ... データ出力回路、

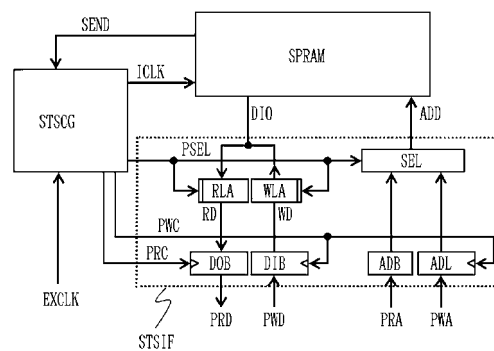
【 図 1 】



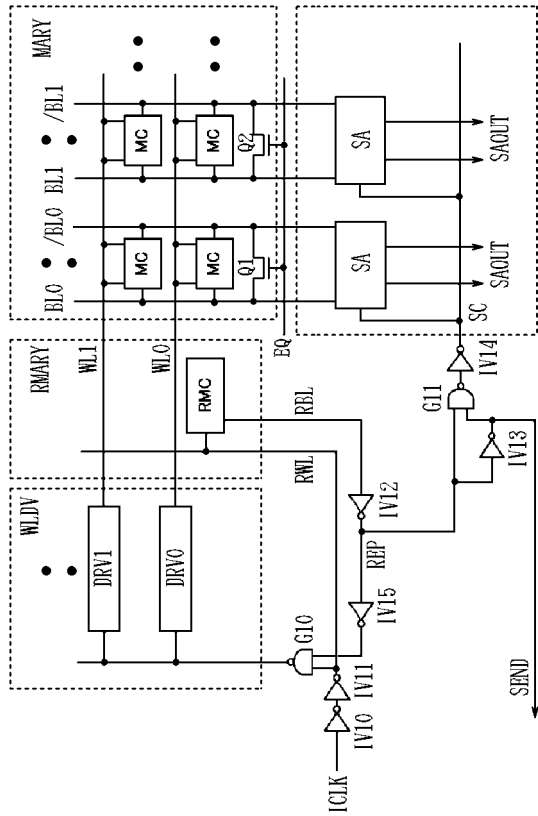
【 図 2 】



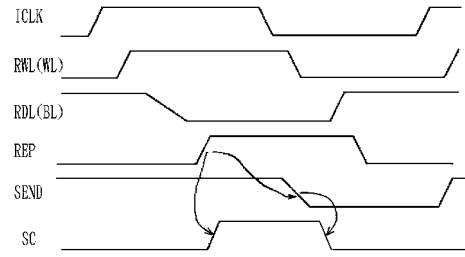
【 図 3 】



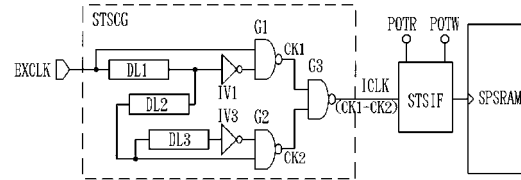
【 図 4 】



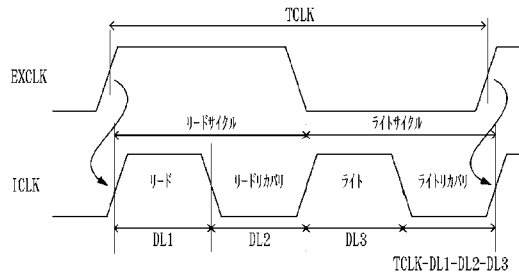
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

審査官 堀 拓也

- (56)参考文献 特開2008-004218(JP,A)
特開2002-313082(JP,A)
特開2004-265566(JP,A)
特開平07-084987(JP,A)
特開2005-085344(JP,A)
特開2005-44334(JP,A)
特開2000-353385(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/413

G11C 11/407