

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6985661号
(P6985661)

(45) 発行日 令和3年12月22日(2021.12.22)

(24) 登録日 令和3年11月30日(2021.11.30)

(51) Int. Cl.	F I
HO 1 L 35/34 (2006.01)	HO 1 L 35/34
HO 1 L 35/14 (2006.01)	HO 1 L 35/14
HO 1 L 35/30 (2006.01)	HO 1 L 35/30
CO 1 B 33/06 (2006.01)	CO 1 B 33/06

請求項の数 4 (全 12 頁)

(21) 出願番号 (22) 出願日 (65) 公開番号 (43) 公開日 審査請求日	特願2017-190674 (P2017-190674) 平成29年9月29日 (2017. 9. 29) 特開2019-67874 (P2019-67874A) 平成31年4月25日 (2019. 4. 25) 令和2年8月26日 (2020. 8. 26)	(73) 特許権者 000003137 マツダ株式会社 広島県安芸郡府中町新地3番1号 (73) 特許権者 504136568 国立大学法人広島大学 広島県東広島市鏡山1丁目3番2号 (74) 代理人 110001427 特許業務法人前田特許事務所 (72) 発明者 黒木 伸一郎 広島県東広島市鏡山一丁目4番2号 国立 大学法人広島大学 ナノデバイス・バイオ 融合科学研究所内
(出願人による申告) 平成27年度、国立研究開発法人新エネルギー・産業技術総合開発機構「未利用熱エネルギーの革新的活用技術研究開発」に係る委託研究、産業技術力強化法第19条の適用を受ける特許出願		
		最終頁に続く

(54) 【発明の名称】 ペルチェ素子の製造方法及びその実装方法

(57) 【特許請求の範囲】

【請求項1】

電力制御用半導体デバイスを冷却するための、n型の半導体層とp型の半導体層とが電極材によって交互に接続して構成されたペルチェ素子の製造方法であって、

前記n型の半導体層における互いに対向する表面及び裏面の浅い領域に、n型の不純物イオンを注入することにより、前記浅い領域にそれぞれn型の高濃度領域を形成する工程と、

前記n型の半導体層の表面及び裏面の上に、前記電極材である白金、アルミニウム又はチタンからなる金属膜を成膜する工程と、

前記金属膜が成膜された前記n型の半導体層に対して所定の温度で熱処理を行う工程とを備え、

前記各半導体層は、シリコンからなり、

前記熱処理を行う工程は、白金又はチタンからなる金属膜と前記n型の半導体層との界面をシリサイド化する、ペルチェ素子の製造方法。

【請求項2】

請求項1に記載のペルチェ素子の製造方法において、

前記金属膜は白金からなり、

前記熱処理は400 以上且つ800 以下の温度で行う、ペルチェ素子の製造方法。

【請求項3】

請求項1又は2に記載のペルチェ素子の実装方法であって、

10

20

前記電力制御用半導体デバイスにおける単位面積当たりの発熱量が前記ペルチェ素子における単位面積当たりの熱移動量よりも小さい場合は、前記ペルチェ素子を前記電力制御用半導体デバイスの発熱面に当接させ、

一方、前記電力制御用半導体デバイスの前記発熱量が前記ペルチェ素子の前記熱移動量と同等か又は大きい場合は、前記ペルチェ素子を前記電力制御用半導体デバイスの発熱面との間にヒートスプレッド材を介在させて当接させる、ペルチェ素子の実装方法。

【請求項 4】

請求項 3 に記載のペルチェ素子の実装方法において、

前記電力制御用半導体デバイスの前記発熱量が前記ペルチェ素子の前記熱移動量と同等か又は大きい場合は、

前記ペルチェ素子の平面積を前記電力制御用半導体デバイスの平面積よりも大きくする、ペルチェ素子の実装方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ペルチェ素子の製造方法及びその実装方法に関し、特に、車載用の電力制御用半導体デバイスを冷却するペルチェ素子の製造方法及びその実装方法に関する。

【背景技術】

【0002】

近年、車載用の電力制御用半導体デバイス、例えばハイブリッド車（HV）、プラグインハイブリッド車（PHV）及び電気自動車（EV）等に搭載されるモータ制御用のパワーデバイスは、坂道発進時における車両の後退をモータのトルクで抑制するヒルホールド機能の使用時や、モータによる低速での登坂時に、発熱量のピークが 100 W/cm^2 を超える。従来、車両の冷却システムは、主に水冷式が用いられており、このピーク値を適切に冷却できるように設計されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許 5324680 号公報

【特許文献 2】特開 2014-022731 号公報

【特許文献 3】特表 2007-518281 号公報

【特許文献 4】特表 2002-540636 号公報

【特許文献 5】特許 4896336 号公報

【特許文献 6】特開 2017-028118 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記の発熱量のピーク値は、一般の走行時にはほとんど出現することがなく、冷却システムの性能としては過剰性能となっている。

【0005】

そこで、本発明者らは、ペルチェ素子、特に半導体を用いたペルチェ素子を用いることによって、このピーク値のみを速やかに低減できるようにすれば、従来の冷却システムの簡素化を図ることが可能となるということに思い至った。

【0006】

このため、上記のパワーデバイスの発熱量に対処するには、例えば半導体シリコン（Si）を用いたペルチェ素子によるペルチェ効果を最大限、その理論値では約 300 W/cm^2 にまで引き出す必要がある。ところで、一般に、シリコンの吸熱量が最大となるキャリア濃度は、 $1 \times 10^{18} \sim 1 \times 10^{19}\text{ cm}^{-3}$ 程度である。この程度のキャリア濃度では、半導体と電極を形成する金属との接触電気抵抗（以下、単に接触抵抗とも呼ぶ。）が無視できない値となる。この接触抵抗が大きいと、発生するジュール熱が大きくなるた

10

20

30

40

50

め、ペルチェ素子による冷却性能が低下する。従って、半導体における金属電極との接触部に対してキャリア濃度を高濃度化したり、当該接触部を金属シリサイド化したりする等の対策が必要となる。

【0007】

ところが、半導体の金属電極との接触部のキャリア濃度の高濃度化及び当該接触部の金属シリサイド化により、半導体におけるゼーベック係数にどのような影響が及ぶのかは未だ明らかにされていない。

【0008】

本発明は、前記従来の問題を解決し、半導体を用いたペルチェ素子における熱移動量を増大させることを目的とする。

【課題を解決するための手段】

【0009】

前記の目的を達成するため、本発明は、半導体を用いたペルチェ素子において、該半導体と電極金属との寄生ゼーベック係数及び接触抵抗の少なくとも一方を低減できるようにし、半導体と電極金属との接合面で生じるショットキー障壁（バリア）に対して、その低障壁化及び狭障壁化を図る構成とする。

【0010】

具体的に、本発明は、半導体を用いたペルチェ素子の製造方法を対象とし、次のような解決手段を講じた。

【0011】

すなわち、第1の発明は、電力制御用半導体デバイスを冷却するための、n型の半導体層とp型の半導体層とが電極材によって交互に接続して構成されたペルチェ素子の製造方法を対象とし、n型の半導体層における互いに対向する表面及び裏面の浅い領域にn型の不純物イオンを注入することにより、当該浅い領域にそれぞれn型の高濃度領域を形成する工程と、n型の半導体層の表面及び裏面の上に、電極材である白金、アルミニウム又はチタンからなる金属膜を成膜する工程と、金属膜が成膜されたn型の半導体層に対して所定の温度で熱処理を行う工程とを備え、各半導体層はシリコンからなり、熱処理を行う工程は、白金又はチタンからなる金属膜とn型の半導体層との界面をシリサイド化する工程である。

【0012】

これによれば、まず、n型の半導体層の表面及び裏面にn型の高濃度領域を形成し、さらに、該n型の高濃度領域の上に成膜された電極材である白金、アルミニウム又はチタンからなる金属膜に対して所定の温度で熱処理を行うため、n型の半導体層と電極材である金属との接合面で生じるショットキー障壁（バリア）に対して、その低障壁化及び狭障壁化が可能となる。その結果、寄生ゼーベック係数が低減すると共に、接触低減が低減するので、ペルチェ素子による吸熱効果（熱移動量）の向上を図ることができる。

【0013】

また、電極材である金属膜と半導体層との接合部に、白金シリサイド又はチタンシリサイドを用いれば、寄生ゼーベック係数が低減して該接合部におけるゼーベック係数の絶対値を大きくすることができる。

【0014】

第2の発明は、上記第1の発明において、金属膜は白金からなり、熱処理は400以上且つ800以下の温度でおこなってもよい。

【0015】

これによれば、上記接合部における接触抵抗を低減できると共に、ゼーベック係数の絶対値を大きくすることができる。

【0016】

第3の発明は、上記第1又は第2の発明のペルチェ素子の実装方法を対象とし、電力制御用半導体デバイスにおける単位面積当たりの発熱量がペルチェ素子における単位面積当たりの熱移動量よりも小さい場合は、ペルチェ素子を電力制御用半導体デバイスの発熱面

10

20

30

40

50

に当接させ、一方、電力制御用半導体デバイスの発熱量がペルチェ素子の熱移動量と同等か又は大きい場合は、ペルチェ素子を電力制御用半導体デバイスの発熱面との間にヒートスプレッド材を介在させて当接させる。

【0017】

これによれば、半導体デバイスの発熱量が、ペルチェ素子の熱移動量よりも大きい場合であっても、その面内方向に熱の移動量が大きいヒートスプレッド材によって、半導体デバイスの平面積よりも大きい平面積を持つペルチェ素子に効率的に熱移動させることができるので、ペルチェ素子による半導体デバイスからの発熱を高効率に放熱することができる。

【0018】

第4の発明は、上記第3の発明において、電力制御用半導体デバイスの発熱量がペルチェ素子の熱移動量と同等か又は大きい場合は、ペルチェ素子の平面積を電力制御用半導体デバイスの平面積よりも大きくしてもよい。

【0019】

これによれば、半導体デバイスの発熱量がペルチェ素子の熱移動量よりも大きい場合に、半導体デバイスからの発熱をより確実に放熱することが可能となる。

【発明の効果】

【0020】

本発明によれば、半導体を用いたペルチェ素子における該半導体と電極金属との寄生ゼーベック係数及び接触抵抗の少なくとも一方を低減できるようにして、当該ペルチェ素子における熱移動量を増大することができる。

【図面の簡単な説明】

【0021】

【図1】図1は本発明の一実施形態に係るペルチェ素子を示す模式的な断面図である。

【図2】図2は本発明の一実施形態に係るペルチェ素子の製造方法の一工程を示す模式的な断面図である。

【図3】図3は本発明の一実施形態に係るペルチェ素子の製造方法の一工程を示す模式的な断面図である。

【図4】図4は本発明の一実施形態に係るペルチェ素子の製造方法の一工程を示す模式的な断面図である。

【図5】図5は本発明の一実施形態に係るペルチェ素子を構成する半導体であって、電極が形成されたn型シリコン層におけるゼーベック係数の測定方法を示す模式的な正面図である。

【図6】図6は本発明の一実施形態に係るペルチェ素子を構成するn型シリコン層に適用可能な金属材料における、n型シリコン層との接触抵抗（抵抗率）及びゼーベック係数Sの平均値 S_{ave} の測定結果を表すグラフである。

【図7】図7は本発明の一実施形態に係るペルチェ素子を構成するn型シリコン層に適用する白金及び白金シリサイドにおけるゼーベック係数（左縦軸）並びに接触抵抗率（右縦軸）と熱処理温度との関係を示すグラフである。

【図8】図8は従来の複数のパワーデバイスを用いた車載用インバータにおける発熱量とインバータ効率との関係を示すグラフである。

【図9】図9は従来の半導体材料及び構造が異なるパワーデバイスにおける導電損失（抵抗損失）による発熱量とスイッチング損失による発熱量と和の一覧を示す表である。

【図10】図10は本発明の一実施形態に係るペルチェ素子の実装方法を示すフロー図である。

【発明を実施するための形態】

【0022】

以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の好ましい実施形態の説明は、本質的に例示に過ぎず、本発明、その適用物又はその用途を制限することを意図しない。

10

20

30

40

50

【 0 0 2 3 】

(発明の経緯)

ペルチェ素子を電力制御用半導体デバイス、例えば、車載用のパワーデバイスの急激な温度上昇の冷却に用いる場合は、ペルチェ素子自体の外部への熱移動量、すなわち熱伝導率を高める必要がある。なお、ペルチェ素子を冷却装置に用いる小型冷蔵庫のような場合は、外界からの熱が庫内に入らないように、ペルチェ素子自体の熱伝導率は、通常抑えられている。

【 0 0 2 4 】

以下に、ペルチェ素子における熱移動量 Q_{out} [W] を式 (1) に示す。

【 0 0 2 5 】

$$Q_{out} = STI - (1/2)RI^2 + KT \dots (1)$$

ここで、S はペルチェ素子を構成する半導体のゼーベック係数 [V / K] であり、T は絶対温度 [K] であり、I は電流 [A] であり、R は抵抗 [Ω] であり、K は熱伝導率 [W / (cm · K)] である。また、 RI^2 は、ジュール熱 [J] (= [W · s]) を表す。

【 0 0 2 6 】

ゼーベック係数 S は、以下の式 (2) に示すように、半導体ゼーベック係数 S_s と、寄生ゼーベック係数 S_p 及び金属ゼーベック係数 S_m との差である。ここで、寄生ゼーベック係数 S_p は、半導体と電極金属との接合部におけるゼーベック係数である。

【 0 0 2 7 】

$$S = S_s - S_p - S_m \dots (2)$$

また、抵抗 R は、以下の式 (3) に示すように、半導体抵抗 R_s と、接触抵抗 R_p と、金属抵抗 R_m との和である。ここで、接触抵抗 R_p は、半導体と電極金属との接合部における接触抵抗である。

【 0 0 2 8 】

$$R = R_s + R_p + R_m \dots (3)$$

また、熱伝導率の増大は、以下の式 (4) に示すように、熱伝導率の逆数に対応する伝熱抵抗 (1 / K) の低減として、半導体熱抵抗 $1 / K_s$ と、接触熱抵抗 $1 / K_p$ と、金属熱抵抗 $1 / K_m$ との和として表される。ここでも、接触熱抵抗 $1 / K_p$ は、半導体と電極金属との接合部における接触熱抵抗である。

【 0 0 2 9 】

$$1 / K = 1 / K_s + 1 / K_p + 1 / K_m \dots (4)$$

上記の式 (1) ~ (4) から分かるように、ペルチェ素子による発熱密度 Q_{out} を大きくするには、少なくとも、

(a) ゼーベック係数 S の増大 = > 寄生ゼーベック係数 S_p の低減、及び

(b) ジュール熱 RI^2 の低減 = > 接触抵抗 R_p の低減

が考えられる。

【 0 0 3 0 】

従って、本発明は、上記の項目 (a) の寄生ゼーベック係数 S_p の低減と、項目 (b) の接触抵抗 R_p の低減とを図ることにより、式 (1) に示す熱移動量 Q_{out} を大きくする構成とする。

【 0 0 3 1 】

このうち、本発明者らの種々の検討により、半導体と電極金属との接合面 (界面) におけるショットキー障壁の低障壁化及び狭障壁化によって、寄生ゼーベック係数 S_p が低減することが分かっている。

【 0 0 3 2 】

また、半導体におけるキャリアの高濃度化と、半導体と電極金属との接合面 (界面) におけるショットキー障壁の低障壁化及び狭障壁化とによって、接触抵抗 R_p が低減することが分かっている。

【 0 0 3 3 】

10

20

30

40

50

さらに、本発明者らは、半導体、より詳しくはn型の半導体（n型シリコン）とその電極金属との接合部における寄生ゼーベック係数 S_p と該接合部における接触抵抗 R_p とを低減できる適当な電極金属を探し当てた。

【0034】

（一実施形態）

本発明の一実施形態について図面を参照しながら説明する。

【0035】

[ペルチェ素子の構成]

図1は本実施形態に係る半導体を用いたペルチェ素子の断面構成の一例を示している。図1に示すように、本ペルチェ素子10は、それぞれ複数のドット（島）状に交互に配置されたp型シリコン層12及びn型シリコン層14と、これらシリコン層12、14に交互に電流が流れるようにその下部に配置された下部電極11及びその上部に配置された上部電極15とから構成されている。

10

【0036】

下部電極11及び上部電極15には、例えば、白金（Pt）、アルミニウム（Al）及びチタン（Ti）のうちのいずれかを用いている。後述するように、白金及びチタンは、電極の製造時にシリサイド化される。

【0037】

p型シリコン層12及びn型シリコン層14との間、下部電極11同士の間並びに上部電極15同士の間には、例えば酸化シリコン（ SiO_2 ）からなる絶縁膜13が充填されて形成されている。

20

【0038】

[n型シリコン層への電極の形成方法]

次に、図2～図4を用いて、本実施形態に係るペルチェ素子を構成する半導体層のうちn型シリコン層への電極の形成方法について説明する。

【0039】

まず、図2に示すように、図1に示したドット状の複数のn型シリコン層14が取れる程度の平面形状を持つ板状のn型シリコン層21を用意する。

【0040】

次に、公知のイオン注入装置を用いて、用意したn型シリコン層21の表面及び裏面の全面における比較的浅い領域に、順次、n型のキャリア濃度が $1 \times 10^{18} / cm^3 \sim 1 \times 10^{19} / cm^3$ 程度となるように、n型の不純物である、例えば燐（ P^+ ）イオンを注入する。その後、注入された燐イオンを活性化する所定の熱処理を公知のアニール装置で行う。これにより、n型シリコン層21の表面及び裏面に n^+ 型領域21aがそれぞれ形成される。

30

【0041】

次に、図3に示すように、公知のスputタ装置を用いて、厚さが例えば200nm～500nm程度の金属膜22、ここではPt膜22を成膜する。

【0042】

次に、図4に示すように、公知のアニール装置を用いて、表裏面にPt膜22が成膜されたn型シリコン層21に対して所定の熱処理を行う。これにより、Pt膜22と n^+ 型領域21aとの接合部に、白金（Pt）とシリコン（Si）とが合金化してなる白金シリサイド（ Pt_2Si 、 $PtSi$ 、 $PtSi_x$ ）層23が形成され、当該接合部におけるエネルギー障壁（ショットキーバリア）の高さが低くなり且つその幅が小さくなる。後述するように、この熱処理は、加熱温度が400～800程度であってもよい。

40

【0043】

図5は、電極として両端部にPt膜22aが形成された測定試料であるn型シリコン層21Aにおけるゼーベック係数と抵抗率とを同時に測定できる測定方法を模式的に表している。この測定には、例えば公知のZEM-3等のゼーベック係数測定装置を用いることができる。

50

【 0 0 4 4 】

図5に示すように、n型シリコン層21Aは、絶縁性部材からなるホルダ40の上に保持されている。銅(Cu)からなる2つの測定電極41は、ホルダ40の各端面とn型シリコン層21Aのシリサイド化された各Pt膜22aの端部とに、それぞれ接触するように設けられている。各測定電極41は、銅(Cu)又はアルミニウム(Al)からなる導電体43とそれぞれ接触されて支持されている。各導電体43は、直流電源44と接続されている。また、負極側の導電体43には、該導電体43を所定の温度に加熱するヒータ45が設けられ、負極側のPt膜22aの温度 T_1 は、正極側のPt膜22aの温度 T_2 よりも高く設定することができる。さらに、正極用と負極用の各Pt膜22aは、起電圧測定用の電圧測定器46と接続されている。

10

【 0 0 4 5 】

図6は白金(Pt)を含め金属膜22aに用いることができる金属材料における、n型シリコン層21との接触抵抗(抵抗率)とゼーベック係数 S の平均値 S_{ave} との測定結果をそれぞれ表している。接触抵抗は、公知の接触抵抗計測装置によって計測することができる。ここでは、金属材料として、上述した白金(Pt)及び白金シリサイド(Pt_2Si 、 $PtSi$)に加え、アルミニウム(Al)、チタン(Ti)、チタンシリサイド($TiSi_2$)、及びチタンシリサイドの上に白金シリサイドを積層した積層体($TiSi_x/PtSi_x$)からなる金属膜22aをそれぞれ形成して測定している。なお、図6においては、横軸は特定の物理量を表していない。

20

【 0 0 4 6 】

図6からは、上記の各金属材料において、抵抗率には有意な差はほとんど見られない。これに対し、ゼーベック係数 S_{ave} は、白金シリサイドのうち白金原子とシリコン原子とが1対1で合金化された $PtSi$ のゼーベック係数 S_{ave} の絶対値が大きいことが分かる。

【 0 0 4 7 】

次に、図7に、白金(Pt)及び白金シリサイド(Pt_2Si 、 $PtSi$)におけるゼーベック係数(左縦軸)及び接触抵抗率(右縦軸)と熱処理温度との関係をそれぞれ示す。接触抵抗率は、公知の接触抵抗計測装置によって計測することができる。図7からは、接触抵抗率()は、熱処理温度が300程度の場合は、白金(Pt)がシリサイド化せず、接触抵抗率が比較的大きいことが分かる。これに対し、ゼーベック係数()は、熱処理温度が400の場合は、白金シリサイド(Pt_2Si)が生成され、且つ接触抵抗率が低減することが分かる。さらに、熱処理温度が700程度の場合は、白金シリサイド($PtSi$)が生成され、且つその接触抵抗率もより低減することが分かる。

30

【 0 0 4 8 】

前述したように、シリコン(Si)を用いたペルチェ素子によるペルチェ効果を約300W/cm²にまで引き出す必要があると記載したが、図8に複数のパワーデバイスを用いた一般的な車載用インバータにおける発熱量の試算結果を示す。

【 0 0 4 9 】

ここでは、インバータの1つのアームには、面積が1cm²のパワーデバイスチップが3個設定されており、各パワーデバイスの抵抗は同一とする。また、導電損失は、上記の式(1)における導通項(RI^2)を主な因子とする。発熱量は、例えば、出力が80kWで、インバータ効率が96%の場合は、

40

$q_{in} = 80 \times 1000 \times (1 - 0.96) \times (2/3) \times (1/3) = 711$ [W/cm²]となる。また、図8からは、出力が50kWで、インバータ効率が96%の場合に、その発熱量は430W/cm²程度となり、インバータ効率が97%の場合では、その発熱量は320W/cm²程度となることが分かる。

【 0 0 5 0 】

また、図9に半導体材料及び構造が異なるパワーデバイスであって、導電損失(抵抗損失)による発熱量と、スイッチング損失による発熱量と和の一覧を示す。SiC DMO S F E Tは、炭化シリコン(SiC)からなる二重拡散MOSFETであり、Si I G

50

BTは、シリコン(Si)からなる絶縁ゲート型バイポーラトランジスタである。

【0051】

ここで、各トランジスタにおける導電損失は、それぞれ100の時点で、そのデューティ比は50%であり、その電流値は33A/cm²である。このとき、SiC DMOSEFTの導電損失による発熱量は100W/cm²であり、Si IGBTの導電損失による発熱量は182W/cm²である。図9からは、スイッチング周波数が20kHzの場合には、SiC DMOSEFTの発熱量は140W/cm²に過ぎず、一方、Si IGBTの発熱量は3000W/cm²を超えることが分かる。

【0052】

[ペルチェ素子の実装方法]

次に、図10に示すように、本実施形態においては、ペルチェ素子10における熱移動量、ここでは単位面積当たりの熱移動量 q_{out} と、パワーデバイス50の単位面積当たりの発熱量(発熱密度 q_{in})との関係において、パワーデバイス50に接して載置するペルチェ素子10の実装形態を変更する。

【0053】

単位面積当たりの熱移動量 q_{out} [W/cm²]は、式(5)で示される。

【0054】

$$q_{out} = STi - (1/2) li^2 + (k/l) T \dots (5)$$

ここで、Sはゼーベック係数[V/K]であり、Tは絶対温度[K]であり、iは単位面積当たりの電流[A/cm²]である。は抵抗率[\cdot cm]であり、lはペルチェ素子10を構成する半導体層、例えば1個のn型シリコン層14における電流の行路長[cm]であり、kは熱伝導率[W/(cm \cdot K)]である。

【0055】

判定工程ST11において、パワーデバイス50の発熱量 q_{in} が、ペルチェ素子10の熱移動量 q_{out} よりも小さい場合は、次の実装工程ST12において、ペルチェ素子10の平面積をパワーデバイス50の平面積と同等程度として、該ペルチェ素子10をパワーデバイス50の発熱面である、例えば上面と当接して密着させる。

【0056】

逆に、パワーデバイス50の発熱量 q_{in} が、ペルチェ素子10Aの熱移動量 q_{out} と同等か又はそれよりも大きい場合は、他の実装工程ST13において、ペルチェ素子10Aの平面積をパワーデバイス50Aの平面積よりも大きくすると共に、該ペルチェ素子10Aの下面に、面内方向に放熱効率を高める構造を持つヒートスプレッド材52を貼り付ける。その後、該ヒートスプレッド材52の下面とパワーデバイス50Aの発熱面とを互いに当接して密着させる。このとき、ヒートスプレッド材52の平面積は、パワーデバイス50Aの発熱面の面積よりも大きくすることが好ましい。

【0057】

このようにすると、パワーデバイス50Aの発熱量 q_{in} が、ペルチェ素子10Aの熱移動量 q_{out} よりも大きい場合であっても、その面内方向に熱の移動量が多いヒートスプレッド材52によって、パワーデバイス50Aの平面積よりも大きい平面積を持つペルチェ素子10Aに効率的に熱移動させることができる。このため、パワーデバイス50Aの平面積よりも大きいペルチェ素子10Aによって、パワーデバイス50Aからの発熱を高効率に放熱することができる。

【0058】

- 効果 -

本実施形態に係るペルチェ素子の製造方法によると、半導体を用いたペルチェ素子において、半導体と電極金属との接合面で生じるショットキー障壁(バリア)に対して、その低障壁化及び狭障壁化を実現することができる。

【0059】

具体的には、熱移動量 Q_{out} を表す、上掲した式(1)において、

$$Q_{out} = STI - (1/2) RI^2 + K T \dots (1)$$

10

20

30

40

50

第1に、寄生ゼーベック係数 S_p を低減させることにより、ゼーベック係数 S を増大させる。第2に、接触抵抗 R_p を低減させることにより、ジュール熱 $R I^2$ を低減させる。これにより、熱移動量 Q_{out} を大きくすることができるので、ペルチェ素子によるパワーデバイスからの発熱を高効率で放熱することができる。

【0060】

また、本実施形態に係るペルチェ素子の実装方法によると、パワーデバイスの発熱量 q_{in} が、ペルチェ素子の熱移動量 q_{out} よりも大きい場合でも、その面内方向に熱の移動量が大きいヒートスプレッド材を介在させることによって、パワーデバイスの平面積よりも大きいペルチェ素子に対して熱移動を効率的に行うことができる。このため、パワーデバイスからの発熱を効率良く放熱することができる。

10

【産業上の利用可能性】

【0061】

本発明に係るペルチェ素子の製造方法及びその実装方法は、半導体層と電極金属とのショットキー接触におけるショットキー障壁を低く且つ狭くすることにより、ペルチェ素子の熱移動量を増大でき、車載用の電力制御用半導体デバイスを冷却するペルチェ素子として有用である。

【符号の説明】

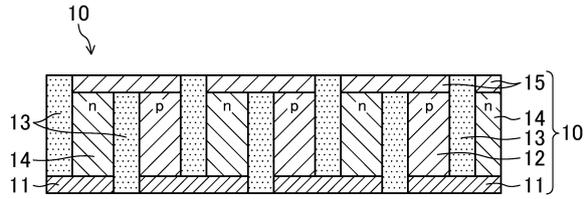
【0062】

- 10、10A ペルチェ素子
- 11 下部電極（電極材）
- 12 p型シリコン層
- 13 絶縁膜
- 14 n型シリコン層（n型の半導体層）
- 15 上部電極（電極材）
- 21、21A n型シリコン層（n型の半導体層）
- 21a n⁺型領域（n型の高濃度領域）
- 22、22a 金属膜（Pt膜）
- 23 白金シリサイド層
- 40 ホルダ
- 41 測定電極
- 43 導電体
- 45 ヒータ
- 50、50A パワーデバイス（電力制御用半導体デバイス）

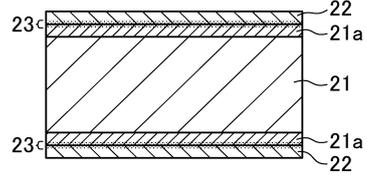
20

30

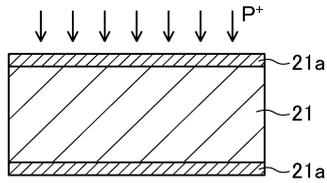
【図1】



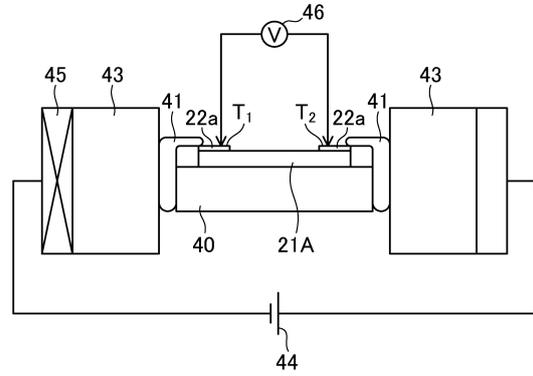
【図4】



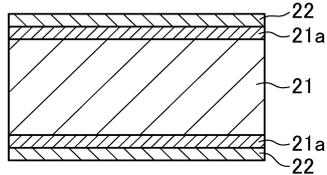
【図2】



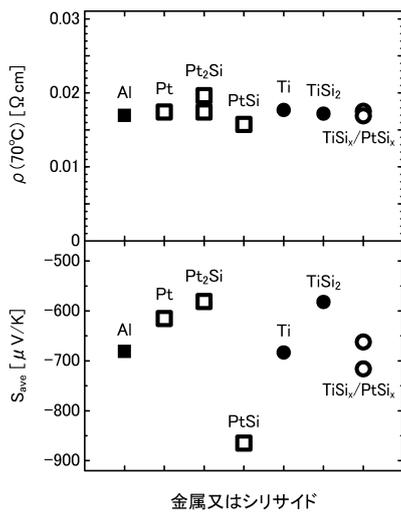
【図5】



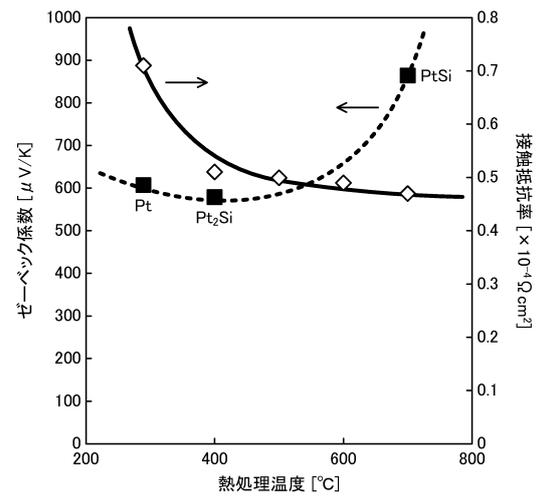
【図3】



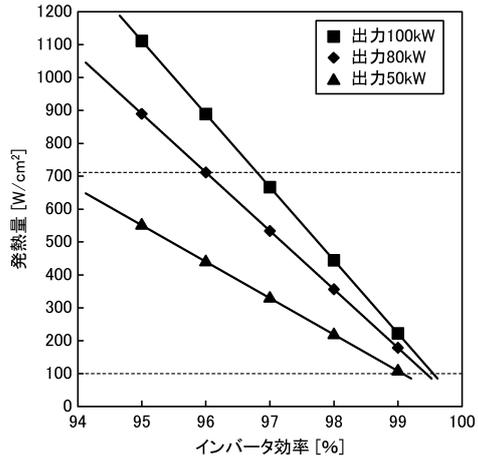
【図6】



【図7】



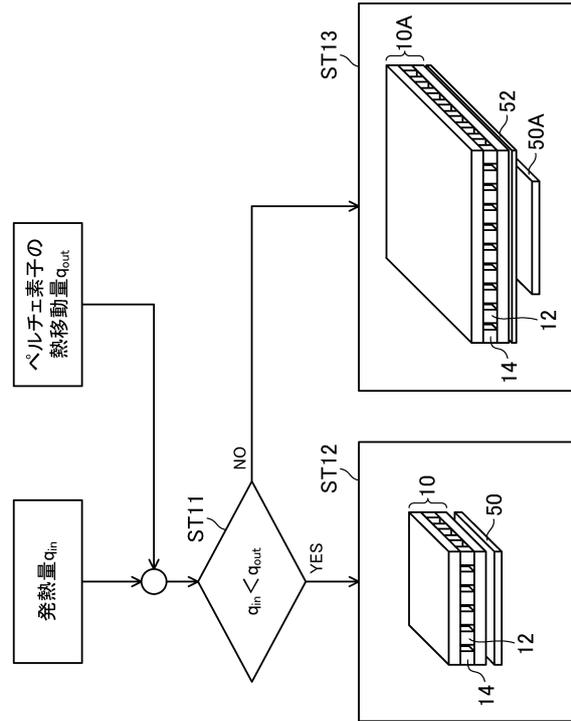
【図8】



【図9】

	SiC DMOSFET	Si IGBT
導電損失 スイッチング損失(500Hz)	104W/cm ²	254.5W/cm ²
導電損失 スイッチング損失(5kHz)	140W/cm ²	907W/cm ²
導電損失 スイッチング損失(20kHz)	260W/cm ²	3082W/cm ²

【図10】



フロントページの続き

- (72)発明者 古林 寛
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学 ナノデバイス・バイオ融合科学研究
所内
- (72)発明者 種平 貴文
広島県安芸郡府中町新地3番1号 マツダ株式会社内
- (72)発明者 三好 誠治
広島県安芸郡府中町新地3番1号 マツダ株式会社内
- (72)発明者 米盛 敬
広島県安芸郡府中町新地3番1号 マツダ株式会社内

審査官 柴山 将隆

- (56)参考文献 国際公開第2017/013838(WO, A1)
特表2017-510992(JP, A)
特開昭51-064872(JP, A)
特開昭56-124233(JP, A)
特開平04-307977(JP, A)
特開2013-021008(JP, A)
特開2010-080782(JP, A)
国際公開第2010/050490(WO, A1)
特開2008-016598(JP, A)
特開2017-028118(JP, A)
特開2008-198928(JP, A)
米国特許出願公開第2003/0113950(US, A1)
米国特許出願公開第2014/0261606(US, A1)
米国特許出願公開第2014/0345661(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 35/34
H01L 35/14
H01L 35/30
C01B 33/06