



(12)发明专利

(10)授权公告号 CN 107068740 B

(45)授权公告日 2019.12.03

(21)申请号 201710198833.7

H01L 29/06(2006.01)

(22)申请日 2017.03.29

H01L 21/335(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 107068740 A

(56)对比文件

CN 101221980 A,2008.07.16,

KR 100192955 B1,1999.06.15,

CN 101232045 A,2008.07.30,

US 2005274977 A1,2005.12.15,

CN 85106895 A,1987.03.11,

TW 200828452 A,2008.07.01,

US 2009224288 A1,2009.09.10,

(43)申请公布日 2017.08.18

(73)专利权人 西安电子科技大学

地址 710071 陕西省西安市太白南路2号

审查员 肖玲

(72)发明人 毛维 王海永 艾治州 郝跃

张弘

(74)专利代理机构 陕西电子工业专利中心

61205

代理人 王品华

(51)Int.Cl.

H01L 29/40(2006.01)

H01L 29/778(2006.01)

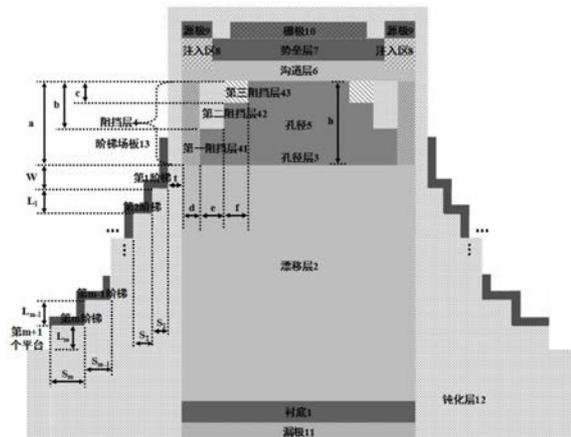
权利要求书2页 说明书12页 附图4页

(54)发明名称

源阶梯场板垂直型功率晶体管

(57)摘要

本发明公开了一种源阶梯场板垂直型功率晶体管,其包括:衬底(1)、漂移层(2)、孔径层(3)、三级台阶形的阻挡层(4)、沟道层(6)、势垒层(7)和钝化层(12),势垒层上两侧淀积有源极(9),源极之间的势垒层上淀积有栅极(10),衬底下淀积有漏极(11),钝化层(12)包裹除漏极底部以外的所有区域,钝化层两边刻有阶梯,阶梯上淀积有金属,形成阶梯场板(13),该阶梯场板与源极电气连接。本发明击穿电压高、工艺简单、导通电阻小、成品率高,可用于电力电子系统。



1. 一种源阶梯场板垂直型功率晶体管,包括:衬底(1)、漂移层(2)、孔径层(3)、两个对称的阻挡层(4)、沟道层(6)、势垒层(7)和钝化层(12),势垒层(7)上的两侧淀积有两个源极(9),两个源极(9)下方通过离子注入形成两个注入区(8),源极(9)之间的势垒层(7)上面淀积有栅极(10),衬底(1)下面淀积有漏极(11),钝化层(12)完全包裹在除漏极(11)底部以外的所有区域,两个对称的阻挡层(4)之间形成孔径(5),其特征在于:

所述两个阻挡层(4),采用由第一阻挡层(41)、第二阻挡层(42)和第三阻挡层(43)构成的三级台阶结构,且第一阻挡层(41)位于第二阻挡层(42)的外侧,第三阻挡层(43)位于第二阻挡层(42)的内侧;

所述钝化层(12),采用阶梯结构,即在钝化层的两边刻有整数个阶梯,所有阶梯上淀积有金属,形成对称的两个整体阶梯场板(13),该阶梯场板(13)与源极(9)电气连接,形成阶梯源场板。

2. 根据权利要求1所述的晶体管,其特征在于阶梯场板(13)的阶梯数,是根据钝化层阶梯数 m 确定, m 根据器件实际使用要求确定,其值为大于等于1的整数。

3. 根据权利要求1所述的晶体管,其特征在于第一阻挡层(41)的厚度 a 为 $0.5\sim 3\mu\text{m}$,宽度 d 为 $0.2\sim 1\mu\text{m}$,第二阻挡层(42)的厚度 b 为 $0.3\sim 1\mu\text{m}$,宽度 e 为 $0.5\sim 1.4\mu\text{m}$,第三阻挡层(43)的厚度 c 为 $0.2\sim 0.5\mu\text{m}$,宽度 f 为 $0.9\sim 2\mu\text{m}$,且 $a>b>c$ 。

4. 根据权利要求1所述的晶体管,其特征在于阶梯场板(13)与漂移层(2)之间的最小水平间距 t 近似满足关系: $t=0.16+4.8\left(\frac{e+f}{a}-3.5\right)$,且 $e+f<3.5a$,其中, a 为第一阻挡层(41)的厚度, e 为第二阻挡层(42)的宽度, f 为第三阻挡层(43)的宽度。

5. 根据权利要求1所述的晶体管,其特征在于钝化层两边的各级阶梯高度 L_i 相同,且第1阶梯上表面距离第一阻挡层下边界的垂直距离为 W ,且 $W=L_i$,每个阶梯的宽度 S_i 不同,且自上而下依次增大, i 为整数且 $m\geq i\geq 1$ 。

6. 一种制作源阶梯场板垂直型功率晶体管的方法,包括如下过程:

A. 在衬底(1)上外延 n^- 型GaN半导体材料,形成漂移层(2);

B. 在漂移层(2)上外延 n 型GaN半导体材料,形成厚度 h 为 $0.5\sim 3\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$ 的孔径层(3);

C. 在孔径层(3)上第一次制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 a 与孔径层厚度 h 相同,宽度 d 为 $0.2\sim 1\mu\text{m}$ 的两个第一阻挡层(41);

D. 在孔径层(3)和左右第一阻挡层(41)上第二次制作掩模,利用该掩模在左右第一阻挡层(41)之间的孔径层内的两侧注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 b 为 $0.3\sim 1\mu\text{m}$,宽度 e 为 $0.5\sim 1.4\mu\text{m}$ 的两个第二阻挡层(42);

E. 在孔径层(3)、左右第一阻挡层(41)和左右第二阻挡层(42)上第三次制作掩模,利用该掩模在左右第二阻挡层(42)之间的孔径层内的两侧注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 c 为 $0.2\sim 0.5\mu\text{m}$,宽度 f 为 $0.9\sim 2\mu\text{m}$ 的两个第三阻挡层(43),两个第一阻挡层(41)、两个第二阻挡层(42)与两个第三阻挡层(43)构成两个对称的三级台阶结构的阻挡层(4),左右阻挡层(4)之间形成孔径(5);

F. 在两个第一阻挡层(41)、两个第二阻挡层(42)、两个第三阻挡层(43)和孔径(5)上部

外延GaN半导体材料,形成厚度为 $0.04\sim 0.2\mu\text{m}$ 的沟道层(6);

G.在沟道层(6)上部外延GaN基宽禁带半导体材料,形成厚度为 $5\sim 50\text{nm}$ 的势垒层(7);

H.在势垒层(7)上部第四次制作掩模,利用该掩模在势垒层内两侧注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的n型杂质,以制作注入区(8),其中,两个注入区的深度均大于势垒层厚度,且小于沟道层(6)与势垒层两者的总厚度;

I.在两个注入区(8)上部和势垒层(7)上部第五次制作掩模,利用该掩模在两个注入区上部淀积金属,以制作源极(9);

J.在源极(9)上部和势垒层(7)上部第六次制作掩模,利用该掩模在势垒层上淀积金属,以制作栅极(10);

K.在衬底(1)的背面上淀积金属,以制作漏极(11);

L.在除了漏极(11)底部以外的其他所有区域淀积绝缘介质材料,形成包裹的钝化层(12);

M.在钝化层(12)上部第七次制作掩模,利用该掩模在钝化层(12)的左右两侧进行刻蚀,形成第1个平台;

N.制作第1阶梯至第m阶梯,过程如下:

N1)在钝化层(12)上部制作一次掩模,利用本次掩模在第1个平台内进行刻蚀,形成第1阶梯,并得到第2个平台;

N2)在钝化层(12)上部制作一次掩模,利用本次掩模在第2个平台内进行刻蚀,形成第2阶梯,并得到第3个平台;

以此类推,直至形成第m阶梯和第m+1个平台,m根据器件实际使用要求确定,其值为大于等于1的整数;

0.在带有m个阶梯的钝化层(12)上制作掩模,利用该掩模在左右两边的第1阶梯至第m阶梯上淀积连续的金属,形成左右对称的两个阶梯场板(13),并将该两侧的阶梯场板与源极电气连接,完成整个器件的制作。

7.根据权利要求6所述的方法,其特征在于步骤0中形成的阶梯场板(13),其上边界所在高度高于第一阻挡层(41)下边界所在高度。

8.根据权利要求6所述的方法,其特征在于步骤N中形成的各级阶梯的宽度 S_i ,均满足 $S_i > t$,且 S_i 自上而下依次增大,t为漂移层与阶梯场板(13)最近处的水平间距,i为整数且 $m \geq i \geq 1$ 。

源阶梯场板垂直型功率晶体管

技术领域

[0001] 本发明属于微电子技术领域,涉及半导体器件,特别是源阶梯场板垂直型功率晶体管,可用于电力电子系统。

技术背景

[0002] 功率半导体器件是电力电子技术的核心元件,随着能源和环境问题的日益突出,研发新型高性能、低损耗功率器件就成为提高电能利用率、节约能源、缓解能源危机的有效途径之一。而在功率器件研究中,高速、高压与低导通电阻之间存在着严重的制约关系,合理、有效地改进这种制约关系是提高器件整体性能的关键。随着微电子技术的发展,传统第一代Si半导体和第二代GaAs半导体功率器件性能已接近其材料本身决定的理论极限。为了能进一步减少芯片面积、提高工作频率、提高工作温度、降低导通电阻、提高击穿电压、降低整机体积、提高整机效率,以GaN为代表的宽禁带半导体材料,凭借其更大的禁带宽度、更高的临界击穿电场和更高的电子饱和漂移速度,且化学性能稳定、耐高温、抗辐射等突出优点,在制备高性能功率器件方面脱颖而出,应用潜力巨大。特别是采用GaN基异质结结构的横向高电子迁移率晶体管,即横向GaN基高电子迁移率晶体管HEMT器件,更是因其低导通电阻、高击穿电压、高工作频率等特性,成为了国内外研究和应用的热点、焦点。

[0003] 然而,在横向GaN基HEMT器件中,为了获得更高的击穿电压,需要增加栅漏间距,这会增大器件尺寸和导通电阻,减小单位芯片面积上的有效电流密度和芯片性能,从而导致芯片面积和研制成本的增加。此外,在横向GaN基HEMT器件中,由高电场和表面态所引起的电流崩塌问题较为严重,尽管当前已有众多抑制措施,但电流崩塌问题依然没有得到彻底解决。为了解决上述问题,研究者们提出了垂直型GaN基电流孔径异质结场效应器件,也是一种GaN基垂直型功率晶体管,参见AlGaIn/GaN current aperture vertical electron transistors, IEEE Device Research Conference, pp.31-32, 2002。GaN基电流孔径异质结场效应器件可通过增加漂移层厚度提高击穿电压,避免了牺牲器件尺寸和导通电阻的问题,因此可以实现高功率密度芯片。而且在GaN基电流孔径异质结场效应器件中,高电场区域位于半导体材料体内,这可以彻底地消除电流崩塌问题。2004年, Ilan Ben-Yaacov等人利用刻蚀后MOCVD再生长沟道技术研制出AlGaIn/GaN电流孔径异质结场效应器件,该器件未采用钝化层,最大输出电流为750mA/mm,跨导为120mS/mm,两端栅击穿电压为65V,且电流崩塌效应得到显著抑制,参见AlGaIn/GaN current aperture vertical electron transistors with regrown channels, Journal of Applied Physics, Vol.95, No.4, pp.2073-2078, 2004。2012年, Srabanti Chowdhury等人利用Mg离子注入电流阻挡层结合等离子体辅助MBE再生长AlGaIn/GaN异质结的技术,研制出基于GaN衬底的电流孔径异质结场效应器件,该器件采用3 μ m漂移层,最大输出电流为4kA \cdot cm⁻²,导通电阻为2.2m Ω \cdot cm²,击穿电压为250V,且抑制电流崩塌效果好,参见CAVET on Bulk GaN Substrates Achieved With MBE-Regrown AlGaIn/GaN Layers to Suppress Dispersion, IEEE Electron Device Letters, Vol.33, No.1, pp.41-43, 2012。同年,由Masahiro Sugimoto等人提出的一种增强

型GaN基电流孔径异质结场效应器件获得授权,参见Transistor,US8188514B2,2012。此外,2014年,Hui Nie等人基于GaN衬底研制出一种增强型GaN基电流孔径异质结场效应器件,该器件阈值电压为0.5V,饱和电流大于2.3A,击穿电压为1.5kV,导通电阻为 $2.2\text{m}\Omega \cdot \text{cm}^2$,参见1.5-kV and $2.2\text{-m}\Omega\text{-cm}^2$ Vertical GaN Transistors on Bulk-GaN Substrates,IEEE Electron Device Letters,Vol.35,No.9,pp.939-941,2014。

[0004] 传统GaN基电流孔径异质结场效应器件是基于GaN基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、左、右两个对称的阻挡层4、孔径5、沟道层6、势垒层7和钝化层12;势垒层7上面的两侧淀积有源极9,源极9下方通过离子注入形成两个注入区8,源极9之间的势垒层7上面淀积有栅极10,衬底1下面淀积有漏极11,钝化层12完全包裹除了漏极底部以外的所有区域,如图1所示。

[0005] 经过十多年的理论和实验研究,研究者们发现,上述传统GaN基电流孔径异质结场效应器件结构上存在固有缺陷,会导致器件中电场强度分布极不均匀,尤其是在电流阻挡层与孔径区域交界面下方附近的半导体材料中存在极高的电场峰值,从而引起器件过早击穿。这使得实际工艺中很难实现通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压。因此,传统结构GaN基电流孔径异质结场效应器件的击穿电压普遍不高。为了获得更高的器件击穿电压,并可以通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压,2013年,Zhongda Li等人利用数值仿真技术研究了一种基于超结的增强型GaN基电流孔径异质结场效应器件,研究结果表明超结结构可以有效调制器件内部的电场分布,使处于关态时器件内部各处电场强度趋于均匀分布,因此器件击穿电压可达5~20kV,且采用 $3\mu\text{m}$ 半柱宽时击穿电压为12.4kV,而导通电阻仅为 $4.2\text{m}\Omega \cdot \text{cm}^2$,参见Design and Simulation of 5-20-kV GaN Enhancement-Mode Vertical Superjunction HEMT,IEEE Transactions on Electron Decices,Vol.60,No.10,pp.3230-3237,2013。采用超结的GaN基电流孔径异质结场效应器件从理论上可以获得高击穿电压,且可实现击穿电压随n型GaN漂移层厚度的增加而持续提高,是目前国内外已报道文献中击穿电压最高的一种非常有效的大功率器件结构。然而,超结结构的制造工艺难度非常大,尤其是厚n型GaN漂移层情况下,几乎无法实现高性能超结结构的制作。此外,在采用超结结构的GaN基电流孔径异质结场效应器件中,当器件导通时超结附近会产生额外的导通电阻,且该导通电阻会随着漂移层厚度的增加而不断增加,因此虽然器件的击穿电压随着漂移层厚度的增加而提高,但是器件的导通电阻也会相应的增加,器件中击穿电压与导通电阻之间的矛盾并没有彻底解决。因此,探索和研发制造工艺简单、击穿电压高、导通电阻小的新型GaN基电流孔径异质结场效应器件,非常必要、迫切,具有重要的现实意义。

[0006] 场板结构已成为横向GaN基HEMT器件中用于提高器件击穿电压和可靠性的一种成熟、有效的场终端技术,且该技术可以实现器件击穿电压随场板的长度和结构变化而持续增加。近年来,通过利用场板结构已使横向GaN基HEMT器件的性能取得了突飞猛进的提升,参见High Breakdown Voltage AlGaIn-GaN Power-HEMT Design and High Current Density Switching Behavior,IEEE Transactions on Electron Devices,Vol.50,No.12,pp.2528-2531,2003,和High Breakdown Voltage AlGaIn-GaN HEMTs Achieved by Multiple Field Plates,IEEE Electron Device Letters,Vol.25,No.4,pp.161-163,2004,以及High Breakdown Voltage Achieved on AlGaIn/GaN HEMTs With Integrated

Slant Field Plates, IEEE Electron Device Letters, Vol.27, No.9, pp.713-715, 2006。因此,将场板结构引入GaN基电流孔径异质结场效应器件中,以提高器件的击穿电压,具有非常重要的优势。然而,截至目前国内外仍然没有将场板结构成功应用于GaN基电流孔径异质结场效应器件中的先例,这主要是由于GaN基电流孔径异质结场效应器件结构上的固有缺陷,会导致器件漂移层中最强电场峰位于电流阻挡层与孔径层交界面下方附近,该电场峰远离漂移层两侧表面,因此场板结构几乎无法发挥有效调制器件中电场分布的作用,即使在GaN基电流孔径异质结场效应器件中采用了场板结构,器件性能也几乎没有任何提高。

发明内容

[0007] 本发明的目的在于针对上述已有技术的不足,提供一种源阶梯场板垂直型功率晶体管,以减小器件的制作难度,提高器件的击穿电压,并实现击穿电压的可持续增加,缓解器件击穿电压与导通电阻之间的矛盾,改善器件的击穿特性和可靠性。

[0008] 为实现上述目的,本发明的技术方案是这样实现的:

[0009] 一、器件结构

[0010] 一种源阶梯场板垂直型功率晶体管,包括:衬底1、漂移层2、孔径层3、两个对称的阻挡层4、沟道层6、势垒层7和钝化层12,势垒层7上的两侧淀积有两个源极9,两个源极9下方通过离子注入形成两个注入区8,源极9之间的势垒层7上面淀积有栅极10,衬底1下面淀积有漏极11,钝化层12完全包裹在除漏极11底部以外的所有区域,两个对称的阻挡层4之间形成孔径5,其特征在于:

[0011] 所述两个阻挡层4,采用由第一阻挡层41、第二阻挡层42和第三阻挡层43构成的三级台阶结构,且第一阻挡层41位于第二阻挡层42的外侧,第三阻挡层43位于第二阻挡层42的内侧;

[0012] 所述钝化层12,采用阶梯结构,即在钝化层的两边刻有整数个阶梯,所有阶梯上淀积有金属,形成对称的两个整体阶梯场板13,该阶梯场板13与源极9电气连接,形成阶梯源场板。

[0013] 二、制作方法

[0014] 本发明制作源阶梯场板垂直型功率晶体管的方法,包括如下过程:

[0015] A. 在衬底1上外延n⁻型Ga_N半导体材料,形成掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 的漂移层2;

[0016] B. 在漂移层2上外延n型Ga_N半导体材料,形成厚度h为 $0.5 \sim 3 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 的孔径层3;

[0017] C. 在孔径层3上第一次制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质,制作厚度a与孔径层厚度h相同,宽度d为 $0.2 \sim 1 \mu\text{m}$ 的两个第一阻挡层41;

[0018] D. 在孔径层3和左右第一阻挡层41上第二次制作掩模,利用该掩模在左右第一阻挡层41之间的孔径层内的两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质,制作厚度b为 $0.3 \sim 1 \mu\text{m}$,宽度e为 $0.5 \sim 1.4 \mu\text{m}$ 的两个第二阻挡层42;

[0019] E. 在孔径层3、左右第一阻挡层41和左右第二阻挡层42上第三次制作掩模,利用该掩模在左右第二阻挡层42之间的孔径层内的两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂

质,制作厚度 c 为 $0.2\sim 0.5\mu\text{m}$,宽度 f 为 $0.9\sim 2\mu\text{m}$ 的两个第三阻挡层43,两个第一阻挡层41、两个第二阻挡层42与两个第三阻挡层43构成两个对称的三级台阶结构的阻挡层4,左右阻挡层4之间形成孔径5;

[0020] F.在两个第一阻挡层41、两个第二阻挡层42、两个第三阻挡层43和孔径5上部外延GaN半导体材料,形成厚度为 $0.04\sim 0.2\mu\text{m}$ 的沟道层6;

[0021] G.在沟道层6上部外延GaN基宽禁带半导体材料,形成厚度为 $5\sim 50\text{nm}$ 的势垒层7;

[0022] H.在势垒层7上部第四次制作掩模,利用该掩模在势垒层内两侧注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的n型杂质,以制作注入区8,其中,两个注入区的深度均大于势垒层厚度,且小于沟道层6与势垒层两者的总厚度;

[0023] I.在两个注入区8上部和势垒层7上部第五次制作掩模,利用该掩模在两个注入区上部淀积金属,以制作源极9;

[0024] J.在源极9上部和势垒层7上部第六次制作掩模,利用该掩模在势垒层上淀积金属,以制作栅极10,该栅极10与两个阻挡层4之间均存在水平方向上的交叠,交叠长度均大于 $0\mu\text{m}$;;

[0025] K.在衬底1的背面上淀积金属,以制作漏极11;

[0026] L.在除了漏极11底部以外的其他所有区域淀积绝缘介质材料,形成包裹的钝化层(12);

[0027] M.在钝化层12上部第七次制作掩模,利用该掩模在钝化层12的左右两侧进行刻蚀,形成第1个平台;

[0028] N.制作第1阶梯至第 m 阶梯,过程如下:

[0029] N1)在钝化层12上部制作一次掩模,利用本次掩模在第1个平台内进行刻蚀,形成第1阶梯,并得到第2个平台,第1阶梯的宽度为 S_1 ;

[0030] N2)在钝化层12上部制作一次掩模,利用本次掩模在第2个平台内进行刻蚀,形成第2阶梯,并得到第3个平台,第2阶梯的宽度为 S_2 ;

[0031] 以此类推,直至形成第 m 阶梯和第 $m+1$ 个平台,第 m 阶梯的宽度为 S_m , m 根据器件实际使用要求确定,其值为大于等于1的整数;

[0032] O.在带有 m 个阶梯的钝化层12上制作掩模,利用该掩模在左右两边的第1阶梯至第 m 阶梯上淀积连续的金属,形成左右对称的两个阶梯场板13,并将该两侧的阶梯场板与源极电气连接,完成整个器件的制作,其中,阶梯场板上边界所在高度高于第一阻挡层41下边界所在高度,且漂移层与阶梯场板13最小水平间距为 t , t 近似满足关系 $t=0.16+4.8\left(\frac{e+f}{a}-3.5\right)$,且 $e+f<3.5a$, $t<S_i$,其中, a 为第一阻挡层41的厚度, e 为第二阻挡层42的宽度, f 为第三阻挡层43的宽度, S_i 为各级阶梯的宽度, i 为整数且 $m\geq i\geq 1$ 。

[0033] 本发明器件与传统GaN基电流孔径异质结场效应器件比较,具有以下优点:

[0034] a.实现击穿电压持续增加。

[0035] 本发明采用三级台阶形式的阻挡层,使器件内部的第一阻挡层、第二阻挡层、第三阻挡层与孔径层交界面下方附近均会产生一个电场峰,且第一阻挡层对应的电场峰值大于第二阻挡层对应的电场峰值和第三阻挡层对应的电场峰值;由于第一阻挡层的电场峰非常接近漂移层两侧表面,便可以利用阶梯场板有效减弱漂移层两侧表面附近第一阻挡层对应

的电场峰,并可以在阶梯场板的每个阶梯处漂移层两侧表面附近形成新的电场峰,且该电场峰数目与阶梯场板的阶梯数相等;

[0036] 通过调整阶梯场板与漂移层之间钝化层的厚度、电流阻挡层的尺寸和掺杂、阶梯的宽度和高度,可以使得电流阻挡层与孔径层交界面下方附近的电场峰值与阶梯场板对应的漂移层内各电场峰值相等,且小于GaN基宽禁带半导体材料的击穿电场,从而提高了器件的击穿电压,且通过增加阶梯场板的阶梯数目可实现击穿电压的持续增加。

[0037] b.在提高器件击穿电压的同时,器件导通电阻几乎恒定。

[0038] 本发明通过在器件两侧采用阶梯场板的方法来提高器件击穿电压,由于场板不会影响器件导通电阻,当器件导通时,在器件内部漂移层只存在由电流阻挡层所产生的耗尽区,即高阻区,并未引入其它耗尽区,因此,随着阶梯场板阶梯数目增加,器件的击穿电压持续增加,而导通电阻几乎保持恒定。

[0039] c.工艺简单,易于实现,提高了成品率。

[0040] 本发明器件结构中,阶梯场板的制作是通过在漂移层两侧的钝化层中刻蚀阶梯并淀积金属而实现的,其工艺简单,且不会对器件中半导体材料产生损伤,避免了采用超结的GaN基电流孔径异质结场效应器件结构所带来的工艺复杂化问题,大大提高了器件的成品率。

[0041] 以下结合附图和实施例进一步说明本发明的技术内容和效果。

附图说明

[0042] 图1是传统GaN基电流孔径异质结场效应器件的结构图;

[0043] 图2是本发明源阶梯场板垂直型功率晶体管的结构图;

[0044] 图3是本发明制作源阶梯场板垂直型功率晶体管的流程图;

[0045] 图4是本发明制作第1阶梯至第m阶梯的流程图;

[0046] 图5是对传统器件和本发明器件仿真所得沿器件右侧电流阻挡层左边缘的纵向电场分布;

[0047] 图6是对传统器件和本发明器件仿真所得沿器件漂移层右侧边缘的纵向电场分布图。

具体实施方式

[0048] 参照图2,本发明源阶梯场板垂直型功率晶体管是基于GaN基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、左右两个对称的阻挡层4、孔径5、沟道层6、势垒层7和钝化层12,该势垒层7上面两侧淀积有源极9,两个源极9下方有通过离子注入形成的两个注入区8,两个源极9之间的势垒层上淀积有栅极10,衬底1下面淀积有漏极11,钝化层12完全包裹除了漏极底部以外的所有区域。其中:

[0049] 所述漂移层2,位于衬底1上部,其厚度为 $3\sim 100\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$;

[0050] 所述孔径层3,位于漂移层2上部,其厚度 h 为 $0.5\sim 3\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$;在孔径层3内的两侧位置注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的p型杂质,形成第一阻挡层41;在左、右第一阻挡层41之间的孔径层内的两侧位置注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$

$^{-2}$ 的p型杂质,形成第二阻挡层42,在左、右第二阻挡层42之间的孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质,形成第三阻挡层43;

[0051] 所述阻挡层4,是由第一阻挡层41、第二阻挡层42和第三阻挡层43构成的三级台阶结构,第一阻挡层41位于第二阻挡层42外侧,第三阻挡层43位于第二阻挡层42内侧,各阻挡层均采用p型掺杂;该第一阻挡层41的厚度a为 $0.5 \sim 3 \mu\text{m}$,宽度d为 $0.2 \sim 1 \mu\text{m}$,该第二阻挡层42的厚度b为 $0.3 \sim 1 \mu\text{m}$,宽度e为 $0.5 \sim 1.4 \mu\text{m}$,该第三阻挡层43的厚度c为 $0.2 \sim 0.5 \mu\text{m}$,宽度f为 $0.9 \sim 2 \mu\text{m}$,且 $a > b > c$,两个对称的阻挡层4之间形成孔径5;

[0052] 所述沟道层6,位于两个阻挡层4和孔径5上部,其厚度为 $0.04 \sim 0.2 \mu\text{m}$;

[0053] 所述势垒层7,位于沟道层6上部,其由若干层相同或不同的GaN基宽禁带半导体材料组成,厚度为 $5 \sim 50 \text{nm}$;

[0054] 所述栅极10,其与两个阻挡层4在水平方向上存在交叠,交叠长度均大于 $0 \mu\text{m}$;

[0055] 所述器件两边的钝化层12,其上刻有m个阶梯,该m个阶梯上淀积有金属,形成左、右两个阶梯场板13,该阶梯场板与源极电气连接,该钝化层12中的各级阶梯自上而下依次为第1阶梯,第2阶梯至第m阶梯,m为大于零的整数,根据使用要求确定,且第1阶梯的宽度为 S_1 和高度为 L_1 ,第2阶梯的宽度为 S_2 和高度为 L_2 ,第i阶梯的宽度为 S_i 和高度为 L_i ,第m阶梯的宽度为 S_m 和高度为 L_m , $L_m = \dots = L_i = \dots = L_2 = L_1$, L_1 的范围为 $0.5 \sim 4 \mu\text{m}$,宽度 S_i 不同,且自上而下依次增大,i为整数且 $m \geq i \geq 1$;第1阶梯上表面距离第一阻挡层下边界的垂直距离为W,且 $W = L_1$;该钝化层12采用 SiO_2 、 SiN 、 Al_2O_3 、 Sc_2O_3 、 HfO_2 、 TiO_2 中的任意一种或其它绝缘介质材料;

[0056] 所述阶梯场板13,其上部与第一阻挡层41下部之间的垂直距离大于 $0 \mu\text{m}$,该阶梯场板13与漂移层2之间的最小水平间距为t,t近似满足关系 $t = 0.16 + 4.8 \left(\frac{e+f}{a} - 3.5 \right)$,且 $e+f < 3.5a$, $t < S_i$,其中,a为第一阻挡层41的厚度,e为第二阻挡层42的宽度,f为第三阻挡层43的宽度, S_i 为各级阶梯的宽度,i为整数且 $m \geq i \geq 1$;各级阶梯的高度会随着t的增加而相应的增大。

[0057] 参照图3,本发明制作源阶梯场板垂直型功率晶体管的过程,给出如下三种实施例:

[0058] 实施例一:制作钝化层为 SiN ,且阶梯场板的阶梯数为1的源阶梯场板垂直型功率晶体管。

[0059] 步骤1.在衬底1上外延 n^- 型GaN,形成漂移层2,如图3a。

[0060] 采用 n^+ 型GaN做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为 $100 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 n^- 型GaN半导体材料,形成漂移层2,其中:

[0061] 外延采用的工艺条件为:温度为 950°C ,压强为40Torr,氢气流量为4000sccm,以 SiH_4 为掺杂源,氨气流量为4000sccm,镓源流量为 $100 \mu\text{mol}/\text{min}$ 。

[0062] 步骤2.在漂移层上外延 n 型GaN,形成孔径层3,如图3b。

[0063] 使用金属有机物化学气相淀积技术,在漂移层2上外延厚度h为 $0.5 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 n 型GaN半导体材料,形成孔径层3,其中:

[0064] 外延采用的工艺条件为:温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100 \mu\text{mol}/\text{min}$ 。

[0065] 步骤3.制作第一阻挡层41,如图3c。

- [0066] 先在孔径层3上第一次制作掩模；
- [0067] 再使用离子注入技术，在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg，制作厚度a为 $0.5 \mu\text{m}$ ，宽度d为 $0.2 \mu\text{m}$ 的两个第一阻挡层41。
- [0068] 步骤4. 制作第二阻挡层42，如图3d。
- [0069] 先在孔径层3和两个第一阻挡层41上第二次制作掩模；
- [0070] 再使用离子注入技术，在左、右第一阻挡层41之间的孔径层3内两侧注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg，制作厚度b为 $0.3 \mu\text{m}$ ，宽度e为 $0.5 \mu\text{m}$ 的两个第二阻挡层42。
- [0071] 步骤5. 制作第三阻挡层43，如图3e。
- [0072] 先在孔径层3、两个第一阻挡层41和两个第二阻挡层42上第三次制作掩模；
- [0073] 再使用离子注入技术，在左、右第二阻挡层42之间的孔径层3内两侧注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg，制作厚度c为 $0.2 \mu\text{m}$ ，宽度f为 $0.9 \mu\text{m}$ 的两个第三阻挡层43，两个第一阻挡层、两个第二阻挡层与两个第三阻挡层构成两个对称的三级台阶结构的阻挡层4，左右阻挡层4之间形成孔径5。
- [0074] 步骤6. 外延GaN材料制作沟道层6，如图3f。
- [0075] 使用分子束外延技术，在两个第一阻挡层41、两个第二阻挡层42、两个第三阻挡层43和孔径5的上部外延厚度为 $0.04 \mu\text{m}$ 的GaN材料，形成沟道层6；
- [0076] 所述分子束外延技术，其工艺条件为：真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$ ，射频功率为400W，反应剂采用 N_2 、高纯Ga源。
- [0077] 步骤7. 外延 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ ，制作势垒层7，如图3g。
- [0078] 使用分子束外延技术在沟道层6上外延厚度为5nm的 $\text{Al}_{0.5}\text{Ga}_{0.5}\text{N}$ 材料，形成势垒层7，其中：
- [0079] 分子束外延的工艺条件为：真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$ ，射频功率为400W，反应剂采用 N_2 、高纯Ga源、高纯Al源；
- [0080] 步骤8. 制作左、右两个注入区8，如图3h。
- [0081] 先在势垒层7上部第四次制作掩模；
- [0082] 再使用离子注入技术，在势垒层内的两侧注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的n型杂质Si，形成深度为 $0.01 \mu\text{m}$ 的注入区8；
- [0083] 然后，在 1200°C 温度下进行快速热退火。
- [0084] 步骤9. 制作源极9，如图3i。
- [0085] 先在两个注入区8上部和势垒层7上部第五次制作掩模；
- [0086] 再使用电子束蒸发技术，在两个注入区上部淀积Ti/Au/Ni组合金属，形成源极9，其中：自下而上所淀积金属Ti的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.3 \mu\text{m}$ 、Ni的厚度为 $0.05 \mu\text{m}$ ；
- [0087] 电子束蒸发的工艺条件为：真空度小于 $1.8 \times 10^{-3} \text{Pa}$ ，功率范围为 $200 \sim 1000 \text{W}$ ，蒸发速率小于 $3 \text{\AA}/\text{s}$ 。
- [0088] 步骤10. 制作栅极10，如图3j。
- [0089] 先在源极9上部和势垒层7上部第六次制作掩模；
- [0090] 再使用电子束蒸发技术，在势垒层7上淀积Ni/Au/Ni组合金属，形成栅极10，其中：自下而上所淀积金属Ni的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.2 \mu\text{m}$ 、Ni的厚度为 $0.04 \mu\text{m}$ ，栅极10与两个阻挡层4之间在水平方向上的交叠长度为 $0.4 \mu\text{m}$ ；

[0091] 电子束蒸发的工艺条件为:真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 3 \AA/s 。

[0092] 步骤11.制作漏极11,如图3k。

[0093] 使用电子束蒸发技术,在整个衬底1背面依次淀积Ti、Au、Ni,形成Ti/Au/Ni组合金属,完成漏极11的制作,且Ti的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.7 \mu\text{m}$ 、Ni的厚度为 $0.05 \mu\text{m}$;

[0094] 淀积金属所采用的工艺条件为:真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 3 \AA/s 。

[0095] 步骤12.淀积SiN绝缘介质材料,形成包裹的钝化层12,如图3l。

[0096] 使用等离子体增强化学气相淀积技术,在除了漏极11底部以外的其他所有区域淀积SiN绝缘介质材料,形成包裹的钝化层12,其中:

[0097] 淀积钝化层的工艺条件是:气体为 NH_3 、 N_2 及 SiH_4 ,气体流量分别为 2.5 sccm 、 950 sccm 和 250 sccm ,温度、射频功率和压强分别为 300°C 、 25W 和 950 mTorr 。

[0098] 步骤13.在钝化层的左、右两侧刻蚀第1个平台,如图3m。

[0099] 在钝化层12上部制作第七次掩模,使用反应离子刻蚀技术在钝化层12左、右两侧进行刻蚀,形成第1个平台,其中:

[0100] 反应离子刻蚀的工艺条件为: CF_4 流量为 45 sccm , O_2 流量为 5 sccm ,压强为 15 mTorr ,功率为 250W 。

[0101] 步骤14.制作第1阶梯,如图3n。

[0102] 参照图4,本步骤的具体实现如下:

[0103] 在钝化层12上部制作一次掩模,使用反应离子刻蚀技术,在钝化层12左、右两边的第1个平台内进行刻蚀,形成第1阶梯,并得到第2个平台,且第1阶梯与漂移层2的最小水平间距 t 为 $0.49 \mu\text{m}$,第1阶梯宽度 S_1 为 $0.5 \mu\text{m}$,第1阶梯高度 L_1 为 $4 \mu\text{m}$,且第1阶梯上表面距离第一阻挡层下边界的垂直距离 W 为 $4 \mu\text{m}$,其中:

[0104] 反应离子刻蚀的工艺条件为: CF_4 流量为 45 sccm , O_2 流量为 5 sccm ,压强为 15 mTorr ,功率为 250W 。

[0105] 步骤15.制作阶梯场板13,如图3o。

[0106] 15.1)在带有1个阶梯的钝化层12上制作掩模;

[0107] 15.2)使用电子束蒸发技术,即在真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 3 \AA/s 的工艺条件下,在左、右两边的阶梯上淀积连续的金属Au,且所淀积金属的上边界所在高度高于第一阻挡层41下边界所在高度 $0.3 \mu\text{m}$,制作左、右对称的两个阶梯场板13,并将该两侧的阶梯场板与源极电气连接,完成整个器件的制作。

[0108] 实施例二:制作钝化层为 SiO_2 ,且阶梯场板的阶梯数为2的源阶梯场板垂直型功率晶体管。

[0109] 第一步.在衬底1上外延 n^- 型GaN,形成漂移层2,如图3a。

[0110] 在温度为 1000°C ,压强为 45 Torr ,以 SiH_4 为掺杂源,氢气流量为 4400 sccm ,氨气流量为 4400 sccm ,镓源流量为 $110 \mu\text{mol/min}$ 的工艺条件下,采用 n^+ 型GaN做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为 $10 \mu\text{m}$ 、掺杂浓度为 $5 \times 10^{16} \text{ cm}^{-3}$ 的 n^- 型GaN材料,完成漂移层2的制作。

[0111] 第二步.在漂移层上外延n型GaN,形成孔径层3,如图3b。

[0112] 在温度为1000℃,压强为45Torr,以SiH₄为掺杂源,氢气流量为4400sccm,氨气流量为4400sccm,镓源流量为110μmol/min的工艺条件下,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为1.5μm、掺杂浓度为 $5 \times 10^{16} \text{cm}^{-3}$ 的n型GaN材料,完成孔径层3的制作。

[0113] 第三步.制作第一阻挡层41,如图3c。

[0114] 3.1) 在孔径层3上第一次制作掩模;

[0115] 3.2) 使用离子注入技术,在孔径层内的两侧位置注入剂量为 $5 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,制作厚度a为1.5μm,宽度d为0.5μm的两个第一阻挡层41。

[0116] 第四步.制作第二阻挡层42,如图3d。

[0117] 4.1) 在孔径层3和两个第一阻挡层41上第二次制作掩模;

[0118] 4.2) 使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧注入剂量为 $5 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,形成厚度b为0.5μm,宽度e为0.8μm的两个第二阻挡层42。

[0119] 第五步.制作第三阻挡层43,如图3e。

[0120] 5.1) 在孔径层3、两个第一阻挡层41和两个第二阻挡层42上第三次制作掩模;

[0121] 5.2) 使用离子注入技术,在左、右第二阻挡层42之间的孔径层3内两侧注入剂量为 $5 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,形成厚度c为0.3μm,宽度f为1.2μm的两个第三阻挡层43,两个第一阻挡层、两个第二阻挡层与两个第三阻挡层构成两个对称的三级台阶结构的阻挡层4,左右阻挡层4之间形成孔径5。

[0122] 第六步.外延GaN材料,制作沟道层6,如图3f。

[0123] 在真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源的工艺条件下,使用分子束外延技术,在第一阻挡层41、第二阻挡层42、第三阻挡层43和孔径5上部,外延厚度为0.1μm的GaN材料,完成沟道层6的制作。

[0124] 第七步.外延Al_{0.3}Ga_{0.7}N,制作势垒层7,如图3g。

[0125] 在真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源、高纯Al源的工艺条件下,使用分子束外延技术,在沟道层6上外延厚度为30nm的Al_{0.3}Ga_{0.7}N材料,完成势垒层7的制作。

[0126] 第八步.制作左、右两个注入区8,如图3h。

[0127] 8.1) 在势垒层7上部第四次制作掩模;

[0128] 8.2) 使用离子注入技术,在势垒层内的两侧注入剂量为 $6 \times 10^{15} \text{cm}^{-2}$ 的n型杂质Si,制作深度为0.05μm的注入区8;然后在1200℃温度下进行快速热退火。

[0129] 第九步.制作源极9,如图3i。

[0130] 9.1) 在两个注入区8上部和势垒层7上部,第五次制作掩模;

[0131] 9.2) 在真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s的工艺条件下,使用电子束蒸发技术,在两侧的注入区上部淀积Ti/Au/Ni组合金属,完成源极9的制作,且自下而上,Ti的厚度为0.02μm、Au的厚度为0.3μm、Ni的厚度为0.05μm。

[0132] 第十步.制作栅极10,如图3j。

[0133] 10.1) 在两个源极9上部与势垒层7上部第六次制作掩模;

[0134] 10.2) 在真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3Å/s的

工艺条件下,使用电子束蒸发技术,在势垒层7上淀积Ni/Au/Ni组合金属,完成栅极10的制作,且自下而上,Ni的厚度为 $0.02\mu\text{m}$ 、Au的厚度为 $0.2\mu\text{m}$ 、Ni的厚度为 $0.04\mu\text{m}$,栅极10与两个阻挡层4之间在水平方向上的交叠长度为 $0.55\mu\text{m}$ 。

[0135] 第十一步.制作漏极11,如图3k。

[0136] 在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 3\AA/s 的工艺条件下,使用电子束蒸发技术,在整个衬底1背面依次淀积Ti、Au、Ni,形成Ti/Au/Ni组合金属,完成漏极11的制作,且Ti的厚度为 $0.02\mu\text{m}$ 、Au的厚度为 $0.7\mu\text{m}$ 、Ni的厚度为 $0.05\mu\text{m}$ 。

[0137] 第十二步.淀积 SiO_2 绝缘介质材料,形成包裹的钝化层12,如图3l。

[0138] 在 N_2O 流量为 850sccm , SiH_4 流量为 200sccm ,温度为 250°C ,射频功率为 25W ,压力为 1100mTorr 的工艺条件下,使用等离子体增强化学气相淀积技术,淀积 SiO_2 绝缘介质材料,以包裹除了漏极11底部的其他所有区域,完成钝化层12的制作。

[0139] 第十三步.在钝化层内的左、右两侧刻蚀制作第1个平台,如图3m。

[0140] 13.1) 在钝化层12上部第七次制作掩模;

[0141] 13.2) 在 CF_4 流量为 20sccm , O_2 流量为 2sccm ,压强为 20mT ,偏置电压为 100V 的工艺条件下,使用反应离子刻蚀技术,在钝化层左、右两侧进行刻蚀,完成第1个平台的制作。

[0142] 第十四步.制作第1阶梯至第2阶梯,如图3n。

[0143] 参照图4,本步骤的具体实现如下:

[0144] 14.1) 在钝化层12上部制作一次掩模,使用反应离子刻蚀技术,在钝化层12左、右两边的第1个平台内进行刻蚀,形成第1阶梯,并得到第2个平台,且第1阶梯与漂移层2的最小水平间距 t 为 $0.19\mu\text{m}$,第1阶梯宽度 S_1 为 $0.3\mu\text{m}$,第1阶梯高度 L_1 为 $1\mu\text{m}$,且第1阶梯上表面距离第一阻挡层下边界的垂直距离 W 为 $1\mu\text{m}$;

[0145] 14.2) 在钝化层12上部制作一次掩模,使用反应离子刻蚀技术,在钝化层12左、右两边的第2个平台内进行刻蚀,形成第2阶梯,并得到第3个平台,第2阶梯宽度 S_2 为 $0.8\mu\text{m}$,第2阶梯高度 L_2 为 $1\mu\text{m}$;

[0146] 反应离子刻蚀的工艺条件为: CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 。

[0147] 第十五步.制作阶梯场板13,如图3o。

[0148] 15.1) 在钝化层12上制作掩模;

[0149] 15.2) 在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 3\AA/s 的工艺条件下,使用电子束蒸发技术,在钝化层12左、右两边的第1阶梯至第2阶梯上淀积连续的金属Pt,且所淀积金属的上边界所在高度高于第一阻挡层41下边界所在高度 $0.5\mu\text{m}$,完成阶梯场板13的制作,并将阶梯场板与源极电气连接,完成整个器件的制作。

[0150] 实施例三:制作钝化层为 SiO_2 ,且阶梯场板的阶梯数为3的源阶梯场板垂直型功率晶体管。

[0151] 步骤A.采用温度为 950°C ,压强为 40Torr ,以 SiH_4 为掺杂源,氢气流量为 4000sccm ,氨气流量为 4000sccm ,镓源流量为 $100\mu\text{mol/min}$ 的工艺条件,采用 n^+ 型Ga N 做衬底1,使用金属有机物化学气相淀积技术,在衬底上外延厚度为 $3\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{18}\text{cm}^{-3}$ 的 n^- 型Ga N 材料,制作漂移层2,如图3a。

[0152] 步骤B.采用温度为 950°C ,压强为 40Torr ,以 SiH_4 为掺杂源,氢气流量为 4000sccm ,

氨气流量为4000sccm,镓源流量为100 $\mu\text{mol}/\text{min}$ 的工艺条件,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为3 μm 、掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 的n型GaN材料,制作孔径层3,如图3b。

[0153] 步骤C.在孔径层3上第一次制作掩模,再使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质Mg,制作厚度a为3 μm ,宽度d为1 μm 的两个第一阻挡层41,如图3c。

[0154] 步骤D.在孔径层3和两个第一阻挡层41上第二次制作掩模,再使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧位置注入剂量为 $1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质Mg,制作厚度b为1 μm ,宽度e为1.4 μm 的两个第二阻挡层42,如图3d。

[0155] 步骤E.在孔径层3、两个第一阻挡层41和两个第二阻挡层42上第三次制作掩模,再使用离子注入技术,在左、右第二阻挡层42之间的孔径层3内两侧位置注入剂量为 $1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质Mg,制作厚度c为0.5 μm ,宽度f为2 μm 的两个第三阻挡层43,两个第一阻挡层、两个第二阻挡层与两个第三阻挡层构成两个对称的三级台阶结构的阻挡层4,左右阻挡层4之间形成孔径5,如图3e。

[0156] 步骤F.采用真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源的工艺条件,使用分子束外延技术,在两个第一阻挡层41、两个第二阻挡层42、两个第三阻挡层43和孔径5上部外延厚度为0.2 μm 的GaN材质的沟道层6,如图3f。

[0157] 步骤G.采用真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用 N_2 、高纯Ga源、高纯Al源的工艺条件,使用分子束外延技术,在沟道层6上外延厚度为50nm的 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 材质的势垒层7,如图3g。

[0158] 步骤H.在势垒层7上部第四次制作掩模,再使用离子注入技术,在势垒层内两侧注入剂量为 $1 \times 10^{16} \text{cm}^{-2}$ 的n型杂质Si,制作深度为0.07 μm 的两个注入区8;然后,在1200 $^{\circ}\text{C}$ 下进行快速热退火,如图3h。

[0159] 步骤I.在两个注入区8上部和势垒层7上部第五次制作掩模;再采用真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在两侧的注入区上部淀积金属,制作源极9,其中所淀积的金属为Ti/Au/Ni金属组合,即自下而上分别为Ti、Au与Ni,其厚度依次为0.02 μm 、0.3 μm 、0.05 μm ,如图3i。

[0160] 步骤J.在源极9上部和势垒层7上部,第六次制作掩模;再采用真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在势垒层上淀积金属,制作栅极10,其中所淀积的金属为Ni/Au/Ni金属组合,即自下而上分别为Ni、Au与Ni,其厚度依次为0.02 μm 、0.2 μm 、0.04 μm ,栅极10与两个阻挡层4之间在水平方向上的交叠长度为0.6 μm ,如图3j。

[0161] 步骤K.采用真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在整个衬底1的背面上淀积金属,制作漏极11,其中所淀积的金属依次为Ti、Au、Ni,形成Ti/Au/Ni金属组合,且Ti的厚度为0.02 μm ,Au的厚度为0.7 μm ,Ni的厚度为0.02 μm ,如图3k。

[0162] 步骤L.采用 N_2O 流量为850sccm, SiH_4 流量为200sccm,温度为250 $^{\circ}\text{C}$,射频功率为25W,压力为1100mTorr的工艺条件,使用等离子体增强化学气相淀积技术,淀积 SiO_2 绝缘介

质材料,以包裹除了漏极11底部以外的其他所有区域,完成钝化层12的制作,如图31。

[0163] 步骤M.在钝化层12上部第七次制作掩模,再采用CF₄流量为20sccm,O₂流量为2sccm,压强为20mTorr,偏置电压为100V的工艺条件,使用反应离子刻蚀技术,在左、右两边钝化层内刻蚀,形成第1个平台,如图3m。

[0164] 步骤N.制作第1阶梯至第3阶梯,如图3n。

[0165] 参照图4,本步骤的具体实现如下:

[0166] N1)在钝化层12上部制作一次掩模,使用反应离子刻蚀技术,在钝化层12左、右两边的第1个平台内进行刻蚀,形成第1阶梯,并得到第2个平台,且第1阶梯与漂移层2的最小水平间距 t 为0.18 μm ,第1阶梯宽度 S_1 为0.2 μm ,第1阶梯高度 L_1 为0.5 μm ,且第1阶梯上表面距离第一阻挡层下边界的垂直距离 W 为0.5 μm ;

[0167] N2)在钝化层12上部制作一次掩模,使用反应离子刻蚀技术,在钝化层12左、右两边的第2个平台内进行刻蚀,形成第2阶梯,并得到第3个平台,第2阶梯宽度 S_2 为0.5 μm ,第2阶梯高度 L_2 为0.5 μm ;

[0168] N3)在钝化层12上部制作一次掩模,使用反应离子刻蚀技术,在钝化层12左、右两边的第3个平台内进行刻蚀,形成第3阶梯,并得到第4个平台,第3阶梯宽度 S_3 为1 μm ,3阶梯高度 L_3 为0.5 μm ;

[0169] 反应离子刻蚀的工艺条件为:CF₄流量为45sccm,O₂流量为5sccm,压强为15mTorr,功率为250W。

[0170] 步骤O.在钝化层12上制作掩模,再采用真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在左、右两边的各阶梯上淀积连续的金属Ti,且所淀积金属的上边界所在高度高于第一阻挡层41下边界所在高度0.6 μm ,完成阶梯场板13的制作,并将阶梯场板与源极电气连接,完成整个器件的制作,如图3o。

[0171] 本发明的效果可通过以下仿真进一步说明。

[0172] 仿真:对传统GaN基电流孔径异质结场效应器件和本发明器件在击穿情况下沿器件右侧电流阻挡层左边缘的纵向电场分布进行仿真,结果如图5;对传统GaN基电流孔径异质结场效应器件和本发明器件在击穿情况下沿器件漂移层右侧边缘的纵向电场分布进行仿真,结果如图6;在图5和图6中,传统器件击穿电压为400V,本发明器件采用了3个阶梯,其击穿电压为1600V。

[0173] 结合图5和图6所示的纵向电场分布可以明显地看出,采用三级台阶形式的阻挡层后,本发明器件结构可以更加有效地调制器件内部和漂移层两侧表面附近的电场分布,增加器件内高场区的范围,且使得器件内部和漂移层两侧表面附近的电场分布更加平坦,因此本发明器件的击穿电压远大于传统器件的击穿电压。

[0174] 以上描述仅是本发明的几个具体实施例,并不构成对本发明的限制,显然对于本领域的专业人员来说,在了解了本发明内容和原理后,能够在不背离本发明的原理和范围的情况下,根据本发明的方法进行形式和细节上的各种修正和改变,但是这些基于本发明的修正和改变仍在本发明的权利要求保护范围之内。

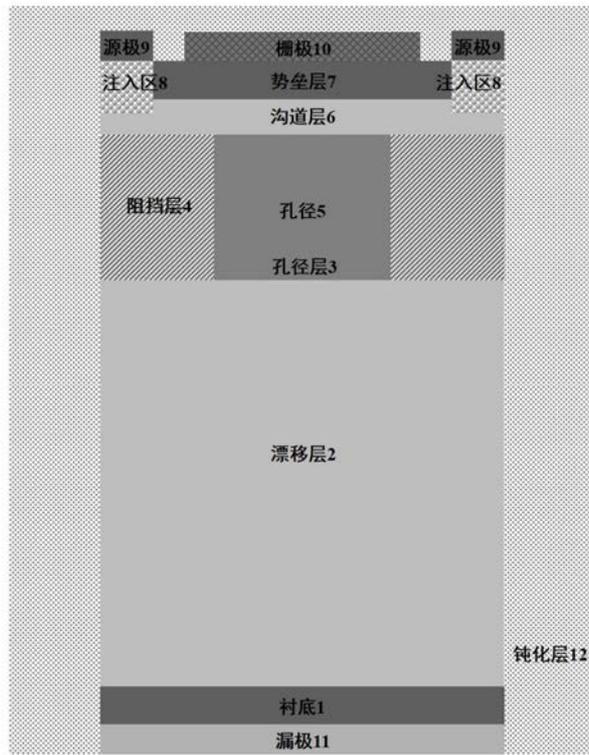


图1

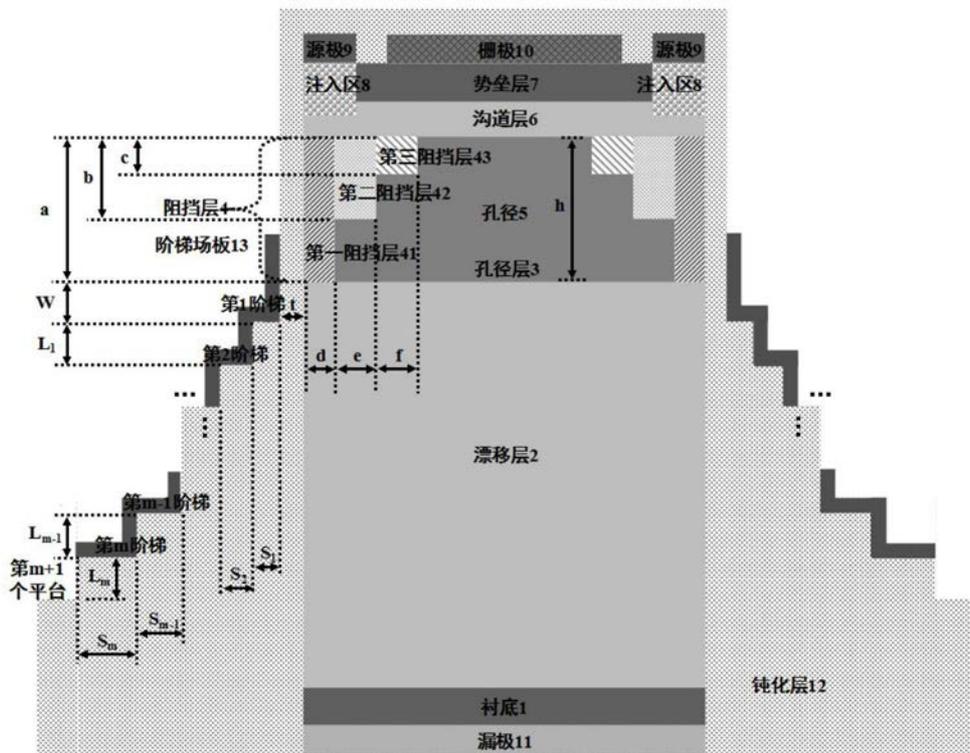


图2

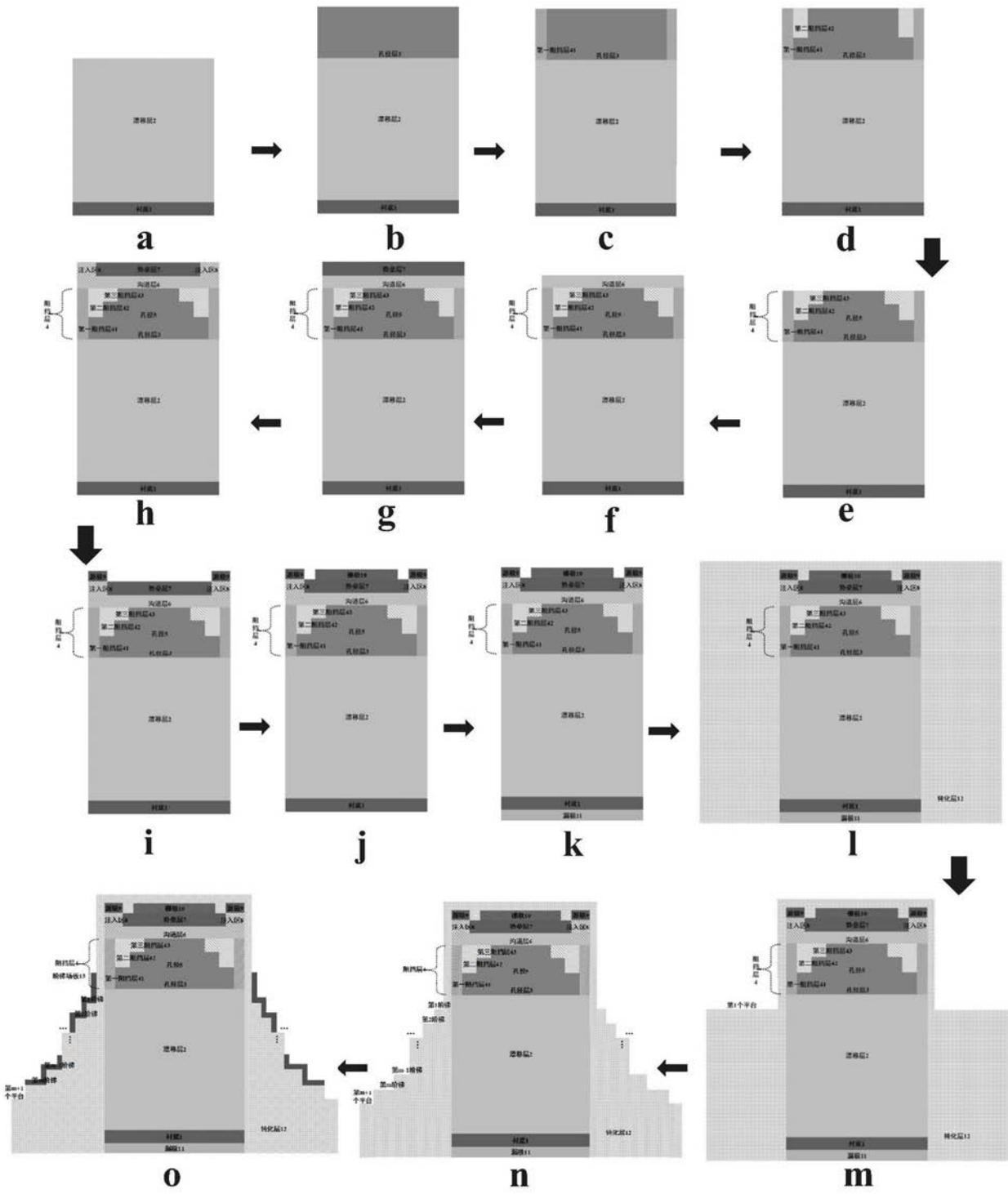


图3

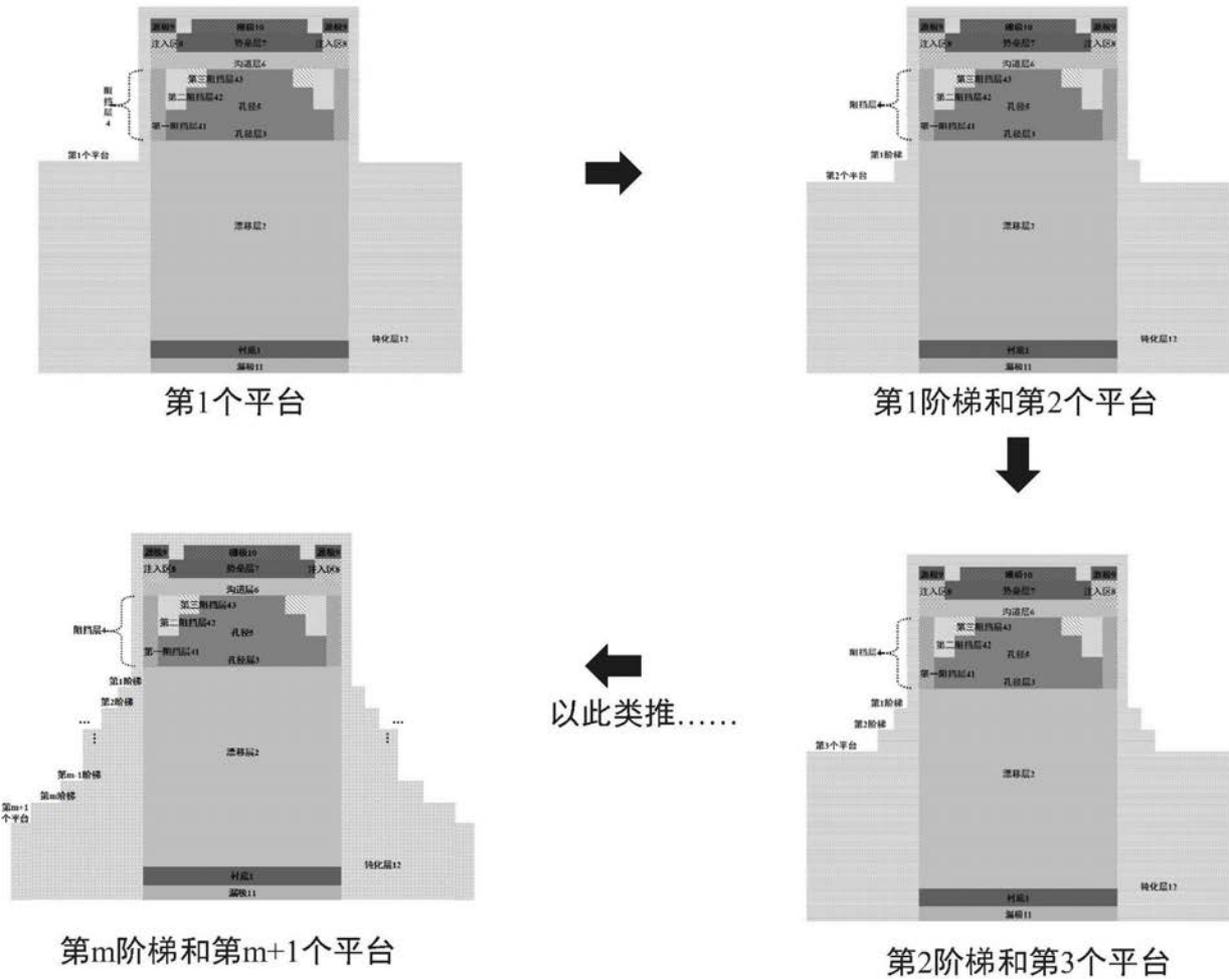


图4

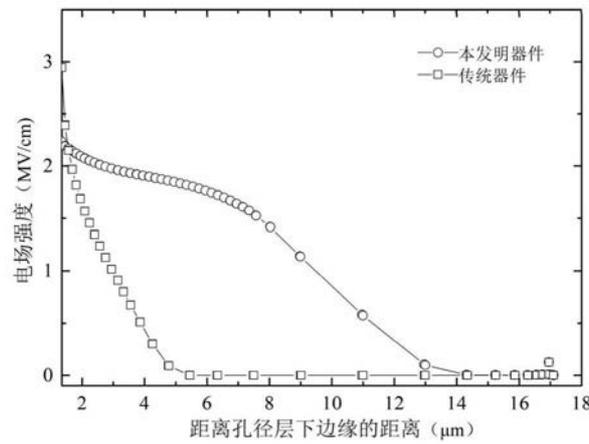


图5

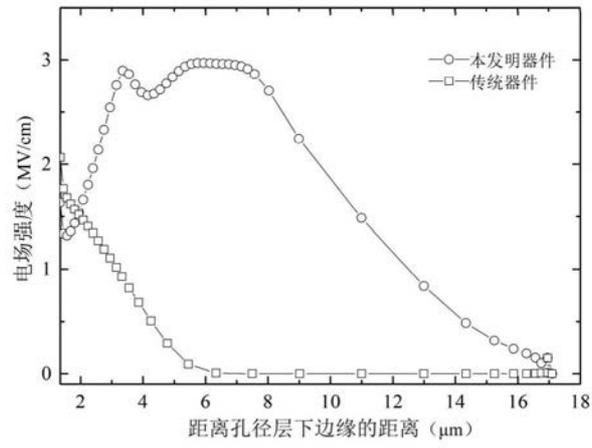


图6