



(12) 发明专利

(10) 授权公告号 CN 1893137 B

(45) 授权公告日 2010.12.08

(21) 申请号 200610094135.4

审查员 夏瑞临

(22) 申请日 2006.06.27

(30) 优先权数据

2005-186854 2005.06.27 JP

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 大黑达也

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 张浩

(51) Int. Cl.

H01L 41/09 (2006.01)

H01L 41/22 (2006.01)

B81B 7/00 (2006.01)

B81C 1/00 (2006.01)

(56) 对比文件

US 20020109436 A1, 2002.08.05, 说明书第 1 和第 2 页及附图 2.

US 4675960 A, 1987.06.30, 全文.

JP 2005-28504 A, 2005.02.03, 全文.

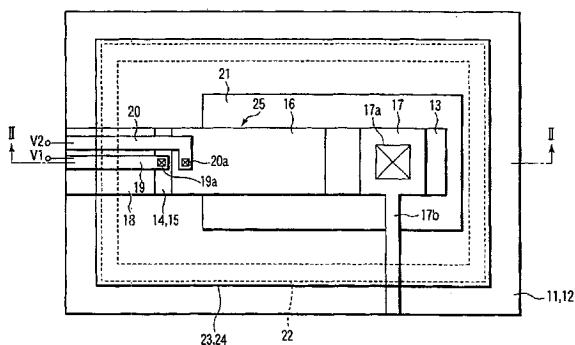
权利要求书 2 页 说明书 11 页 附图 15 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

一种半导体器件,包括:半导体衬底;提供在半导体衬底上方以便向上地移动的致动器;由致动器移动的第一电极层;和提供在第一电极层上方并包括第二电极层的盖部分。



1. 一种半导体器件,包括:
半导体衬底;
提供在所述半导体衬底上方以便向上地移动的致动器;
形成在所述半导体衬底和所述致动器之间的空腔;
通过所述致动器移动的第一电极层;和
提供在第一电极层上方并包括第二电极层的盖部分,
其中所述盖部分包括提供在第二电极层下的绝缘层,第一电极层、第二电极层和绝缘层用作可变电容器。
2. 如权利要求 1 所述的半导体器件,进一步包括:
提供在半导体衬底上的第一绝缘层,该第一绝缘层支撑所述致动器和第一电极层;和
提供在所述致动器上的第二绝缘层,其厚度小于第一绝缘层的厚度,
其中所述致动器包括下电极层、提供在所述下电极层上的压电层和提供在所述压电层上的上电极层。
3. 如权利要求 2 所述的半导体器件,进一步包括:
提供在所述半导体衬底与第二绝缘层之间并具有凹槽的第四绝缘层;和
其中,所述空腔形成在第四绝缘层的凹槽中,并且第一电极层设置在所述空腔上方。
4. 如权利要求 1 所述的半导体器件,其中所述盖部分包括用于支撑第二电极层的支撑层。
5. 如权利要求 4 所述的半导体器件,其中所述盖部分密封所述致动器和第一电极层。
6. 如权利要求 5 所述的半导体器件,其中第二电极层覆盖致动器和第一电极层,所述支撑层包围所述致动器和第一电极层。
7. 如权利要求 6 所述的半导体器件,其中所述盖部分用作封装。
8. 如权利要求 1 所述的半导体器件,其中为第二电极层提供固定电位。
9. 如权利要求 1 所述的半导体器件,其中所述盖部分包括电连接到第二电极层的电感器,所述可变电容器和电感器用作 LC 储能电路。
10. 如权利要求 1 所述的半导体器件,其中所述半导体衬底具有第一区域和第二区域,可变电容器形成在第一区域,包括栅极电极、源极区和漏极区的晶体管形成在第二区域。
11. 一种制造半导体器件的方法,包括:
在半导体衬底中形成第一绝缘层;
在所述半导体衬底和第一绝缘层上形成第二绝缘层;
在第二绝缘层上形成向上移动的致动器和通过所述致动器移动的第一电极层;
蚀刻第二绝缘层下的半导体衬底,由此在第二绝缘层下在所述半导体衬底中形成空腔;以及
在第一电极层上方形成包括第二电极层的盖部分。
12. 如权利要求 11 所述的方法,其中第二绝缘层被形成为露出半导体衬底的一部分。
13. 一种制造半导体器件的方法,包括:
在半导体衬底中形成第一绝缘层;
在所述半导体衬底中形成牺牲层;
在第一绝缘层和所述牺牲层上形成第二绝缘层;

在第二绝缘层上形成向上移动的致动器和通过所述致动器移动的第一电极层；
蚀刻所述牺牲层，由此在第二绝缘层下在所述半导体衬底中形成空腔；以及
在第一电极层上方形成包括第二电极层的盖部分。

14. 如权利要求 13 所述的方法，其中第二绝缘层被形成为露出牺牲层的一部分。

15. 一种制造半导体器件的方法，包括：

在半导体衬底上形成牺牲层；

在所述牺牲层和半导体衬底上形成第一绝缘层；

在第一绝缘层上形成向上移动的致动器和由所述致动器移动的第一电极层；

蚀刻所述牺牲层，由此在所述半导体衬底与第一绝缘层之间形成空腔；以及

在第一电极层上方形成包括第二电极层的盖部分。

16. 如权利要求 15 所述的方法，其中第二绝缘层被形成为露出牺牲层的一部分。

17. 一种制造半导体器件的方法，包括：

在半导体衬底上形成层间绝缘层；

在所述层间绝缘层中形成牺牲层；

在所述层间绝缘层和牺牲层上形成第一绝缘层；

在第一绝缘层上形成向上移动的致动器和由所述致动器移动的第一电极层；

蚀刻所述牺牲层，由此在第一绝缘层下在所述层间绝缘层中形成空腔；以及

在第一电极层上方形成包括第二电极层的盖部分。

18. 一种制造半导体器件的方法，包括：

在半导体衬底上形成层间绝缘层；

在所述层间绝缘层上形成牺牲层；

在所述层间绝缘层和牺牲层上形成第一绝缘层；

在第一绝缘层上形成向上移动的致动器和由所述致动器移动的第一电极层；

蚀刻所述牺牲层，由此在所述层间绝缘层与第一绝缘层之间形成空腔；以及

在第一电极层上方形成包括第二电极层的盖部分。

半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请是以 2005 年 6 月 27 日提交的日本专利申请 No. 2005-186854 为基础并要求其优先权,该申请的全部内容以引用方式并入本文。

技术领域

[0003] 本发明涉及一种半导体器件及其制造方法,更具体地,涉及一种包括 MEMS(微机电系统)器件的半导体器件及其制造方法。

背景技术

[0004] 近来,微机械工艺已经取得了很大发展。MEMS 技术是已知的微机械工艺的一种技术。MEMS 技术是一种通过半导体加工工艺来精细地生产可移动的三维结构的技术。

[0005] 作为通过 MEMS 技术形成的器件(称作 MEMS 器件),主要研究和开发了可变电容器、开关、加速传感器、压力传感器、RF(射频)滤波器、陀螺仪、镜面器件等。

[0006] 下面将说明使用致动器的可变电容器。致动器是一种能够将各种能量(例如电能、化学能等)转换成动态动能来做机械功的装置。

[0007] 当形成可变电容器时,可变电容器包含的上电极和下电极需要分开几微米。因此,需要在一部分的可变电容器形成区域中形成具有几微米深度的空腔,并且需要在空腔下形成下电极。

[0008] 空腔的形成例如需要以下的步骤:淀积具有几微米厚度的绝缘层,蚀刻以便在绝缘层中形成具有几微米深度的凹槽,在凹槽中淀积牺牲层。基于此原因,在制造过程中花费了较长的时间,因此降低了产量。而且,由于凹槽不用于形成 CMOS(互补金属氧化物半导体)的过程,因此很难混合安装 CMOS。

[0009] 作为这种相关的技术,已经公开一种用作可变电容器的压电 MEMS 元件(见美国专利 No. 6, 359, 374 和美国专利 No. 6, 377, 438)。

发明内容

[0010] 按照本发明的第一方面,提供一种半导体器件,包括:半导体衬底;提供在半导体衬底上方以便向上地移动的致动器;通过致动器移动的第一电极层;和提供在第一电极层上方并包括第二电极层的盖部分。

[0011] 按照本发明的第二方面,提供一种制造半导体器件的方法,包括:在半导体衬底中形成第一绝缘层;在半导体衬底和第一绝缘层上形成第二绝缘层;在第二绝缘层上形成向上移动的致动器和通过致动器移动的第一电极层;蚀刻第二绝缘层下面的半导体衬底,由此在第二绝缘层下的半导体衬底中形成空腔;以及在第一电极层上方形成包括第二电极层的盖部分。

[0012] 按照本发明的第三方面,提供一种制造半导体器件的方法,包括:在半导体衬底中形成第一绝缘层;在半导体衬底中形成牺牲层;在第一绝缘层和牺牲层上形成第二绝缘

层；在第二绝缘层上形成向上移动的致动器和通过致动器移动的第一电极层；蚀刻牺牲层，由此在第二绝缘层下的半导体衬底中形成空腔；以及在第一电极层上方形成包括第二电极层的盖部分。

[0013] 按照本发明的第四方面，提供一种制造半导体器件的方法，包括：在半导体衬底上形成牺牲层；在牺牲层和半导体衬底上形成第一绝缘层；在第一绝缘层上形成向上移动的致动器和通过致动器移动的第一电极层；蚀刻牺牲层，由此在半导体衬底与第一绝缘层之间形成空腔；以及在第一电极层上方形成包括第二电极层的盖部分。

[0014] 按照本发明的第五方面，提供一种制造半导体器件的方法，包括：在半导体衬底上形成层间绝缘层；在层间绝缘层中形成牺牲层；在层间绝缘层和牺牲层上形成第一绝缘层；在第一绝缘层上形成向上移动的致动器和通过致动器移动的第一电极层；蚀刻牺牲层，由此在第一绝缘层下的层间绝缘层中形成空腔；以及在第一电极层上方形成包括第二电极层的盖部分。

[0015] 按照本发明的第六方面，提供一种制造半导体器件的方法，包括：在半导体衬底上形成层间绝缘层；在层间绝缘层上形成牺牲层；在层间绝缘层和牺牲层上形成第一绝缘层；在第一绝缘层上形成向上移动的致动器和通过致动器移动的第一电极层；蚀刻牺牲层，由此在层间绝缘层与第一绝缘层之间形成空腔；以及在第一电极层上方形成包括第二电极层的盖部分。

附图说明

[0016] 图 1 是按照本发明第一实施例的 MEMS 器件的平面图；

[0017] 图 2 是沿图 1 中线 II-II 看去的 MEMS 器件的剖视图；

[0018] 图 3 是按照本发明第二实施例的 MEMS 器件的平面图；

[0019] 图 4 是沿图 3 中线 IV-IV 看去的 MEMS 器件的剖视图；

[0020] 图 5 是按照本发明第三实施例的 MEMS 器件的平面图；

[0021] 图 6 是沿图 5 中线 VI-VI 看去的 MEMS 器件的剖视图；

[0022] 图 7 是图 5 和图 6 中所示的 MEMS 器件的电路图；

[0023] 图 8 是应用了本发明的 VCO 电路的电路图；

[0024] 图 9 是按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0025] 图 10 是接着图 9 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0026] 图 11 是接着图 10 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0027] 图 12 是接着图 11 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0028] 图 13 是接着图 12 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0029] 图 14 是接着图 13 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0030] 图 15 是接着图 14 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

图；

[0031] 图 16 是接着图 15 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0032] 图 17 是接着图 16 步骤的按照本发明第四实施例的半导体器件的制造步骤的剖视图；

[0033] 图 18 是沿着图 17 的 XVIII-XVIII 线看去的剖视图；

[0034] 图 19 是按照本发明第五实施例的半导体器件的制造步骤的剖视图；

[0035] 图 20 是接着图 19 步骤的按照本发明第五实施例的半导体器件的制造步骤的剖视图；

[0036] 图 21 是接着图 20 步骤的按照本发明第五实施例的半导体器件的制造步骤的剖视图；

[0037] 图 22 是接着图 21 步骤的按照本发明第五实施例的半导体器件的制造步骤的剖视图；

[0038] 图 23 是按照本发明第六实施例的半导体器件的制造步骤的剖视图；

[0039] 图 24 是接着图 23 步骤的按照本发明第六实施例的半导体器件的制造步骤的剖视图；

[0040] 图 25 是接着图 24 步骤的按照本发明第六实施例的半导体器件的制造步骤的剖视图；

[0041] 图 26 是接着图 25 步骤的按照本发明第六实施例的半导体器件的制造步骤的剖视图；

[0042] 图 27 是按照本发明第七实施例的半导体器件的制造步骤的剖视图；

[0043] 图 28 是接着图 27 步骤的按照本发明第七实施例的半导体器件的制造步骤的剖视图；

[0044] 图 29 是接着图 28 步骤的按照本发明第七实施例的半导体器件的制造步骤的剖视图；

[0045] 图 30 是接着图 29 步骤的按照本发明第七实施例的半导体器件的制造步骤的剖视图；

[0046] 图 31 是按照本发明第八实施例的半导体器件的制造步骤的剖视图；

[0047] 图 32 是接着图 31 步骤的按照本发明第八实施例的半导体器件的制造步骤的剖视图；

[0048] 图 33 是接着图 32 步骤的按照本发明第八实施例的半导体器件的制造步骤的剖视图。

具体实施方式

[0049] 下面将参照附图说明本发明的实施例。由类似的参考标记表示具有相同或类似功能和结构的元件。如果必要则对其重复说明。

[0050] 首先说明 MEMS 器件的结构的实施例。

[0051] (第一实施例)

[0052] 图 1 是按照本发明第一实施例的 MEMS 器件的平面图。图 2 是沿图 1 中线 II-II

看去的 MEMS 器件的剖视图。在平面图中,为了容易理解本发明,由实线绘制稍后将说明的盖部分 27 的内部结构。

[0053] 在半导体衬底 11 上提供绝缘层 12。作为半导体衬底 11,例如可以使用 Si、Ge 等的本征半导体,GaAs、ZnSe 等的化合物半导体,或通过给这些半导体掺杂杂质而获得的高导电的半导体。半导体衬底 11 可以是 SOI(绝缘体上硅)衬底。

[0054] 例如由 SiO₂ 形成绝缘层 12。在半导体衬底 11 上部分地提供绝缘层 12。在绝缘层 12 中提供凹槽 21。凹槽 21 成为稍后将说明的致动器 25 能够在其中移动的空腔 21。空腔 21 的深度没有特别的限制。例如,空腔 21 可以是浅的。具体地,致动器 25 向上移动。如果致动器 25 能够自由地移动,则空腔 21 的深度不是很重要。例如,能够按照绝缘层 12 的厚度来调整空腔 21 的深度。

[0055] 在绝缘层 12 和空腔 21 上提供绝缘层 13。具体地,绝缘层 13 的一个端部分提供在绝缘层 12 上。绝缘层 13 从绝缘层 12 突出到空腔 21 的上部。绝缘层 13 的另一个端部分(远端)提供在空腔 21 上方并未被固定。因此,绝缘层 13 能够按照致动器 25 的移动简单地移动。作为绝缘层 13,可以使用单层的 SiN、单层的 SiO₂、单层的 Al₂O₃、叠层的 SiN/SiO₂、叠层的 SiN/Al₂O₃ 等。

[0056] 在绝缘层 13 上提供致动器 25。致动器 25 由例如压电元件构成。致动器 25 包括下电极层 14、上电极层 16 和夹在下电极层 14 与上电极层 16 之间的压电层 15。在下电极层 14、上电极层 16 和压电层 15 中,至少压电层 15 基本上是平坦的。理想的是这三层都是平坦的。

[0057] 下电极层 14 的面积可以基本上等于上电极层 16 的面积,或者可以大于或小于上电极层 16 的面积。当如图所示下电极层 14 的面积大于上电极层 16 的面积时,优点是连接到下电极层 14 的接触插块 19a 能够容易地向上延伸。

[0058] 压电层 15 的面积可以基本上等于下电极层 14 的面积,或者可以大于或小于下电极层 14 的面积。而且,压电层 15 的面积可以基本上等于上电极层 16 的面积,或者可以大于或小于上电极层 16 的面积。换句话说,压电层 15、下电极层 14 和上电极层 16 可以具有相等的平面形状,或者它们中的至少一个可以具有不同的平面形状。

[0059] 可以变化地设置压电层 15、下电极层 14 和上电极层 16 的平面形状。例如,平面形状可以是多边形(正方形、长方形、四边形、六边形等)或者圆形。上电极层 16 的平面形状可以是具有钝角的五边形或更多边形。在此情况下,具有能够防止上电极层 16 变形或从压电层 15 上剥落的优点。

[0060] 可变电容器 26 的第一电极层 17 形成在致动器 25 的至少一端。理想的是,绝缘层 12 应当在与第一电极层 17 相对的致动器 25 另一端之下。换句话说,理想的是,致动器 25 应当部分地位于绝缘层 12 上方,而不是整体地位于空腔 12 上方。其原因是如果在致动器 25 运动时绝缘层 12 用作支点,则可增强对运动的控制。

[0061] 作为致动器 25 的下电极层 14 和上电极层 16 的材料,例如能够使用 (a) 选自由 Pt、Sr、Ru、Cr、Mo、W、Ti、Ta、Al、Cu 和 Ni 组成的材料组中的任何一种材料,(b) 含有选自于该材料组的至少一种材料的氮化物,(c) 含有选自于该材料组的至少一种材料的导电的氧化物(例如, SrRuO), (d) 选自于该材料组的材料的化合物, (e) 选自于 (a) 至 (d) 中的材料的叠层等。

[0062] 作为致动器 25 的压电层 15 的材料,例如,可以使用诸如 PZT($\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$)、AlN、ZnO、PbTiO₃、BTO(BaTiO_3) 等的陶瓷压电材料,诸如 PVDF(聚偏二氟乙烯)的聚合物压电材料等。

[0063] 在绝缘层 13 和绝缘层 12 上提供绝缘层 18 以覆盖致动器 25。可以使用由 SiO₂ 等形成的单层作为绝缘层 18。

[0064] 顺便提及,将提供在致动器 25 上的绝缘层 18a 的厚度设置为小于绝缘层 13 的厚度。例如,将绝缘层 18a 的厚度设置为基本上等于绝缘层 13 的一半。但是,绝缘层 18a 的厚度不限于此,甚至可以稍小于绝缘层 13 的厚度。因此,能够改变从上侧施加到致动器 25 的压电层 15 的应力的幅度以及从下侧施加到其上的应力的幅度。换句话说,从上侧施加的应力变得小于从下侧施加的应力。

[0065] 如果在压电层 15 的两端施加偏置电压,则压电层 15 扭曲(更具体地,压电层 15 在横向上收缩)。此时,由于从上侧施加到压电层 15 的应力与从下侧施加其上的应力之间的差,所以致动器 25 能够向上移动。

[0066] 此外,绝缘层 18a 和绝缘层 13 的厚度可以相等,致动器的下电极层 14 和上电极层 16 的厚度可以不同。换句话说,将上电极层 16 的厚度设为小于下电极层 14 的厚度。例如,上电极层 16 的厚度是 50nm,下电极层 14 的厚度是 200nm。如果在压电层 15 的两端施加偏置电压,则压电层 15 在横向上收缩。此时,如果上电极层 16 的厚度小于下电极层 14 的厚度,则致动器 25 能够向上移动。

[0067] 而且,绝缘层 13 和下电极层 14 的总厚度可以不同于绝缘层 18a 和上电极层 16 的总厚度。换句话说,将绝缘层 18a 和上电极层 16 的总厚度设为小于绝缘层 13 和下电极层 14 的总厚度。在此情况下,致动器 25 也能够向上移动。

[0068] 在绝缘层 18 中,在绝缘层 13 的远端上提供接触插块 17a。在绝缘层 13 的远端上方的绝缘层 18 上提供第一电极层 17,使其连接到接触插块 17a。作为第一电极层 17 和接触插块 17a 的材料,可以使用 Al、Cu、W 等。布线层 17b 连接到第一电极层 17。例如,经过布线层 17b 将高频信号提供给第一电极层 17。

[0069] 在绝缘层 18 上提供布线层 19 和布线层 20。布线层 19 经过接触插块 19a 电连接到下电极层 14。布线层 20 经过接触插块 20a 电连接到上电极层 16。

[0070] 在致动器 25 和第一电极层 17 上方提供用作可变电容器 26 的第二电极层的盖部分 27。盖部分 27 包括导电层 24、绝缘层 23 和支撑层 22。盖部分 27 例如通过绝缘粘合剂粘结到衬底。

[0071] 在致动器 25 和第一电极层 17 上提供导电层 24。更具体地,导电层 24 与第一电极层 17 间隔预定的距离,同时覆盖致动器 25 和第一电极层 17。在导电层 24 下提供绝缘层 23,以防止第一电极层 17 与导电层 24 之间的电接触。

[0072] 而且,为了使第一电极层 17 与导电层 24(第二电极层)彼此隔开预定的距离,提供支撑导电层 24 和绝缘层 23 的支撑层 22。更具体地,在绝缘层 12、布线层 19 和 20 以及绝缘层 18 上提供支撑层 22,使其包围致动器 25 和第一电极层 17。结果,盖部分 27 密封含有致动器 25、第一电极层 17 等的芯片。

[0073] 例如,将导电层 24 的平面形状设为正方形,只要导电层 24 能够覆盖致动器 25 和第一电极层 17,则导电层 24 的平面形状可以是任何形状。换句话说,导电层 24 可以形成为

多边形或圆形。例如,绝缘层 23 的平面形状基本上与导电层 24 的平面形状相同。例如,支撑层 22 的外围基本上与导电层 24 的外围相同。

[0074] 例如,盖部分 27 的内部是抽真空的。盖部分 27 的内部压力和供应到其内的气体没有限制。例如,内部压力可以等于大气压。气体可以主要含有氮气或可以等于大气的气体。在使用氮气的情况下,能够防止盖部分 27 内的元件的腐蚀。

[0075] 作为导电层 24,可以使用掺有高浓度杂质的 Si、Al、Cu 等。作为绝缘层 23,可以使用诸如玻璃、SiO₂、SiN、AlN、氧化铪、Al₂O₃ 等绝缘体。作为支撑层 22,可以使用诸如 SiO₂、SiN 等绝缘体。

[0076] 例如,盖部分 27 用作物理和化学地保护内部元件的封装。下面是形成盖部分 27 的一种方法。在晶片上形成多个 MEMS 器件。通过在晶片状态下实施封装的晶片级封装来形成封装(盖部分 27)。之后,晶片经过切割,由此形成多个芯片。通过使用晶片级封装能够制造大量的芯片。

[0077] 形成盖部分 27 的方法不限于晶片级封装。在切割晶片之后,可以对多个芯片中的每个形成盖部分 27。

[0078] 在一个芯片中,可以单独形成 MEMS 器件作为分离的产品,或者可以与例如 CMOS 器件一起形成 MEMS 器件。

[0079] 例如,在导电层 24 上提供键合线 28,以便将地电位提供给导电层 24。提供给导电层 24 的电位不限于地电位,也可以是其它的固定电位(例如,电源电位)。

[0080] 在布线层 19 上提供键合线 29,以便将电压 V1 提供给布线层 19。在布线层 20 上提供键合线 29,以便将电压 V2 提供给布线层 20。

[0081] 将说明具有上述结构的 MEMS 器件的操作。首先,将说明致动器 25 不在移动状态情况下的操作。当致动器 25 的下电极层 14 和上电极层 16 的电压 V1 和电压 V2 例如是地电位(0V)时,致动器 25 不移动并保持在图 2 所示的状态。当致动器 25 处于图 2 所示的状态时,可变电容器 26 的电容值 C_v 变得最小。

[0082] 接下来,说明致动器 25 在移动状态情况下的操作。如果将致动器 25 的下电极层 14 的电压 V1 设为例如地电位(0V),上电极层 16 的电压 V2 从 0V 上升到例如 3V,则致动器 25 的压电层 15 在横向上收缩。如上所述,绝缘层 18a 的厚度变得小于绝缘层 13 的厚度。因此,由于来自绝缘层 18a 的应力很小,所以致动器 25 向上移动。

[0083] 结果,可变电容器 26 的第一电极层 17 与第二电极层(导电层 24)之间的距离变小。如果致动器 25 移动并且第一电极层 17 与绝缘层 23 接触,则可变电容器 26 的电容值 C_v 变成最大。

[0084] 因此,通过调整分别施加给致动器 25 的下电极层 14 和上电极层 16 的电压 V1 和 V2,能够移动致动器 25,从而,能够通过改变可变电容器 26 的两个电极层之间的距离来改变可变电容器 26 的电容值 C_v。

[0085] 在本实施例中,如上详细所述,当形成可变电容器 26 时,不需要在空腔 21 下形成可变电容器 26 的下电极。如果构成可变电容器的电极层形成在致动器 25 下,则需要多个制造步骤。但是如上所述,由于不需要在空腔 21 下形成下电极,所以能够减少制造成本。而且,也能够降低寄生电容。

[0086] 盖部分 27 用作可变电容器 26 的第二电极层和封装。因此,能够减少部件的数量

并降低制造成本。

[0087] 致动器 25 被配置成向上移动。因此,在绝缘层 13 下的空腔 21 的深度可以非常小。换句话说,空腔 21 的深度没有限制。由于空腔 21 不需要形成为具有高精度,因此能够降低制造成本。

[0088] 形成绝缘层 13 以及比绝缘层 13 更薄的绝缘层 18a 的制造步骤比形成绝缘层 13 以及比绝缘层 13 更厚的绝缘层 18a 的制造步骤要简单。而且,在层叠了下电极层 14、压电层 15 和上电极层 16 之后,能够按照绝缘层 18a 的厚度来调整致动器 25 的移动范围。换句话说,能够容易地控制致动器 25 的移动。

[0089] 将地电位提供给盖部分 27 的导电层 24。因此,能够限制来自盖外部的噪声的影响。提供给盖部分 27 的导电层 24 的电位不限于地电位,可以是其它的固定电位(例如,电源电位)。在此情况下,也能够限制噪声的影响。

[0090] 通过使用盖部分 27 来密封致动器 25。因此,由于能够保护致动器 25 不受外部环境的影响,所以能够防止致动器 25 劣化。

[0091] 在本实施例中,采用封装(即,盖部分)作为可变电容器 26 的第二电极层,但是不限于此。盖部分 27 可以不密封致动器 25 或第一电极层 17。换句话说,例如在第一电极层 17 上方提供与第一电极层 17 基本具有相同平面形状的导电层 24(第二电极层),并在导电层 24 下提供绝缘层 23。然后,在衬底上提供支撑导电层 24 和绝缘层 23 的支撑层 22。例如,形成支撑层使其部分地支撑导电层 24 和绝缘层 23。在此结构中,也能够形成可变电容器 26。

[0092] (第二实施例)

[0093] 在第二实施例中,开关形成有致动器 25。图 3 是按照本发明第二实施例的 MEMS 器件的平面图。图 4 是沿图 3 中线 IV-IV 看去的 MEMS 器件的剖视图。

[0094] 开关中包含的致动器 25 和第一电极层 17 的结构与第一实施例中的相同。

[0095] 在致动器 25 和第一电极层 17 上方提供用作开关的第二电极层的盖部分 27。除了没有绝缘层 23 之外,盖部分 27 的形状与第一实施例中的相同。盖部分 27 例如通过绝缘粘合剂粘结到衬底。在本实施例中,可以使用例如 SiO_2 、 SiN 等绝缘体作为支撑层 31。支撑层 31 可以是导电元件。在此情况下,支撑层 31 由与导电层 24 相同的材料形成。

[0096] 下面说明具有上述结构的 MEMS 器件的操作。首先,将说明致动器 25 不在移动状态情况下的操作。当致动器 25 的下电极层 14 和上电极层 16 的电压 V_1 和电压 V_2 例如是地电位(0V)时,致动器 25 不移动并保持在图 4 所示的状态。由于开关的第一电极层和第二电极层不彼此接触,因此开关变成 OFF 状态。

[0097] 接下来,将说明致动器 25 在移动状态情况下的操作。如果将致动器 25 的下电极层 14 的电压 V_1 设为例如地电位(0V),上电极层 16 的电压 V_2 从 0V 上升到例如 3V,则致动器 25 向上地移动。开关的第一电极层和第二电极层彼此接触,开关变成 ON 状态。

[0098] 按照本实施例,如上所述,开关能够形成为 MEMS 器件。其它的优点与第一实施例的相同。

[0099] (第三实施例)

[0100] 在第三实施例中,LC 储能电路(LC 串联谐振电路)形成有致动器 25。图 5 是按照本发明第二实施例的 MEMS 器件的平面图。图 6 是沿图 5 中线 VI-VI 看去的 MEMS 器件的剖

视图。除了盖部分 27 之外,所示的结构与第一实施例中的相同。因此,致动器 25 和第一电极层 17 没有显示在图 5 的平面图中。

[0101] 提供盖部分 27 以便包围和覆盖致动器 25 和第一电极层 17。盖部分 27 包括由绝缘体形成的支撑层 22、绝缘层 32、可变电容器 26 的第二电极层 33、绝缘层 34 和电感器 35、接触插块 36 和接线端 37。

[0102] 在第一电极层 17 上方提供第二电极层 33。第二电极层 33 的面积可以大于或小于或等于第一电极层 17 的面积。第二电极层 33 的平面形状可以与第一电极层 17 的平面形状不同或基本上相同。作为第二电极层 33 的材料,例如可以使用 Al、Cu、W 等。

[0103] 在第二电极层 33 的下表面和侧表面上提供绝缘层 34。可以只在第二电极层 33 的下表面上提供绝缘层 34。作为绝缘层 34,可以使用例如玻璃、 SiO_2 、SiN、AlN、氧化铪、 Al_2O_3 的绝缘体等。

[0104] 在第二电极层 33 和支撑层 22 上提供绝缘层 32,以覆盖致动器 25 和第一电极层 17。作为绝缘层 32,使用例如 SiO_2 、SiN 等绝缘体。

[0105] 在绝缘层 32 上提供电感器 35。电感器 35 的形状可以是正方形、螺旋形、曲折形等。作为电感器 35,例如使用 Al、Cu、W 等。

[0106] 在绝缘层 32 中形成接触孔。在接触孔内提供接触插块 36,以使第二电极层 33 与电感器 35 的一个端部之间电连接。接触插块 36 例如由与电感器 35 相同的材料形成。

[0107] 在绝缘层 32 上,在电感器 35 的另一个端部提供接线端 37。接线端 37 例如由与电感器 35 相同的材料形成。接线端 37 例如经过键合线(没有显示)连接到外部电路。

[0108] 图 7 是图 5 和图 6 中所示的 MEMS 器件的电路图。该 MEMS 器件用作 LC 储能电路。通过使可变电容器 26 与电感器 35 之间串联来形成 LC 储能电路。

[0109] 更具体地,可变电容器 26 的第二电极层 33 连接到电感器 35 的一个接线端。可变电容器 26 的第一电极层 17 经过布线层 17b 连接到外部电路。电感器 35 的另一个接线端经过接线端 37 连接到外部电路。

[0110] 此外,通过在 MEMS 器件上混合安装 MOS 晶体管和电阻器能够形成 VCO(压控振荡器)电路。图 8 是显示 VCO 电路的电路图。

[0111] VCO 电路包括两个电感器 35、两个可变电容器 26、六个 MOS 晶体管 41 和两个电阻器 42。这些元件形成在公共的半导体衬底 11 上。

[0112] 按照本实施例,如上所述,LC 储能电路或 VCO 电路能够形成为 MEMS 器件。其它的优点与第一实施例相同。

[0113] 接下来,将说明 MEMS 器件制造方法的实施例(第四至第八实施例)。

[0114] (第四实施例)

[0115] 下面说明制造包括例如 MOS 晶体管和 MEMS 器件的半导体器件的方法的第一示例。

[0116] 首先,在半导体衬底 11 上形成凹槽,在凹槽中嵌入绝缘体以形成 STI(浅沟槽隔离)12,如图 9 所示。STI 对应于图 2 中所示的绝缘层 12。半导体衬底 11 具有形成 MOS 晶体管的第一区域和形成 MEMS 器件的第二区域。绝缘层 12 的一部分被设置为以使第一区域和第二区域彼此电隔离。

[0117] 接下来,在半导体衬底 11 的第一区域中形成 MOS 晶体管 51。换句话说,在半导体衬底 11 上形成栅极绝缘膜。在栅极绝缘膜上形成栅极电极。通过使用栅极电极作为掩模

将杂质引入半导体衬底 11,并在栅极电极两侧的半导体衬底 11 中形成源极区和漏极区。

[0118] 接下来,通过例如 CVD(化学气相淀积)法在第二区域的半导体衬底 11 上淀积绝缘层 13,如图 10 所示。通过光刻和 RIE(反应离子蚀刻)法以预期的形状蚀刻绝缘层 13。此时,在绝缘层 12 上形成绝缘层 13 的一个端部分。因此,即使空腔 12 形成在绝缘层 13 下面,通过使用绝缘层 12 作为支点,绝缘层 13 也能够支撑致动器 25。

[0119] 接下来,如图 11 所示,形成将电连接到 MOS 晶体管 51 的布线层 53。换句话说,在 MOS 晶体管 51 上淀积层间绝缘层 52。层间绝缘层 52 例如由 SiO_2 形成。然后,形成接触孔,以露出例如 MOS 晶体管 51 的源极区和漏极区。在接触孔中嵌入导体,以形成电连接到源极区和漏极区的接触插块 54。形成布线层 53,使其电连接到接触插块 54。

[0120] 接下来,例如通过溅射在绝缘层 13 上按顺序淀积下电极层 14、压电层 15 和上电极层 16,如图 12 所示。然后,图形化上电极层 16 和压电层 15,以露出部分的下电极层 14。而且,以预期形状图形化下电极层 14、压电层 15 和上电极层 16。因此,形成了包括下电极层 14、压电层 15 和上电极层 16 的压电致动器 25。

[0121] 接下来,例如通过 CVD 法在致动器 25 和绝缘层 13 上淀积绝缘层 18,如图 13 所示。在绝缘层 18 中形成布线凹槽以便露出部分绝缘层 13。在布线凹槽中嵌入导体,由此在布线凹槽中形成接触插块 17a。在接触插块 17a 和绝缘层 18 上淀积第一电极层 17。图形化第一电极层 17。由此形成了预期形状的第一电极层 17。与第一电极层 17 同时地形成布线层 17b。

[0122] 接下来,形成接触孔以便部分地露出下电极层 14 和上电极层 16,分别在接触孔中嵌入导体,由此形成了接触插块 19a 和 20a,如图 14 所示。在绝缘层 18 上形成布线层 19 和 20,其分别连接到接触插块 19a 和 20a。

[0123] 接下来,例如通过 RIE 法部分地蚀刻绝缘层 18 和绝缘层 13,由此在绝缘层 13 的边缘部分形成凹槽 55,以便露出第一区域中的部分半导体衬底 11,如图 15 所示。可以在形成每个绝缘层 18 和绝缘层 13 的同时形成凹槽 55。

[0124] 接下来,通过使用氟基气体(含氟气体)的 CDE(化学干法蚀刻)法蚀刻绝缘层 13 下的半导体衬底 11,如图 16 所示。作为氟基气体,可以使用 XeF_2 等。结果,在绝缘层 13 下形成空腔 21。因此,第一电极层 17 按照致动器 25 的移动而移动。

[0125] 接下来,形成包括导电层 24、绝缘层 23 和支撑层 22 的盖部分 27,如图 17(平面图)和图 18(沿着图 17 的 XVIII-XVIII 线看去的剖视图)所示。形成盖部分 27,使其尺寸大得足够包围致动器 25 和 MOS 晶体管 51。盖部分 27 例如通过绝缘粘合剂粘结到衬底。因此,形成图 17 和图 18 所示的半导体器件。

[0126] 按照本实施例,如上所述,能够减少形成空腔 21 的制造步骤。换句话说,在不使用用于形成空腔 21 的牺牲层的情况下,能够形成预期形状的空腔。

[0127] 在本发明中能够采用这样的制造方法,其中电极等没有形成在空腔 21 中,或者通过沿向上方向移动致动器 25,空腔 21 的深度未受到限制。结果,能够降低制造成本。

[0128] (第五实施例)

[0129] 下面说明制造包括例如 MOS 晶体管和 MEMS 器件的半导体器件的方法的第二示例。

[0130] 首先,在半导体衬底 11 上形成凹槽,在凹槽中嵌入绝缘体以形成 STI(绝缘层)12,如图 19 所示。通过采用 STI 形成步骤,在将要形成空腔 21 的区域中形成了凹槽,在凹槽中

嵌入绝缘体（例如， SiO_2 ）以形成牺牲层 56。然后，在半导体衬底 11 的第一区域中形成 MOS 晶体管 51。

[0131] 接下来，通过例如 CVD 法在第二区域的半导体衬底 11 上，在牺牲层 56 和绝缘层 12 上淀积绝缘层 13，如图 20 所示。通过光刻和 RIE 法以预期的形状蚀刻绝缘层 13。

[0132] 接下来，类似于第四实施例形成致动器 25、第一电极层 17 和布线层 19。然后，例如通过 RIE 法部分地蚀刻绝缘层 18 和绝缘层 13，由此在绝缘层 13 的边缘部分形成凹槽 55，以便露出绝缘层 13 的边缘部分下的牺牲层 56，如图 21 所示。可以在形成每个绝缘层 18 和绝缘层 13 的步骤中形成凹槽 55。

[0133] 接下来，通过使用氟基气体的 CDE 法蚀刻牺牲层 56，如图 22 所示。结果，在绝缘层 13 下形成空腔 21。之后，通过盖部分 27 覆盖衬底。

[0134] 按照本实施例，如上所述，能够通过采用 STI 处理步骤形成用于形成空腔 21 的牺牲层 56。因此，形成牺牲层 56 的特殊制造步骤是不必要的。结果，能够减少制造成本。

[0135] （第六实施例）

[0136] 下面说明制造包括例如 MOS 晶体管和 MEMS 器件的半导体器件的方法的第三示例。

[0137] 首先，在半导体衬底 11 的第一区域中形成 MOS 晶体管 51，如图 23 所示。然后，在半导体衬底 11 上淀积与 MOS 晶体管 51 的栅极电极（例如，由多晶硅形成）材料相同的牺牲层 57。通过光刻和 RIE 法蚀刻牺牲层 57，使其与将形成空腔 21 的区域具有相同的形状。在与 MOS 晶体管 51 的栅极电极处理相同的步骤中执行牺牲层 57 的蚀刻。牺牲层 57 和栅极电极可以是硅化物层。

[0138] 接下来，通过例如 CVD 法在牺牲层 57 和绝缘层 12 上淀积绝缘层 13，如图 24 所示。通过光刻和 RIE 法以预期的形状蚀刻绝缘层 13。然后，形成致动器 25、第一电极层 17 和布线层 19、20。

[0139] 然后，例如通过 RIE 法部分地蚀刻绝缘层 18 和绝缘层 13，以便露出绝缘层 13 的边缘部分下的牺牲层 57，由此在绝缘层 13 的边缘部分形成凹槽 55，如图 25 所示。可以在形成每个绝缘层 18 和绝缘层 13 的同时形成凹槽 55。

[0140] 接下来，通过使用氟基气体（含氟气体）的 CDE 法蚀刻牺牲层 57，如图 26 所示。作为氟基气体，可以使用 XeF_2 等。结果，在绝缘层 13 下形成空腔 21。之后，通过盖部分 27 覆盖衬底。

[0141] 按照本实施例，如上所述，能够通过采用栅极电极处理步骤形成用于形成空腔 21 的牺牲层 57。因此，形成牺牲层 57 的特殊制造步骤是不必要的。结果，能够降低制造成本。

[0142] （第七实施例）

[0143] 下面说明制造包括例如 MOS 晶体管和 MEMS 器件的半导体器件的方法的第四示例。

[0144] 首先，形成 MOS 晶体管 51，如图 27 所示。然后，通过例如 CVD 法在半导体衬底 11 上淀积层间绝缘层 52（例如由 SiO_2 形成）。例如通过双镶嵌法形成接触插块 54 和布线层 53。

[0145] 接下来，在层间绝缘层 52 的将形成空腔 21 的区域中形成凹槽，例如在凹槽中嵌入有机材料以形成牺牲层 58，如图 28 所示。牺牲层 58 的材料不限于有机材料，也可以是例如 Cu 等的金属、多晶硅、氧化物膜等。换句话说，任何材料能够用于牺牲层 58，只要其对于层间绝缘层 52 的绝缘材料具有高的选择比。此外，能够通过与布线层 53 相同的材料，在布线

层 53 的形成步骤中形成牺牲层 58。

[0146] 接下来,在牺牲层 58 和层间绝缘层 52 上形成致动器 25、第一电极层 17 和布线层 19、20,如图 29 所示。此时,在绝缘层 13 的边缘部分事先部分地暴露了牺牲层 58。

[0147] 接下来,通过 CDE 法蚀刻牺牲层 58,如图 30 所示。结果,在绝缘层 13 下的层间绝缘层 52 中形成空腔 21。之后,通过盖部分 27 覆盖衬底。

[0148] 按照本实施例,如上所述,能够在晶体管布线层处理步骤中形成用于形成空腔 21 的牺牲层 58。

[0149] 对层间绝缘层 52 可以用具有小的介电常数的低 k 膜。作为低 k 膜,例如可以使用多孔膜。由于使用低 k 膜能够减小布线电容,所以能够提高晶体管的操作速度。

[0150] (第八实施例)

[0151] 下面说明制造包括例如 MOS 晶体管和 MEMS 器件的半导体器件的方法的第五示例。

[0152] 首先,在层间绝缘层 52 的将形成空腔 21 的区域中形成牺牲层 59,如图 31 所示。作为牺牲层 59 的材料,可以使用有机材料、诸如 Cu 等的金属、多晶硅、氧化物膜等。此外,任何材料能够用于牺牲层 59,只要其对于层间绝缘层 52 的绝缘材料具有高的选择比。

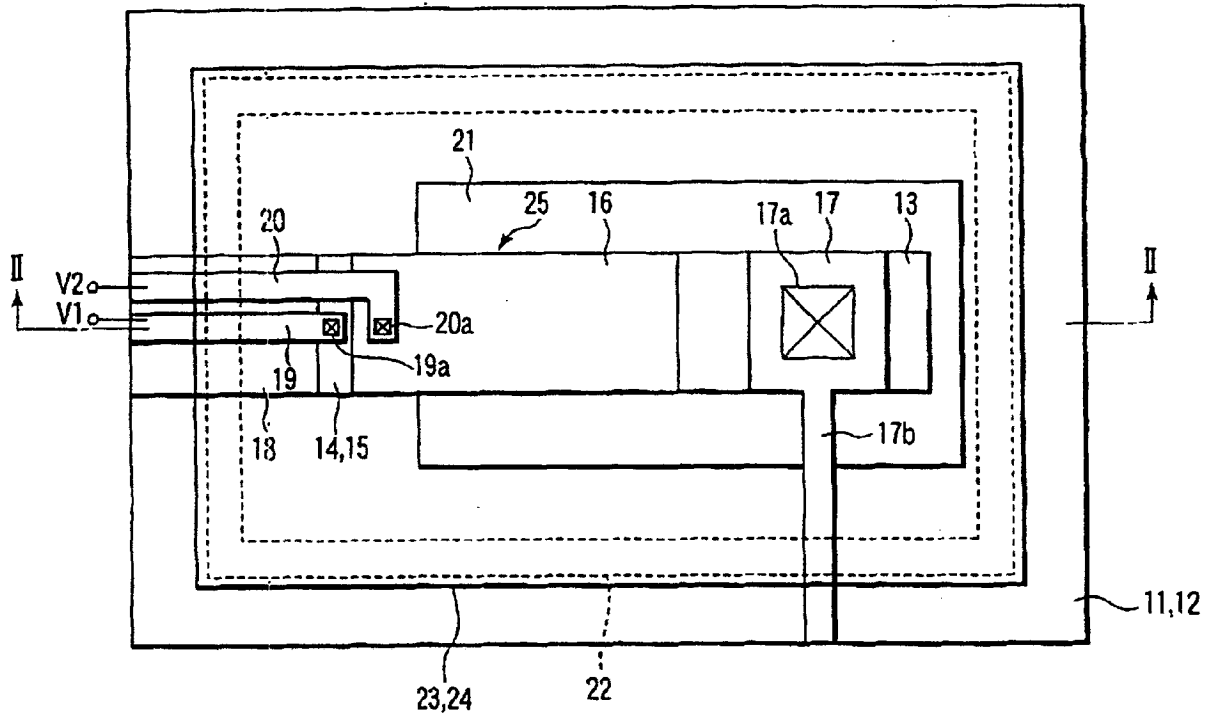
[0153] 接下来,在牺牲层 59 和层间绝缘层 52 上形成致动器 25、第一电极层 17 和布线层 19、20,如图 32 所示。此时,在绝缘层 13 的边缘部分事先部分地暴露了牺牲层 59。

[0154] 接下来,通过 CDE 法蚀刻牺牲层 59,如图 33 所示。结果,在绝缘层 13 下的层间绝缘层 52 中形成空腔 21。之后,通过盖部分 27 覆盖衬底。

[0155] 按照本实施例,如上所述,能够在晶体管布线层处理步骤中形成用于形成空腔 21 的牺牲层 59。由此形成了本实施例的半导体器件。

[0156] 对于本领域技术人员来讲,其它的优点和修改将是很容易的。因此,本发明在其较宽的方面不限于此处所示和说明的具体细节和代表性实施例。因此,在不脱离由后附权利要求及其等价物定义的一般发明概念的精神和范围的情况下,可以进行各种修改。

图 1



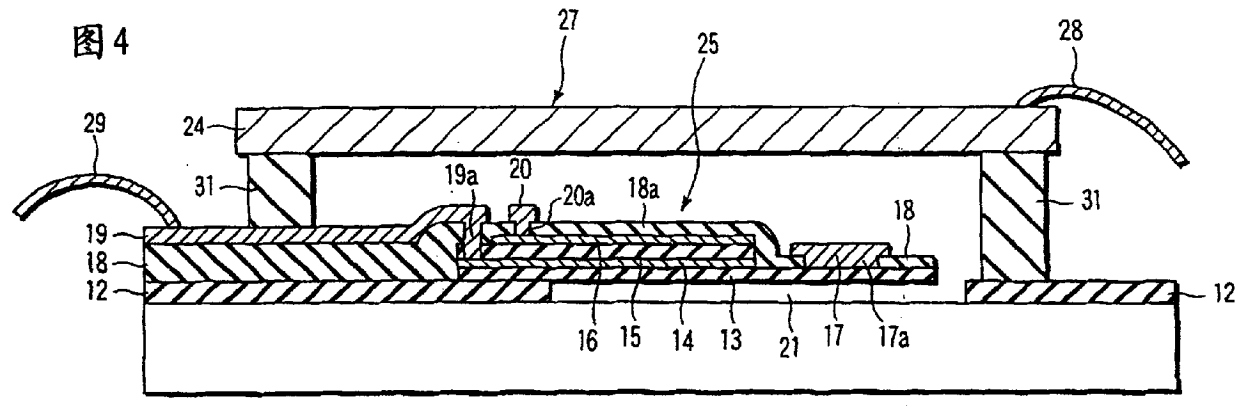
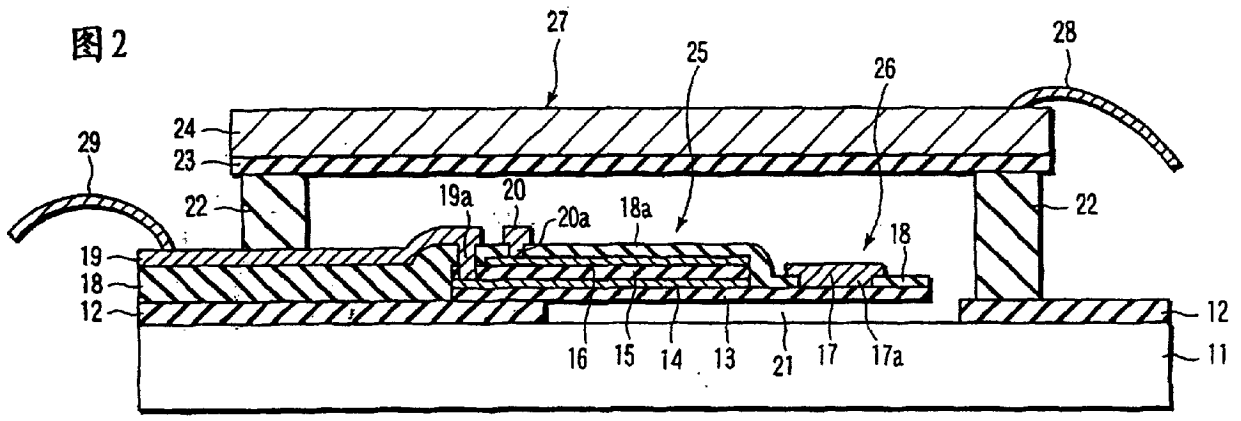


图 3

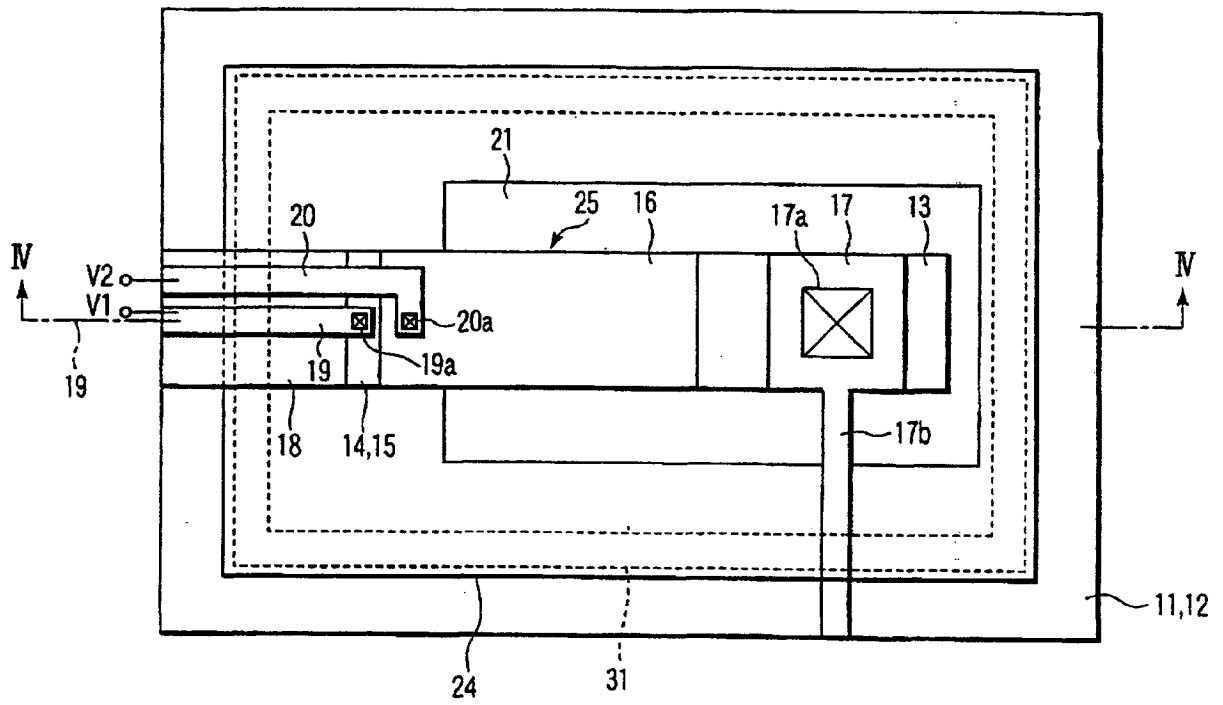


图 5

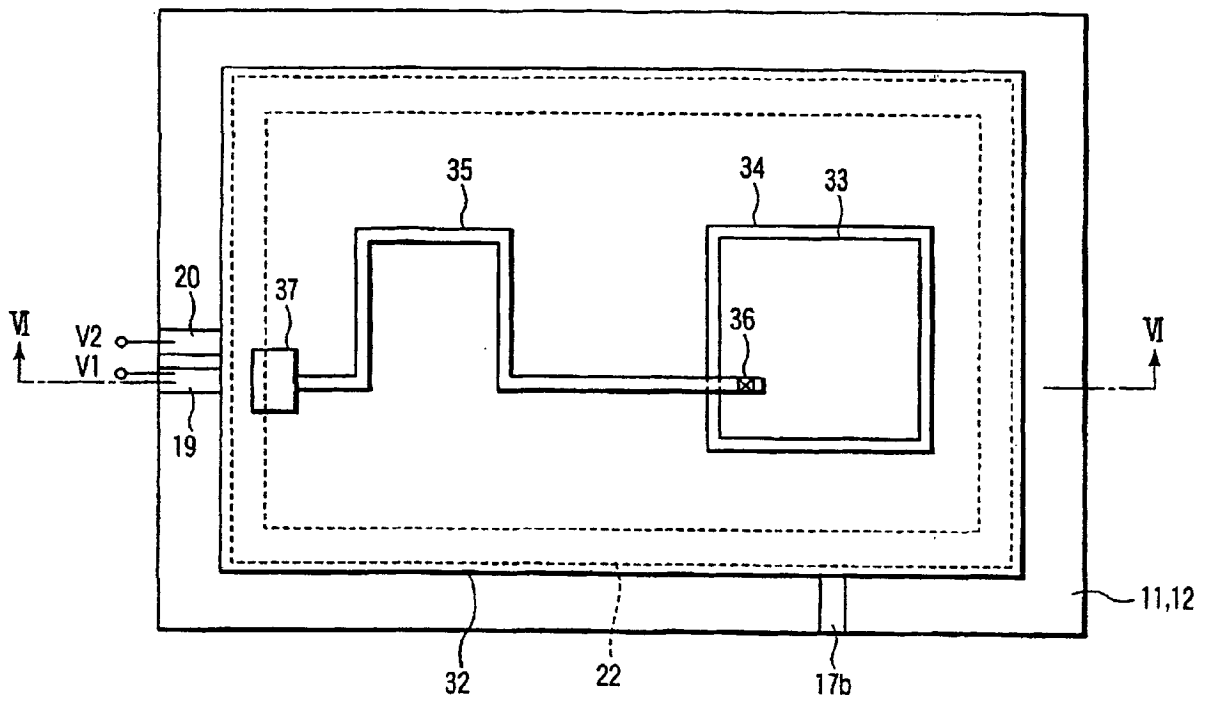


图 6

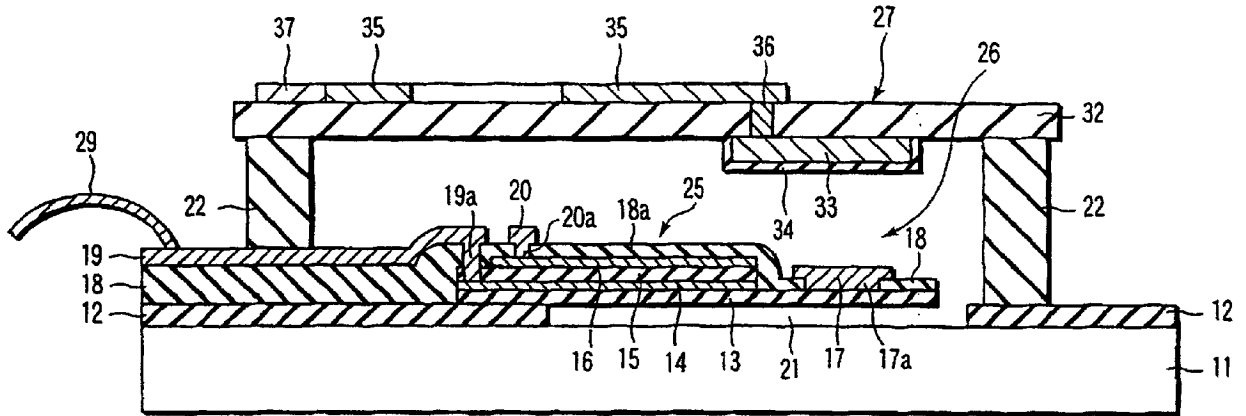


图 9

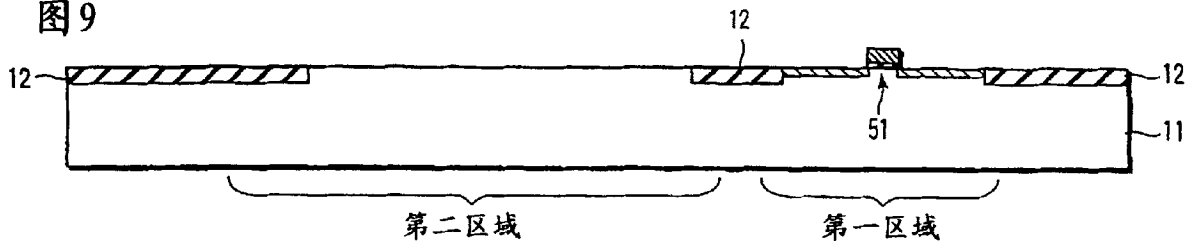


图 7

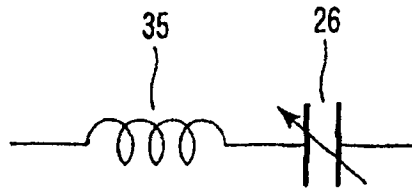
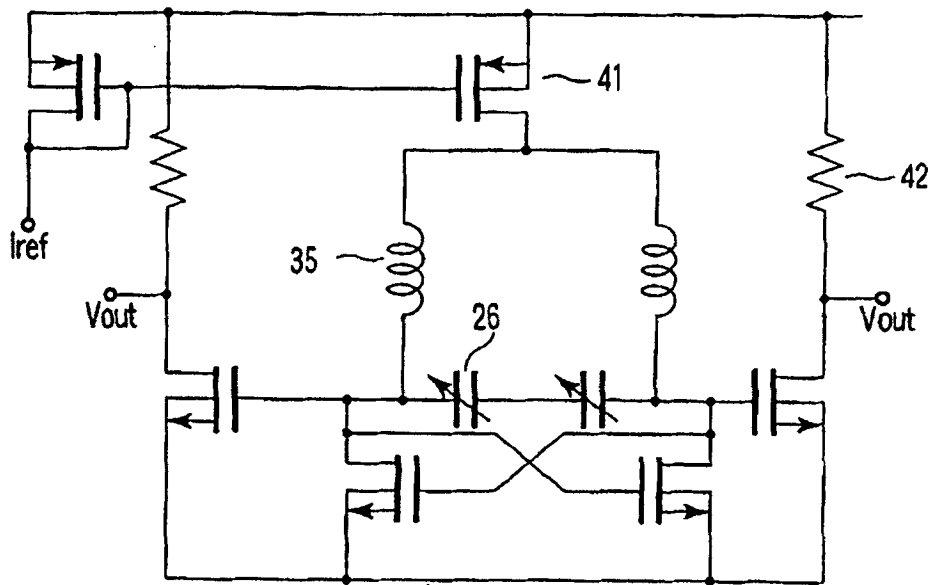
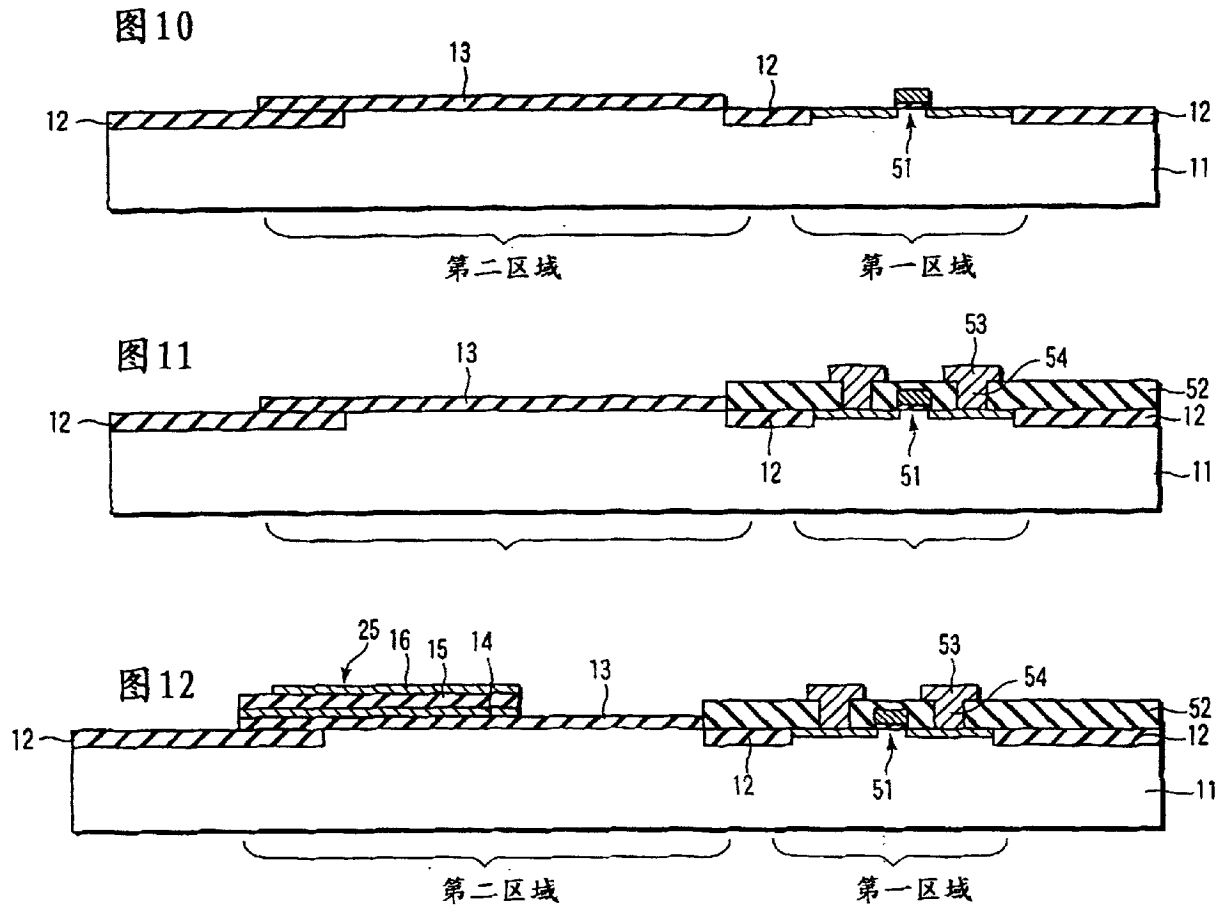


图 8





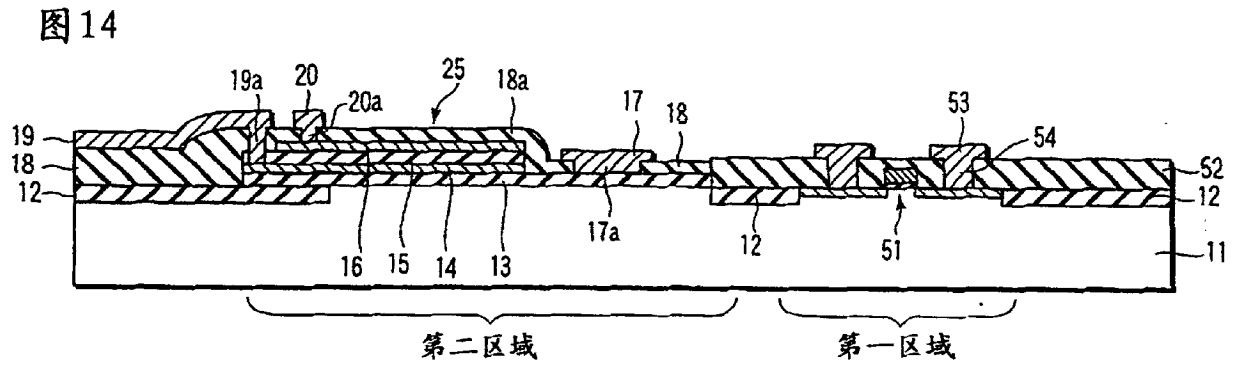
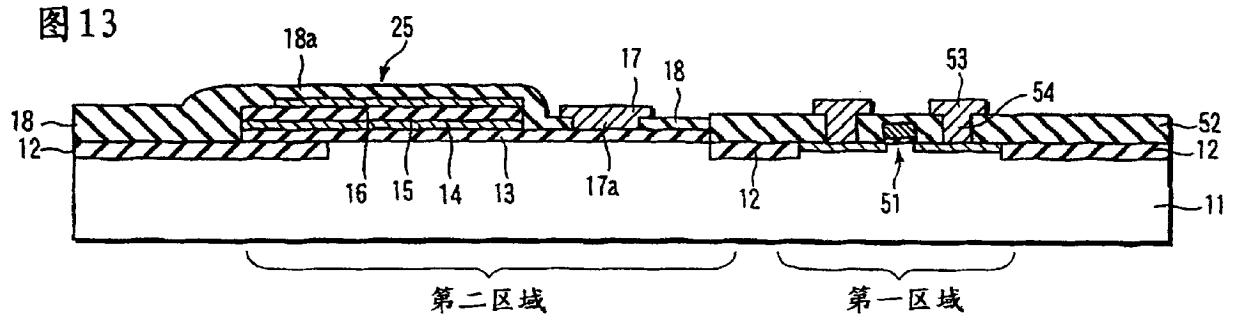


图15

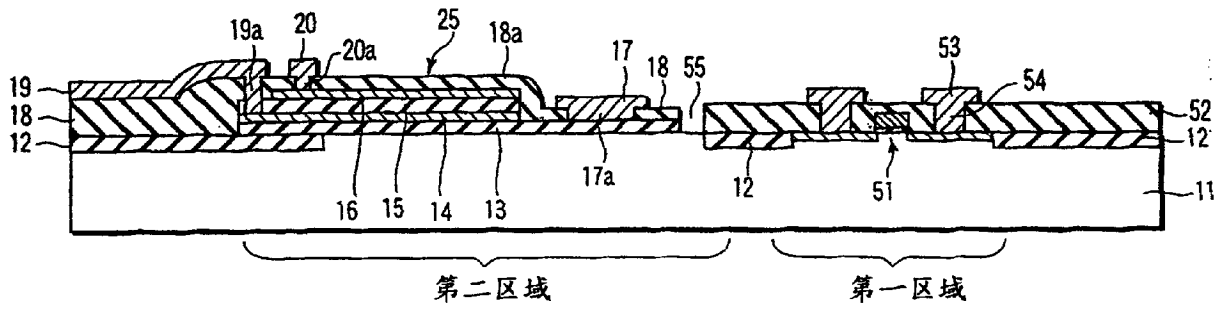


图16

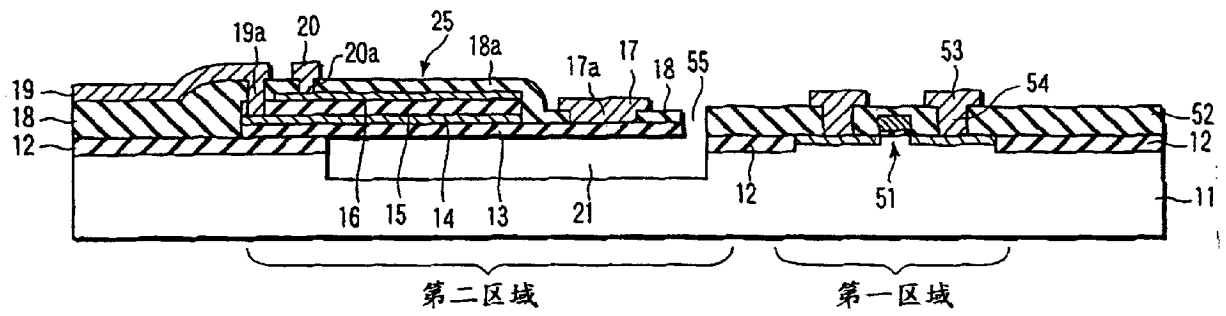


图17

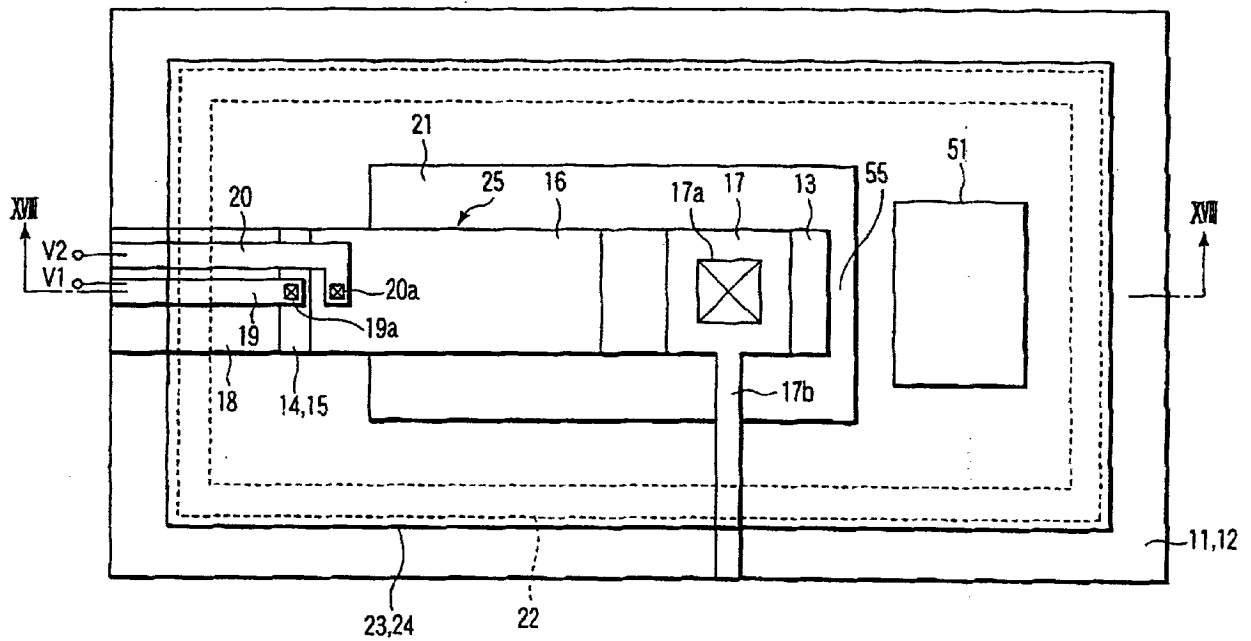


图18

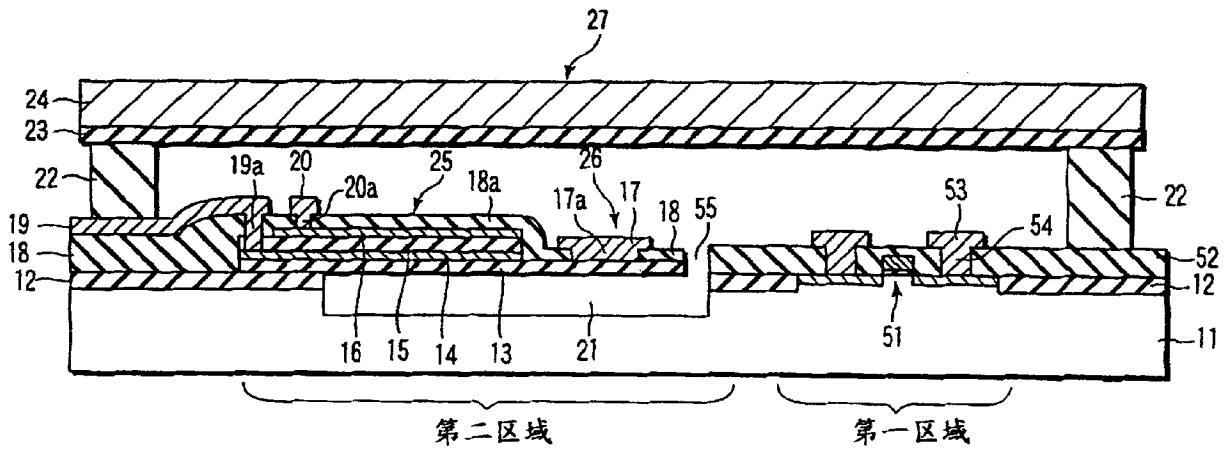


图19

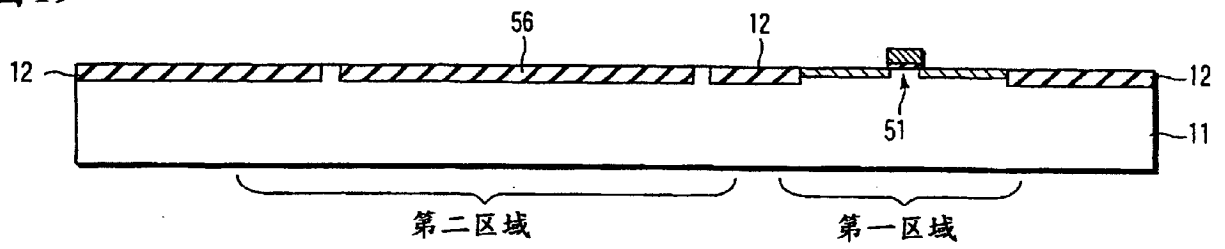


图20

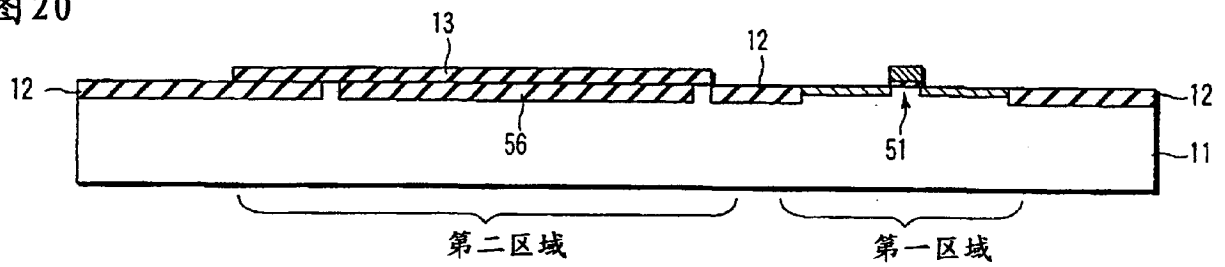


图21

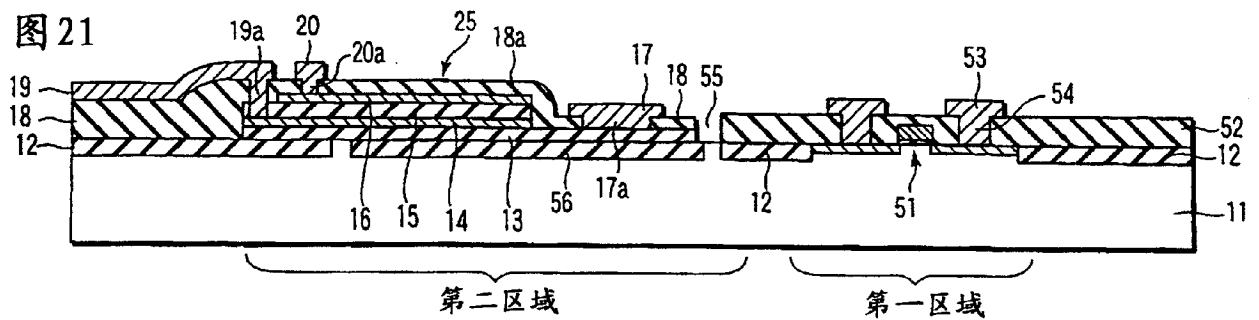


图 22

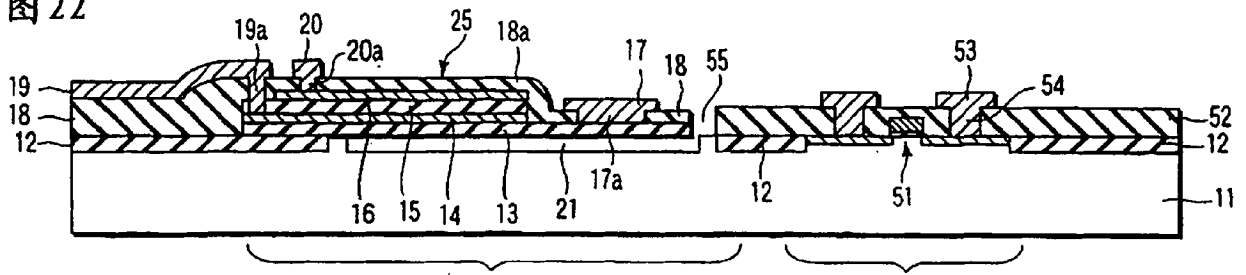


图 23

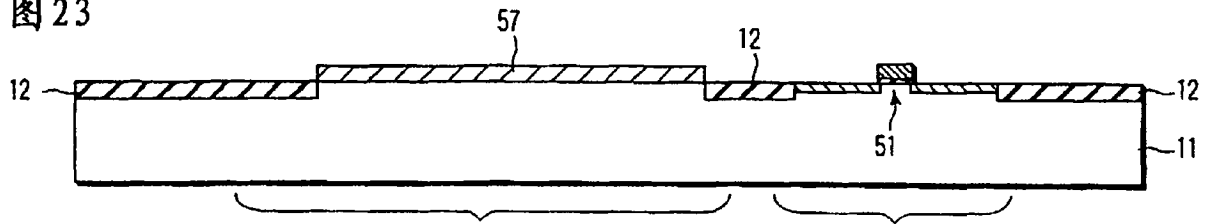


图 24

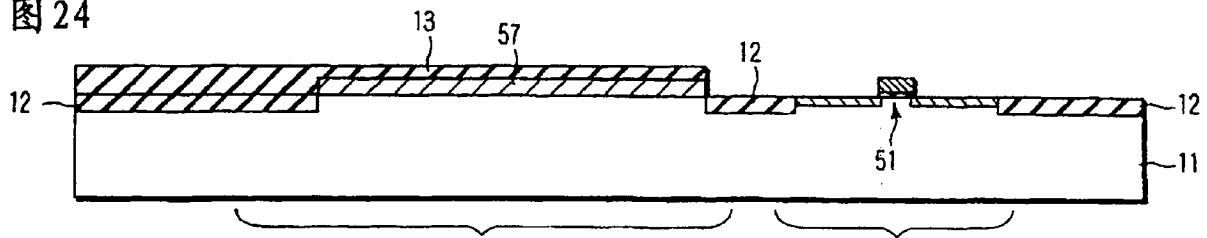


图 25

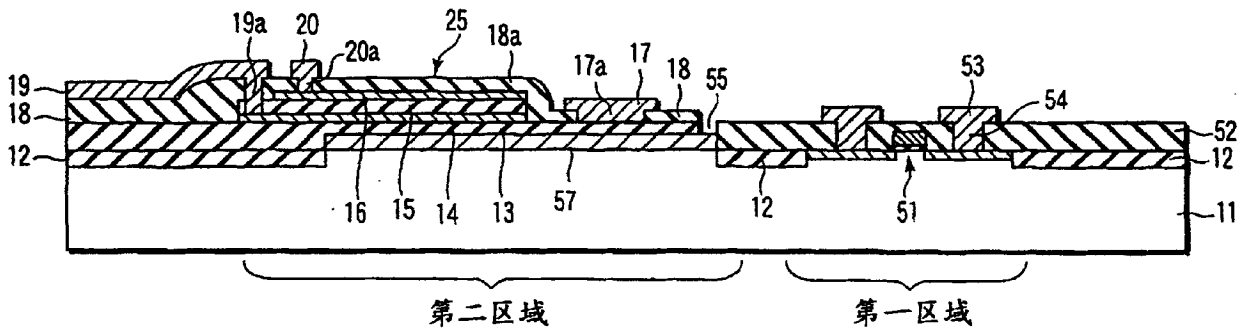


图 26

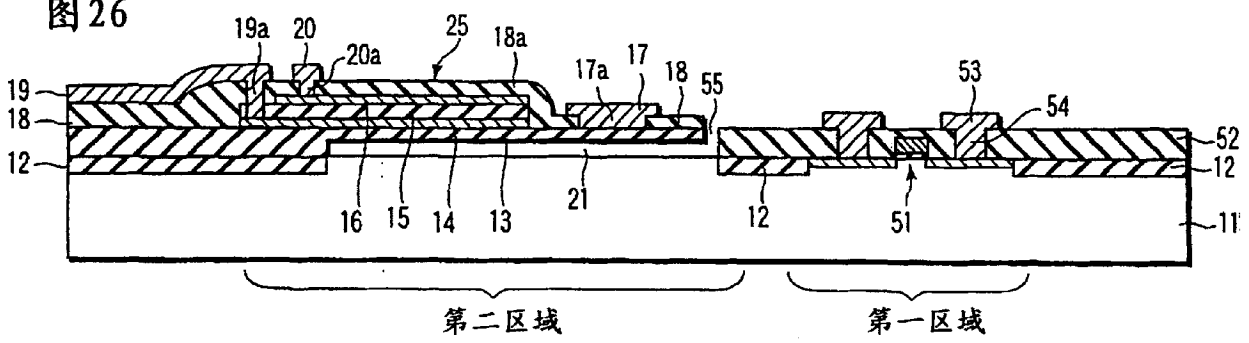


图 27

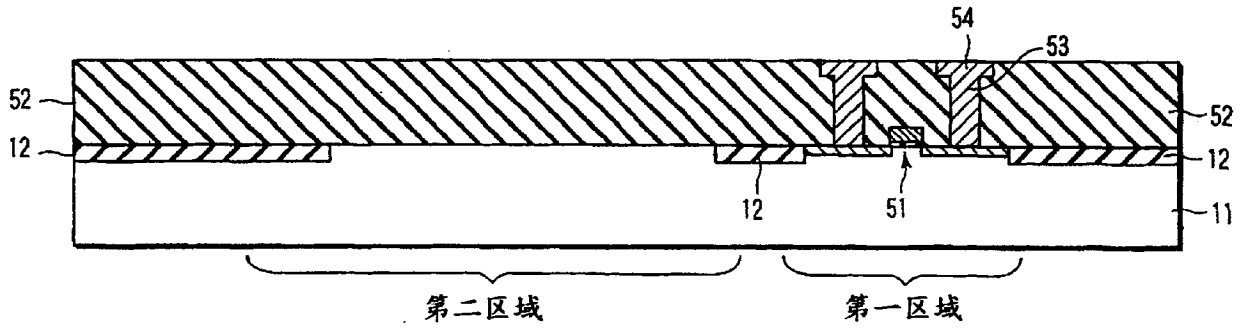


图 28

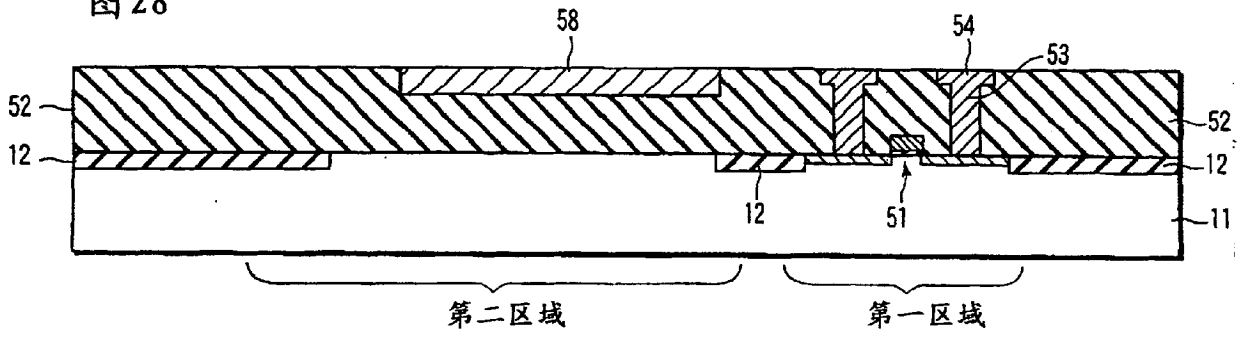


图 29

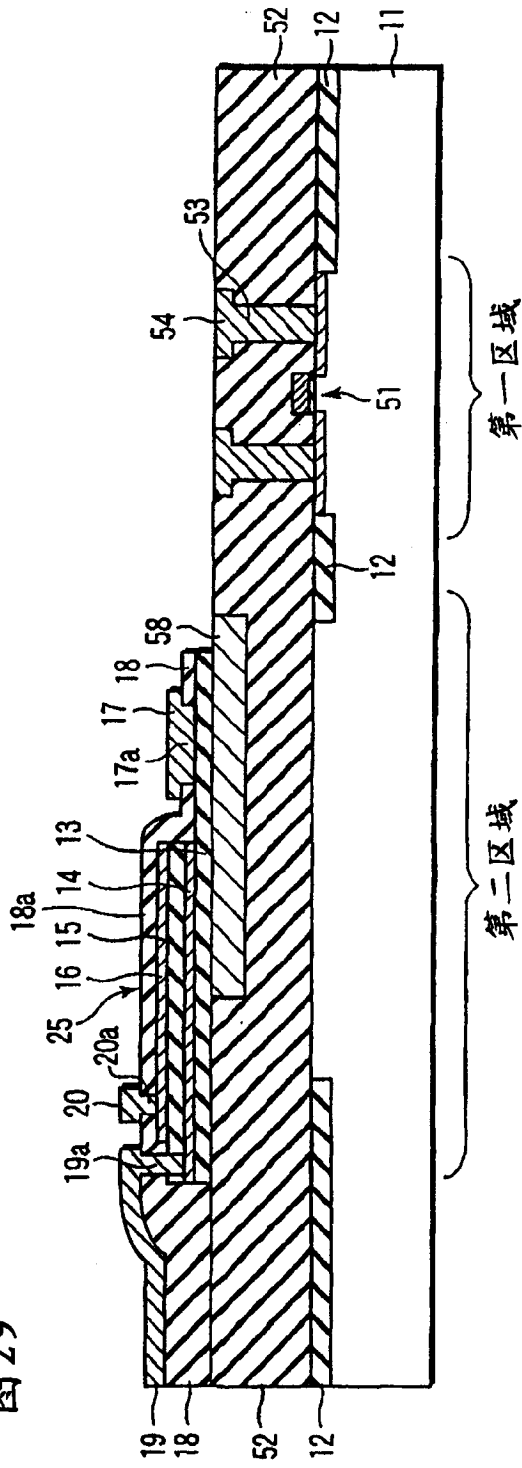


图 30

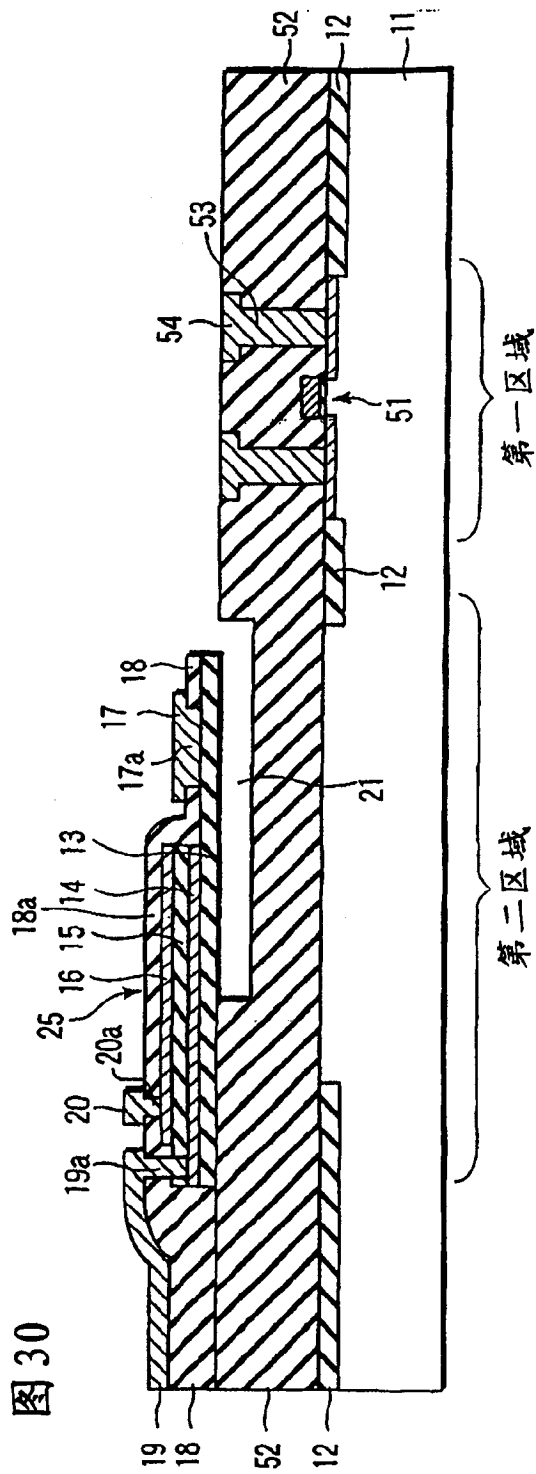


图 31

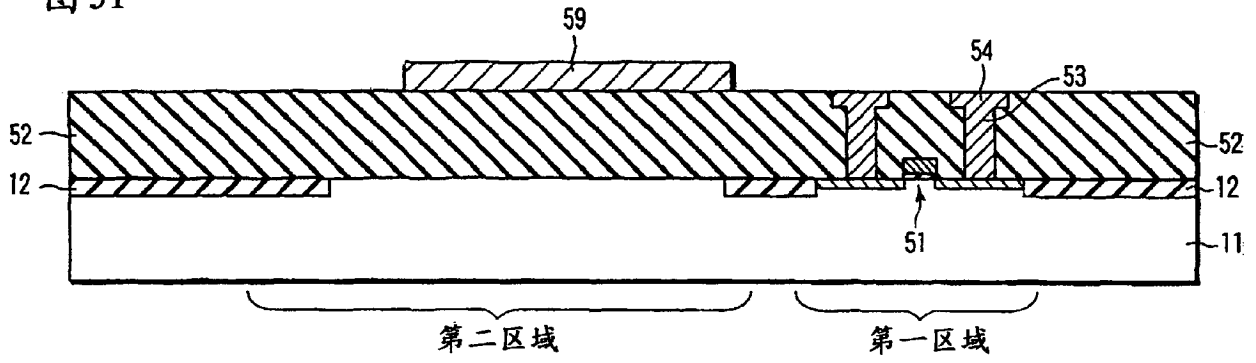


图 32

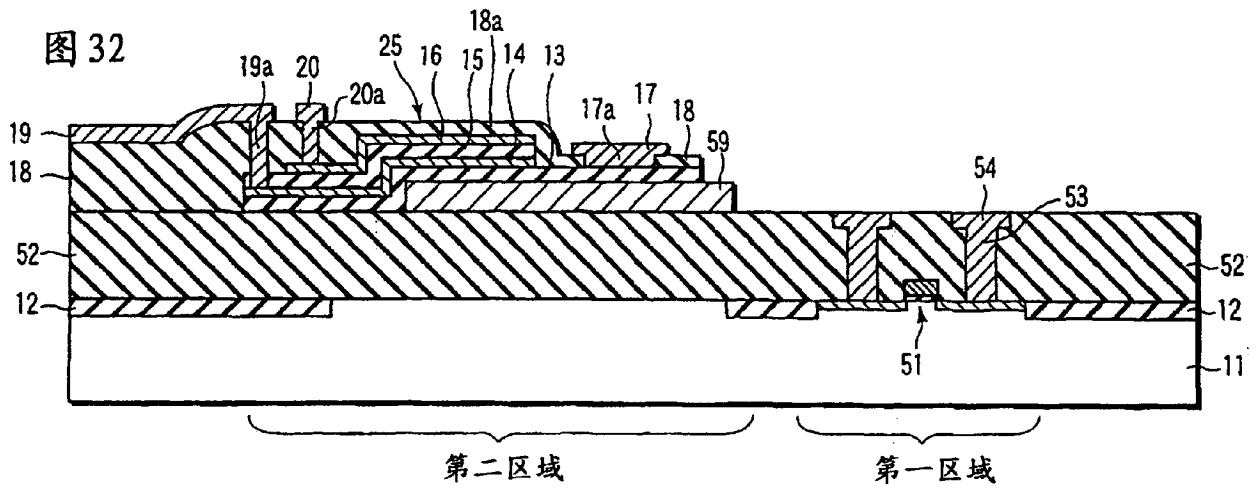


图 33

