

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-114243

(P2013-114243A)

(43) 公開日 平成25年6月10日 (2013.6.10)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641E	5C006
G02F 1/133 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 670Q	
	G02F 1/133 550	

審査請求 未請求 請求項の数 6 O L (全 30 頁)

(21) 出願番号 特願2011-263329 (P2011-263329)
 (22) 出願日 平成23年12月1日 (2011.12.1)

(71) 出願人 308036402
 株式会社 JVCケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 岩佐 隆行
 神奈川県横浜市神奈川区守屋町3丁目12番地
 Fターム(参考) 2H193 ZA03 ZA08 ZA19 ZB09 ZC16
 ZC39 ZD25 ZF44 ZK03 ZK08
 ZK14 ZK18
 5C006 AA14 AA21 AF06 BB15 BB28
 BC03 BC06 BC12 BC16 BF03
 BF04 EB01 EC06 FA41
 最終頁に続く

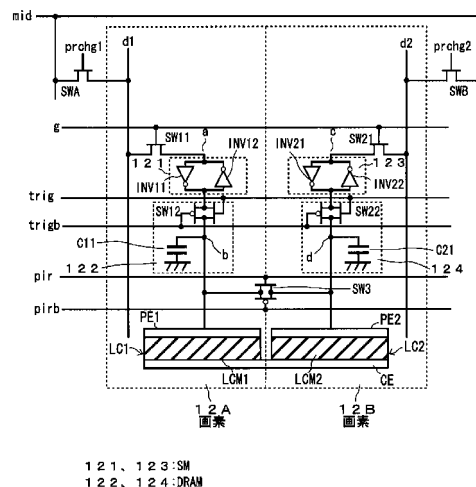
(54) 【発明の名称】 液晶表示装置及びその画素検査方法

(57) 【要約】

【課題】画素内に2つのSRAMを用いた画素に比べて画素小型化を可能にすると共に、画素検査を正確に行うことができる。

【解決手段】画素検査の開始時にはスイッチSWBをオンにして画素12Bのc点を中間電圧のLレベルにプリチャージし、画素12Bのd点の電圧をHレベルにプリセットする。この状態で、列データ線d1にHレベルの検査信号を書き込んでa点のデータをHレベルにした場合、b点の電圧はLレベルになろうとする。このときb点とd点の電圧はVDDからGNDの電圧範囲において、GNDよりの中間電位になる。この中間電位は、インバータの反転閾値電圧よりも低電位側にあるため、b点及びd点の電圧は容易にLレベル側へ反転する状態にある。ここで、スイッチSWBをオフにすると、同時にd点の電圧はLレベルにセットされ、列データ線d2及び画素12Bのc点の電位はHレベルになる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する2つの画素を一組としたとき、各組の2つの画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

前記行走査線に接続されており、映像信号の各フレームを前記映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に前記列データ線を介してサンプリングする第1のスイッチング手段と、

前記第1のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、前記第1のスイッチング手段によりサンプリングされた前記サブフレームデータを記憶する第1の信号保持手段と、

を別々に備えると共に、前記2つの画素内の前記第1の信号保持手段と前記画素電極との接続点同士を接続又は非接続とする第2のスイッチング手段を共通に備え、

前記第2のスイッチング手段を画素書き込み及び読み出し時にオフに制御し、画素検査時にオンに制御する切替制御手段と、

画素書き込み及び読み出し時に、画像表示部を構成する前記複数の画素のうち、行単位の画素毎に前記サブフレームデータを前記第1の信号保持手段に書き込み、その書き込んだデータを前記画素電極に印加する動作をサブフレーム毎に行う画素制御手段と、

画素検査時に、各組の前記2つの画素のうち一方の画素に接続された第1の列データ線から前記一方の画素に検査信号を入力して、各組の前記2つの画素のうち他方の画素を經由して前記他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、前記第2の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を經由して前記第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行う検査制御手段と

を有することを特徴とする液晶表示装置。

【請求項 2】

前記同じ行走査線に接続された各組の隣接する前記2つの画素のそれぞれは、

前記第1の信号保持手段に記憶された前記サブフレームデータを出力させる第3のスイッチング手段と、

前記第3のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、前記第3のスイッチング手段を通して供給される前記第1の信号保持手段に記憶された前記サブフレームデータで記憶内容が書き換えられ、出力データを前記画素電極に印加する第2の信号保持手段と

を更に別々に備えると共に、前記第2のスイッチング手段は、前記2つの画素内の前記第2の信号保持手段と前記画素電極との接続点同士を接続又は非接続とする構成とされ、

前記画素制御手段は、

画素書き込み及び読み出し時に、画像表示部を構成する前記複数の画素のうち、行単位の画素毎に前記サブフレームデータを前記第1の信号保持手段に書き込むことを繰り返して前記複数の画素の全てに書き込んだ後、トリガパルスにより前記複数の画素全ての前記第3のスイッチング手段をオンにして、前記第1の信号保持手段に記憶された前記サブフレームデータにより前記複数の画素の前記第2の信号保持手段の記憶内容を書き換える動作をサブフレーム毎に行い、

前記検査制御手段は、

画素検査時に、前記第3のスイッチング手段をオンに制御すると共に、各組の前記2つの画素のうち一方の画素に接続された第1の列データ線から前記一方の画素に検査信号を入力して、各組の前記2つの画素のうち他方の画素を經由して前記他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、前記第2の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を經由して前記第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行う

10

20

30

40

50

ことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と

、
各組の前記 2 つの画素のうち、一方の画素に接続された第 1 の列データ線と前記中間電圧発生手段との間に接続された第 4 のスイッチング手段と、

各組の前記 2 つの画素のうち、他方の画素に接続された第 2 の列データ線と前記中間電圧発生手段との間に接続された第 5 のスイッチング手段と、

を更に備え、前記検査制御手段は、

画素検査時に、前記第 5 のスイッチング手段をオンにして前記第 2 の列データ線を介して前記他方の画素に前記中間電圧を印加してプリチャージした状態において、前記第 1 の列データ線から前記一方の画素に検査信号を入力した後、前記第 5 のスイッチング手段をオフにした状態で前記他方の画素から前記第 2 の列データ線に信号を読み出す第 1 の検査動作と、前記第 4 のスイッチング手段をオンにして前記第 1 の列データ線を介して前記一方の画素に前記中間電圧を印加してプリチャージした状態において、前記第 2 の列データ線から前記他方の画素に検査信号を入力した後、前記第 4 のスイッチング手段をオフにした状態で前記一方の画素から前記第 1 の列データ線に信号を読み出す第 2 の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行うことを特徴とする請求項 1 記載の液晶表示装置。

10

【請求項 4】

電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と

、
各組の前記 2 つの画素のうち、一方の画素に接続された第 1 の列データ線と前記中間電圧発生手段との間に接続された第 4 のスイッチング手段と、

各組の前記 2 つの画素のうち、他方の画素に接続された第 2 の列データ線と前記中間電圧発生手段との間に接続された第 5 のスイッチング手段と、

を更に備え、前記検査制御手段は、

画素検査時に、前記第 5 のスイッチング手段をオンにして前記第 2 の列データ線を介して前記他方の画素に前記中間電圧を印加してプリチャージした状態において、前記第 3 のスイッチング手段をオンに制御すると共に、前記第 1 の列データ線から前記一方の画素に検査信号を入力した後、前記第 5 のスイッチング手段をオフにした状態で前記他方の画素から前記第 2 の列データ線に信号を読み出す第 1 の検査動作と、前記第 4 のスイッチング手段をオンにして前記第 1 の列データ線を介して前記一方の画素に前記中間電圧を印加してプリチャージした状態において、前記第 3 のスイッチング手段をオンに制御すると共に、前記第 2 の列データ線から前記他方の画素に検査信号を入力した後、前記第 4 のスイッチング手段をオフにした状態で前記一方の画素から前記第 1 の列データ線に信号を読み出す第 2 の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行うことを特徴とする請求項 2 記載の液晶表示装置。

30

【請求項 5】

複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する 2 つの画素を一組としたとき、各組の 2 つの画素のそれぞれが、

40

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

前記行走査線に接続されており、映像信号の各フレームを前記映像信号の 1 フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に前記列データ線を介してサンプリングする第 1 のスイッチング手段と、

前記第 1 のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、前記第 1 のスイッチング手段によりサンプリングされた前記サブフレームデータを記憶する第 1 の信号保持手段と、

を別々に備えると共に、前記 2 つの画素内の前記第 1 の信号保持手段と前記画素電極と

50

の接続点同士を接続又は非接続とする第2のスイッチング手段を共通に備える液晶表示装置の画素検査時に、

前記第2のスイッチング手段をオンに制御する切替制御ステップと、

各組の前記2つの画素のうち一方の画素に接続された第1の列データ線から前記一方の画素に検査信号を入力して、各組の前記2つの画素のうち他方の画素を経由して前記他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、前記第2の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を経由して前記第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行う検査制御ステップと

を含むことを特徴とする液晶表示装置の画素検査方法。

10

【請求項6】

前記同じ行走査線に接続された各組の隣接する前記2つの画素のそれぞれは、

前記第1の信号保持手段に記憶された前記サブフレームデータを出力させる第3のスイッチング手段と、

前記第3のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、前記第3のスイッチング手段を通して供給される前記第1の信号保持手段に記憶された前記サブフレームデータで記憶内容が書き換えられ、出力データを前記画素電極に印加する第2の信号保持手段と

を更に別々に備えると共に、前記第2のスイッチング手段は、前記2つの画素内の前記第2の信号保持手段と前記画素電極との接続点同士を接続又は非接続とする構成とされた液晶表示装置の画素検査時に、

20

前記第2のスイッチング手段をオンに制御する切替制御ステップと、

前記第3のスイッチング手段をオンに制御すると共に、各組の前記2つの画素のうち一方の画素に接続された第1の列データ線から前記一方の画素に検査信号を入力して、各組の前記2つの画素のうち他方の画素を経由して前記他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、前記第2の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を経由して前記第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行う検査制御ステップと

を含むことを特徴とする請求項5記載の液晶表示装置の画素検査方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は液晶表示装置及びその画素検査方法に係り、特に複数ビットで表わされる階調レベルに応じて、複数のサブフレームの組み合わせによって階調表示を行う液晶表示装置及びその画素検査方法に関する。

【背景技術】

【0002】

従来より、液晶表示装置における中間調表示方式の1つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には1画像の表示単位である1フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせで画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

40

【0003】

このサブフレーム駆動方式の液晶表示装置において、各画素が、マスターラッチ及びスレーブラッチと、液晶表示素子と、第1～第3の計3つのスイッチングトランジスタとから構成されるものが知られている（例えば、特許文献1参照）。この画素では、マスターラッチは2つの入力端子のうち一方の入力端子に1ビットの第1のデータが第1のスイッチングトランジスタを通して印加されると共に、他方の入力端子に第1のデータとは相補的な関係にある第2のデータが第2のスイッチングトランジスタを通して印加され、行走

50

査線を介して印加される行選択信号によりその画素が選択されたときに、上記の第1及び第2のスイッチングトランジスタをオン状態として第1のデータを書き込む。例えば、第1のデータが論理値「1」で、第2のデータが論理値「0」のとき、その画素が表示を行う。

【0004】

全ての画素に対して上記と同様の動作により各データの書き込み後、そのサブフレーム期間内で全画素の第3のスイッチングトランジスタをオン状態としてマスターラッチに書き込んだデータを同時に読み出してスレーブラッチへ読み出しスレーブラッチから液晶表示素子の画素電極にそのスレーブラッチでラッチしたデータを印加する。以下、各サブフレーム毎に上記の動作を繰り返し、1フレーム期間内の全てのサブフレームの組み合わせによって所望の階調表示を行う。

10

【0005】

すなわち、サブフレーム駆動方式の液晶表示装置においては、1フレーム期間内の全てのサブフレームは、その表示期間が同一又は異なる所定の期間に予め割り当てられており、各画素において最大階調表示時は全てのサブフレームにおいて表示を行い、最小階調表示時は全てのサブフレームにおいて非表示とし、それ以外の階調の場合は表示する階調に応じて表示するサブフレームを選択する。この従来の液晶表示装置は、入力されるデータが階調を示すデジタルデータであり、2段ラッチ構成のデジタル駆動方式でもある。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】特表2001-523847号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記の従来の液晶表示装置では、各画素内の2つのラッチはそれぞれ、スタティック・ランダム・アクセス・メモリ(SRAM)で構成されるため、トランジスタ数が多くなり、画素小型化が困難である。

【0008】

また、上記の画素において、通常、シフトレジスタなどを含んだシリコンバックプレーンを大規模半導体集積回路(LSI:Large Scale Integrated circuit)工程で作成するが、ウェハ作成後のプローブ検査において、画素検査が正常に行えない課題がある。画素検査を行う場合、列データ線にデータを入力してその入力データをSRAMに書き込んだ後、列データ線からSRAMに書き込まれたデータを読み出すが、このとき列データ線に溜まっていた電荷によってSRAMが書き換わってしまう可能性があるからである。

30

【0009】

特許文献2記載のものは2つの相補ビット線をもつ2スイッチ型のSRAMであるが、1つのビット線と1つのスイッチで構成される1スイッチ型のSRAMの場合を考える。

【0010】

例えば、フルハイビジョン(FHD)の液晶表示装置の場合、画面縦方向の画素数は1080画素あり、各列データ線の容量は1pF程度になる。例えば列データ線がLレベルで0V、列データ線に接続されたスイッチングトランジスタと共にSRAMを構成する、一方の入力端子が他方の出力端子に接続された2つのインバータのうち、上記スイッチングトランジスタに接続された一方のインバータの入力端子の電圧がHレベルで3.3Vとすると、上記スイッチングトランジスタをオンした時にそのスイッチングトランジスタに出力端子が接続された他方のインバータを構成しているPチャネルMOS型電界効果トランジスタ(以下、PMOSTランジスタという)から上記の1pF程度の電荷容量で充電される。

40

【0011】

このとき、上記の他方のインバータを構成しているトランジスタの駆動力は、上記の一

50

方のインバータを構成しているトランジスタの駆動力よりも小さいため、充電時間が長くなり、充電しきれずに上記の一方のインバータの入力端子の電圧がその反転電圧を下回ってしまい、上記の一方のインバータの入力端子の電圧（すなわち、SRAMの書き込まれるべきデータ）が書き換わってしまう。このため、SRAMのデータを列データ線に出力することができず、正確な画素検査が行えないことになる。

【0012】

本発明は以上の点に鑑みなされたもので、画素内に2つのSRAMを用いた画素に比べて画素小型化を可能にすると共に、画素検査を正確に行い得る液晶表示装置及びその画素検査方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するため、第1の発明の液晶表示装置は、複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する2つの画素を一組としたとき、各組の2つの画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、行走査線に接続されており、映像信号の各フレームを映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に列データ線を介してサンプリングする第1のスイッチング手段と、第1のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、第1のスイッチング手段によりサンプリングされたサブフレームデータを記憶する第1の信号保持手段と、を別々に備え

ると共に、2つの画素内の第1の信号保持手段と画素電極との接続点同士を接続又は非接続とする第2のスイッチング手段を共通に備え、
第2のスイッチング手段を画素書き込み及び読み出し時にオフに制御し、画素検査時にオンに制御する切替制御手段と、画素書き込み及び読み出し時に、画像表示部を構成する複数の画素のうち、行単位の画素毎にサブフレームデータを第1の信号保持手段に書き込み、その書き込んだデータを画素電極に印加する動作をサブフレーム毎に行う画素制御手段と、画素検査時に、各組の2つの画素のうち一方の画素に接続された第1の列データ線から一方の画素に検査信号を入力して、各組の2つの画素のうち他方の画素を経由して他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、第2の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行う検査制御手段とを有することを特徴とする。

【0014】

また、上記の目的を達成するため、第2の発明の液晶表示装置は、同じ行走査線に接続された各組の隣接する2つの画素のそれぞれは、

第1の信号保持手段に記憶されたサブフレームデータを出力させる第3のスイッチング手段と、第3のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、第3のスイッチング手段を通して供給される第1の信号保持手段に記憶されたサブフレームデータで記憶内容が書き換えられ、出力データを画素電極に印加する第2の信号保持手段とを更に別々に備え

ると共に、第2のスイッチング手段は、2つの画素内の第2の信号保持手段と画素電極との接続点同士を接続又は非接続とする構成とされ、
画素制御手段は、画素書き込み及び読み出し時に、画像表示部を構成する複数の画素のうち、行単位の画素毎にサブフレームデータを第1の信号保持手段に書き込むことを繰り返して複数の画素の全てに書き込んだ後、トリガパルスにより複数の画素全ての第3のスイッチング手段をオンにして、第1の信号保持手段に記憶されたサブフレームデータにより複数の画素の第2の信号保持手段の記憶内容を書き換える動作をサブフレーム毎に行い、

検査制御手段は、画素検査時に、第3のスイッチング手段をオンに制御すると共に、各組の2つの画素のうち一方の画素に接続された第1の列データ線から一方の画素に検査信号を入力して、各組の2つの画素のうち他方の画素を経由して他方の画素に接続された第

10

20

30

40

50

2の列データ線に読み出す第1の検査動作と、第2の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行うことを特徴とする。

【0015】

また、上記の目的を達成するため、第3の発明の液晶表示装置は、第1の発明に対し、電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と、各組の2つの画素のうち、一方の画素に接続された第1の列データ線と中間電圧発生手段との間に接続された第4のスイッチング手段と、各組の2つの画素のうち、他方の画素に接続された第2の列データ線と中間電圧発生手段との間に接続された第5のスイッチング手段と、を更に備え、検査制御手段は、画素検査時に、第5のスイッチング手段をオンにして第2の列データ線を介して他方の画素に中間電圧を印加してプリチャージした状態において、第1の列データ線から一方の画素に検査信号を入力した後、第5のスイッチング手段をオフにした状態で他方の画素から第2の列データ線に信号を読み出す第1の検査動作と、第4のスイッチング手段をオンにして第1の列データ線を介して一方の画素に中間電圧を印加してプリチャージした状態において、第2の列データ線から他方の画素に検査信号を入力した後、第4のスイッチング手段をオフにした状態で一方の画素から第1の列データ線に信号を読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行うことを特徴とする。

10

【0016】

また、上記の目的を達成するため、第4の発明の液晶表示装置は、第2の発明に対し、電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と、各組の2つの画素のうち、一方の画素に接続された第1の列データ線と中間電圧発生手段との間に接続された第4のスイッチング手段と、各組の2つの画素のうち、他方の画素に接続された第2の列データ線と中間電圧発生手段との間に接続された第5のスイッチング手段と、を更に備え、検査制御手段は、画素検査時に、第5のスイッチング手段をオンにして第2の列データ線を介して他方の画素に中間電圧を印加してプリチャージした状態において、第3のスイッチング手段をオンに制御すると共に、第1の列データ線から一方の画素に検査信号を入力した後、第5のスイッチング手段をオフにした状態で他方の画素から第2の列データ線に信号を読み出す第1の検査動作と、第4のスイッチング手段をオンにして第1の列データ線を介して一方の画素に中間電圧を印加してプリチャージした状態において、第3のスイッチング手段をオンに制御すると共に、第2の列データ線から他方の画素に検査信号を入力した後、第4のスイッチング手段をオフにした状態で一方の画素から第1の列データ線に信号を読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行うことを特徴とする。

20

30

【0017】

また、上記の目的を達成するため、第5の発明の液晶表示装置の画素検査方法は、複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する2つの画素を一組としたとき、各組の2つの画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、行走査線に接続されており、映像信号の各フレームを映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に列データ線を介してサンプリングする第1のスイッチング手段と、第1のスイッチング手段と共にスタティック・ランダム・アクセス・メモリを構成しており、第1のスイッチング手段によりサンプリングされたサブフレームデータを記憶する第1の信号保持手段と、を別々に備えると共に、2つの画素内の第1の信号保持手段と画素電極との接続点同士を接続又は非接続とする第2のスイッチング手段を共通に備える液晶表示装置の画素検査時に、

40

第2のスイッチング手段をオンに制御する切替制御ステップと、各組の2つの画素のうち一方の画素に接続された第1の列データ線から一方の画素に検査信号を入力して、各組の2つの画素のうち他方の画素を経由して他方の画素に接続された第2の列データ線に読

50

み出す第 1 の検査動作と、第 2 の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第 1 の列データ線に読み出す第 2 の検査動作とを、各行の画素単位で全ての複数の画素について交互に行う検査制御ステップとを含むことを特徴とする。

【0018】

また、上記の目的を達成するため、第 6 の発明の液晶表示装置の画素検査方法は、同じ行走査線に接続された各組の隣接する 2 つの画素のそれぞれは、第 1 の信号保持手段に記憶されたサブフレームデータを出力させる第 3 のスイッチング手段と、第 3 のスイッチング手段と共にダイナミック・ランダム・アクセス・メモリを構成しており、第 3 のスイッチング手段を通して供給される第 1 の信号保持手段に記憶されたサブフレームデータで記憶内容が書き換えられ、出力データを画素電極に印加する第 2 の信号保持手段とを更に別々に備えると共に、第 2 のスイッチング手段は、2 つの画素内の第 2 の信号保持手段と画素電極との接続点同士を接続又は非接続とする構成とされた液晶表示装置の画素検査時に

10

第 2 のスイッチング手段をオンに制御する切替制御ステップと、第 3 のスイッチング手段をオンに制御すると共に、各組の 2 つの画素のうち一方の画素に接続された第 1 の列データ線から一方の画素に検査信号を入力して、各組の 2 つの画素のうち他方の画素を経由して他方の画素に接続された第 2 の列データ線に読み出す第 1 の検査動作と、第 2 の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第 1 の列データ線に読み出す第 2 の検査動作とを、各行の画素単位で全ての複数の画素について交互に行う検査制御ステップとを含むことを特徴とする。

20

【発明の効果】

【0019】

本発明によれば、画素内に 2 つの S R A M を用いた従来の液晶表示装置に比べて画素の小型化を可能にできる。また、本発明によれば、同じ行走査線に接続された隣接する 2 つの画素を一組として画素検査を行うことで画素検査を正確に行うことができる。

【図面の簡単な説明】

【0020】

【図 1】本発明の液晶表示装置の一実施の形態の全体構成図である。

【図 2】本発明の液晶表示装置の同じ行走査線に接続された隣接する 2 画素の第 1 の実施の形態の回路図である。

30

【図 3】インバータの一例の回路図である。

【図 4】図 2 に示す一画素の一例の断面構造図である。

【図 5】本発明の液晶表示装置における画素の書き込み / 読み出し動作説明用タイミングチャートである。

【図 6】液晶表示装置の液晶の飽和電圧および液晶の閾値電圧を、2 値重みつきパルス幅変調データとして多重化する説明図である。

【図 7】図 2 の 2 画素におけるインバータ間の駆動力の大小関係を説明する回路図である。

【図 8】図 2 の 2 画素における要部の各動作を説明する図である。

【図 9】図 1 及び図 2 の画素検査時の動作説明用タイミングチャートである。

40

【図 10】本発明の液晶表示装置の同じ行走査線に接続された隣接する 2 画素の第 2 の実施の形態の回路図である。

【発明を実施するための形態】

【0021】

以下、図面を用いて本発明の実施形態について説明する。

【0022】

図 1 は、本発明になる液晶表示装置の一実施の形態のブロック図を示す。同図において、本実施の形態の液晶表示装置 10 は、複数の画素 12 A 及び画素 12 B が規則的に配置された画像表示部 11 と、スイッチ S W A 及び S W B と、タイミングジェネレータ 14 と、垂直シフトレジスタ 15 と、データラッチ回路 16 と、水平ドライバ 17 と、所定の中

50

間電圧を配線midへ出力する中間電圧発生部18と、奇数番目の列データ線dodに接続された入力スイッチ（書き込み側スイッチ）19A1及び出力スイッチ（読み出し側スイッチ）19A2と、偶数番目の列データ線devに接続された入力スイッチ（書き込み側スイッチ）19B1及び出力スイッチ（読み出し側スイッチ）19B2と、バッファアンプ20と、画素読み出し用シフトレジスタ21とから構成される。水平ドライバ17は、水平シフトレジスタ171と、ラッチ回路172と、レベルシフト/画素ドライバ173とから構成される。また、画素読み出し用シフトレジスタ21は、1行分の画素数の半分の画素数分の容量のシフトレジスタである。

【0023】

画像表示部11は、垂直シフトレジスタ15に一端が接続されて行方向（X方向）に延在するm本（mは2以上の自然数）の行走査線g1~gmと、レベルシフト/画素ドライバ173に一端が接続されて列方向（Y方向）に延在するn本（nは2以上の自然数）の列データ線d1~dnとが交差する各交差部に設けられ、二次元マトリクス状に配置された、それぞれ（m×n）/2個ずつの画素12A及び12Bを有する。画素12Aと画素12Bとは、同じ行走査線に接続された隣接する2つの画素である。これらの隣接する2つの画素12A及び画素12Bには、後述するように一つのスイッチが共通に設けられている。本発明は画素12A及び画素12Bの回路構成に特徴があり、その各実施の形態については後述する。画像表示部11内の全ての画素12A及び12Bは、一端がタイミングジェネレータ14に接続されたトリガ線trig及びtrigbと、検査制御線pir及びpirbに共通接続されている。

10

20

【0024】

正転トリガパルス用トリガ線trigが伝送する正転トリガパルスと、反転トリガパルス用トリガ線trigbが伝送する反転トリガパルスとは、常に逆論理値の関係（相補的な関係）にある。同様に、検査制御線pirが伝送する正転検査制御信号と検査制御線pirbが伝送する反転検査信号とは逆論理値の関係（相補的な関係）にある。ただし、正転検査制御信号及び反転検査制御信号はいずれも通常の画素書き込み及び読み出し時には、所定論理値に固定され、画素検査時のみ使用される。

【0025】

タイミングジェネレータ14は、上位装置22から垂直同期信号Vst、水平同期信号Hst、基本クロックCLKといった外部信号を入力信号として受け、これらの外部信号に基づいて、交流化信号FR、VスタートパルスVST、HスタートパルスHST、クロック信号VCK及びHCK、ラッチパルスLT、トリガパルス、検査制御信号、スイッチ制御信号Tlatod、Tlatodb、Tlatev、Tlatevbなどの各種の内部信号を生成する。

30

【0026】

上記の内部信号のうち、交流化信号FRは、1サブフレーム毎に極性反転する信号であり、画像表示部11を構成する画素12A及び画素12B内の液晶表示素子の共通電極に、後述する共通電極電圧Vcomとして供給される。スタートパルスVSTは、後述する各サブフレームの開始タイミングに出力されるパルス信号であり、このスタートパルスVSTによって、サブフレームの切替わりが制御される。スタートパルスHSTは、水平シフトレジスタ171に入力する開始タイミングに出力されるパルス信号である。クロック信号VCKは、垂直シフトレジスタ15における1水平走査期間（1H）を規定するシフトクロックであり、VCKのタイミングで垂直シフトレジスタ15がシフト動作を行う。クロック信号HCKは、水平シフトレジスタ171におけるシフトクロックであり、32ビット幅でデータをシフトしていくための信号である。

40

【0027】

ラッチパルスLTは、水平シフトレジスタ171が水平方向の1行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。また、タイミングジェネレータ14は、正転トリガパルスをトリガ線trigを通して、また反転トリガパルスをtrigbを通して画像表示部11内の全画素12A及び12Bに供給する。正転トリガパルスと反転トリガパルスとは、サブフレーム期間内で画像表示部11内の各画素12A及び12

50

B内の第1の信号保持手段に順次データを書き込み終わった直後に出力され、そのサブフレーム期間内で画像表示部11内の全画素12A及び12Bの第1の信号保持手段のデータを同じ画素内の第2の信号保持手段に一度に転送する。

【0028】

また、タイミングジェネレータ14は、正転検査制御信号を検査制御線pirを通して、反転検査制御信号を検査制御線pirbを通して隣接する画素12A及び12Bに共通に設けられたスイッチへ出力する。更に、タイミングジェネレータ14は、制御信号Tlatodb及びTlatevbを出力して、入力スイッチ19A1及び19B1を通常の画素書き込み及び読み出し時にはオン状態に固定し、画素検査時には一方をオン、他方をオフに制御する。更に、タイミングジェネレータ14は、制御信号Tlatod及びTlatevを出力して、出力スイッチ19A2及び19B2を通常の画素書き込み及び読み出し時にはオフ状態に固定し、画素検査時には一方をオン、他方をオフに制御する。

10

【0029】

垂直シフトレジスタ15は、それぞれのサブフレームの最初に供給されるVスタートパルスVSTを、クロック信号VCKに従って転送し、行走査線g1~gmに対して行走査線を1H単位で順次排他的に供給し、1フレーム期間では全ての行走査線g1~gmに行走査線を供給する。これにより、1フレーム期間において、画像表示部11において最も上にある行走査線g1から最も下にある行走査線gmまで、行走査線が1本ずつ順次1H単位で選択されていく。

【0030】

データラッチ回路16は、図示しない外部回路から供給される1サブフレーム毎に分割された32ビット幅のデータを、上位装置22からの基本信号CLKに基づいてラッチした後、基本信号CLKに同期して水平シフトレジスタ171へ出力する。ここで、映像信号の1フレームを、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割してサブフレームの組み合わせによって階調表示を行う本実施の形態では、上記の外部回路は映像信号の各画素毎の階調を示す階調データを、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の1ビットのサブフレームデータに変換する。そして、上記外部回路は、更に同じサブフレームにおける32画素分の上記サブフレームデータをまとめて上記32ビット幅のデータとしてデータラッチ回路16に供給している。

20

30

【0031】

水平シフトレジスタ171は、1ビットシリアルデータの処理系でみた場合、タイミングジェネレータ14から1Hの最初に供給されるHスタートパルスHSTによりシフトを開始し、データラッチ回路16から供給される32ビット幅のデータをクロック信号HCKに同期してシフトする。ラッチ回路172は、水平シフトレジスタ171が画像表示部11の1行分の画素数nと同じnビット分のデータをシフトし終わった時点でタイミングジェネレータ14から供給されるラッチパルスLTに従って、水平シフトレジスタ171から並列に供給されるnビット分のデータ(すなわち、同じ行のn画素分のサブフレームデータ)をラッチし、レベルシフト/画素ドライバ173のレベルシフトへ出力する。ラッチ回路172へのデータ転送が終了すると、タイミングジェネレータ14からHスタートパルスが再び出力され、水平シフトレジスタ171はクロック信号HCKに従ってデータラッチ回路16からの32ビット幅のデータのシフトを再開する。

40

【0032】

レベルシフト/画素ドライバ173のレベルシフトは、ラッチ回路172によりラッチされて供給される1行のn画素に対応したn個のサブフレームデータの信号レベルを液晶駆動電圧までレベルシフトする。レベルシフト/画素ドライバ173の画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータをn本の列データ線d1~dnに並列に出力する。

【0033】

水平ドライバ17を構成する水平シフトレジスタ171、ラッチ回路172及びレベル

50

シフト/画素ドライバ173は、1H内において今回データを書き込む画素行に対するデータの出力と、次の1H内でデータを書き込む画素行に関するデータのシフトとを並行して行う。ある水平走査期間において、ラッチされた1行分のn個のサブフレームデータが、データ信号としてそれぞれn本の列データ線d1~dnに並列に、かつ、一斉に出力される。

【0034】

ここで、列データ線d1~dnは、画素検査時は隣接する2本の列データ線単位で用いられる。隣接する2本の列データ線のうち奇数番目の一方の列データ線をdod、偶数番目の他方の列データ線をdevとしたとき、列データ線dodは入力スイッチ19A1を介してレベルシフト/画素ドライバ173からのデータ信号を画像表示部11内の画素12Aへ供給し、また画素12Aから列データ線dodを介して出力される検査信号を出力スイッチ19A2へ供給する。また、列データ線devは入力スイッチ19B1を介してレベルシフト/画素ドライバ173からのデータ信号を画像表示部11内の画素12Bへ供給し、また画素12Bから列データ線devを介して出力される検査信号を出力スイッチ19B2へ供給する。

10

【0035】

画像表示部11を構成する複数の画素12A及び12Bのうち、垂直シフトレジスタ15からの行走査信号により選択された1行のn/2個ずつの画素12A及び画素12Bは、レベルシフト/画素ドライバ173から一斉に出力された1行分のn個のサブフレームデータをn本のデータ線d1~dn及び入力スイッチ19A1、19B1を介してサンプリングして各画素12A及び画素12B内の後述する第1の信号保持手段に書き込む。

20

【0036】

次に、本発明の液晶表示装置の要部の画素12A及び画素12Bの各実施の形態について詳細に説明する。

【0037】

(第1の実施の形態)

図2は、本発明の液晶表示装置の要部である画素の第1の実施の形態の等価回路を周囲の回路と共に示す。同図において、画素12A及び画素12Bは図1中の任意の同じ1本の行走査線gに接続された、列方向に隣接する2つの画素で、画素12Aは任意の1本の列データ線d1(これはdodでもある)と1本の行走査線gとの交差部に設けられ、画素12Bは上記列データ線d1に隣接する列データ線d2(これはdevでもある)と行走査線gとの交差部に設けられている。また、画素12Aは、第1のスイッチSWA及び列データ線d1を介して後述する中間電圧が供給される。画素12Bは、第2のスイッチSWB及び列データ線d2を介して中間電圧が供給される。スイッチSWA及びSWBは、それぞれ1個のスイッチングトランジスタにより構成されている。

30

【0038】

画素12Aは、第1のスイッチング手段を構成するスイッチSW11と第1の信号保持手段(SM)121とから構成されるスタティック・ランダム・アクセス・メモリ(SRAM)と、第2のスイッチング手段を構成するスイッチSW12と第2の信号保持手段である容量C11とから構成されるダイナミック・ランダム・アクセス・メモリ(DRAM)122と、液晶表示素子LC1とを有している。また、画素12Bは、第1のスイッチング手段を構成するスイッチSW21と第1の信号保持手段(SM)123とから構成されるスタティック・ランダム・アクセス・メモリ(SRAM)と、第2のスイッチング手段を構成するスイッチSW22と第2の信号保持手段である容量C21とから構成されるダイナミック・ランダム・アクセス・メモリ(DRAM)124と、液晶表示素子LC2とを有している。更に、画素12A及び画素12Bは、第3のスイッチング手段を構成するスイッチSW3を共通に有している。液晶表示素子LC1及びLC2は、離間対向配置された光反射特性を有する画素電極である反射電極PE1、PE2と、光透過性を有する共通電極CEとの間の空間に、液晶LCM1、LCM2が充填封入された公知の構造である。

40

50

【 0 0 3 9 】

スイッチ S W 1 1 及び S W 2 1 は、ゲートが行走査線 g に共通に接続され、ドレインが列データ線 d 1、d 2 に別々に接続され、ソースが S M 1 2 1、1 2 3 の入力端子に別々に接続されている各 1 個の N チャネル M O S 型トランジスタ（以下、N M O S トランジスタという）により構成されている。S M 1 2 1 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 1 1 及び I N V 1 2 からなる自己保持型メモリであり、同様に S M 1 2 3 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 2 1 及び I N V 2 2 からなる自己保持型メモリである。

【 0 0 4 0 】

インバータ I N V 1 1 は、その入力端子がインバータ I N V 1 2 の出力端子と S W 1 1 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 1 2 は、その入力端子がスイッチ S W 1 2 とインバータ I N V 1 1 の出力端子とに接続されている。同様に、インバータ I N V 2 1 は、その入力端子がインバータ I N V 2 2 の出力端子と S W 2 1 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 2 2 は、その入力端子がスイッチ S W 2 2 とインバータ I N V 2 1 の出力端子とに接続されている。

10

【 0 0 4 1 】

インバータ I N V 1 1、I N V 1 2、I N V 2 1 及び I N V 2 2 は、いずれも図 3 に示すような、互いのゲート同士及びドレイン同士が接続された、P チャネル M O S 型トランジスタ（以下、P M O S トランジスタという）P T r 及び N M O S トランジスタ N T r とからなる公知の C M O S インバータの構成であるが、それぞれの駆動力が異なる。

20

【 0 0 4 2 】

すなわち、スイッチ S W 1 1、S W 2 1 から見て S M 1 2 1、S M 1 2 3 を構成している入力側のインバータ I N V 1 1、I N V 2 1 内のトランジスタは、スイッチ S W 1 1、S W 2 1 から見て S M 1 2 1、S M 1 2 3 を構成している出力側のインバータ I N V 1 2、I N V 2 2 内のトランジスタに比較して、駆動力の大きいトランジスタを用いている。さらにスイッチ S W 1 1、S W 2 1 を構成している N M O S トランジスタの駆動力は、インバータ I N V 1 2、I N V 2 2 を構成している N M O S トランジスタの駆動力よりも大きいトランジスタで構成されている。

【 0 0 4 3 】

これは、スイッチ S W 1 1、S W 2 1 の入力側の電圧が “ H ” レベルのときにインバータ I N V 1 1、I N V 2 1 の入力側のトランジスタが反転する電圧以上に達するためには、スイッチ S W 1 1、S W 2 1 に流れる電流が、出力側のインバータ I N V 1 2、I N V 2 2 のトランジスタを構成する N M O S トランジスタを流れる電流よりも大きい必要があるためである。従って、スイッチ S W 1 1、S W 2 1 を構成している N M O S トランジスタの駆動力はインバータ I N V 1 2、I N V 2 2 を構成している N M O S トランジスタの駆動力よりも大きく構成するため、これを考慮してスイッチ S W 1 1、S W 2 1 を構成している N M O S トランジスタのトランジスタサイズと、インバータ I N V 1 2、I N V 2 2 を構成している N M O S トランジスタのトランジスタサイズとを決める必要がある。

30

【 0 0 4 4 】

スイッチ S W 1 2、S W 2 2 は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続された N M O S トランジスタと P M O S トランジスタとからなる公知のトランスミッションゲートの構成とされている。N M O S トランジスタのゲートは正転トリガパルス用トリガ線 trig に接続され、P M O S トランジスタのゲートは反転トリガパルス用トリガ線 trig b に接続されている。

40

【 0 0 4 5 】

また、スイッチ S W 1 2、S W 2 2 は一方の端子が S M 1 2 1、S M 1 2 3 に接続され、他方の端子が容量 C 1 1、容量 C 2 1 と液晶表示素子 L C 1、L C 2 の反射電極 P E 1、P E 2 とにそれぞれ接続されている。従って、スイッチ S W 1 2、S W 2 2 はトリガ線 trig を介して供給される正転トリガパルスが “ H ” レベル（このときは、トリガ線 trig b

50

を介して供給される反転トリガパルスは“L”レベル)のときはオンとされ、SM121、SM123の記憶データを読み出して容量C11、C21及び反射電極PE1、PE2へ転送する。また、スイッチSW12、SW22はトリガ線trigを介して供給される正転トリガパルスが“L”レベル(このときは、トリガ線trigbを介して供給される反転トリガパルスは“H”レベル)のときはオフとされ、SM121、SM123の記憶データの読み出しは行わない。

【0046】

スイッチSW12、SW22は公知のトランスマッションゲートの構成とされているため、GNDからVDDまでの範囲の電圧をオン、オフすることができる。つまり、トランスマッションゲートを構成するNMOSTランジスタとPMOSTランジスタの各ゲートに印加される信号がGND側の電位(“L”レベル)のときは、PMOSTランジスタが導通することができない代わりに、NMOSTランジスタが低抵抗で導通することができる。一方、ゲート入力信号がVDD側の電位(“H”レベル)のときはNMOSTランジスタが導通することができない代わりに、PMOSTランジスタが低抵抗で導通することができる。従って、トリガ線trigを介して供給される正転トリガパルスと、トリガ線trigbを介して供給される反転トリガパルスとにより、スイッチSW12、SW22を構成するトランスマッションゲートをオン/オフ制御することによって、GNDからVDDまでの電圧範囲を低抵抗、高抵抗でスイッチングすることができる。

【0047】

容量C11はスイッチSW12と共にDRAM122を構成しており、容量C21はスイッチSW22と共にDRAM124を構成している。ここで、SM121、SM123の記憶データと容量C11、容量C21の保持データとが異なっていた場合、スイッチSW12、SW22がオンとされ、SM121、SM123の記憶データが容量C11、容量C21へ転送されたときには、容量C11、容量C21の保持データをSM121、SM123の記憶データで置き換える必要がある。

【0048】

容量C11、容量C21の保持データが書き換わる場合、その保持データは充電、または放電によって変化し、また容量C11の充放電はインバータINV11の出力信号によって、容量C21の充放電はインバータINV21の出力信号によってそれぞれ駆動される。容量C11、容量C21の保持データを充電によって“L”レベルから“H”レベルに書き換える場合、インバータINV11、INV21の出力信号は“H”であり、このときINV11、INV21を構成するPMOSTランジスタ(図3のPTr)がオン、NMOSTランジスタ(図3のNTr)がオフするため、インバータINV11、INV21のPMOSTランジスタのソースに接続されている電源電圧VDDによって容量C11、容量C21が充電される。

【0049】

一方、容量C11、容量C21の保持データを放電によって“H”レベルから“L”レベルに書き換える場合、インバータINV11、INV21の出力信号は“L”レベルであり、このときインバータINV11、INV21を構成するNMOSTランジスタ(図3のNTr)がオン、PMOSTランジスタ(図3のPTr)がオフするため、容量C11、容量C21の蓄積電荷がインバータINV11、INV21のNMOSTランジスタ(図3のNTr)を通してGNDへ放電される。スイッチSW12、SW22は、上述したトランスマッションゲートを用いたアナログスイッチの構成であるため、上記の容量C11、容量C21の高速な充放電が可能になる。

【0050】

更に、本実施の形態ではインバータINV11、INV21の駆動力は、インバータINV12、INV22の駆動力よりも大きく設定されているため、容量C11、容量C21を高速に充放電駆動することが可能である。また、スイッチSW12、SW22をオンにすると、容量C11、容量C21に蓄えられた電荷はインバータINV12、INV22の入力ゲートにも影響を与えるが、インバータINV12、INV22に対してインバ

10

20

30

40

50

ータINV11、INV21の駆動力を大きく設定していることにより、インバータINV12、INV22のデータ入力反転よりもインバータINV11、INV21による容量C11、容量C21の充放電が優先され、SM121、SM123の記憶データを書き換えてしまうことはない。

【0051】

スイッチSW3は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続されたNMOSTランジスタとPMOSTランジスタとからなる公知のトランスミッションゲートの構成とされている。SW3を構成するトランスミッションゲートの制御端子であるNMOSTランジスタのゲートは正転検査制御信号用配線pirに接続され、PMOSTランジスタのゲートは反転検査制御信号用配線pirbに接続されている。また、SW3を構成するトランスミッションゲートの2つの端子のうち一方の端子であるNMOSTランジスタ及びPMOSTランジスタのドレイン(又はソース)は、容量C11及び反射電極PE1に接続され、他方の端子であるNMOSTランジスタ及びPMOSTランジスタのソース(又はドレイン)は、容量C21及び反射電極PE2に接続されている。

10

【0052】

図2に示した本実施の形態の画素12A及び画素12Bによれば、上記のように、液晶表示素子LC1及びLC2の印加電圧を高く設定することができ、ダイナミックレンジを大きく取ることが可能になるという効果だけではなく、画素の小型化が可能であるという大なる効果が得られる。この2つの画素12A及び12Bの小型化は、図2に示したように計16個のトランジスタと2つの容量C11及びC21とから構成され、従来の2つの画素よりも少ない数の構成素子により画素を構成できるからという理由に加えて、以下に説明するように、SM121、SM123、DRAM122、124、反射電極PE1、PE2を、素子の高さ方向に有効に配置することができるという理由による。

20

【0053】

図4は、本発明になる液晶表示装置の画素の要部の一実施の形態の断面構成図を示す。図2に示した容量C11や容量C21には、配線間で容量を形成するMIM(Metal-Insulator-Metal)容量や、基板-ポリシリコン間で容量を形成するDiffusion容量、2層ポリシリコン間で容量を形成するPIP(Poly-Insulator-Poly)容量などを用いることができる。図4は、このうちMIMにより容量C11を構成した場合の液晶表示装置の断面構成図を示す。なお、図4は画素12Aの一部の構成断面図を示している。

30

【0054】

図4において、シリコン基板100に形成されたNウェル101上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV11のPMOSTランジスタPTr11と、スイッチSW12のPMOSTランジスタTr2とが形成されている。また、シリコン基板100に形成されたPウェル102上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV12のNMOSTランジスタNTr12と、スイッチSW12のNMOSTランジスタTr1とが形成されている。なお、図4にはインバータINV11を構成するNMOSTランジスタとインバータINV12を構成するPMOSTランジスタとは図示されていない。

40

【0055】

また、上記の各トランジスタPTr11、Tr2、Tr1、NTr12の上方には、層間絶縁膜105をメタル間に介在させて第1メタル106、第2メタル108、第3メタル110、電極112、第4メタル114、第5メタル116が積層されている。第5メタル116は画素毎に形成される反射電極PEを構成している。スイッチSW12を構成するNMOSTランジスタTr1及びPMOSTランジスタTr2の各ソースを構成する各拡散層は、コンタクト118により第1メタル106にそれぞれ電氣的に接続され、更に、スルーホール119a、119b、119c、119eを通して第2メタル108、第3メタル110、第4メタル114、第5メタル116に電氣的に接続されている。すなわち、スイッチSW12を構成するNMOSTランジスタTr1及びPMOSTランジスタTr2の各ソースは、反射電極PEに電氣的に接続されている。

50

【0056】

更に、反射電極PE（第5メタル116）上には保護膜としてパッシベーション膜（PSV）117が形成され、透明電極である共通電極CEに離間対向配置されている。それら画素電極PE1と共通電極CEとの間に液晶LCM1が充填封止されて、液晶表示素子LC1を構成している。

【0057】

ここで、第3メタル110上には層間絶縁膜105を介して電極112が形成されている。この電極112は、第3メタル110及び第3メタル110との間の層間絶縁膜105と共に容量C11を構成している。MIMにより容量C11を構成すると、SM121とスイッチSW11、スイッチSW12はトランジスタと第1メタル106及び第2メタル108の1, 2層配線、DM122はトランジスタ上部の第3メタル110を利用したMIM配線にて形成することが可能になる。電極112は、スルーホール119dを介して第4メタルに電氣的に接続され、更に第4メタル114はスルーホール119eを介して反射電極PE1に電氣的に接続されているため、容量C11は反射電極PE1に電氣的に接続されている。

10

【0058】

図示しない光源からの光は、共通電極CE及び液晶LCM1を透過して反射電極PE1（第5メタル116）に入射して反射され、元の入射経路を逆進して共通電極CEを通して出射される。

【0059】

本実施の形態によれば、図4に示すように、5層配線である第5メタル116を反射電極PE1に割り当てることにより、SM121とDM122、反射電極PE1を高さ方向に有効に配置することが可能になり、画素小型化が実現できる。これにより、例えば3 μ m以下のピッチの画素を電源電圧3.3Vのトランジスタで構成できる。この3 μ mピッチの画素では対角の長さ0.55インチの横方向4000画素、縦方向2000画素の液晶表示パネルを実現できる。

20

【0060】

次に、本実施の形態の画素12A及び画素12Bを用いた図1の液晶表示装置10のデータ書き込み及び読み出し動作について、図5のタイミングチャートを併せ参照して説明する。なお、データの書き込み及び読み出し動作時には、図2のスイッチSW3はオフとされるので、画素12Aと画素12Bとは切り離されてそれぞれ互いに独立して動作を行う。また、スイッチSWA及びSWBはタイミングジェネレータ14からの制御信号によりデータの書き込み及び読み出し動作時にはオフとされるため、画素12A及び12Bには中間電圧は供給されない。

30

【0061】

前述したように、図1の液晶表示装置10において、垂直シフトレジスタ15からの行走査信号により行走査線g1から行走査線gmに向って、行走査線が1本ずつ順次1H単位で選択されていくため、画像表示部11を構成する複数の画素12A及び12Bは、選択された行走査線に共通に接続された1行のn個の画素単位でデータの書き込みが行われる。そして、画像表示部11を構成する複数の画素12A及び12Bの全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。

40

【0062】

図5(A)は、水平ドライバ17から列データ線d1~dnに出力される1ビットのサブフレームデータの画素の書き込み期間及び読み出し期間を模式的に示す。左下がりの斜線が書き込み期間を示す。なお、図5(A)中、B0b、B1b、B2bはビットBO、B1、B2のデータの反転データであることを示す。また、図5(B)は、タイミングジェネレータ14から正転トリガパルス用トリガ線trigに出力されるトリガパルスを示す。このトリガパルスは1サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線trigbに出力される反転トリガパルスは正転トリガパルスと常に逆論理値であるのでその図示は省略してある。

50

【 0 0 6 3 】

まず、行走査信号により選択された 1 行の複数の画素 1 2 A 及び 1 2 B のうち、画素 1 2 A はスイッチ S W 1 1 がオンとされ、その時列データ線 d 1 に出力される図 5 (A) のビット B 0 の正転サブフレームデータがスイッチ S W 1 1 によりサンプリングされて S M 1 2 1 に書き込まれる。また、画素 1 2 B はスイッチ S W 2 1 がオンとされ、その時列データ線 d 2 に出力される図 5 (A) のビット B 0 の正転サブフレームデータがスイッチ S W 2 1 によりサンプリングされて S M 1 2 3 に書き込まれる。以下、同様にして、画像表示部 1 1 を構成する全ての画素の S M 1 2 1、S M 1 2 3 にビット B 0 のサブフレームデータの書き込みが行われ、その書き込み動作が終了した後の図 5 に示す時刻 T 1 で、図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素 1 2 A 及び 1 2 B に同時に供給される。

10

【 0 0 6 4 】

これにより、全ての画素 1 2 A 及び 1 2 B のスイッチ S W 1 2、S W 2 2 がオンとされるため、S M 1 2 1、S M 1 2 3 に記憶されているビット B 0 の正転サブフレームデータがスイッチ S W 1 2 を通して容量 C 1 1、C 2 1 に一斉に転送されて保持されると共に、反射電極 P E 1、P E 2 に印加される。この容量 C 1 1、C 2 1 によるビット B 0 の正転サブフレームデータの保持期間は、時刻 T 1 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 2 までの 1 サブフレーム期間である。図 5 (C) は、反射電極 P E 1、P E 2 に印加されるサブフレームデータのビットを模式的に示す。

20

【 0 0 6 5 】

ここで、サブフレームデータのビット値が「 1」、すなわち “ H ” レベルのときには反射電極 P E 1、P E 2 には電源電圧 V D D (ここでは 3.3 V) が印加され、ビット値が「 0」、すなわち “ L ” レベルのときには反射電極 P E 1、P E 2 には 0 V が印加される。一方、共通電極 C E には、G N D、V D D に制限されることなく、自由な電圧が共通電極電圧 V com として印加できるようになっており、“ H ” レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧 V com は、正転サブフレームデータが反射電極 P E 1、P E 2 に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V tt だけ低い電圧に設定される。

30

【 0 0 6 6 】

液晶表示素子 L C 1、L C 2 は、反射電極 P E 1、P E 2 の印加電圧と共通電極電圧 V com との差電圧の絶対値である液晶 L C M 1、L C M 2 の印加電圧に応じた階調表示を行う。従って、ビット B 0 の正転サブフレームデータが反射電極 P E 1、P E 2 に印加される時刻 T 1 ~ T 2 の 1 サブフレーム期間では、液晶 L C M 1、L C M 2 の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「 1」のときは $3.3 \text{ V} + V_{tt}$ ($= 3.3 \text{ V} - (-V_{tt})$) となり、サブフレームデータのビット値が「 0」のときは $+V_{tt}$ ($= 0 \text{ V} - (-V_{tt})$) となる。

【 0 0 6 7 】

図 6 は、液晶の印加電圧 (R M S 電圧) と液晶のグレースケール値との関係を示す。図 6 に示すように、グレースケール値曲線は黒のグレースケール値が液晶の閾値電圧 V tt の R M S 電圧に対応し、白のグレースケール値が液晶の飽和電圧 V sat ($= 3.3 \text{ V} + V_{tt}$) の R M S 電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶表示素子 L C は上記のように液晶 L C M の印加電圧が $(3.3 \text{ V} + V_{tt})$ のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

40

【 0 0 6 8 】

続いて、上記のビット B 0 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 0 b で示すようにビット B 0 の反転サブフレームデータの画素 1 2 A、1 2 B の S M 1 2 1、S M 1 2 3 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素の S M 1 2 1 及び S M 1 2 3 にビット B 0 の反転サブフレームデ

50

ータが書き込まれ、その書き込み終了後の時刻 T 2 で図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素に同時に供給される。

【 0 0 6 9 】

これにより、全ての画素 1 2 A 及び 1 2 B のスイッチ S W 1 2 、 S W 2 2 がオンとされるため、 S M 1 2 1 、 S M 1 2 3 に記憶されているビット B 0 の反転サブフレームデータがスイッチ S W 1 2 、 S W 2 2 を通して容量 C 1 1 、 C 2 1 に転送されて保持されると共に、反射電極 P E 1 、 P E 2 に印加される。この容量 C 1 1 、 C 2 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 2 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 3 までの 1 サブフレーム期間である。ここで、ビット B 0 の反転サブフレームデータはビット B 0 の正転サブフレームデータと常に逆論理値の関係にあるため、ビット B 0 の正転サブフレームデータが「 1 」のときは「 0 」、ビット B 0 の正転サブフレームデータが「 0 」のときは「 1 」である。

10

【 0 0 7 0 】

一方、共通電極電圧 V com は、反転サブフレームデータが反射電極 P E 1 、 P E 2 に印加されるサブフレーム期間は、図 5 (D) に示すように 3 . 3 V よりも液晶の閾値電圧 V t t だけ高い電圧に設定される。従って、ビット B 0 の反転サブフレームデータが反射電極 P E 1 、 P E 2 に印加される時刻 T 2 ~ T 3 の 1 サブフレーム期間では、液晶 L C M 1 、 L C M 2 の印加電圧は、サブフレームデータのビット値が「 1 」のときは $-V_{tt} (= 3.3 V - (3.3 V + V_{tt}))$ となり、サブフレームデータのビット値が「 0 」のときは $-3.3 V - V_{tt} (= 0 V - (3.3 V + V_{tt}))$ となる。

20

【 0 0 7 1 】

従って、ビット B 0 の正転サブフレームデータのビット値が「 1 」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「 0 」であるため、液晶 L C M 1 、 L C M 2 の印加電圧は、 $-(3.3 V + V_{tt})$ となり、液晶 L C M 1 、 L C M 2 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 A 、 1 2 B はビット B 0 の正転サブフレームデータ表示時と同じ白を表示する。同様に、ビット B 0 の正転サブフレームデータのビット値が「 0 」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「 1 」であるため、液晶 L C M 1 、 L C M 2 の印加電圧は、 $-V_{tt}$ となり、液晶 L C M 1 、 L C M 2 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 A 、 1 2 B は黒を表示する。

30

【 0 0 7 2 】

従って、画素 1 2 A 、 1 2 B は図 5 (E) に示すように、時刻 T 1 ~ 時刻 T 3 までの 2 サブフレーム期間は、ビット B 0 とビット B 0 の相補ビット B 0 b とで同じ階調を表示すると共に、液晶 L C M 1 、 L C M 2 の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 L C M 1 、 L C M 2 の焼き付きを防止することができる。

【 0 0 7 3 】

続いて、上記の相補ビット B 0 b の反転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 で示すようにビット B 1 の正転サブフレームデータの画素 1 2 A 、 1 2 B の S M 1 2 1 、 S M 1 2 3 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素 1 2 A 及び 1 2 B の S M 1 2 1 、 S M 1 2 3 にビット B 1 の正転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 3 で図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素に同時に供給される。

40

【 0 0 7 4 】

これにより、全ての画素のスイッチ S W 1 2 、 S W 2 2 がオンとされるため、 S M 1 2 1 、 S M 1 2 3 に記憶されているビット B 1 の正転サブフレームデータがスイッチ S W 1 2 、 S W 2 2 を通して容量 C 1 1 、 C 2 1 に転送されて保持されると共に、反射電極 P E 1 、 P E 2 に印加される。この容量 C 1 1 、 C 2 1 によるビット B 1 の正転サブフレームデータの保持期間は、時刻 T 3 から図 5 (B) に示すように次の “ H ” レベルの正転トリ

50

ガパルスが入力される時刻 T 4 までの 1 サブフレーム期間である。

【 0 0 7 5 】

一方、共通電極電圧 V_{com} は、正転サブフレームデータが反射電極 P E 1、P E 2 に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V_{tt} だけ低い電圧に設定される。従って、ビット B 1 の正転サブフレームデータが反射電極 P E 1、P E 2 に印加される時刻 T 3 ~ T 4 の 1 サブフレーム期間では、液晶 L C M 1、L C M 2 の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「 1 」のときは $3.3 V + V_{tt}$ ($= 3.3 V - (-V_{tt})$) となり、サブフレームデータのビット値が「 0 」のときは $+V_{tt}$ ($= 0 V - (-V_{tt})$) となる。

【 0 0 7 6 】

続いて、上記のビット B 1 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 b で示すようにビット B 1 の反転サブフレームデータの画素 1 2 A、1 2 B の S M 1 2 1、S M 1 2 3 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素の S M 1 2 1、S M 1 2 3 にビット B 1 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 4 で図 5 (B) に示すように“ H ”レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素に同時に供給される。

【 0 0 7 7 】

これにより、全ての画素 1 2 A、1 2 B のスイッチ S W 1 2、S W 2 2 がオンとされるため、S M 1 2 1、S M 1 2 3 に記憶されているビット B 1 の反転サブフレームデータがスイッチ S W 1 2、S W 2 2 を通して容量 C 1 1、C 2 1 に転送されて保持されると共に、反射電極 P E 1、P E 2 に印加される。この容量 C 1 1、C 2 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 4 から図 5 (B) に示すように次の“ H ”レベルの正転トリガパルスが入力される時刻 T 5 までの 1 サブフレーム期間である。ここで、ビット B 1 の反転サブフレームデータはビット B 1 の正転サブフレームデータと常に逆論理値の関係にある。

【 0 0 7 8 】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 P E 1、P E 2 に印加されるサブフレーム期間は、図 5 (D) に示すように 3.3 V よりも液晶の閾値電圧 V_{tt} だけ高い電圧に設定される。従って、ビット B 1 の反転サブフレームデータが反射電極 P E 1、P E 2 に印加される時刻 T 4 ~ T 5 の 1 サブフレーム期間では、液晶 L C M の印加電圧は、サブフレームデータのビット値が「 1 」のときは $-V_{tt}$ ($= 3.3 V - (3.3 V + V_{tt})$) となり、サブフレームデータのビット値が「 0 」のときは $-3.3 V - V_{tt}$ ($= 0 V - (3.3 V + V_{tt})$) となる。

【 0 0 7 9 】

これにより、画素 1 2 A 及び 1 2 B は図 5 (E) に示すように、時刻 T 3 ~ 時刻 T 5 までの 2 サブフレーム期間はビット B 1 とビット B 1 の相補ビット B 1 b とで同じ階調を表示すると共に、液晶 L C M の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 L C M の焼き付きを防止することができる。以下、上記と同様の動作が繰り返され、本実施の形態の画素 1 2 A 及び 1 2 B を有する液晶表示装置によれば、複数のサブフレームの組み合わせによって階調表示を行うことができる。

【 0 0 8 0 】

なお、ビット B 0 と相補ビット B 0 b の各表示期間は同じ第 1 のサブフレーム期間であり、また、ビット B 1 と相補ビット B 1 b の各表示期間も同じ第 2 のサブフレーム期間であるが、第 1 のサブフレーム期間と第 2 のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第 2 のサブフレーム期間は第 1 のサブフレーム期間の 2 倍に設定されている。また、図 5 (E) に示すように、ビット B 2 と相補ビット B 2 b の各表示期間である第 3 のサブフレーム期間は、第 2 のサブフレーム期間の 2 倍に設定されている。他のサブフレーム期間についても同様であり、システムに従って各サブフレーム期間の長さが所定の長さ決められ、またサブフレーム数も任意の数に決定される。

【 0 0 8 1 】

10

20

30

40

50

次に、本発明の要部の画素の検査動作について説明する。

【0082】

画素検査は、ウェハ作成後に、液晶表示装置の良否判定のために行われる。この画素検査時には、タイミングジェネレータ14から配線pirにHレベルの検査制御信号が出力され、配線pirbにLレベルの反転検査制御信号が出力されて、スイッチSW3を構成するトランSM123がオンとされる。これにより、相隣る2つの画素12A及び12Bの反射電極PE1及びPE2がスイッチSW3を介して電氣的に接続された状態となる。

【0083】

そして、列データ線d1から入力スイッチ19A1を介して1ビットの検査信号を画素12Aに書き込み、画素12Bを通して列データ線d2へ画素12Aに書き込んだ検査信号を読み出した後、出力スイッチ19A2、19B2を介して供給される列データ線d1、d2の各信号を比較することで、画素12A及び12Bの良否判定を行う。また、それとは逆に、列データ線d2から入力スイッチ19B1を介して1ビットの検査信号を画素12Bに書き込み、画素12Aを通して列データ線d1へ画素12Bに書き込んだ検査信号を読み出した後、出力スイッチ19A2、19B2を介して供給される列データ線d1、d2の各信号を比較することで、画素12A及び12Bの良否判定を行う。ただし、後述するように、列データ線d1から検査信号を画素12Aに書き込む前にスイッチSWAを通して中間電圧を画素12Aに書き込み、列データ線d2から検査信号を画素12Bに書き込む前にスイッチSWBを通して中間電圧を画素12Bに書き込む。

【0084】

次に、本実施の形態の画素検査の基本動作について順を追って説明する。

【0085】

まず、画素検査の開始時にスイッチSWA及びSWBをそれぞれオフにしておいたときの動作について説明する。この状態で行走査線gにHレベルの行走査信号を供給してスイッチSW11及びSW21をそれぞれオンにする。また、配線trigとtrigbにそれぞれHレベルのトリガパルス及びLレベルの反転トリガパルスを供給して、スイッチSW12及びSW22もそれぞれオンにする。更に、配線pirとpirbにHレベルの検査制御信号及びLレベルの反転検査制御信号を供給して、スイッチSW3もオンにする。これにより、列データ線d1から列データ線d2につながる画素12Aと画素12BとはスイッチSW3を経由して電氣的に接続された状態になる。

【0086】

次に、列データ線d1に1ビットの検査信号としてLレベルのデータを供給する。これにより、画素12AのSM121を構成するインバータINV11の入力端子とインバータINV12の出力端子との接続点であるa点にLレベルのデータが書き込まれ、またインバータINV11の出力端子及びインバータINV12の入力端子がスイッチSW12を介して容量C11に接続された接続点であるb点にHレベルのデータが書き込まれる。このとき、画素12AのSM121において、インバータINV11を構成するトランジスタの駆動力がインバータINV12を構成するトランジスタの駆動力よりも大きいため、a点はSM121の入力として、b点はSM121の出力としてそれぞれ機能する。

【0087】

また、b点のHレベルのデータは、オン状態のスイッチSW3を通して接続されている画素12B内のスイッチSW22と容量C21との接続点であるd点のデータとなる。ここで、画素12B内のSM123において、インバータINV21を構成するトランジスタの駆動力がインバータINV22を構成するトランジスタの駆動力よりも大きいため、インバータINV21の入力端子とインバータINV22の出力端子との接続点であるc点はSM123の入力として、またインバータINV21の出力端子及びインバータINV22の入力端子がスイッチSW22を介して容量C21に接続された接続点であるd点はSM123の出力としてそれぞれ機能する。従って、b点とd点はそれぞれSM121、SM123の出力端子に相当するため、通常ではSM121から出力したデータを、S

M 1 2 3 の出力端子に入力しても S M 1 2 3 は反転しにくい。

【 0 0 8 8 】

このことについて図 7 と共に詳しく説明すると、S M 1 2 1 の出力能力は、インバータ I N V 1 1 を構成する P M O S トランジスタ P t r 1 1 及び N M O S トランジスタ N t r 1 1 の駆動力で決まる。一方、S M 1 2 3 の出力能力は、インバータ I N V 2 1 を構成する P M O S トランジスタ P t r 2 1 及び N M O S トランジスタ N t r 2 1 の駆動力で決まる。画素 1 2 A、1 2 B を構成するそれぞれのトランジスタは、画素 1 2 A、1 2 B 毎にそれぞれ同じ能力を配置しているため、インバータ I N V 1 1 を構成する P M O S トランジスタ P t r 1 1 及び N M O S トランジスタ N t r 1 1 の駆動力とインバータ I N V 2 1 を構成する P M O S トランジスタ P t r 2 1 及び N M O S トランジスタ N t r 2 1 の駆動力は、P M O S トランジスタ同士の 10

【 0 0 8 9 】

d 点において L レベルであるデータをインバータ I N V 2 1 を駆動して H レベルに書き換える場合、インバータ I N V 2 1 を構成する N M O S トランジスタ N t r 2 1 を流れる電流とインバータ I N V 1 1 を構成する P M O S トランジスタ P t r 1 1 を流れる電流との比で、P M O S トランジスタ P t r 3 及び N M O S トランジスタ N t r 3 から構成されるスイッチ S W 3 とインバータ I N V 1 1 との接続点である b 点、及びスイッチ S W 3 とインバータ I N V 2 1 との接続点である d 点の電圧が決定する。

【 0 0 9 0 】

ここで、図 7 において、b 点におけるインバータ I N V 1 1 の出力データが H レベルの場合、インバータ I N V 1 1 を構成する P M O S トランジスタ P t r 1 1 がオンしている状態である。それに対し、インバータ I N V 2 1 の出力の d 点のデータが既に L レベルであった場合、インバータ I N V 2 1 を構成する N M O S トランジスタ N t r 2 1 がオンしている状態である。 20

【 0 0 9 1 】

このとき、配線 p i r の H レベルの検査制御信号と配線 p i r b の L レベルの反転検査制御信号によりスイッチ S W 3 がオンし、インバータ I N V 2 1 とインバータ I N V 1 1 の出力同士が導通した場合、電流はインバータ I N V 1 1 の P M O S トランジスタ P t r 1 1 とインバータ I N V 2 1 の N M O S トランジスタ N t r 2 1 を通して V D D から G N D に流れる。このとき b 点及び d 点の電圧は P M O S トランジスタ P t r 1 1 と N M O S トランジスタ N t r 2 1 のオン抵抗の比によって決まる。 30

【 0 0 9 2 】

また、d 点には図示しないインバータ I N V 2 2 の入力ゲートが接続されており、インバータ I N V 2 2 は d 点の電圧レベルの入力によって出力データが L レベルか H レベルに確定される。つまり、S M 1 2 3 から読み出す c 点のデータは d 点の電圧レベルによって決定される。

【 0 0 9 3 】

しかしながら、通常はトランジスタのゲート幅が同じであれば N M O S トランジスタの駆動力は P M O S トランジスタの駆動力よりも 3 倍程度大きい。このため、トランジスタのオン抵抗においても N M O S トランジスタの方が P M O S トランジスタと比較して低く、上記の場合、b 点及び d 点の電圧は、電源電圧の中間電圧よりも低く、インバータ I N V 2 2 に入力されるデータとしては L レベルのデータに相当するため、インバータ I N V 2 2 の出力 (c 点) のデータは H レベルのままであり、S M 1 2 3 は S M 1 2 1 に列データ線 d 1 から入力した L レベルのデータによって L レベルのデータを出力できない、ということが発生する。 40

【 0 0 9 4 】

上記で説明したインバータを構成する P M O S トランジスタと N M O S トランジスタの駆動力の比から、反対に S M 1 2 1 の a 点に印加する H レベルのデータによって、S M 1 2 3 の c 点のデータを L レベルのデータに書き換えることは可能である。

【 0 0 9 5 】

10

20

30

40

50

本実施の形態では、以上の動作不良に対応するため、画素検査の開始時にはスイッチ SW B をオン状態にして中間電圧発生部 18 と列データ線 d2 とを導通状態とすることにより、列データ線 d2 の電圧を中間電圧発生部 18 から配線 mid へ出力される中間電圧にプリチャージする。なお、上記の中間電圧とは、電源電圧範囲の中心電圧（従って電源電圧範囲 3.3 V の場合は 1.65 V）以下の電圧のことであり、望ましくは 0 V ~ 中心電圧の電圧範囲（従って電源電圧範囲が 0 V ~ 3.3 V の場合は 0 V ~ 1.65 V 程度の電圧範囲）の設定電圧である。

【0096】

図 8 は、中間電圧を 0 V にした場合の列方向に隣り合う画素 12 A 及び 12 B のデータ書き込みとデータ読み出しの関係を示す。図 8 (A) は、画素 12 B の c 点を L レベル（ここでは 0 V）にプリチャージした場合、列データ線 d1 に H レベルのデータを書き込んで画素 12 A の a 点のデータを H レベルにした場合、画素 12 B の c 点のデータは H レベルに書き換わることを示す。

10

【0097】

すなわち、この場合は、スイッチ SW 11、SW 21、SW 21、SW 22 及び SW 3 がそれぞれオン状態のときにスイッチ SW B をオンにして、列データ線 d2 と画素 12 B の c 点の電位を 0 V（L レベル）にプリチャージし、画素 12 B の d 点の電圧を H レベルの 3.3 V にプリセットする。この状態で、列データ線 d1 に H レベルのデータを書き込んで画素 12 A の a 点のデータを H レベルにした場合、画素 12 A の b 点の電圧は L レベルになろうとする。このとき b 点と d 点はスイッチ SW 3 を介して接続されているので、インバータ INV 11 を構成する NMOS トランジスタに流れる電流と、インバータ INV 21 を構成する PMOS トランジスタに流れる電流との比によって、b 点および d 点の電圧が決まる。

20

【0098】

つまり、スイッチ SW B がオンしている間、VDD から GND に向かって電流が流れることになる。このとき、NMOS トランジスタと PMOS トランジスタとの駆動力は NMOS トランジスタの方が大きいため、b 点及び d 点の電圧は VDD から GND の電圧範囲において、GND よりの中間電位になる。この中間電位は、インバータの反転閾値電圧よりも低電位側にあるため、b 点及び d 点の電圧は容易に L レベル側へ反転する状態にある。ここで、スイッチ SW B をオフにすると、同時に d 点の電圧は L レベルにセットされ、列データ線 d2 及び画素 12 B の c 点の電位は H レベルになる。図 8 (A) は以上の動作を示している。

30

【0099】

図 8 (B) は、画素 12 B の c 点を L レベル（ここでは 0 V）にプリチャージした場合、列データ線 d1 に L レベルのデータを書き込んで画素 12 A の a 点のデータを L レベルにした場合、画素 12 B の c 点のデータは L レベルに書き換わることを示す。

【0100】

すなわち、この場合は、スイッチ SW 11、SW 21、SW 21、SW 22 及び SW 3 がそれぞれオン状態のときにスイッチ SW B をオンにして、列データ線 d2 と画素 12 B の c 点の電位を 0 V（L レベル）にプリチャージし、SM123 の d 点の電圧を H レベルの 3.3 V にプリセットする。この状態で、列データ線 d1 に L レベルのデータを書き込んで画素 12 A の a 点のデータを L レベルにした場合、画素 12 A の b 点は H レベルの電圧が入力される。このとき、既に画素 12 B の d 点の電圧は H レベルがプリセットされているので、その後スイッチ SW B をオフにしても列データ線 d2 及び画素 12 B の c 点の電位は L レベルのまま変化しない。図 8 (B) は以上の動作を示している。

40

【0101】

図 8 (C) 及び (D) は、画素 12 A の a 点をプリチャージする場合の動作を示しており、その動作はスイッチ SW B ではなく、スイッチ SW A をオンする以外は、図 8 (A)、(B) と共に説明した画素 12 B の c 点をプリチャージする場合の動作と同様であるので、その説明は省略する。

50

【 0 1 0 2 】

以上の画素検査を左右に隣接する2つの画素12A及び12Bに対し、列データ線d1からデータを入力して列データ線d2からデータを読み出す第1の検査方法と、列データ線d2からデータを入力して列データ線d1からデータを読み出す第2の検査方法との2種類を、タイミングを変えて2回実行する。

【 0 1 0 3 】

これにより、画素12A及び12BにおいてLレベルの電圧やHレベルの電圧を読み出すことが可能になるため、メモリとしてロジックの画素機能検査が可能になる。このとき、例えばプロセスにより、容量C11や容量C21がGNDやVDD配線などにショートしていれば画素検査において任意のデータを読み出すことが不可能である。またSM121やSM123がショートしていたり断線していた場合においても画素検査において任意のデータを読み出すことが不可能である。以上のデータ読み出しが不可能な場合は、不良画素が存在する液晶表示装置として出荷停止などの処置をとることになる。

10

【 0 1 0 4 】

次に、本実施の形態における前述した動作不良に対応した画素検査の動作について、図1の全体構成図、図2の回路図及び図9のタイミングチャートを併せ参照して更に詳細に説明する。

【 0 1 0 5 】

画素検査時において、まず、図8(A)と共に説明したように、偶数番目の列データ線d_{ev}(d₂,d₄,d₆,・・・,d_n)に接続された画素12Bを検査信号読み出し側とし、奇数番目の列データ線d_{od}(d₁,d₃,d₅,・・・,d_{n-1})に接続された画素12Aを検査信号書き込み側とするものとする。この場合、画素検査時の最初の時刻T11において、スイッチ制御信号Tlatodbが図9(C)に示すようにHレベルとされて入力スイッチ19A1がオンとされ、かつ、スイッチ制御信号Tlatevbが図9(E)に示すようにLレベルとされて入力スイッチ19B1がオフに制御される。また、時刻T11において、スイッチ制御信号Tlatodが図9(B)に示すようにLレベルとされて出力スイッチ19A2がオフとされ、かつ、スイッチ制御信号Tlatevが図9(D)に示すようにHレベルとされて出力スイッチ19B2がオンとされる。これにより、奇数番目の列データ線d_{od}(d₁,d₃,d₅,・・・,d_{n-1})が検査信号入力用配線として機能し、画像表示部11を構成する全ての画素12Aに検査信号を書き込める状態となると共に、偶数番目の列データ線d_{ev}(d₂,d₄,d₆,・・・,d_n)が検査信号読み出し用配線として機能し、画像表示部11を構成する全ての画素12Bから検査信号を読み出せる状態となる。

20

30

【 0 1 0 6 】

また、上記の時刻T11において、制御信号線prchg1を介して印加される第1の制御信号が図9(G)に示すようにLレベルとされ、全てのスイッチSWAをオフとして水平ドライバ17からの検査信号が画素12Aに書き込めるようにする。また、これと同時に上記の時刻T11において、制御信号線prchg2を介して印加される第2の制御信号が図9(N)に示すようにHレベルとされ、全てのスイッチSWBをオンとして配線midを介して供給される中間電圧発生部18からの中間電圧に偶数番目の列データ線d_{ev}(d₂,d₄,d₆,・・・,d_n)をプリチャージしておく。図9(O)は例えば列データ線d2の電圧を示し、時刻T11から後述する時刻T13までの期間、中間電圧にプリチャージされている。図9(M)は配線midにおける中間電圧を示す。なお、前述したように、中間電圧は電源電圧が3.3Vのとき0~1.65V程度の範囲内の電圧であるが、一例としてここでは1Vとしている。

40

【 0 1 0 7 】

画素検査は画像表示部11を構成する各行の画素単位で行われる。いま、図9(H)に示すように、時刻T11で画像表示部11の或る1本の行走査線gに垂直シフトレジスタ15からハイレベルの行走査信号が入力されて、その行走査線gに接続された1行の画素12A及び12Bが選択されたものとする。このとき、配線trig及びtrigbにはそれぞれ図9(I)、(J)に示すように、HレベルとLレベルのトリガ信号が同時に供給されて

50

、選択された 1 行の画素 1 2 A 内のスイッチ S W 1 2 及び画素 1 2 B 内のスイッチ S W 2 2 がオンとされる。また、このとき配線 pir 及び pirb にはそれぞれ図 9 (K)、(L) に示すように、H レベルと L レベルの検査制御信号が同時に供給されて、選択された 1 行の画素のうち、隣接する画素 1 2 A と画素 1 2 B との間に共通に設けられたスイッチ S W 3 がそれぞれオンとされる。

【 0 1 0 8 】

続いて、水平シフトレジスタ 1 7 1 に 1 行分の検査信号が所定の画素列にシフトし終わった時刻 T 1 2 において、タイミングジェネレータ 1 4 から図 9 (A) に示すラッチパルス L T が出力され、ラッチ回路 1 7 2 により水平シフトレジスタ 1 7 1 からの 1 行の n 個の画素分の検査信号がラッチされる。ここで、1 行の n 個の画素分の検査信号はすべて H レベルであるものとする、時刻 T 1 2 以降、ラッチ回路 1 7 2 からレベルシフタ / 画素ドライバ 1 7 3 を通して列データ線 d 1 ~ d n へ H レベルの検査信号がそれぞれ出力される。

10

【 0 1 0 9 】

ここで、列データ線 d 1 ~ d n へ出力された検査信号は、このとき入力スイッチ 1 9 A 1 がオンであるため、入力スイッチ 1 9 A 1 及び列データ線 d od を介して画素 1 2 A に書き込まれるが、入力スイッチ 1 9 A 2 はオフであるため、列データ線 d ev を介して画素 1 2 B に検査信号が書き込まれることはない。図 9 (F) は列データ線 d 1 に出力される検査信号を示す。この時点では図 2 に示した画素 1 2 A の a 点は検査信号の H レベルであり、画素 1 2 B の c 点は中間電圧にプリチャージされている状態にある。

20

【 0 1 1 0 】

続いて、時刻 T 1 3 において、制御信号線 prchg2 を介して印加される第 2 の制御信号が図 9 (N) に示すように L レベルに切り替えられて、全てのスイッチ S W B がオフに切り替わる。これにより、図 2 の画素 1 2 A 及び画素 1 2 B が良品であるときには、図 8 (A) と共に説明したように、図 2 に示した b 点と d 点の電圧が L レベルとなり、画素 1 2 B の c 点の電圧及び列データ線 d 2 の電位が図 9 (O) に示すように中間電圧から列データ線 d 1 に入力されている検査信号の H レベルに変化する。画素 1 2 B から列データ線 d 2 に出力された H レベルの信号は、出力スイッチ 1 9 B 2 及びバッファ 2 0 を通して 1 行分の画素数の半分の画素数に対応した容量の画素読み出し用シフトレジスタ 2 1 の該当列に相当する場所に入力される。

30

【 0 1 1 1 】

次に、時刻 T 1 4 において、図 9 (D) に示すようにスイッチ制御信号 T latev が L レベルとされて、出力スイッチ 1 9 B 2 がオフとされると、選択されている 1 行の画素 1 2 B から偶数番目の列データ線 d ev に読み出された 1 行分の信号が画素読み出し用シフトレジスタ 2 1 に格納される。

【 0 1 1 2 】

続いて、時刻 T 1 5 から、画素読み出し用シフトレジスタ 2 1 に供給される、互いに逆位相の図 9 (P) に示す第 1 のクロック信号 TCKb 及び同図 (Q) に示す第 2 のクロック信号 TCK を交互にオン、オフを繰り返すことにより、画素読み出し用シフトレジスタ 2 1 に格納された読み出し信号のうち、列データ線 d n-1 からの読み出し信号から列データ線 d 1 からの読み出し信号に向かって順番に出力端子 T O U T へ出力される。クロック信号 TCKb 及び TCK は、1 行分の画素数の半分の数のオン、オフを繰り返すことによって、全データを読み出して 1 行分の検査を終了する。この 1 行分の画素の読み出し信号と入力検査信号とを比較し、両者が同じであるか否かにより画素検査ができる。

40

【 0 1 1 3 】

次に、スイッチ制御信号 T latevdb、T latevb、T latev、T latev を時刻 T 1 1 とは反対論理値に切り替え、画像表示部 1 1 を構成する全ての画素 1 2 B に検査信号を書き込める状態とする共に、画像表示部 1 1 を構成する全ての画素 1 2 A から検査信号を読み出せる状態とする。以下、上記と同様にして、画素 1 2 B から書き込んだ検査信号を画素 1 2 A から読み出して画素読み出し用シフトレジスタ 2 1 に格納する。このとき、制御信号線 prch1

50

及びprchg2を介して印加される制御信号の論理値も図9(G)、(N)とは反対とする。このようにして、1行分の画素について図8(D)と共に説明した画素検査を行うことができる。

【0114】

以上の動作終了後、今度は垂直シフトレジスタ15を制御することによって、次の画素行の各画素12A及び12Bを選択し、上記と同様にして画素検査を行う。これらを繰り返し、垂直方向の画素数分の検査を実行し、画像表示部11を構成する全ての画素において、検査を実施する。

【0115】

なお、入力する検査信号は上記のようにすべてHレベルにする必要はなく、すべてLレベルでもよいし、HレベルとLレベルとの交互繰り返しとして、横方向に隣り合う画素12A及び12Bに電位差をつけてショート検査を行うことも可能である。

10

【0116】

このようにして、本実施の形態によれば、画素検査を正確に実施することができる。本実施の形態によれば、画素検査のために画素12A及び画素12Bに共通のスイッチSW3を構成するトランジスタ数が2個増え、また、画像表示部11を構成する全ての画素に対してスイッチSWA及びSWB用のトランジスタが2個増えるが、その増加数は極めて僅かであり、画素内に2つのSRAMを用いた従来の液晶表示装置に比べて画素の小型化を可能にでき、しかも画素検査が正確にできる。

【0117】

20

(第2の実施の形態)

次に、画素の第2の実施の形態について説明する。図10は、本発明の液晶表示装置の要部である画素の第2の実施の形態の等価回路を周囲の回路と共に示す。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。図10において、画素12A'及び画素12B'は図1中の任意の同じ1本の行走査線gに接続された、列方向に隣接する2つの画素で、画素12A'は任意の1本の列データ線d1と1本の行走査線gとの交差部に設けられ、画素12B'は上記列データ線d1に隣接する列データ線d2と行走査線gとの交差部に設けられている。

【0118】

画素12A'及び画素12B'は、図2に示した画素12A及び画素12Bと比較して、DRAM122、124が設けられておらず、SM121、123の出力端子が、共通のスイッチSW4を介して反射電極PE1、PE2に接続された構成である点に特徴がある。

30

【0119】

すなわち、画素12A'は、第1のスイッチング手段を構成するスイッチSW11と第1の信号保持手段(SM)121とから構成されるスタティック・ランダム・アクセス・メモリ(SRAM)と、液晶表示素子LC1とを有している。また、画素12B'は、第1のスイッチング手段を構成するスイッチSW21と第1の信号保持手段(SM)123とから構成されるスタティック・ランダム・アクセス・メモリ(SRAM)と、液晶表示素子LC2とを有している。更に、画素12A'及び画素12B'は、第3のスイッチング手段を構成するスイッチSW4を共通に有している。

40

【0120】

スイッチSW4は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続されたNMOSTランジスタとPMOSTランジスタとからなる公知のトランスミッションゲートの構成とされている。SW4を構成するトランスミッションゲートの制御端子であるNMOSTランジスタのゲートは正転検査制御信号用配線pirに接続され、PMOSTランジスタのゲートは反転検査制御信号用配線pirbに接続されている。また、SW4を構成するトランスミッションゲートの2つの端子のうち一方の端子であるNMOSTランジスタ及びPMOSTランジスタのドレイン(又はソース)は、SM121の出力端子及び反射電極PE1に接続され、他方の端子であるNMOSTランジスタ及びPM

50

OSトランジスタのソース（又はドレイン）は、SM123の出力端子及び反射電極PE2に接続されている。

【0121】

本実施の形態の画素12A'及び画素12B'を用いた図1の液晶表示装置10のデータ書き込み及び読み出し動作時は、画素12A及び画素12Bを用いた液晶表示装置に比べて、図9のスイッチSW4をオフとして画素12A'及び画素12B'を切り離してそれぞれ互いに独立して動作する点は同じである。しかし、本実施の形態の画素12A'及び画素12B'を用いた図1の液晶表示装置10のデータ書き込み及び読み出し動作時は、1行単位でサブフレームデータを画素12A'及び12B'に書き込み、読み出しを行う。

10

【0122】

次に、本実施の形態の画素検査の基本的な動作について順を追って説明する。

【0123】

まず、スイッチSWA及びSWBの一方をオンにし、かつ、他方をオフしておく。ここではスイッチSWAをオフとし、スイッチSWBをオンとしておく場合について説明する。これにより、画素検査開始時には図10の画素12Bのc点はスイッチSWBを通して印加される中間電圧によりLレベルにプリチャージされる。

【0124】

この状態で行走査線gにHレベルの行走査信号を供給して、同じ行走査線gに接続された1行の各画素12A'内のスイッチSW11及び各画素12B'内のスイッチSW21をそれぞれオンにする。なお、以下の説明において同じ行走査線gに接続された1行の各画素12A'及び12B'は隣接する2画素毎にそれぞれ同じ動作を行うが、説明の便宜上、図10に示した隣接する2つの画素12A'及び12B'について説明する。また、配線pirとpirbにHレベルの検査制御信号及びLレベルの反転検査制御信号を供給して、スイッチSW4もオンにする。これにより、図10の列データ線d1から列データ線d2につながる画素12A'と画素12B'とはスイッチSW4を経由して電氣的に接続された状態になる。

20

【0125】

次に、列データ線d1に1ビットの検査信号としてHレベルのデータを供給する。これにより、画素12A'のSM121を構成するインバータINV11の入力端子とインバータINV12の出力端子との接続点であるa点にHレベルのデータが書き込まれ、またインバータINV11の出力端子とインバータINV12の入力端子との接続点であるb点にLレベルのデータが書き込まれる。このとき、画素12A'のSM121において、インバータINV11を構成するトランジスタの駆動力がインバータINV12を構成するトランジスタの駆動力よりも大きいため、a点はSM121の入力として、b点はSM121の出力としてそれぞれ機能する。

30

【0126】

また、b点のLレベルのデータは、オン状態のスイッチSW4を通して接続されている画素12B'内のSM123を構成するインバータINV21の出力端子とインバータINV22の入力端子との接続点であるd点のデータとなる。ここで、画素12B'内のSM123において、インバータINV21を構成するトランジスタの駆動力がインバータINV22を構成するトランジスタの駆動力よりも大きいため、インバータINV21の入力端子とインバータINV22の出力端子との接続点であるc点はSM123の入力として、またd点はSM123の出力としてそれぞれ機能する。従って、b点とd点はそれぞれSM121、SM123の出力に相当するため、通常ではSM121の出力から出力したデータを、SM123の出力に入力してもSM123は反転しにくい。

40

【0127】

しかし、本実施の形態では、前述したように、図2の実施の形態と同様に、スイッチSW11、SW21及びSW4がそれぞれオン状態のときにスイッチSWBをオンにして、列データ線d2と画素12B'のc点の電位を中間電圧である例えば0V（Lレベル）に

50

プリチャージし、SM123のd点の電圧をHレベルの3.3Vにプリセットする。

【0128】

この状態で、列データ線d1にHレベルの検査信号を書き込んで画素12A'のa点のデータをHレベルにした場合、画素12A'のb点の電圧はLレベルになろうとする。このときb点とd点はスイッチSW4を介して接続されているので、インバータINV11を構成するNMOSTランジスタに流れる電流と、インバータINV21を構成するPMOSTランジスタに流れる電流との比によって、b点およびd点の電圧が決まる。

【0129】

つまり、スイッチSWBがオンしている間、VDDからGNDに向かって電流が流れることになる。このとき、NMOSTランジスタとPMOSTランジスタの駆動力はNMOSTランジスタの方が大きいため、b点及びd点の電圧はVDDからGNDの電圧範囲において、GNDよりの中間電位になる。この中間電位は、インバータの反転閾値電圧よりも低電位側にあるため、b点及びd点の電圧は容易にLレベル側へ反転する状態にある。

【0130】

ここで、スイッチSWBがオフに切り替えらる。これにより、図10の画素12A'及び画素12B'が良品であるときには、図10に示したb点とd点の電圧がLレベルとなり、画素12B'のc点の電圧及び列データ線d2の電位が中間電圧から列データ線d1に入力されている検査信号のHレベルに変化する。画素12B'から列データ線d2に出力されたHレベルの信号は、図1に示した出力スイッチ19B2及びバッファ20を通して1行分の画素数の半分の画素数に対応した容量の画素読み出し用シフトレジスタ21の該当列に相当する場所に入力される。以下、図9に示したタイミングチャートと共に説明した第1の実施の形態と同様の画素検査動作が行われる(trig及びtrigb除く)。

【0131】

以上の画素検査を左右に隣接する2つの画素12A'及び12B'に対し、列データ線d1から検査信号を入力して列データ線d2からデータを読み出す第1の検査方法と、列データ線d2から検査信号を入力して列データ線d1からデータを読み出す第2の検査方法との2種類を、タイミングを変えて2回実行する。

【0132】

これにより、画素12A'及び12B'においてLレベルの電圧やHレベルの電圧を読み出すことが可能になるため、メモリとしてロジックの画素機能検査が可能になる。このとき、例えばプロセスにより、SM121やSM123がショートしていたり断線していた場合においても画素検査において任意のデータを読み出すことが不可能である。以上のデータ読み出しが不可能な場合は、不良画素が存在する液晶表示装置として出荷停止などの処置をとることになる。

【0133】

このようにして、画素12A'及び12B'を備える本実施の形態によれば、第1の実施の形態の画素12A及び12Bを備える液晶表示装置に比べてより一層画素の小型化を可能にでき、しかも画素検査が正確にできる。

【0134】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば図2及び図10の実施の形態では、SM121及びSM123の動作不良に対応するためにスイッチSWA及びSWBを有して、同じ行走査線に接続された隣接する第1及び第2の画素のうち第1の列データ線を介して第1の画素に検査信号を書き込むと共に、第2の列データ線に接続された第2の画素を中間電圧にプリチャージし、その後中間電圧の入力を解除して第2の画素から第2の列データ線に入力検査信号の読み出しを行うようにしているが、原理的にはスイッチSWA及びSWBを有しないでプリチャージを行わなくても画素検査は可能である。また、画素電極は反射電極として説明したが、透過電極であってもよい。

【符号の説明】

【0135】

10 液晶表示装置

10

20

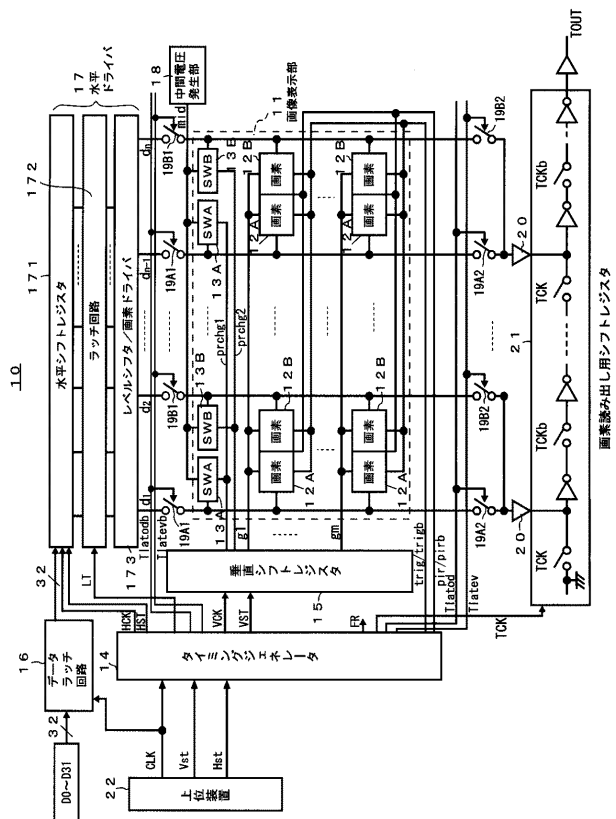
30

40

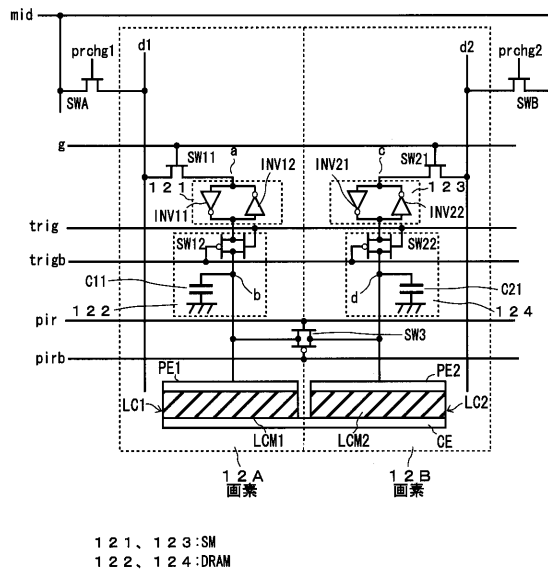
50

1 1	画像表示部	
1 2 A、1 2 B、1 2 A'、1 2 B'	画素	
1 3 A、1 3 B	スイッチ (SWA、SWB)	
1 4	タイミングジェネレータ	
1 5	垂直シフトレジスタ	
1 6	データラッチ回路	
1 7	水平ドライバ	
1 8	中間電圧発生部	
1 9 A 1、1 9 B 1	入力スイッチ (書き込み側スイッチ)	
1 9 A 2、1 9 B 2	出力スイッチ (読み出し側スイッチ)	10
2 0	バッファ	
2 1	画素読み出し用シフトレジスタ	
2 2	上位装置	
1 1 2	容量 C 1 用電極	
1 2 1、1 2 3	第 1 の信号保持手段 (SM)	
1 2 2、1 2 4	ダイナミック・ランダム・アクセス・メモリ (DRAM)	
1 7 1	水平シフトレジスタ	
1 7 2	ラッチ回路	
1 7 3	レベルシフタ / 画素ドライバ	
d1 ~ dn、d	列データ線	20
g1 ~ gm、g	行走査線	
trig	トリガ線	
trigb	反転トリガパルス用トリガ線	
LC 1、LC 2	液晶表示素子	
LCM 1、LCM 2	液晶	
PE 1、PE 2	反射電極	
CE	共通電極	
C 1 1、C 2 1	容量	
INV 1 1、INV 1 2、INV 2 1、INV 2 2	インバータ	
NTr、Tr1、Ntr11、Ntr12	NチャネルMOS型トランジスタ (NMOSトランジスタ)	30
PTr、Tr2、Ptr11、Ptr22	PチャネルMOS型トランジスタ (PMOSトランジスタ)	
SW 3、SW 4	2画素間の共通スイッチ	

【図 1】

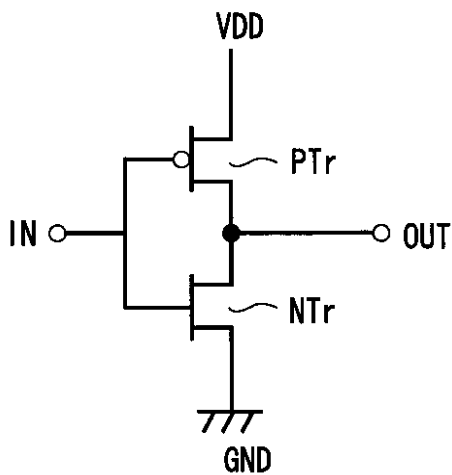


【図 2】

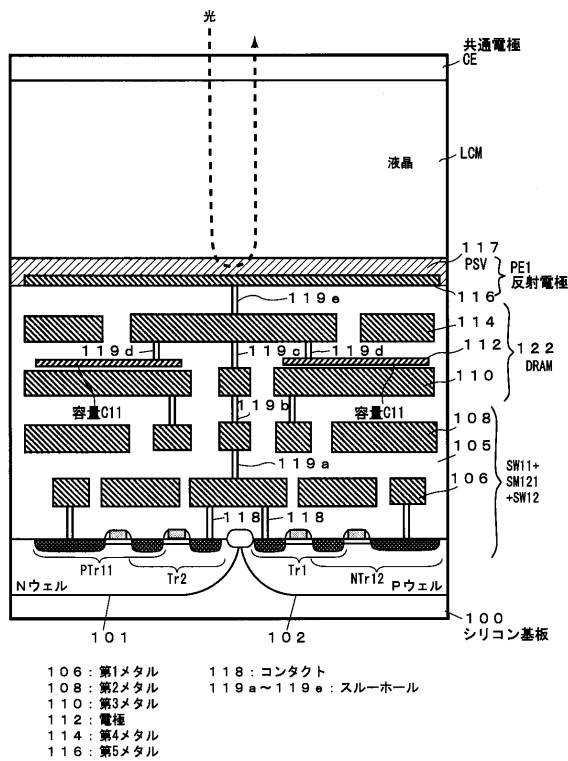


1 2 1, 1 2 3 : SM
 1 2 2, 1 2 4 : DRAM

【図 3】

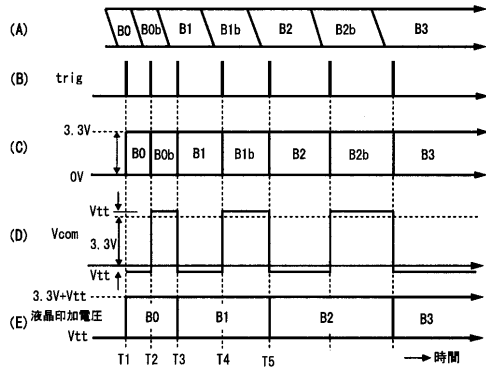


【図 4】

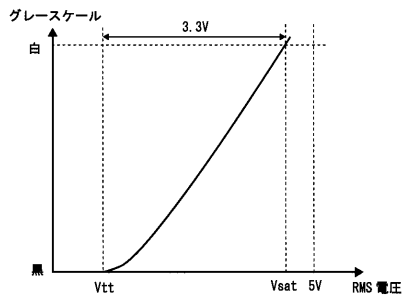


106 : 第1メタル 118 : コンタクト
 108 : 第2メタル 119 a ~ 119 e : スルーホール
 110 : 第3メタル
 112 : 電極
 114 : 第4メタル
 116 : 第5メタル

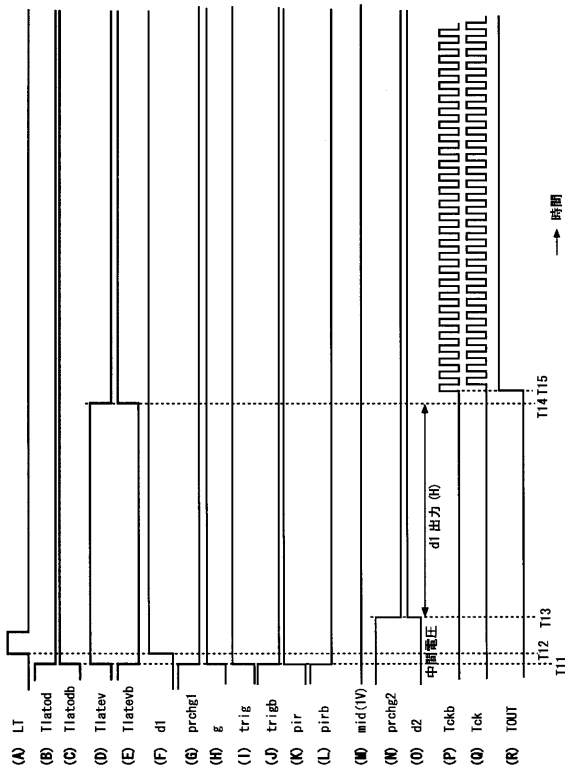
【 図 5 】



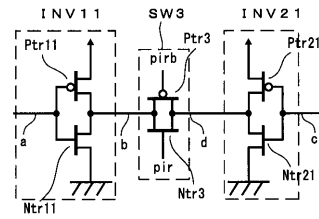
【 図 6 】



【 図 9 】



【 図 7 】



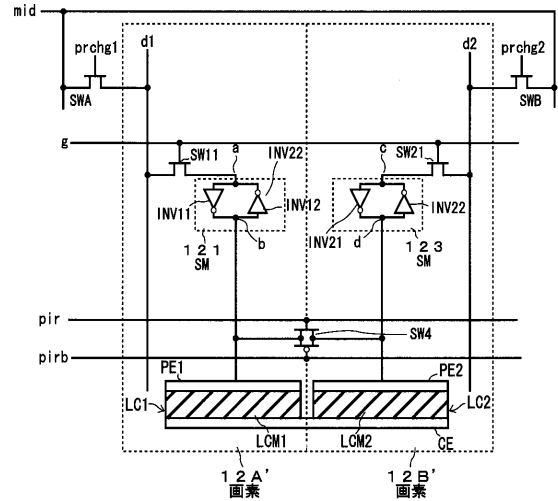
【 図 8 】

画素 1 2 B の c 点のデータ

画素 1 2 A の a 点のデータ

- (A) 「L」プリチャージ → 「H」 ← 「H」入力
- (B) 「L」プリチャージ → 「L」 ← 「L」入力
- (C) 「L」入力 → 「L」プリチャージ → 「L」
- (D) 「H」入力 → 「L」プリチャージ → 「H」

【 図 10 】



フロントページの続き

Fターム(参考) 5C080 AA10 DD15 DD22 EE29 FF11 JJ02 JJ03 JJ04 JJ05 JJ06