



(12) 发明专利

(10) 授权公告号 CN 115209519 B

(45) 授权公告日 2024. 01. 26

(21) 申请号 202210624273.8

H04J 3/06 (2006.01)

(22) 申请日 2022.06.02

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 115209519 A

CN 101330324 A, 2008.12.24

CN 103199907 A, 2013.07.10

CN 103281280 A, 2013.09.04

(43) 申请公布日 2022.10.18

CN 105580408 A, 2016.05.11

(73) 专利权人 四川大学

CN 107835035 A, 2018.03.23

地址 610065 四川省成都市武侯区一环路
南一段24号

CN 108183879 A, 2018.06.19

CN 110447146 A, 2019.11.12

(72) 发明人 夏文龙 郭庆功 楚鹰军 曹骏
杨君豪 周志行

US 2020091608 A1, 2020.03.19

US 8976842 B1, 2015.03.10

(74) 专利代理机构 成都方圆聿联专利代理事务
所(普通合伙) 51241

张昊, 夏文龙, 郭庆功. OFDM/OFDMA系统的时
域同步干扰方案的研究.《微型电脑应用》.2015,
全文.

专利代理师 苟铭

审查员 杨黎

(51) Int. Cl.

H04W 56/00 (2009.01)

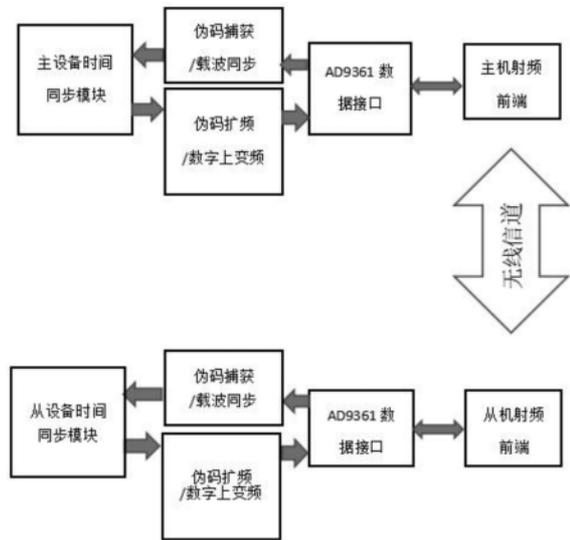
权利要求书1页 说明书3页 附图3页

(54) 发明名称

短帧开环结构的无线时间同步设备

(57) 摘要

本发明公开了一种短帧开环结构的无线时间同步设备,包括主设备和从设备;主从设备中均包括基带发射单元、射频发射单元、射频接收单元和基带接收单元和时间同步单元。时间同步单元根据精准时间协议进行时间戳的标定和主从设备时间偏差的计算;封装成帧单元将时间戳、校验码、数据帧头及导频序列封装成数据帧。其中,伪码捕获单元采用FFT快捕,并对接收信号进行粗频偏校正;接收单元对接收数据进行多倍采样;数字式发射单元可在天线允许的频带范围进行发射频点的软切换;数字式接收单元可在天线允许的频带范围进行接收频点的软切换。本发明通过短帧开环的结构,降低了系统的复杂度,提高了发送信号的抗干扰能力。



1. 一种短帧开环结构的无线时间同步设备,包括主设备和从设备;
主设备包括:发射单元包、接收单元和时间同步单元;
从设备包括:发射单元包、接收单元和时间同步单元;
其中:
发射单元包括:基带发射单元和射频发射单元;
接收单元包括:基带接收单元和射频接收单元;
时间同步单元分别连接基带发射单元、基带接收单元;
射频发射单元和基带发射单元连接;
射频接收单元和基带接收单元连接;
时间同步单元根据精准时间协议进行时间戳的标定和主从设备时间偏差的计算;
基带发射单元包括:封装成帧单元,伪码扩频单元,数字上变频单元;
封装成帧单元将时间戳、校验码、数据帧头及导频序列封装成数据帧;
封装成帧单元的数据比特位不超过60比特,一次发送一个时间戳信息,且具有数据帧头、导频序列和校验码;
伪码扩频单元是对数据帧进行扩频;数字上变频单元是对数据进行频谱搬移至数字中频;
基带接收单元包括:伪码捕获单元和载波同步单元;
伪码捕获单元用于对接收信号进行时频二维的捕获,载波同步单元用于校正信号的载波频偏;伪码捕获单元采用FFT快捕,并对接收信号进行粗频偏校正;
载波同步单元采用开环结构,使用接收数据的前导码进行精频偏估计,并对后续数据帧进行精频偏补偿。
2. 根据权利要求1所述的无线时间同步设备,其中:
所述射频发射单元和射频接收单元由两根同带宽天线分别连接。
3. 根据权利要求1所述的无线时间同步设备,其中:
所述基带接收单元对接收数据进行多倍采样,倍数不小于5倍。
4. 根据权利要求1所述的无线时间同步设备,其中:
所述发射单元为数字式发射单元,接收单元为数字式接收单元。
5. 根据权利要求4所述的无线时间同步设备,其中:
所述数字式发射单元在天线允许的频带范围进行发射频点的软切换;
数字式接收单元在天线允许的频带范围进行接收频点的软切换。

短帧开环结构的无线时间同步设备

技术领域

[0001] 本发明涉及无线通信和导航定位领域,尤其涉及一种无线时间同步方法及系统。

技术背景

[0002] 时间同步作为导航定位的关键研究领域之一,这就要求时间同步必须具备高精度、高可靠性等特点。现有的卫星定位系统如GPS、BDS需要较高的建设和维护成本,且在一些可靠性要求极高的环境如军事、航空航天等领域存在安全隐患。因此基于路基的微波双向时间同步系统便应运而生。

[0003] 在无线信道中,存在因收发机相对运动引起的多普勒频移。目前的微波双向时间系统依赖于闭环方式进行接收信号的载波同步,这就要求数据帧需要长导频序列进行相位锁定,且一旦发生失锁,有需要经过漫长的时间去锁定相位。

[0004] 基于上述分析,一种能够解决闭环载波同步带来的长时间锁定问题的短帧开环结构的无线时间同步设备是目前行业内急需的。

发明内容

[0005] 有鉴于此,本发明提供一种短帧开环结构的无线时间同步设备。用开环载波同步的方式来解决闭环载波同步带来的长时间锁定问题。由于采用短时突发帧结构,缩短了通信时长,提升信号的抗干扰能力,但同时也会使得时间同步的精度有所下降。本发明在保证一定时间同步精度(20ns)的同时,实现了基于短帧开环结构的无线时间同步设备。本发明是通过如下手段实现的:

[0006] 一种短帧开环结构的无线时间同步设备,包括主设备和从设备;

[0007] 主设备包括:发射单元包、接收单元和时间同步单元;

[0008] 从设备包括:发射单元包、接收单元和时间同步单元;

[0009] 其中:

[0010] 发射单元包括:基带发射单元和射频发射单元;

[0011] 接收单元包括:基带接收单元和射频接收单元;

[0012] 时间同步单元分别连接基带发射单元、基带接收单元;

[0013] 射频发射单元和基带发射单元连接;

[0014] 射频接收单元和基带接收单元连接;

[0015] 时间同步单元根据精准时间协议(Precision Time Protocol,PTP)进行时间戳的标定和主从设备时间偏差的计算。

[0016] 进一步的,所述基带发射单元包括:封装成帧单元,伪码扩频单元,数字上变频单元;封装成帧单元将时间戳、校验码、数据帧头及导频序列封装成数据帧;伪码扩频单元是对数据帧进行扩频;数字上变频单元是对数据进行频谱搬移至数字中频。

[0017] 进一步的,所述封装成帧单元的数据比特位不超过60比特,一次发送一个时间戳信息,且具有数据帧头、导频序列和校验码。

[0018] 进一步的,所述基带接收单元包括:伪码捕获单元和载波同步单元;伪码捕获单元用于对接收信号进行时频二维的捕获;载波同步单元用于校正信号的载波频偏。

[0019] 进一步的,所述伪码捕获单元采用FFT快捕,并对接收信号进行粗频偏校正。

[0020] 进一步的,所述载波同步单元采用开环结构,使用接收数据的前导码进行精频偏估计,并对后续数据帧进行精频偏补偿。

[0021] 进一步的,所述射频发射单元和射频接收单元由两根同带宽天线分别连接。

[0022] 进一步的,所述基带接收单元对接收数据进行多倍下采样,倍数不小于5倍。

[0023] 进一步的,所述发射单元为数字式发射单元,接收单元为数字式接收单元。

[0024] 进一步的,所述数字式发射单元在天线允许的频带范围进行发射频点的软切换;数字式接收单元在天线允许的频带范围进行接收频点的软切换。

[0025] 本发明的有益效果为:

[0026] 本发明采用开环载波同步的方式来解决闭环载波同步带来的长时间锁定问题。由于采用短时突发帧结构,缩短了通信时长,提升信号的抗干扰能力,但同时也会使得时间同步的精度有所下降。本发明在保证一定时间同步精度(20ns)的同时,实现了基于短帧开环结构的无线时间同步设备。通过短帧开环的结构,降低了系统的复杂度,提高了发送信号的抗干扰能力。

附图说明

[0027] 构成本申请的一部分的附图用来提供对本发明的进一步理解,本发明的具体实施方式、示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。

[0028] 图1为实施例1的无线时间同步设备基带结构示意图;

[0029] 图2为实例1的封装成帧单元结构图;

[0030] 图3为实例1的数据帧结构图;

[0031] 图4为实例1的开环载波同步单元结构图;

[0032] 图5为实例1的开环载波同步功能仿真图;

[0033] 图6为实例2的短帧开环无线时间同步设备结构示意图。

具体实施方式

[0034] 需要说明的是,在不冲突的情况下,本申请中的具体实施方式、实施例以及其中的特征可以相互组合。现将参考附图并结合以下内容详细说明本发明。为

[0035] 了使本领域技术人员更好的理解本发明方案,下面将结合本发明具体实施方式、实施例中的附图,对本发明具体实施方式、实施例中的技术方案进行清楚、完整的描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的具体实施方式、实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施方式、实施例,都应当属于本发明保护的范围。

[0036] 实施例1

[0037] 参见图1,本例无线时间同步设备,包括主设备和从设备,主从设备中均包括发射单元1、接收单元1和时间同步单元1。

[0038] 本例发射单元包括封装成帧单元、伪码扩频单元、数字上变频单元、DAC、带通滤波

器、射频上变频器 and 射频功率放大器。

[0039] 本实例接受单元包括低噪声放大器、射频下变频器、低通滤波器、ADC、伪码捕获单元、开环载波同步单元。

[0040] 本实例天线采用了宽频带天线、能够满足宽频带发射和接收的要求。

[0041] 如图1所示,时间同步模块将标定的时间戳信息送入封装成帧单元。

[0042] 参加图2,封装成帧单元将数据帧封装完毕之后,与伪码扩频单元输出的扩频码相乘,进行数据扩频以提高信号的抗干扰能力。

[0043] 参见图3,封装成帧单元的数据帧总长60比特,其中导频序列10比特,数据帧头7比特,时间戳信息37比特,校验码6比特。

[0044] 参加图4,接收设备将捕获到的信号送入开环载波同步模块进行精频偏估计与补偿。首先是数据分流,将前导码和后续帧数据分离,前导码用于精频偏的估计,并将估计好的频偏值与后续帧数据进行计算补偿。

[0045] 参见图5,为图4所示载波同步模块的功能仿真图示,其中Din_I,Din_Q为捕获到的扩频数据,带有1KHz粗频偏。经过频偏估计与补偿后,输出的相位为 \arctan_cos , \arctan_sin 分别对于IQ两路。输出的IQ时域信号为Dout_I,Dout_Q,将两者相加即可得到补偿的数据。

[0046] 本例捷变频单元用于产生参考时钟的时钟源,本例时钟源可以采用压控振荡器(VCO)或数字频率合成器,用于时钟快速调整和同步。本例捷变频单元与发射单元和接收单元相连,用于切换发射单元和接收单元的载波频率,实现接收单元1的下变频器和发射单元1的上变频器快速同步和跳变,如图1所示。

[0047] 实施例2

[0048] 本例无线时间同步设备采用xilinx公司FPGA(现场可编程逻辑门阵列)平台的Zedboard片上芯片构成,采用ADI公司的AD9361构成接收单元和发送单元,如图6所示,本例发射单元和接收单元均为数字式结构,在本例中,以主设备为例,从设备与主设备的规格一致。Zedboard和AD9361利用FMC(FPGAMEzzanine Card)接口进行连接,发射单元通过射频电缆和宽频带功率放大器连接,宽频带功率放大器工作频率为500~3000MHz,发射功率从0~20W可调,宽频带功率放大器和发射天线连接。接收天线将接收信号下变频后经AD变换后送入Zedboard做基带处理。系统工作时,Zedboard配置AD9361的相关参数,将基带处理好的数据经过DA,TX,上变频后经过宽带功率放大器,然后通过宽带天线发射。倘若要更换发射频带,可在Zedboard上进行软频点切换。

[0049] 以上所述实施例仅为本发明较佳的实施方式,用以说明本发明的技术方案,而非对其限制;本领域的普通技术人员可对本申请所述的各实施例进行修改,或者对其中部分技术特征进行等同替换;而这些修改、等同替换或改进等,均应包含在本申请的保护范围之内。

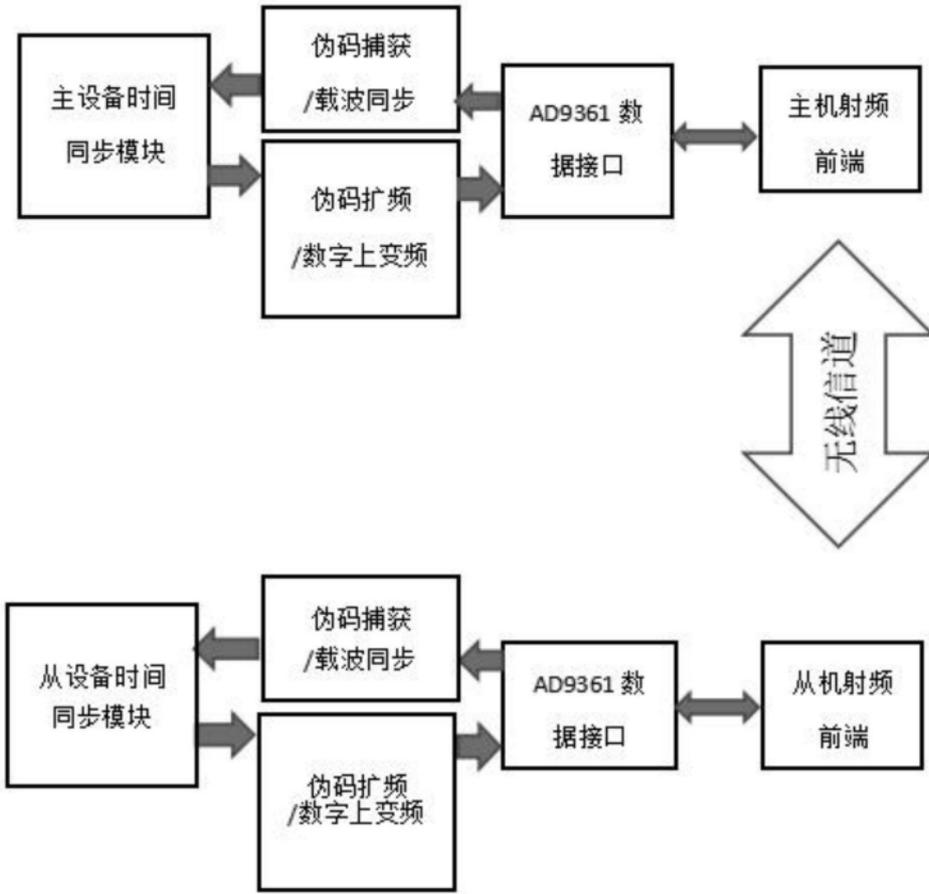


图1

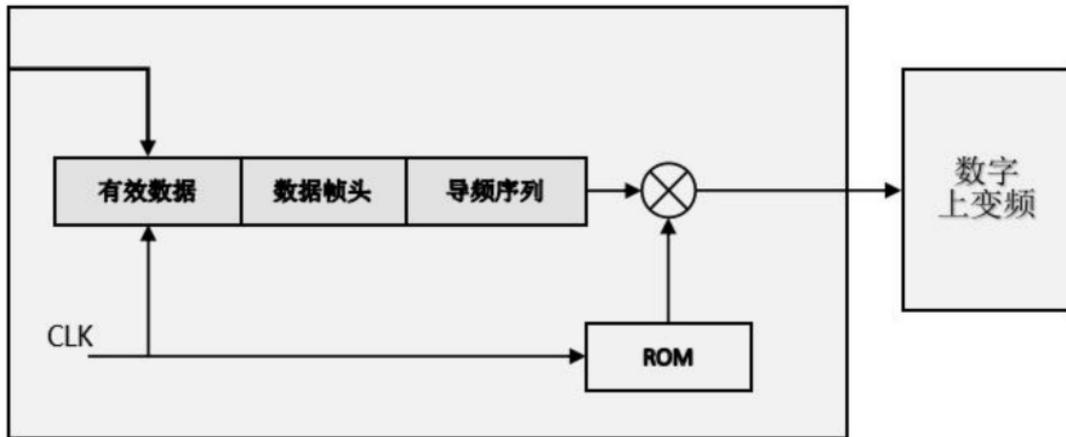


图2

校验码 6bit	时间戳信息 37bit	数据帧 (Pre) 7bit	导频序列 10bit
-------------	----------------	-------------------	---------------

图3

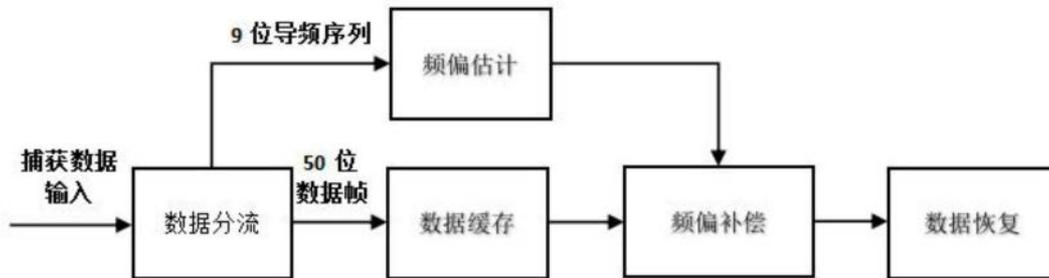


图4

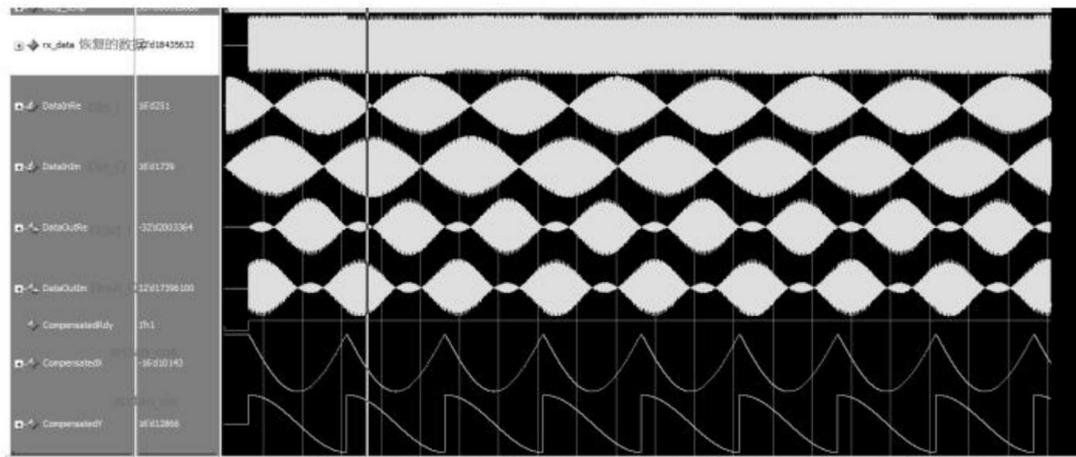


图5

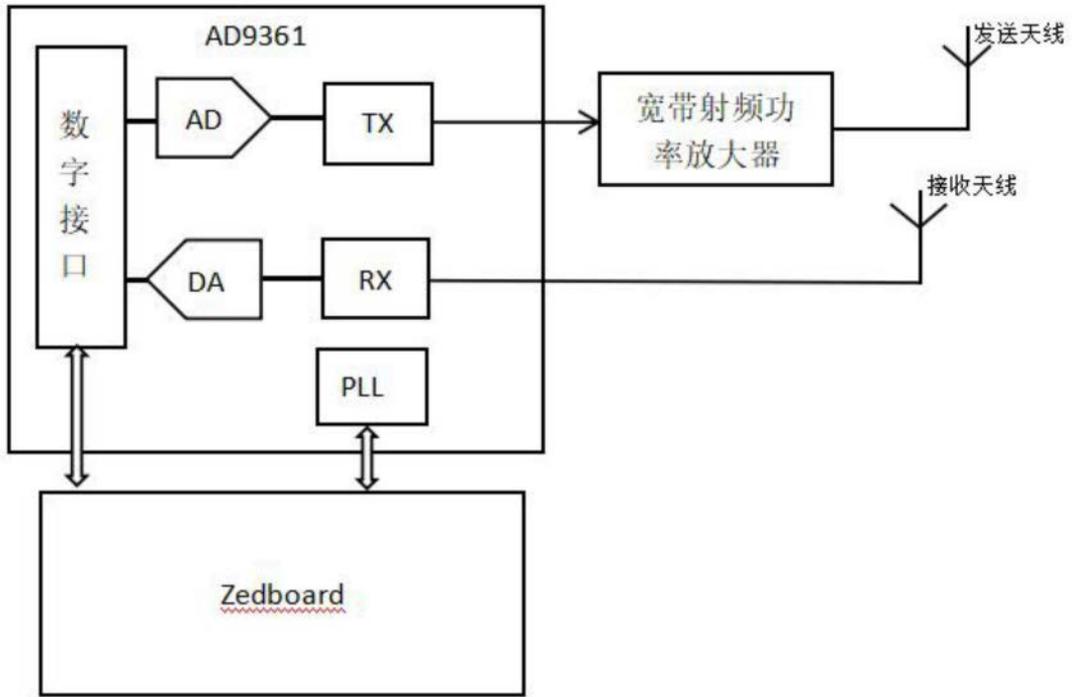


图6