



(12) 发明专利申请

(10) 申请公布号 CN 101874350 A

(43) 申请公布日 2010. 10. 27

(21) 申请号 200880117891. 1

(51) Int. Cl.

(22) 申请日 2008. 11. 26

H03M 13/19(2006. 01)

H03M 13/27(2006. 01)

(30) 优先权数据

2007-304690 2007. 11. 26 JP

2008-070467 2008. 03. 18 JP

(85) PCT申请进入国家阶段日

2010. 05. 26

(86) PCT申请的申请数据

PCT/JP2008/071385 2008. 11. 26

(87) PCT申请的公布数据

W02009/069618 JA 2009. 06. 04

(71) 申请人 索尼公司

地址 日本东京都

(72) 发明人 横川峰志 山本真纪子

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 杜诚 陈炜

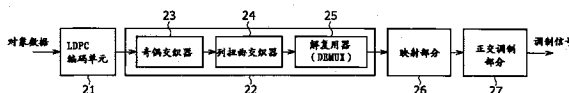
权利要求书 17 页 说明书 56 页 附图 102 页

(54) 发明名称

数据处理设备和数据处理方法

(57) 摘要

数据处理设备和数据处理方法。本发明涉及数据处理设备和数据处理方法,其能够改善对于LDPC码的码位的差错(诸如突发差错或擦除)的容限。当由LDPC(低密度奇偶校验)码的两个或更多个码位形成一个符号时,列扭曲交织器(24)执行重新布置过程,该重新布置过程重新布置LDPC码的码位,使得包括在奇偶校验矩阵的任意一行中的值1所对应的码位的多个不被映射到一个符号中。本发明例如可以应用到发送LDPC码的发送设备。



1. 一种交织数据的数据处理设备,包括:

重新布置装置,用于在将 LDPC(低密度奇偶校验)码作为均由其两个或更多个码位形成的符号发送的情况下,执行重新布置过程,所述重新布置过程重新布置所述 LDPC 码的所述码位,使得包括在所述奇偶校验矩阵的任意一行中的对应于值 1 的所述码位中的多个码位不被包括在同一符号中。

2. 一种交织数据的数据处理设备,包括:

重新布置装置,用于

在将 LDPC(低密度奇偶校验)码作为均由其两个或更多个码位形成的符号发送的情况下,其中,在所述 LDPC 码中,作为对应于所述 LDPC 码的信息位的其奇偶校验矩阵的部分的信息矩阵具有循环结构,

而所述符号是由在用于在行方向和列方向上存储所述 LDPC 码的码位的存储装置的列方向上写入、并且在行方向上从所述存储装置读出的 LDPC 码的码位形成的,

执行列扭曲交织作为用于重新布置所述 LDPC 码的所述码位的重新布置过程,当要针对所述存储装置的每列在所述存储装置的列方向上写入所述 LDPC 码的所述码位时,所述列扭曲交织改变写入起始位置。

3. 根据权利要求 2 所述的数据处理设备,其中,

对应于所述 LDPC 码的奇偶位的所述 LDPC 码的奇偶校验矩阵的奇偶矩阵通过列替换而具有伪循环结构,其中,所述奇偶矩阵具有除其部分外具有循环结构的部分。

4. 根据权利要求 3 所述的数据处理设备,其中

所述奇偶矩阵具有阶梯结构,其通过所述列替换被转换为所述伪循环结构。

5. 根据权利要求 4 所述的数据处理设备,其中,

所述 LDPC 码是 DVB-S. 2 标准中规定的 LDPC 码。

6. 根据权利要求 5 所述的数据处理设备,其中,

在所述 LDPC 码的所述码位的  $m$  个码位被转换为一个符号的情况下,

当所述 LDPC 码的码长是  $N$  位并且预定的正整数由  $b$  表示时,

所述存储装置在所述行方向上存储  $mb$  位,并且在所述列方向上存储  $N/(mb)$  位,并且

所述 LDPC 码的所述码位在所述存储装置的所述列方向上被写入,然后在所述行方向上被读出,

在所述存储装置的所述行方向上读出的  $mb$  个码位被转换为  $b$  个符号。

7. 根据权利要求 6 所述的数据处理设备,还包括:

用于执行奇偶交织的奇偶交织装置,所述奇偶交织将所述 LDPC 码的所述奇偶位交织到其它所述奇偶位的位置,其中

所述重新布置装置在所述奇偶交织之后执行所述 LDPC 码的所述列扭曲交织。

8. 根据权利要求 7 所述的数据处理设备,其中,

所述 LDPC 码的所述奇偶位的位数量  $M$  是除了质数之外的值,并且其中,

由  $P$  和  $q$  表示乘积等于所述奇偶位的位数量  $M$  的所述奇偶位的位数量  $M$  的除了 1 和  $M$  之外的两个除数,

由  $K$  表示所述 LDPC 码的信息位的位数,

由  $x$  表示等于或大于 0 但小于  $P$  的整数,并且

由  $y$  表示等于或大于 0 但小于  $q$  的另一个整数,

所述奇偶交织装置将作为所述 LDPC 码的第  $K+1$  到第  $K+M$  码位的奇偶位中的第  $K+qx+y+1$  码位交织到第  $K+Py+x+1$  码位的位置。

9. 根据权利要求 8 所述的数据处理设备, 其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长  $N$  的 LDPC 码, 并且

所述  $m$  位是 2 位, 并且所述整数  $b$  是 1, 并且此外

所述 LDPC 码的所述码位的两个被映射到以预定调制方法确定的 4 个信号点中的两个, 而

所述存储装置具有用于在所述行方向上存储  $2 \times 1$  位并且在所述列方向上存储  $64,800/(2 \times 1)$  位的 2 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的所述两列中的第 1 列的所述写入起始位置设置为地址为 0 的位置, 并且

将所述存储装置的所述两列中的第 2 列的所述写入起始位置设置为地址为 2 的位置。

10. 根据权利要求 8 所述的数据处理设备, 其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长  $N$  的 LDPC 码, 并且

所述  $m$  位是 2 位, 并且所述整数  $b$  是 2, 并且此外

所述 LDPC 码的所述码位的两个被映射到以预定调制方法确定的 4 个信号点中的两个, 而

所述存储装置具有用于在所述行方向上存储  $2 \times 2$  位并且在所述列方向上存储  $64,800/(2 \times 2)$  位的 4 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 4 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 4 列中的第 2 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 4 列中的第 3 列的所述写入起始位置设置为地址为 4 的位置, 并且

将所述存储装置的 4 列中的第 4 列的所述写入起始位置设置为地址为 7 的位置。

11. 根据权利要求 8 所述的数据处理设备, 其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长  $N$  的 LDPC 码, 并且

所述  $m$  位是 4 位, 并且所述整数  $b$  是 1, 并且此外

所述 LDPC 码的所述码位的 4 个被映射到以预定调制方法确定的 16 个信号点中的 4 个, 而

所述存储装置具有用于在所述行方向上存储  $4 \times 1$  位并且在所述列方向上存储

64,800/(4×1) 位的 4 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 4 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 4 列中的第 2 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 4 列中的第 3 列的所述写入起始位置设置为地址为 4 的位置,并且

将所述存储装置的 4 列中的第 4 列的所述写入起始位置设置为地址为 7 的位置。

12. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长 N 的 LDPC 码,并且

所述 m 位是 4 位,并且所述整数 b 是 2,并且此外

所述 LDPC 码的所述码位的 4 个被映射到以预定调制方法确定的 16 个信号点中的 4 个,而

所述存储装置具有用于在所述行方向上存储 4×2 位并且在所述列方向上存储 64,800/(4×2) 位的 8 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 8 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 8 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 8 列中的第 3 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 8 列中的第 4 列的所述写入起始位置设置为地址为 4 的位置,

将所述存储装置的 8 列中的第 5 列的所述写入起始位置设置为地址为 4 的位置,

将所述存储装置的 8 列中的第 6 列的所述写入起始位置设置为地址为 5 的位置,

将所述存储装置的 8 列中的第 7 列的所述写入起始位置设置为地址为 7 的位置,并且

将所述存储装置的 8 列中的第 8 列的所述写入起始位置设置为地址为 7 的位置。

13. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长 N 的 LDPC 码,并且

所述 m 位是 6 位,并且所述整数 b 是 1,并且此外

所述 LDPC 码的所述码位的 6 个被映射到以预定调制方法确定的 64 个信号点中的 6 个,而

所述存储装置具有用于在所述行方向上存储 6×1 位并且在所述列方向上存储 64,800/(6×1) 位的 6 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 6 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 6 列中的第 2 列的所述写入起始位置设置为地址为 2 的位置，  
将所述存储装置的 6 列中的第 3 列的所述写入起始位置设置为地址为 5 的位置，  
将所述存储装置的 6 列中的第 4 列的所述写入起始位置设置为地址为 9 的位置，  
将所述存储装置的 6 列中的第 5 列的所述写入起始位置设置为地址为 10 的位置，并且  
将所述存储装置的 6 列中的第 6 列的所述写入起始位置设置为地址为 13 的位置。

14. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长 N 的 LDPC 码，并且

所述 m 位是 6 位，并且所述整数 b 是 2，并且此外

所述 LDPC 码的所述码位的 6 个被映射到以预定调制方法确定的 64 个信号点中的 6 个，  
而

所述存储装置具有用于在所述行方向上存储  $6 \times 2$  位并且在所述列方向上存储  $64,800 / (6 \times 2)$  位的 12 列的情况下，

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下，

将所述存储装置的 12 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 3 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 4 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 5 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 6 列的所述写入起始位置设置为地址为 4 的位置，

将所述存储装置的 12 列中的第 7 列的所述写入起始位置设置为地址为 4 的位置，

将所述存储装置的 12 列中的第 8 列的所述写入起始位置设置为地址为 5 的位置，

将所述存储装置的 12 列中的第 9 列的所述写入起始位置设置为地址为 5 的位置，

将所述存储装置的 12 列中的第 10 列的所述写入起始位置设置为地址为 7 的位置，

将所述存储装置的 12 列中的第 11 列的所述写入起始位置设置为地址为 8 的位置，并

且

将所述存储装置的 12 列中的第 12 列的所述写入起始位置设置为地址为 9 的位置。

15. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长 N 的 LDPC 码，并且

所述 m 位是 8 位，并且所述整数 b 是 1，并且此外

所述 LDPC 码的所述码位的 8 个被映射到以预定调制方法确定的 256 个信号点中的 8 个，而

所述存储装置具有用于在所述行方向上存储  $8 \times 1$  位并且在所述列方向上存储  $64,800 / (8 \times 1)$  位的 8 列的情况下，

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在

所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下，

将所述存储装置的 8 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置，  
将所述存储装置的 8 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置，  
将所述存储装置的 8 列中的第 3 列的所述写入起始位置设置为地址为 2 的位置，  
将所述存储装置的 8 列中的第 4 列的所述写入起始位置设置为地址为 4 的位置，  
将所述存储装置的 8 列中的第 5 列的所述写入起始位置设置为地址为 4 的位置，  
将所述存储装置的 8 列中的第 6 列的所述写入起始位置设置为地址为 5 的位置，  
将所述存储装置的 8 列中的第 7 列的所述写入起始位置设置为地址为 7 的位置，并且  
将所述存储装置的 8 列中的第 8 列的所述写入起始位置设置为地址为 7 的位置。

16. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长 N 的 LDPC 码，并且

所述 m 位是 8 位，并且所述整数 b 是 2，并且此外

所述 LDPC 码的所述码位的 8 个被映射到以预定调制方法确定的 256 个信号点中的 8 个，而

所述存储装置具有用于在所述行方向上存储  $8 \times 2$  位并且在所述列方向上存储  $64,800 / (8 \times 2)$  位的 16 列的情况下，

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下，

将所述存储装置的 16 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置，  
将所述存储装置的 16 列中的第 2 列的所述写入起始位置设置为地址为 2 的位置，  
将所述存储装置的 16 列中的第 3 列的所述写入起始位置设置为地址为 2 的位置，  
将所述存储装置的 16 列中的第 4 列的所述写入起始位置设置为地址为 2 的位置，  
将所述存储装置的 16 列中的第 5 列的所述写入起始位置设置为地址为 2 的位置，  
将所述存储装置的 16 列中的第 6 列的所述写入起始位置设置为地址为 3 的位置，  
将所述存储装置的 16 列中的第 7 列的所述写入起始位置设置为地址为 7 的位置，  
将所述存储装置的 16 列中的第 8 列的所述写入起始位置设置为地址为 15 的位置，  
将所述存储装置的 16 列中的第 9 列的所述写入起始位置设置为地址为 16 的位置，  
将所述存储装置的 16 列中的第 10 列的所述写入起始位置设置为地址为 20 的位置，  
将所述存储装置的 16 列中的第 11 列的所述写入起始位置设置为地址为 22 的位置，  
将所述存储装置的 16 列中的第 12 列的所述写入起始位置设置为地址为 22 的位置，  
将所述存储装置的 16 列中的第 13 列的所述写入起始位置设置为地址为 27 的位置，  
将所述存储装置的 16 列中的第 14 列的所述写入起始位置设置为地址为 27 的位置，  
将所述存储装置的 16 列中的第 15 列的所述写入起始位置设置为地址为 28 的位置，并

且

将所述存储装置的 16 列中的第 16 列的所述写入起始位置设置为地址为 32 的位置。

17. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位

的码长  $N$  的 LDPC 码, 并且

所述  $m$  位是 10 位, 并且所述整数  $b$  是 1, 并且此外

所述 LDPC 码的所述码位的 10 个被映射到以预定调制方法确定的 1024 个信号点中的 10 个, 而

所述存储装置具有用于在所述行方向上存储  $10 \times 1$  位并且在所述列方向上存储  $64,800 / (10 \times 1)$  位的 10 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 10 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 10 列中的第 2 列的所述写入起始位置设置为地址为 3 的位置,

将所述存储装置的 10 列中的第 3 列的所述写入起始位置设置为地址为 6 的位置,

将所述存储装置的 10 列中的第 4 列的所述写入起始位置设置为地址为 8 的位置,

将所述存储装置的 10 列中的第 5 列的所述写入起始位置设置为地址为 11 的位置,

将所述存储装置的 10 列中的第 6 列的所述写入起始位置设置为地址为 13 的位置,

将所述存储装置的 10 列中的第 7 列的所述写入起始位置设置为地址为 15 的位置,

将所述存储装置的 10 列中的第 8 列的所述写入起始位置设置为地址为 17 的位置,

将所述存储装置的 10 列中的第 9 列的所述写入起始位置设置为地址为 18 的位置, 并

且

将所述存储装置的 10 列中的第 10 列的所述写入起始位置设置为地址为 20 的位置。

18. 根据权利要求 8 所述的数据处理设备, 其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和  $64,800$  位的码长  $N$  的 LDPC 码, 并且

所述  $m$  位是 10 位, 并且所述整数  $b$  是 2, 并且此外

所述 LDPC 码的所述码位的 10 个被映射到以预定调制方法确定的 1024 个信号点中的 10 个, 而

所述存储装置具有用于在所述行方向上存储  $10 \times 2$  位并且在所述列方向上存储  $64,800 / (10 \times 2)$  位的 20 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 20 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 20 列中的第 2 列的所述写入起始位置设置为地址为 1 的位置,

将所述存储装置的 20 列中的第 3 列的所述写入起始位置设置为地址为 3 的位置,

将所述存储装置的 20 列中的第 4 列的所述写入起始位置设置为地址为 4 的位置,

将所述存储装置的 20 列中的第 5 列的所述写入起始位置设置为地址为 5 的位置,

将所述存储装置的 20 列中的第 6 列的所述写入起始位置设置为地址为 6 的位置,

将所述存储装置的 20 列中的第 7 列的所述写入起始位置设置为地址为 6 的位置,

将所述存储装置的 20 列中的第 8 列的所述写入起始位置设置为地址为 9 的位置,

将所述存储装置的 20 列中的第 9 列的所述写入起始位置设置为地址为 13 的位置，  
将所述存储装置的 20 列中的第 10 列的所述写入起始位置设置为地址为 14 的位置，  
将所述存储装置的 20 列中的第 11 列的所述写入起始位置设置为地址为 14 的位置，  
将所述存储装置的 20 列中的第 12 列的所述写入起始位置设置为地址为 16 的位置，  
将所述存储装置的 20 列中的第 13 列的所述写入起始位置设置为地址为 21 的位置，  
将所述存储装置的 20 列中的第 14 列的所述写入起始位置设置为地址为 21 的位置，  
将所述存储装置的 20 列中的第 15 列的所述写入起始位置设置为地址为 23 的位置，  
将所述存储装置的 20 列中的第 16 列的所述写入起始位置设置为地址为 25 的位置，  
将所述存储装置的 20 列中的第 17 列的所述写入起始位置设置为地址为 25 的位置，  
将所述存储装置的 20 列中的第 18 列的所述写入起始位置设置为地址为 26 的位置，  
将所述存储装置的 20 列中的第 19 列的所述写入起始位置设置为地址为 28 的位置，并  
且

将所述存储装置的 20 列中的第 20 列的所述写入起始位置设置为地址为 30 的位置。

19. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位的码长 N 的 LDPC 码，并且

所述 m 位是 12 位，并且所述整数 b 是 1，并且此外

所述 LDPC 码的所述码位的 12 个被映射到以预定调制方法确定的 4096 个信号点中的 12 个，而

所述存储装置具有用于在所述行方向上存储  $12 \times 1$  位并且在所述列方向上存储  $64,800 / (12 \times 1)$  位的 12 列的情况下，

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下，

将所述存储装置的 12 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 3 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 4 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 5 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 6 列的所述写入起始位置设置为地址为 4 的位置，

将所述存储装置的 12 列中的第 7 列的所述写入起始位置设置为地址为 4 的位置，

将所述存储装置的 12 列中的第 8 列的所述写入起始位置设置为地址为 5 的位置，

将所述存储装置的 12 列中的第 9 列的所述写入起始位置设置为地址为 5 的位置，

将所述存储装置的 12 列中的第 10 列的所述写入起始位置设置为地址为 7 的位置，

将所述存储装置的 12 列中的第 11 列的所述写入起始位置设置为地址为 8 的位置，并  
且

将所述存储装置的 12 列中的第 12 列的所述写入起始位置设置为地址为 9 的位置。

20. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 11 个不同的编码速率之一和 64,800 位



的码长  $N$  的 LDPC 码, 并且

所述  $m$  位是 12 位, 并且所述整数  $b$  是 2, 并且此外

所述 LDPC 码的所述码位的 12 个被映射到以预定调制方法确定的 4096 个信号点中的 12 个, 而

所述存储装置具有用于在所述行方向上存储  $12 \times 2$  位并且在所述列方向上存储  $64,800 / (12 \times 2)$  位的 24 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 24 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 24 列中的第 2 列的所述写入起始位置设置为地址为 5 的位置,

将所述存储装置的 24 列中的第 3 列的所述写入起始位置设置为地址为 8 的位置,

将所述存储装置的 24 列中的第 4 列的所述写入起始位置设置为地址为 8 的位置,

将所述存储装置的 24 列中的第 5 列的所述写入起始位置设置为地址为 8 的位置,

将所述存储装置的 24 列中的第 6 列的所述写入起始位置设置为地址为 8 的位置,

将所述存储装置的 24 列中的第 7 列的所述写入起始位置设置为地址为 10 的位置,

将所述存储装置的 24 列中的第 8 列的所述写入起始位置设置为地址为 10 的位置,

将所述存储装置的 24 列中的第 9 列的所述写入起始位置设置为地址为 10 的位置,

将所述存储装置的 24 列中的第 10 列的所述写入起始位置设置为地址为 12 的位置,

将所述存储装置的 24 列中的第 11 列的所述写入起始位置设置为地址为 13 的位置,

将所述存储装置的 24 列中的第 12 列的所述写入起始位置设置为地址为 16 的位置,

将所述存储装置的 24 列中的第 13 列的所述写入起始位置设置为地址为 17 的位置,

将所述存储装置的 24 列中的第 14 列的所述写入起始位置设置为地址为 19 的位置,

将所述存储装置的 24 列中的第 15 列的所述写入起始位置设置为地址为 21 的位置,

将所述存储装置的 24 列中的第 16 列的所述写入起始位置设置为地址为 22 的位置,

将所述存储装置的 24 列中的第 17 列的所述写入起始位置设置为地址为 23 的位置,

将所述存储装置的 24 列中的第 18 列的所述写入起始位置设置为地址为 26 的位置,

将所述存储装置的 24 列中的第 19 列的所述写入起始位置设置为地址为 37 的位置,

将所述存储装置的 24 列中的第 20 列的所述写入起始位置设置为地址为 39 的位置,

将所述存储装置的 24 列中的第 21 列的所述写入起始位置设置为地址为 40 的位置,

将所述存储装置的 24 列中的第 22 列的所述写入起始位置设置为地址为 41 的位置,

将所述存储装置的 24 列中的第 23 列的所述写入起始位置设置为地址为 41 的位置, 并

且

将所述存储装置的 24 列中的第 24 列的所述写入起始位置设置为地址为 41 的位置。

21. 根据权利要求 8 所述的数据处理设备, 其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长  $N$  的 LDPC 码, 并且

所述  $m$  位是 2 位, 并且所述整数  $b$  是 1, 并且此外

所述 LDPC 码的所述码位的 2 个被映射到以预定调制方法确定的 4 个信号点中的 2 个,

而

所述存储装置具有用于在所述行方向上存储  $2 \times 1$  位并且在所述列方向上存储  $16,200/(2 \times 1)$  位的 2 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的两列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,并且将所述存储装置的两列中的第 2 列的所述写入起始位置设置为地址为 0 的位置。

22. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长  $N$  的 LDPC 码,并且

所述  $m$  位是 2 位,并且所述整数  $b$  是 2,并且此外

所述 LDPC 码的所述码位的 2 个被映射到以预定调制方法确定的 4 个信号点中的 2 个,

而

所述存储装置具有用于在所述行方向上存储  $2 \times 2$  位并且在所述列方向上存储  $16,200/(2 \times 2)$  位的 4 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 4 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 4 列中的第 2 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 4 列中的第 3 列的所述写入起始位置设置为地址为 3 的位置,

将所述存储装置的 4 列中的第 4 列的所述写入起始位置设置为地址为 3 的位置。

23. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长  $N$  的 LDPC 码,并且

所述  $m$  位是 4 位,并且所述整数  $b$  是 1,并且此外

所述 LDPC 码的所述码位的 4 个被映射到以预定调制方法确定的 16 个信号点中的 4 个,

而

所述存储装置具有用于在所述行方向上存储  $4 \times 1$  位并且在所述列方向上存储  $16,200/(4 \times 1)$  位的 4 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 4 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 4 列中的第 2 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 4 列中的第 3 列的所述写入起始位置设置为地址为 3 的位置,

将所述存储装置的 4 列中的第 4 列的所述写入起始位置设置为地址为 3 的位置。

24. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长 N 的 LDPC 码,并且

所述 m 位是 4 位,并且所述整数 b 是 2,并且此外

所述 LDPC 码的所述码位的 4 个被映射到以预定调制方法确定的 16 个信号点中的 4 个,而

所述存储装置具有用于在所述行方向上存储  $4 \times 2$  位并且在所述列方向上存储  $16,200 / (4 \times 2)$  位的 8 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 8 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 8 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 8 列中的第 3 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 8 列中的第 4 列的所述写入起始位置设置为地址为 1 的位置,

将所述存储装置的 8 列中的第 5 列的所述写入起始位置设置为地址为 7 的位置,

将所述存储装置的 8 列中的第 6 列的所述写入起始位置设置为地址为 20 的位置,

将所述存储装置的 8 列中的第 7 列的所述写入起始位置设置为地址为 20 的位置,并且

将所述存储装置的 8 列中的第 8 列的所述写入起始位置设置为地址为 21 的位置。

25. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长 N 的 LDPC 码,并且

所述 m 位是 6 位,并且所述整数 b 是 1,并且此外

所述 LDPC 码的所述码位的 6 个被映射到以预定调制方法确定的 64 个信号点中的 6 个,而

所述存储装置具有用于在所述行方向上存储  $6 \times 1$  位并且在所述列方向上存储  $16,200 / (6 \times 1)$  位的 6 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 6 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 6 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 6 列中的第 3 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 6 列中的第 4 列的所述写入起始位置设置为地址为 3 的位置,

将所述存储装置的 6 列中的第 5 列的所述写入起始位置设置为地址为 7 的位置,并且

将所述存储装置的 6 列中的第 6 列的所述写入起始位置设置为地址为 7 的位置。

26. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长 N 的 LDPC 码,并且

所述 m 位是 6 位,并且所述整数 b 是 2,并且此外

所述 LDPC 码的所述码位的 6 个被映射到以预定调制方法确定的 64 个信号点中的 6 个，而

所述存储装置具有用于在所述行方向上存储  $6 \times 2$  位并且在所述列方向上存储  $16,200 / (6 \times 2)$  位的 12 列的情况下，

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下，

将所述存储装置的 12 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 3 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 4 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 5 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 6 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 7 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 8 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 9 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 10 列的所述写入起始位置设置为地址为 6 的位置，

将所述存储装置的 12 列中的第 11 列的所述写入起始位置设置为地址为 7 的位置，并

且

将所述存储装置的 12 列中的第 12 列的所述写入起始位置设置为地址为 7 的位置。

27. 根据权利要求 8 的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和  $16,200$  位的码长  $N$  的 LDPC 码，并且

所述  $m$  位是 8 位，并且所述整数  $b$  是 1，并且此外

所述 LDPC 码的所述码位的 8 个被映射到以预定调制方法确定的 256 个信号点中的 8 个，而

所述存储装置具有用于在所述行方向上存储  $8 \times 1$  位并且在所述列方向上存储  $16,200 / (8 \times 1)$  位的 8 列的情况下，

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下，

将所述存储装置的 8 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 8 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 8 列中的第 3 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 8 列中的第 4 列的所述写入起始位置设置为地址为 1 的位置，

将所述存储装置的 8 列中的第 5 列的所述写入起始位置设置为地址为 7 的位置，

将所述存储装置的 8 列中的第 6 列的所述写入起始位置设置为地址为 20 的位置，

将所述存储装置的 8 列中的第 7 列的所述写入起始位置设置为地址为 20 的位置，并且

将所述存储装置的 8 列中的第 8 列的所述写入起始位置设置为地址为 21 的位置。

28. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长 N 的 LDPC 码,并且

所述 m 位是 10 位,并且所述整数 b 是 1,并且此外

所述 LDPC 码的所述码位的 10 个被映射到以预定调制方法确定的 1024 个信号点中的 10 个,而

所述存储装置具有用于在所述行方向上存储  $10 \times 1$  位并且在所述列方向上存储  $16,200 / (10 \times 1)$  位的 10 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 10 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 10 列中的第 2 列的所述写入起始位置设置为地址为 1 的位置,

将所述存储装置的 10 列中的第 3 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 10 列中的第 4 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 10 列中的第 5 列的所述写入起始位置设置为地址为 3 的位置,

将所述存储装置的 10 列中的第 6 列的所述写入起始位置设置为地址为 3 的位置,

将所述存储装置的 10 列中的第 7 列的所述写入起始位置设置为地址为 4 的位置,

将所述存储装置的 10 列中的第 8 列的所述写入起始位置设置为地址为 4 的位置,

将所述存储装置的 10 列中的第 9 列的所述写入起始位置设置为地址为 5 的位置,并且

将所述存储装置的 10 列中的第 10 列的所述写入起始位置设置为地址为 7 的位置。

29. 根据权利要求 8 所述的数据处理设备,其中,

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16,200 位的码长 N 的 LDPC 码,并且

所述 m 位是 10 位,并且所述整数 b 是 2,并且此外

所述 LDPC 码的所述码位的 10 个被映射到以预定调制方法确定的 1024 个信号点中的 10 个,而

所述存储装置具有用于在所述行方向上存储  $10 \times 2$  位并且在所述列方向上存储  $16,200 / (10 \times 2)$  位的 20 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 20 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 20 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 20 列中的第 3 列的所述写入起始位置设置为地址为 0 的位置,

将所述存储装置的 20 列中的第 4 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 20 列中的第 5 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 20 列中的第 6 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 20 列中的第 7 列的所述写入起始位置设置为地址为 2 的位置,

将所述存储装置的 20 列中的第 8 列的所述写入起始位置设置为地址为 2 的位置，  
将所述存储装置的 20 列中的第 9 列的所述写入起始位置设置为地址为 5 的位置，  
将所述存储装置的 20 列中的第 10 列的所述写入起始位置设置为地址为 5 的位置，  
将所述存储装置的 20 列中的第 11 列的所述写入起始位置设置为地址为 5 的位置，  
将所述存储装置的 20 列中的第 12 列的所述写入起始位置设置为地址为 5 的位置，  
将所述存储装置的 20 列中的第 13 列的所述写入起始位置设置为地址为 5 的位置，  
将所述存储装置的 20 列中的第 14 列的所述写入起始位置设置为地址为 7 的位置，  
将所述存储装置的 20 列中的第 15 列的所述写入起始位置设置为地址为 7 的位置，  
将所述存储装置的 20 列中的第 16 列的所述写入起始位置设置为地址为 7 的位置，  
将所述存储装置的 20 列中的第 17 列的所述写入起始位置设置为地址为 7 的位置，  
将所述存储装置的 20 列中的第 18 列的所述写入起始位置设置为地址为 8 的位置，  
将所述存储装置的 20 列中的第 19 列的所述写入起始位置设置为地址为 8 的位置，并  
且

将所述存储装置的 20 列中的第 20 列的所述写入起始位置设置为地址为 10 的位置。

30. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16, 200 位的码长 N 的 LDPC 码，并且

所述 m 位是 12 位，并且所述整数 b 是 1，并且此外

所述 LDPC 码的所述码位的 12 个被映射到以预定调制方法确定的 4096 个信号点中的 12 个，而

所述存储装置具有用于在所述行方向上存储  $12 \times 1$  位并且在所述列方向上存储  $16, 200 / (12 \times 1)$  位的 12 列的情况下，

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下，

将所述存储装置的 12 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 3 列的所述写入起始位置设置为地址为 0 的位置，

将所述存储装置的 12 列中的第 4 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 5 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 6 列的所述写入起始位置设置为地址为 2 的位置，

将所述存储装置的 12 列中的第 7 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 8 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 9 列的所述写入起始位置设置为地址为 3 的位置，

将所述存储装置的 12 列中的第 10 列的所述写入起始位置设置为地址为 6 的位置，

将所述存储装置的 12 列中的第 11 列的所述写入起始位置设置为地址为 7 的位置，并  
且

将所述存储装置的 12 列中的第 12 列的所述写入起始位置设置为地址为 7 的位置。

31. 根据权利要求 8 所述的数据处理设备，其中，

在所述 LDPC 码是具有 DVB-S. 2 标准中规定的 10 个不同的编码速率之一和 16, 200 位的码长 N 的 LDPC 码, 并且

所述 m 位是 12 位, 并且所述整数 b 是 2, 并且此外

所述 LDPC 码的所述码位的 12 个被映射到以预定调制方法确定的 4096 个信号点中的 12 个, 而

所述存储装置具有用于在所述行方向上存储  $12 \times 2$  位并且在所述列方向上存储  $16, 200 / (12 \times 2)$  位的 24 列的情况下,

所述重新布置装置

在所述存储装置的所述列方向上的顶部位置的地址被表示为 0 并且所述存储装置在所述列方向上的每个位置的地址被表示为以升序给出的整数的情况下,

将所述存储装置的 24 列中的第 1 列的所述写入起始位置设置为地址为 0 的位置,  
将所述存储装置的 24 列中的第 2 列的所述写入起始位置设置为地址为 0 的位置,  
将所述存储装置的 24 列中的第 3 列的所述写入起始位置设置为地址为 0 的位置,  
将所述存储装置的 24 列中的第 4 列的所述写入起始位置设置为地址为 0 的位置,  
将所述存储装置的 24 列中的第 5 列的所述写入起始位置设置为地址为 0 的位置,  
将所述存储装置的 24 列中的第 6 列的所述写入起始位置设置为地址为 0 的位置,  
将所述存储装置的 24 列中的第 7 列的所述写入起始位置设置为地址为 0 的位置,  
将所述存储装置的 24 列中的第 8 列的所述写入起始位置设置为地址为 1 的位置,  
将所述存储装置的 24 列中的第 9 列的所述写入起始位置设置为地址为 1 的位置,  
将所述存储装置的 24 列中的第 10 列的所述写入起始位置设置为地址为 1 的位置,  
将所述存储装置的 24 列中的第 11 列的所述写入起始位置设置为地址为 2 的位置,  
将所述存储装置的 24 列中的第 12 列的所述写入起始位置设置为地址为 2 的位置,  
将所述存储装置的 24 列中的第 13 列的所述写入起始位置设置为地址为 2 的位置,  
将所述存储装置的 24 列中的第 14 列的所述写入起始位置设置为地址为 3 的位置,  
将所述存储装置的 24 列中的第 15 列的所述写入起始位置设置为地址为 7 的位置,  
将所述存储装置的 24 列中的第 16 列的所述写入起始位置设置为地址为 9 的位置,  
将所述存储装置的 24 列中的第 17 列的所述写入起始位置设置为地址为 9 的位置,  
将所述存储装置的 24 列中的第 18 列的所述写入起始位置设置为地址为 9 的位置,  
将所述存储装置的 24 列中的第 19 列的所述写入起始位置设置为地址为 10 的位置,  
将所述存储装置的 24 列中的第 20 列的所述写入起始位置设置为地址为 10 的位置,  
将所述存储装置的 24 列中的第 21 列的所述写入起始位置设置为地址为 10 的位置,  
将所述存储装置的 24 列中的第 22 列的所述写入起始位置设置为地址为 10 的位置,  
将所述存储装置的 24 列中的第 23 列的所述写入起始位置设置为地址为 10 的位置, 并且

将所述存储装置的 24 列中的第 24 列的所述写入起始位置设置为地址为 11 的位置。

32. 根据权利要求 5 所述的数据处理设备, 其中, 在通过 QPSK (正交相移键控)、16QAM (正交振幅调制)、64QAM、256QAM、1024QAM 或 4096QAM 对所述 LDPC 码施加调制之后发送所述 LDPC 码。

33. 根据权利要求 1 所述的数据处理设备, 其中,

所述 LDPC 码是 QC(准循环)-LDPC 码,并且

在所述符号由在用于在行方向和列方向上存储所述 LDPC 码的码位的存储装置的列方向上写入并且在所述存储装置的行方向上读出的所述 LDPC 码的码位形成的情况下,

所述重新布置装置执行列扭曲交织作为所述重新布置过程,

所述列扭曲交织用于当要针对所述存储装置的每列在所述存储装置的所述列方向上写入所述 LDPC 码的码位时改变所述写入起始位置。

34. 根据权利要求 7 所述的数据处理设备,其中,彼此集成地形成所述奇偶交织装置和所述重新布置装置。

35. 一种用于交织数据的数据处理设备的数据处理方法,包括步骤:

在将 LDPC(低密度奇偶校验)码作为均由其两个或更多个码位形成的符号发送的情况下,

由所述数据处理设备执行对所述 LDPC 码的码位的重新布置,使得与所述奇偶校验矩阵的任意一行中包括的值 1 所对应的码位的多个码位不被包括在同一符号中。

36. 一种数据处理设备,其接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码,所述数据处理设备包括:

反向重新布置装置,用于针对通过执行重新布置 LDPC 码的码位的重新布置过程以使得与奇偶校验矩阵的任意一行中包括的值 1 所对应的所述 LDPC 码的码位的多个码位不被包括在同一符号中而获得的 LDPC 码执行反向重新布置过程,所述反向重新布置过程是对应于所述重新布置过程的反向重新布置;以及,

LDPC 解码装置,用于针对执行了所述反向重新布置过程的所述 LDPC 码执行 LDPC 解码。

37. 根据权利要求 36 所述的数据处理设备,其中,

所述反向重新布置装置针对通过如下方式获得的 LDPC 码执行所述反向重新布置过程:

执行奇偶交织,所述奇偶交织将通过根据奇偶校验矩阵执行 LDPC 编码而获得的 LDPC 码的奇偶位单独地交织到其它所述奇偶位的位置,在所述奇偶校验矩阵中,作为对应于所述 LDPC 码的奇偶位的所述 LDPC 码的部分的奇偶矩阵具有阶梯结构,并且然后

执行重新布置所述 LDPC 码的码位的重新布置过程,使得包括在所述奇偶校验矩阵的任意一行中的值 1 所对应的所述码位的多个码位不被包括在同一符号中,并且

所述 LDPC 解码装置使用通过对所述奇偶校验矩阵至少执行对应于所述奇偶交织的列替换而获得的转换奇偶校验矩阵对已经执行了所述反向重新布置过程但还未执行作为对应于所述奇偶交织的解交织的奇偶解交织的 LDPC 码执行 LDPC 解码。

38. 一种用于数据处理设备的数据处理方法,所述数据处理设备接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码,所述数据处理方法包括步骤:

由所述数据处理设备针对 LDPC 码执行作为对应于所述重新布置过程的反向重新布置过程的反向重新布置过程,其中所述 LDPC 码是通过执行重新布置 LDPC 码的码位的重新布置过程以使得包括在奇偶校验矩阵的任意一行中的值 1 所对应的 LDPC 码的码位的多个码位不被包括在同一符号中而获得的;以及,

由所述数据处理设备针对执行了所述反向重新布置过程的 LDPC 码执行 LDPC 解码。



39. 一种用于交织数据的数据处理设备的数据处理方法,包括步骤:

在将 LDPC(低密度奇偶校验)码作为均由其两个或更多个码位形成的符号发送的情况下,由所述数据处理设备执行作为用于重新布置所述 LDPC 码的码位的重新布置过程的列扭曲交织,

其中,在所述 LDPC 码中,作为对应于所述 LDPC 码的信息位的其奇偶校验矩阵的部分的信息矩阵具有循环结构,而所述符号是由在用于在行方向和列方向上存储所述 LDPC 码的码位的存储装置的列方向上写入、并且在行方向上从所述存储装置读出的所述 LDPC 码的码位形成的,

其中,所述列扭曲交织用于当要针对所述存储装置的每列在所述存储装置的列方向写入所述 LDPC 码的码位时改变所述写入起始位置。

40. 一种数据处理设备,其接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码,所述数据处理设备包括:

反向重新布置装置,用于在下述情况下:

所述 LDPC 码是这样的 LDPC 码,在所述 LDPC 码中,作为对应于所述 LDPC 码的奇偶校验矩阵中的所述 LDPC 码的信息位的所述 LDPC 的部分的信息矩阵具有循环结构,并且

所述符号是由在用于在行方向和列方向上存储所述 LDPC 码的码位的存储装置的列方向上写入、并且在行方向从所述存储装置读出的 LDPC 码的码位形成的,

对于通过执行作为重新布置所述 LDPC 码的码位的重新布置过程的列扭曲交织而获得的 LDPC 码执行作为对应于所述重新布置过程的反向重新布置的反向重新布置过程,其中所述列扭曲交织用于当要针对所述存储装置的每列在所述存储装置的列方向上写入所述 LDPC 码的码位时改变所述写入起始位置;以及,

LDPC 解码装置,用于针对执行了所述反向重新布置过程的 LDPC 码执行 LDPC 解码。

41. 根据权利要求 40 所述的数据处理设备,其中

所述反向重新布置装置对于通过如下方式获得的 LDPC 码执行所述反向重新布置过程:

执行奇偶交织,所述奇偶交织用于将通过根据奇偶校验矩阵执行 LDPC 编码而获得的 LDPC 码的奇偶位单独地交织到其它所述奇偶位的位置,在所述奇偶校验矩阵中,作为对应于所述 LDPC 码的奇偶位的所述 LDPC 码的部分的奇偶矩阵具有阶梯结构,并且然后

执行所述重新布置过程,并且

所述 LDPC 解码装置使用通过对所述奇偶校验矩阵至少执行对应于所述奇偶交织的列替换而获得的转换奇偶校验矩阵对已经执行了所述反向重新布置过程但还未执行作为对应于所述奇偶交织的解交织的奇偶解交织的 LDPC 码执行 LDPC 解码。

42. 一种用于数据处理设备的数据处理方法,所述数据处理设备接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码,所述数据处理方法包括步骤:

在下述情况下:

所述 LDPC 码是这样的 LDPC 码,在所述 LDPC 码中,作为对应于所述 LDPC 码的奇偶校验矩阵中的所述 LDPC 码的信息位的所述 LDPC 的部分的信息矩阵具有循环结构,并且

所述符号是由在用于在行方向和列方向上存储所述 LDPC 码的码位的存储装置的列方

向上写入、并且在行方向从所述存储装置读出的 LDPC 码的码位形成的，

由所述数据处理设备针对通过执行作为重新布置所述 LDPC 码的码位的重新布置过程的列扭曲交织而获得的 LDPC 码执行作为对应于所述重新布置过程的反向重新布置的反向重新布置过程，其中所述列扭曲交织用于当要针对所述存储装置的每列在所述存储装置的列方向上写入所述 LDPC 码的码位时改变所述写入起始位置；以及，

由所述数据处理设备针对执行了所述反向重新布置过程的 LDPC 码执行 LDPC 解码。

## 数据处理设备和数据处理方法

### 技术领域

[0001] 本发明涉及数据处理设备和数据处理方法,更具体而言,涉及能够改进例如对 LDPC(低密度奇偶校验)码的突发差错或擦除的容限的数据处理设备 and 数据处理方法。

### 背景技术

[0002] LDPC码具有高纠错能力,近年来,开始在包括诸如欧洲使用的 DVB-S. 2 系统(例如参考非专利文件 1) 的卫星数字广播系统的传输系统中被广泛地采用。另外,还研究在下一代地面数字广播中采用 LDPC 码。

[0003] 近来的研究发现,随着码长增加到与 turbo 码等类似, LDPC 码提供接近香农极限的性能。另外,由于 LDPC 码具有最小距离与码长成比例地增加的属性,所以它具有如下特性:它具有优良的块差错概率特性。其优点还在于,在 turbo 码等的解码特性中观察到的所谓差错平底(error floor)现象很少发生。

[0004] 下面,对上述这种 LDPC 码进行具体描述。应当注意, LDPC 码为线性码,虽然它不一定是二维码,但所给出的以下描述假设它是二维码。

[0005] LDPC 码最关键的特性在于:定义 LDPC 码的奇偶校验矩阵为稀疏矩阵。此处,稀疏矩阵是其中值为“1”的那些元素的数量很少的矩阵(几乎所有元素都是 0 的矩阵)。

[0006] 图 1 示出了 LDPC 码的奇偶校验矩阵 H 的示例。

[0007] 在图 1 的奇偶校验矩阵 H 中,每列的重量(列重)(“1”的数量)(重)为“3”,每行的重量(行重)为“6”。

[0008] 在通过 LDPC 码进行编码(LDPC 编码)时,例如,基于奇偶校验矩阵 H 产生生成矩阵 G,并且将此生成矩阵 G 乘以二维信息位以产生码字(LDPC 码)。

[0009] 具体地,用于进行 LDPC 编码的编码设备首先计算出满足表达式  $GH^T = 0$  的生成矩阵 G 以及奇偶校验矩阵 H 的转置矩阵  $H^T$ 。此处,如果生成矩阵 G 为  $K \times N$  矩阵,则编码设备将生成矩阵 G 乘以 K 个信息位的位串(向量 u)以产生 N 位的码字  $c (= uG)$ 。接收侧通过预定通信路径接收编码设备所产生的码字(LDPC 码)。

[0010] 可以使用 Gallager 以概率解码(Probabilistic Decoding)形式提出的算法(即,基于在包括变量节点(也称作消息节点)和校验节点的所谓 Tanner 图上进行置信传播的消息传递算法)进行对 LDPC 码的解码。在以下描述中,将变量节点和校验节点中的每个适当地简单称为节点。

[0011] 图 2 图解了对 LDPC 码进行解码的过程。

[0012] 应当注意,在以下描述中,将如下这种实数值适当地称为接收值  $u_{0i}$ :其中, LDPC 码(一个码字)第 n 个码位值的“0”似然性以对数似然比表示。另外,从校验节点输出的消息用  $u_j$  表示,并且从变量节点输出的消息用  $v_i$  表示。

[0013] 首先,在对 LDPC 码进行解码时,如图 2 所示,在步骤 S11,接收 LDPC 码,并且将消息(校验节点消息)  $u_j$  初始化成“0”,此外将变量 k(假定了整数作为重复过程的计数器)初始化成“0”,之后,处理前往步骤 S12。在步骤 S12,基于通过接收 LDPC 码而得到的接收值  $u_{0i}$

进行表达式 (1) 所表示的数学运算 (变量节点数学运算), 以确定消息 (变量节点消息)  $v_i$ 。另外, 基于消息  $v_i$  进行表达式 (2) 所表示的数学运算, 以确定消息  $u_j$ 。

[0014] [表达式 1]

$$[0015] \quad v_i = u_{oi} + \sum_{j=1}^{d_v-1} u_j \quad \dots \quad (1)$$

[0016] [表达式 2]

$$[0017] \quad \tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots \quad (2)$$

[0018] 此处, 表达式 (1) 和表达式 (2) 中的  $d_v$  和  $d_c$  是可以任意选择的参数, 并且表示奇偶校验矩阵 H 的垂直方向 (列) 和水平方向 (行) 上 “1” 的数量。例如, 在 (3,6) 码的情况下,  $d_v = 3$  并且  $d_c = 6$ 。

[0019] 应当注意, 在表达式 (1) 的变量节点数学运算和表达式 (2) 的校验节点数学运算中, 数学运算的范围为 1 至  $d_v-1$  或者 1 至  $d_c-1$ , 因为从边缘 (将变量节点和校验节点互连的线) (要为其输出消息) 输入的消息不作为数学运算的对象。同时, 通过预先产生表达式 (3) (由关于两个输入  $v_1$  和  $v_2$  的一个输出定义) 所表示的函数  $R(v_1, v_2)$  的表以及如表达式 (4) 所表示的连续地 (递归地) 使用该表来进行表达式 (2) 的校验节点数学运算。

[0020] [表达式 3]

$$[0021] \quad x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \dots (3)$$

[0022] [表达式 4]

$$[0023] \quad u_j = R(v_1, R(v_2, R(v_3, \dots, R(v_{d_c-2}, v_{d_c-1})))) \quad \dots \quad (4)$$

[0024] 在步骤 S12, 变量 k 进一步递增 “1”, 处理前往步骤 S13。在步骤 S13, 判断变量 k 是否大于预定的重复解码次数 C。如果在步骤 S13 判定变量 k 不大于 C, 则处理返回步骤 S12, 之后重复类似的处理。

[0025] 另一方面, 如果在步骤 S13 判定变量 k 大于 C, 则处理前往步骤 S14, 在该步骤, 确定并输出作为解码结果 (最终要通过进行表达式 (5) 所表示的数学运算而输出) 的消息  $v_i$ , 从而结束 LDPC 码的解码过程。

[0026] [表达式 5]

$$[0027] \quad v_i = u_{oi} + \sum_{j=1}^{d_v} u_j \quad \dots \quad (5)$$

[0028] 此处, 进行表达式 (5) 的数学运算, 与表达式 (1) 的变量节点数学运算不同, 使用来自所有连接到变量节点的边缘的消息  $u_j$ 。

[0029] 图 3 图解了 (3,6) LDPC 码 (编码速率: 1/2, 码长: 12) 的奇偶校验矩阵 H 的示例。

[0030] 在图 3 的奇偶校验矩阵 H 中, 与图 1 中类似, 列重为 3、行重为 6。

[0031] 图 4 示出了图 3 的奇偶校验矩阵 H 的 Tanner 图。

[0032] 此处,在图 4 中,校验节点用“+”表示,并且变量节点用“=”表示。校验节点和变量节点分别对应于奇偶校验矩阵 H 的行和列。校验节点与变量节点之间的连接为边缘,并且对应于奇偶校验矩阵的元素“1”。

[0033] 具体地,在奇偶校验矩阵第 i 列第 j 行的元素为 1 的情况下,自上方起第 i 个变量节点(“=”的节点)和自上方起第 j 个校验节点(“+”的节点)通过边缘相连。边缘表示对应于变量节点的码位具有对应于校验节点的限制条件。

[0034] 在和积算法(Sum Product Algorithm)(用于 LDPC 码的解码方法)中,分别进行变量节点数学运算和校验节点数学运算。

[0035] 图 5 图解了对于变量节点进行的变量节点数学运算。

[0036] 对于变量节点,通过表达式(1)的变量节点数学运算(其使用来自其余连接到变量节点的边缘的消息  $u_1$  和  $u_2$  以及接收值  $u_{0i}$ )确定对应于要计算的边缘的消息  $v_i$ 。也类似地确定对应于任何其它边缘的消息。

[0037] 图 6 图解了在校验节点进行的校验节点数学运算。

[0038] 此处,可以通过使用表达式  $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$  的关系将表达式(2)重新写入表达式(6)来进行表达式(2)的校验节点数学运算。应注意,当  $x \geq 0$  时  $\text{sign}(x)$  为 1,而当  $x < 0$  时  $\text{sign}(x)$  为 -1。

[0039] [表达式 6]

$$[0040] \quad u_j = 2 \tanh^{-1} \left( \prod_{i=1}^{d_c-1} \tanh \left( \frac{v_i}{2} \right) \right)$$

$$[0041] \quad = 2 \tanh^{-1} \left[ \exp \left\{ \sum_{i=1}^{d_c-1} \ln \left( \left| \tanh \left( \frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left( \tanh \left( \frac{v_i}{2} \right) \right) \right]$$

[0042]

$$= 2 \tanh^{-1} \left[ \exp \left\{ - \left( \sum_{i=1}^{d_c-1} - \ln \left( \left| \tanh \left( \frac{|v_i|}{2} \right) \right| \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \quad \dots \quad (6)$$

[0043] 进一步地,如果在  $x \geq 0$  的情况下,函数  $\phi(\mathbf{x})$  被定义成表达式  $\phi(\mathbf{x}) = \ln(\tanh(x/2))$ ,则由于满足表达式  $\phi^{-1}(\mathbf{x}) = 2 \tanh^{-1}(e^{\mathbf{x}})$ ,所以可以将表达式(6)变换成表达式(7)。

[0044] [表达式 7]

$$[0045] \quad u_j = \phi^{-1} \left( \sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \quad \dots \quad (7)$$

[0046] 在校验节点,按照表达式(7)进行表达式(2)的校验节点数学运算。

[0047] 具体地,在校验节点,通过表达式(7)的校验节点数学运算(使用来自其余连接到校验节点的边缘的消息  $v_1, v_2, v_3, v_4$  和  $v_5$ )确定对应于要计算的边缘的消息  $u_j$ 。另外,以类

似的方式确定对应于任何其它边缘的消息。

[0048] 应当注意,也可以将表达式 (7) 的函数  $\varphi(\mathbf{x})$  表示成  $\varphi(\mathbf{x}) = \ln((e^{\mathbf{x}} + 1)/(e^{\mathbf{x}} - 1))$ , 其中,  $x > 0$ 、 $\varphi(\mathbf{x}) = \varphi^{-1}(\mathbf{x})$ 。当在硬件中将函数  $\varphi(\mathbf{x})$  和  $\varphi^{-1}(\mathbf{x})$  合并时, 当有时使用 LUT(查找表) 将它们合并时, 这些 LUT 变成同一 LUT。

[0049] 非专利文件 1 :DVB-S. 2 :ETSI EN 302307V1. 1. 2 (2006-06)

## 发明内容

[0050] 技术问题

[0051] 虽然已知 LDPC 码在 AWGN(加性高斯白噪声) 通信路径中呈现出很高的能力, 但近年来变得清楚的是: 即使在其它通信路径中, 它们的纠错能力也比传统卷积码或卷积码的连接码以及 RS(Reed Solomon) 码更高。

[0052] 简言之, 如果选择在 AWGN 通信路径中性能好的码, 则该码在其它通信路径中常常也比其它码的性能更好。

[0053] 顺带提及, 提出了: 例如, 在将 LDPC 码应用于地面数字广播的情况下, 将 DVB-S. 2 标准中规定的 LDPC 码以及 DVB-T 标准中规定的调制系统相结合, 并在 LDPC 编码与调制之间提供用于交织 LDPC 码的码位的交织器(位交织器), 以改进 LDPC 码在 AWGN 通信路径中的性能。

[0054] 然而, 在关于地波假定的通信路径中, 有时发生突发差错或擦除。例如, 在 OFDM(正交频分复用) 系统中, 在 D/U(期望的与不期望的之比) 为 0dB(不期望的=回波的功率等于期望的=主路径的功率) 的多径环境下, 特定符号的功率响应于回波(除主路径之外的路径) 的延迟而变成零(擦除)。

[0055] 另外, 在颤动(如下这种通信路径: 其中, 添加了延迟为零并且应用了多普勒(dopper) 频率的回波) 中, 其中, D/U 为 0dB, 也出现如下情形: 在具体时间点, 整个 OFDM 符号的功率被多普勒频率减小为零。

[0056] 此外, 突发差错有时由从天线到接收设备的布线线路或者电源的不稳定的情况而引起。

[0057] 常规地, 在这些突发差错或擦除如上所述地发生的通信路径中, 也在 AWGN 通信路径中使用高性能的纠错码。

[0058] 同时, 在对 LDPC 码进行解码时, 由于表达式 (1) 的变量节点数学运算(其中, 在奇偶校验矩阵 H 的列中进行了如图 5 中所示的对 LDPC 码的码位(的接收值  $u_{oi}$ ) 的添加) 以及因此对应于 LDPC 码的码位的变量节点, 如果用于变量节点数学运算的码位出现差错, 则所要确定的消息的准确性下降。

[0059] 因此, 由于在对 LDPC 码进行解码时, 在连接到校验节点的变量节点确定的消息被用来在校验节点进行表达式 (7) 的校验节点数学运算, 如果与之相连的多个变量节点(所对应的 LDPC 码的码位) 呈现出差错(包括擦除) 的校验节点的数量同时变大, 则解码的性能劣化。

[0060] 例如, 如果连接到校验节点的两个或更多个变量节点同时遭受到擦除, 则校验节点将如下这种消息返回给所有变量节点: 值会是 0 的概率与值会是 1 的概率彼此相等。在此情况下, 对于这些校验节点, 相等概率的消息不对解码处理的一个循环(一组变量节点

数学运算和校验节点数学运算)有贡献,作为结果,需要增加解码处理的重复次数。因此,解码的性能劣化。另外,对 LDPC 码进行解码的接收设备 12 的功率消耗增加。

[0061] 因此,目前,需要在维持 AWGN 通信路径中性能的同时改进对突发差错或擦除的容限的技术。

[0062] 此处,提出了通过如下方式改进 LDPC 码在 AWGN 通信路径中的性能:如上所述提供用于在 LDPC 编码与调制之间交织 LDPC 码的码位的交织器;并且如果交织器能够进行降低连接到校验节点的变量节点中的多个变量节点(对应的 LDPC 码的码位)会呈现出差错的概率的交织,则可以改进解码的性能。

[0063] 已经考虑到如上所述的这种情况而做出本发明,并且使得可以提高对于 LDPC 码的码位的差错(诸如突发差错或者擦除)的容限。

[0064] 技术方案

[0065] 本发明的第一方面的数据处理设备是交织数据的数据处理设备,包括重新布置装置,用于当将 LDPC(低密度奇偶校验)码作为均由其两个或更多个码位形成的符号发送时,执行重新布置过程,该重新布置过程重新布置 LDPC 码的码位,使得与该奇偶校验矩阵的任意一行中包括的值 1 对应的码位的多个不被包括在同一符号中。

[0066] 本发明的第一方面的数据处理方法是用于交织数据的数据处理设备的数据处理方法,包括步骤:当将 LDPC(低密度奇偶校验)码作为均由其两个或更多个码位形成的符号发送时,由该数据处理设备执行该 LDPC 码的码位的重新布置,使得与该奇偶校验矩阵的任意一行中包括的值 1 对应的码位的多个不被包括在同一符号中。

[0067] 在如上所述的这样的第一方面中,当将 LDPC(低密度奇偶校验)码作为均由其两个或更多个码位形成的符号发送时,该数据处理设备执行该 LDPC 码的码位的重新布置,使得与该奇偶校验矩阵的任意一行中包括的值 1 对应的码位的多个不被包括在同一符号中。

[0068] 本发明的第二方面的数据处理设备是接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码的数据处理设备,包括:反向重新布置装置,用于针对 LDPC 码执行反向重新布置过程,该反向重新布置过程是对应于重新布置过程的反向重新布置过程,其中该 LDPC 码是通过执行重新布置 LDPC 码的码位的重新布置过程以使得与该奇偶校验矩阵的任意一行中包括的值 1 对应的 LDPC 码的码位的多个不被包括在同一符号中而获得的;以及,LDPC 解码装置,用于对于执行了该反向重新布置过程的 LDPC 码执行 LDPC 解码。

[0069] 本发明的第二方面的一种数据处理方法是一种用于数据处理设备的数据处理方法,该数据处理设备接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码,该数据处理方法包括步骤:由该数据处理设备针对 LDPC 码执行反向重新布置过程,该反向重新布置过程是对应于重新布置过程的反向重新布置过程,其中该 LDPC 码是通过执行重新布置 LDPC 码的码位的重新布置过程以使得与该奇偶校验矩阵的任意一行中包括的值 1 对应的 LDPC 码的码位的多个不被包括在同一符号中而获得的;以及,由该数据处理设备对于执行了该反向重新布置过程的 LDPC 码执行 LDPC 解码。

[0070] 在如上所述的这样的第二方面中,对于通过执行重新布置过程而获得的 LDPC 码执行对应于所述重新布置过程的反向重新布置过程,并且,对于执行了该反向重新布置过程的 LDPC 码执行 LDPC 解码。

[0071] 本发明的第三方面的数据处理设备是一种交织数据的数据处理设备,包括重新布置装置,用于当发送 LDPC(低密度奇偶校验)码时,执行作为用于重新布置 LDPC 码的码位的重新布置过程的列扭曲交织,其中,在该 LDPC 码中,作为对应于该 LDPC 码的信息位的其奇偶校验矩阵的部分的信息矩阵具有循环结构,该 LDPC 码作为均由其两个或更多个码位形成的符号发送,而该符号是由在用于在行方向和列方向存储该 LDPC 码的码位的存储装置的列方向写入、并且在行方向从该存储装置读出的 LDPC 码的码位形成的,该列扭曲交织用于当要针对该存储装置的每列在该存储装置的列方向写入该 LDPC 码的码位时改变该写入的起始位置。

[0072] 本发明的第三方面的数据处理方法是一种用于交织数据的数据处理设备的数据处理方法,包括步骤:当发送 LDPC(低密度奇偶校验)码时,由该数据处理设备执行作为用于重新布置该 LDPC 码的码位的重新布置过程的列扭曲交织,其中,在该 LDPC 码中,作为对应于该 LDPC 码的信息位的其奇偶校验矩阵的部分的信息矩阵具有循环结构,该 LDPC 码作为均由其两个或更多个码位形成的符号发送,而该符号是由在用于在行方向和列方向存储该 LDPC 码的码位的存储装置的列方向写入、并且在行方向从该存储装置读出的 LDPC 码的码位形成的,该列扭曲交织用于当要针对该存储装置的每列在该存储装置的列方向写入该 LDPC 码的码位时改变该写入的起始位置。

[0073] 在如上所述的这样的第三方面中,作为用于重新布置该 LDPC 码的码位的重新布置过程进行列扭曲交织,该列扭曲交织用于当要针对该存储装置的每列在该存储装置的列方向写入该 LDPC 码的码位时改变该写入的起始位置。

[0074] 本发明的第四方面的数据处理设备是一种接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码的数据处理设备,包括:反向重新布置装置,用于当该 LDPC 码是这样的 LDPC 码时,对于通过执行作为重新布置该 LDPC 码的码位的重新布置过程的列扭曲交织而获得的 LDPC 码执行作为对应于重新布置过程的反向重新布置的反向重新布置过程,其中,在该 LDPC 码中,作为对应于该 LDPC 码的奇偶校验矩阵中的该 LDPC 码的信息位的该 LDPC 的部分的信息矩阵具有循环结构,并且该符号是由在用于在行方向和列方向存储该 LDPC 码的码位的存储装置的列方向写入、并且在行方向从该存储装置读出的 LDPC 码的码位形成的,该列扭曲交织用于当要针对该存储装置的每列在该存储装置的列方向写入该 LDPC 码的码位时改变该写入的起始位置;以及,LDPC 解码装置,用于对于执行了该反向重新布置过程的 LDPC 码执行 LDPC 解码。

[0075] 根据本发明的第四方面的数据处理方法是一种用于数据处理设备的数据处理方法,该数据处理设备接收作为均由两个或更多个码位形成的符号、以交织形式向其发送的 LDPC(低密度奇偶校验)码,该方法包括步骤:当该 LDPC 码是这样的 LDPC 码时,对于通过执行作为重新布置该 LDPC 码的码位的重新布置过程的列扭曲交织而获得的 LDPC 码,由该数据处理设备执行作为对应于重新布置过程的反向重新布置的反向重新布置过程,其中,在该 LDPC 码中,作为对应于该 LDPC 码的奇偶校验矩阵中的该 LDPC 码的信息位的该 LDPC 的部分的信息矩阵具有循环结构,并且该符号是由在用于在行方向和列方向存储该 LDPC 码的码位的存储装置的列方向写入、并且在行方向从该存储装置读出的 LDPC 码的码位形成的,该列扭曲交织用于当要针对该存储装置的每列在该存储装置的列方向写入该 LDPC 码的码位时改变该写入的起始位置;以及,对于执行了该反向重新布置过程的 LDPC 码,由该数据



处理设备执行 LDPC 解码。

[0076] 在如上所述的这样的第四方面中,对于通过执行作为重新布置过程的列扭曲交织而获得的 LDPC 码执行作为对应于重新布置过程的反向重新布置的反向重新布置过程,并且,对于执行了该反向重新布置过程的 LDPC 码执行 LDPC 解码。

[0077] 应当注意,该数据处理设备可以是独立的设备,或者可以是构成一个设备的内部块。

[0078] 有益效果

[0079] 使用本发明的第一到第四方面,能够改善对于 LDPC 码的码位差错的容限。

#### 附图说明

[0080] 图 1 是图解 LDPC 码的奇偶校验矩阵 H 的视图。

[0081] 图 2 是图解 LDPC 码的解码流程的流程图。

[0082] 图 3 是图解 LDPC 码的奇偶校验矩阵的示例的视图。

[0083] 图 4 是示出奇偶校验矩阵的 Tanner 图的视图。

[0084] 图 5 是示出变量节点的视图。

[0085] 图 6 是示出校验节点的视图。

[0086] 图 7 是示出应用本发明的传输系统的实施例的配置的示例的视图。

[0087] 图 8 是示出发送设备 11 的配置的示例的框图。

[0088] 图 9 是图解奇偶校验矩阵的视图。

[0089] 图 10 是图解奇偶矩阵的视图。

[0090] 图 11 是图解 LDPC 码的奇偶校验矩阵以及 DVB-S. 2 标准中规定的列重的视图。

[0091] 图 12 是图解 16QAM 的信号点布置的视图。

[0092] 图 13 是图解 64QAM 的信号点布置的视图。

[0093] 图 14 是图解 64QAM 的信号点布置的视图。

[0094] 图 15 是图解 64QAM 的信号点布置的视图。

[0095] 图 16 是图解解复用器 25 的处理的视图。

[0096] 图 17 是图解解复用器 25 的处理的视图。

[0097] 图 18 是示出关于 LDPC 码的解码的 Tanner 图的视图。

[0098] 图 19 是示出具有阶梯结构的奇偶矩阵  $H_T$  以及对应于该奇偶矩阵  $H_T$  的 Tanner 图的视图。

[0099] 图 20 是示出对应于奇偶交织后的 LDPC 码的奇偶校验矩阵 H 的奇偶矩阵  $H_T$  的视图。

[0100] 图 21 是图解转换奇偶校验矩阵的视图。

[0101] 图 22 是图解列扭曲交织器 24 的处理的视图。

[0102] 图 23 是图解列扭曲交织所需的存储器 31 的列数以及写入起始位置的地址的视图。

[0103] 图 24 是图解列扭曲交织所需的存储器 31 的列数以及写入起始位置的地址的视图。

[0104] 图 25 是图解发送过程的流程图。

- [0105] 图 26 是示出模拟中采用的通信路径的模型的视图。
- [0106] 图 27 是图解通过模拟得到的差错率与颤动的多普勒频率  $f_d$  之间的关系的视图。
- [0107] 图 28 是图解通过模拟得到的差错率与颤动的多普勒频率  $f_d$  之间的关系的视图。
- [0108] 图 29 是示出接收设备 12 的配置的示例的框图。
- [0109] 图 30 是图解接收过程的流程图。
- [0110] 图 31 是图解 LDPC 码的奇偶校验矩阵的示例的视图。
- [0111] 图 32 是图解通过对奇偶校验矩阵应用行替换和列替换而得到的矩阵（转换奇偶校验矩阵）的视图。
- [0112] 图 33 是图解被分成以  $5 \times 5$  位为单元的转换奇偶校验矩阵的视图。
- [0113] 图 34 是示出针对 P 个节点统一进行节点数学运算的解码设备的配置示例的框图。
- [0114] 图 35 是示出 LDPC 解码部分 56 的配置示例的框图。
- [0115] 图 36 是示出应用本发明的计算机的实施例的配置示例的框图。
- [0116] 图 37 是图解编码速率为  $2/3$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0117] 图 38 是图解编码速率为  $2/3$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0118] 图 39 是图解编码速率为  $2/3$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0119] 图 40 是图解编码速率为  $2/3$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0120] 图 41 是图解编码速率为  $3/4$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0121] 图 42 是图解编码速率为  $3/4$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0122] 图 43 是图解编码速率为  $3/4$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0123] 图 44 是图解编码速率为  $3/4$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0124] 图 45 是图解编码速率为  $3/4$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0125] 图 46 是图解编码速率为  $4/5$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0126] 图 47 是图解编码速率为  $4/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0127] 图 48 是图解编码速率为  $4/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0128] 图 49 是图解编码速率为  $4/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0129] 图 50 是图解编码速率为  $4/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例

的视图。

[0130] 图 51 是图解编码速率为  $5/6$  并且码长为 16, 200 的奇偶校验矩阵初始值表的示例的视图。

[0131] 图 52 是图解编码速率为  $5/6$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0132] 图 53 是图解编码速率为  $5/6$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0133] 图 54 是图解编码速率为  $5/6$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0134] 图 55 是图解编码速率为  $5/6$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0135] 图 56 是图解编码速率为  $8/9$  并且码长为 16, 200 的奇偶校验矩阵初始值表的示例的视图。

[0136] 图 57 是图解编码速率为  $8/9$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0137] 图 58 是图解编码速率为  $8/9$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0138] 图 59 是图解编码速率为  $8/9$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0139] 图 60 是图解编码速率为  $8/9$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0140] 图 61 是图解编码速率为  $9/10$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0141] 图 62 是图解编码速率为  $9/10$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0142] 图 63 是图解编码速率为  $9/10$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0143] 图 64 是图解编码速率为  $9/10$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0144] 图 65 是图解编码速率为  $1/4$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0145] 图 66 是图解编码速率为  $1/4$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0146] 图 67 是图解编码速率为  $1/3$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0147] 图 68 是图解编码速率为  $1/3$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

[0148] 图 69 是图解编码速率为  $2/5$  并且码长为 64, 800 的奇偶校验矩阵初始值表的示例的视图。

- [0149] 图 70 是图解编码速率为  $2/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0150] 图 71 是图解编码速率为  $1/2$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0151] 图 72 是图解编码速率为  $1/2$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0152] 图 73 是图解编码速率为  $1/2$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0153] 图 74 是图解编码速率为  $3/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0154] 图 75 是图解编码速率为  $3/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0155] 图 76 是图解编码速率为  $3/5$  并且码长为 64,800 的奇偶校验矩阵初始值表的示例的视图。
- [0156] 图 77 是图解编码速率为  $1/4$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0157] 图 78 是图解编码速率为  $1/3$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0158] 图 79 是图解编码速率为  $2/5$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0159] 图 80 是图解编码速率为  $1/2$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0160] 图 81 是图解编码速率为  $3/5$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0161] 图 82 是图解编码速率为  $3/5$  并且码长为 16,200 的奇偶校验矩阵初始值表的示例的视图。
- [0162] 图 83 是图解根据奇偶校验矩阵初始表确定奇偶校验矩阵 H 的方法的视图。
- [0163] 图 84 是图解码位替换的示例的视图。
- [0164] 图 85 是图解码位替换的另一示例的视图。
- [0165] 图 86 是图解码位替换的又一示例的视图。
- [0166] 图 87 是图解码位替换的再一示例的视图。
- [0167] 图 88 是图解 BER 的模拟结果的视图。
- [0168] 图 89 是图解 BER 的另一模拟结果的视图。
- [0169] 图 90 是图解 BER 的又一模拟结果的视图。
- [0170] 图 91 是图解 BER 的再一模拟结果的视图。
- [0171] 图 92 是图解码位替换的示例的视图。
- [0172] 图 93 是图解码位替换的另一示例的视图。
- [0173] 图 94 是图解码位替换的又一示例的视图。
- [0174] 图 95 是图解码位替换的再一示例的视图。

- [0175] 图 96 是图解码位替换的再一示例的视图。
- [0176] 图 97 是图解码位替换的再一示例的视图。
- [0177] 图 98 是图解码位替换的再一示例的视图。
- [0178] 图 99 是图解码位替换的再一示例的视图。
- [0179] 图 100 是图解码位替换的再一示例的视图。
- [0180] 图 101 是图解码位替换的再一示例的视图。
- [0181] 图 102 是图解码位替换的再一示例的视图。
- [0182] 图 103 是图解码位替换的再一示例的视图。
- [0183] 图 104 是图解组成解交织器 53 的复用器 54 的处理的视图。
- [0184] 图 105 是图解列扭曲解交织器 55 的处理的视图。
- [0185] 图 106 是示出接收设备 12 的配置的另一示例的框图。
- [0186] 图 107 是示出能够应用于接收设备 12 的接收系统的配置第一示例的框图。
- [0187] 图 108 是示出能够应用于接收设备 12 的接收系统的配置第二示例的框图。
- [0188] 图 109 是示出能够应用于接收设备 12 的接收系统的配置第三示例的框图。
- [0189] 附图标记说明
- [0190] 11 发送设备, 12 接收设备, 21LDPC 编码部分, 22 位交织器, 23 奇偶交织器, 24 列扭曲交织器, 25 解复用器, 26 映射部分, 27 正交调制部分, 31 存储器, 32 替换部分, 51 正交解调部分, 52 解映射部分, 53 解交织器, 54 复用器, 55 列扭曲解交织器, 56LDPC 解码部分, 300 边缘数据存储存储器, 301 选择器, 302 校验节点计算部分, 303 循环移位电路, 304 边缘数据存储存储器, 305 选择器, 306 接收数据存储存储器, 307 变量节点计算部分, 308 循环移位电路, 309 解码字计算部分, 310 接收数据重新布置部分, 311 解码数据重新布置部分, 401 总线, 402CPU, 403ROM, 404RAM, 405 硬盘, 406 输出部分, 407 输入部分, 408 通信部分, 409 驱动器, 410 输入 / 输出接口, 411 可移动记录介质, 1001 反向替换部分, 1002 存储器, 1011 奇偶解交织器, 1021LDPC 解码部分, 1101 获取部分, 1101 传输线路解码处理部分, 1103 信息源解码处理部分, 1111 输出部分, 1121 记录部分

## 具体实施方式

- [0191] 图 7 示出应用本发明的传输系统的实施例的配置示例 (术语系统是指多个设备的逻辑组合, 无论各组件设备是否包括在同一外壳内)。
- [0192] 参照图 7, 传输系统包括发送设备 11 和接收设备 12。
- [0193] 发送设备 11 例如是例如通过卫星信道或地波进行电视广播节目的发送并发送作为发送对象的对象数据 (如, 作为电视广播节目的图像数据、声音数据等)。
- [0194] 接收设备 12 例如是用于接收电视广播节目的电视接收机或调谐器, 并从发送设备 11 接收向接收设备 12 发送的对象数据。
- [0195] 图 8 示出图 7 的发送设备 11 的配置示例。
- [0196] 参照图 8, 发送设备 11 包括 LDPC 编码部分 21、位交织器 22、映射部分 26 和正交调制部分 27。
- [0197] 向 LDPC 编码部分 21 提供对象数据。
- [0198] LDPC 编码部分 21 按照奇偶校验矩阵 (其中, 作为对应于 LDPC 码的奇偶位的部分

的奇偶矩阵具有阶梯结构) 对向其提供的对象数据进行 LDPC 编码并输出 LDPC 码, 该 LDPC 码中对象数据为信息位。

[0199] 具体地, LDPC 编码部分 21 进行将对象数据编码成例如 DVB-S. 2 标准中规定的 LDPC 码的 LDPC 编码, 并输出作为 LDPC 编码的结果得到的 LDPC 码。

[0200] 此处, DVB-S. 2 标准中规定的 LDPC 码为 IRA (不规则重复累积) 码, 并且 LDPC 码的奇偶校验矩阵中的奇偶矩阵具有阶梯结构。在下文中描述奇偶矩阵和阶梯结构。另外, 例如在“Irregular Repeat-Accumulate Codes” (H. Jin.、A. Khandekar、以及 R. J. McEliece, Proceedings of 2nd International Symposium on Turbo codes and Related Topics, 第 1 至 8 页, 2000 年 9 月) 中描述了 IRA 码。

[0201] 将从 LDPC 编码部分 21 输出的 LDPC 码提供给位交织器 22。

[0202] 位交织器 22 是用于交织数据的数据处理设备, 并且包括奇偶交织器 23、列扭曲交织器 24 和解复用器 (DEMUX) 25。

[0203] 奇偶交织器 23 进行如下奇偶交织: 将来自 LDPC 编码部分 21 的 LDPC 码的奇偶位交织到其它奇偶位的位置, 并将奇偶交织后的 LDPC 码提供给列扭曲交织器 24。

[0204] 列扭曲交织器 24 对来自奇偶交织器 23 的 LDPC 码进行列扭曲交织并将列扭曲交织后的 LDPC 码提供给解复用器 25。

[0205] 具体地, 在下文中所述的映射部分 26 将 LDPC 码的两个或更多个码位映射到正交调制的一个符号之后, 发送 LDPC 码。

[0206] 列扭曲交织器 24 例如进行如下文中所述的这样的列扭曲交织作为重新布置来自奇偶交织器 23 的 LDPC 码的码位的重新布置过程, 使得 LDPC 编码部分 21 中使用的奇偶校验矩阵的任意一行中所包括的对应于值 1 的 LDPC 码的多个码位不包括在一个符号中。

[0207] 解复用器 25 进行如下这种替换过程: 替换映射到符号的来自列扭曲交织器 24 的 LDPC 码的两个或更多个码位的位置, 以得到对 AWGN 的容限得以增强的 LDPC 码, 并将 LDPC 码提供给映射部分 26。

[0208] 映射部分 26 将来自解复用器 25 的 LDPC 码的两个或更多个码位映射到正交调制部分 27 所进行正交调制 (多值调制) 的调制方法所确定的信号点。

[0209] 具体地, 映射部分 26 在 I 轴 (代表与载波同相的 I 分量) 和 Q 轴 (代表与载波正交的 Q 分量) 定义的 IQ 平面 (IQ 星座) 上将来自解复用器 25 的 LDPC 码符号化成符号 (符号值) (用调制系统确定的信号点表示)。

[0210] 此处, 作为正交调制部分 27 所进行正交调制的调制方法, 调制方法包括: 例如 DVB-T 标准中定义的调制方法, 即, 例如, 可用 QPSK (正交相移键控)、16QAM (正交振幅调制)、64QAM、256QAM、1024QAM、4096QAM 等。例如, 按照操作员对发送设备 11 的操作, 预先设置正交调制部分 27 所要进行的正交调制应当使用的是何种调制方法。应当注意, 正交调制部分 27 可以进行某些其它的正交调制, 如, 例如 4PAM (脉冲振幅调制)。

[0211] 将映射部分 26 得到的符号提供给正交调制部分 27。

[0212] 正交调制部分 27 按照来自映射部分 26 的符号对载波进行正交调制并发送通过正交调制得到的调制信号。

[0213] 现在, 图 9 图解了图 8 的 LDPC 编码部分 21 进行的 LDPC 编码中使用的奇偶校验矩阵 H。

[0214] 奇偶校验矩阵  $H$  具有 LDGM (低密度生成矩阵) 结构, 并且, 根据对应于信息位的部分的信息矩阵  $H_A$  以及对应于 LDPC 码的码位中的奇偶位的奇偶矩阵  $H_T$ , 能够用表达式  $H = [H_A | H_T]$  表示奇偶校验矩阵  $H$  (这样的矩阵: 其中, 信息矩阵  $H_A$  的元素为左侧的元素, 奇偶矩阵  $H_T$  的元素为右侧的元素)。

[0215] 此处, 将一个 LDPC 码 (一个码字) 的码位中的信息位的位数和奇偶位的位数称为信息长度  $K$  和奇偶长度  $M$ , 并且将一个 LDPC 码的码位的位数称为码长  $N (= K+M)$ 。

[0216] 关于某个码长为  $N$  的 LDPC 码的信息长度  $K$  和奇偶长度  $M$  取决于编码速率。同时, 奇偶校验矩阵  $H$  是行  $\times$  列为  $M \times N$  的矩阵。因此, 信息矩阵  $H_A$  为  $M \times K$  的矩阵, 奇偶矩阵  $H_T$  为  $M \times M$  的矩阵。

[0217] 图 10 图解 DVB-S. 2 标准中规定的 LDPC 码的奇偶校验矩阵  $H$  的奇偶矩阵  $H_T$ 。

[0218] DVB-S. 2 标准中规定的 LDPC 码的奇偶校验矩阵  $H$  的奇偶矩阵  $H_T$  具有阶梯结构, 其中, 值为 1 的元素如图 10 中所示布置得如同阶梯。奇偶矩阵  $H_T$  的行重对于第一行为 1 而对于其余所有行为 2。同时, 列重对于最后一列为 1 而对于其余所有列为 2。

[0219] 如上所述, 使用奇偶校验矩阵  $H$  能够容易地产生其中奇偶矩阵  $H_T$  具有阶梯结构的奇偶校验矩阵  $H$  的 LDPC 码。

[0220] 具体地, LDPC 码 (一个码字) 由行向量  $c$  表示, 通过转置该行向量而得到的列向量由  $c^T$  表示。另外, 行向量  $c$  (其为 LDPC 码) 内的信息位的部分由行向量  $A$  表示而奇偶位的部分由行向量  $T$  表示。

[0221] 此处, 在此情况下, 能够根据作为信息位的行向量  $A$  以及作为奇偶位的行向量  $T$  用表达式  $c = [A | T]$  表示行向量  $c$  (如下这种行向量: 其中, 行向量  $A$  的元素为左侧的元素, 行向量  $T$  的元素为右侧的元素)。

[0222] 奇偶校验矩阵  $H$  以及作为 LDPC 码的行向量  $c = [A | T]$  需要满足表达式  $Hc^T = 0$ , 并且在奇偶校验矩阵  $H = [H_A | H_T]$  的奇偶矩阵  $H_T$  具有如图 10 所示的这种阶梯结构的情况下, 可以通过如下方式相继确定形成满足表达式  $Hc^T = 0$  的行向量  $c = [A | T]$  的作为奇偶位的行向量  $T$ : 以表达式  $Hc^T = 0$  中的列向量  $Hc^T$  的第一行中的元素开始, 依次将这些行中的元素设置为 0。

[0223] 图 11 图解了 LDPC 码的奇偶校验矩阵  $H$  以及 DVB-S. 2 标准中定义的列重。

[0224] 具体地, 图 11 的 A 图解了 DVB-S. 2 标准中定义的 LDPC 码的奇偶校验矩阵  $H$ 。

[0225] 对于从奇偶校验矩阵  $H$  第一列起的  $KX$  列, 列重为  $X$ ; 对于接下来的  $K3$  列, 列重为 3; 对于接下来的  $M-1$  列, 列重为 2; 对于最后一列, 列重为 1。

[0226] 此处,  $KX+K3+M-1+1$  等于码长  $N$ 。

[0227] 在 DVB-S. 2 标准中, 以如图 11 的 B 中所示的这种方式规定列数  $KX$ 、 $K3$  和  $M$  (奇偶长度) 以及列重  $X$ 。

[0228] 具体地, 图 11 的 B 图解了关于 DVB-S. 2 标准中规定的 LDPC 码的不同编码速率的列数  $KX$ 、 $K3$  和  $M$  以及列重  $X$ 。

[0229] 在 DVB-S. 2 标准中, 规定了码长  $N$  为 64, 800 位和 16, 200 位的 LDPC 码。

[0230] 另外, 如图 11 的 B 中所示, 对于码长  $N$  为 64, 800 位的 LDPC 码, 规定了 11 种编码速率 (标称速率)  $1/4$ 、 $1/3$ 、 $2/5$ 、 $1/2$ 、 $3/5$ 、 $2/3$ 、 $3/4$ 、 $4/5$ 、 $5/6$ 、 $8/9$  和  $9/10$ , 对于码长  $N$  为 16, 200 位的 LDPC 码, 规定了 10 种编码速率  $1/4$ 、 $1/3$ 、 $2/5$ 、 $1/2$ 、 $3/5$ 、 $2/3$ 、 $3/4$ 、 $4/5$ 、 $5/6$  和  $8/9$ 。

[0231] 关于 LDPC 码, 已知对应于具有较高列重的奇偶校验矩阵 H 的列的码位呈现出较低的差错率。

[0232] DVB-S. 2 标准中规定的并且在图 11 中图解的奇偶校验矩阵 H 具有距头侧 (左侧) 越近的列具有的权重越高的趋势。因此, 对应于奇偶校验矩阵 H 的 LDPC 码具有如下趋势: 距头越近的码位对差错的容限越高 (具有较高的对差错的容限), 距尾部越近的码位对差错的容限越低。

[0233] 图 12 图解了在图 8 的正交调制部分 27 进行 16QAM 的情况下 IQ 平面上 16 个符号 (对应的信号点) 的布置。

[0234] 具体地, 图 12 的 A 图解了 16QAM 的符号。

[0235] 在 16QAM 中, 一个符号表示 4 个位, 并且存在  $16 (= 2^4)$  个符号。因此, 将 16 个符号放置成使得它们以 IQ 平面的原点为中心在 I 方向  $\times$  Q 方向上形成  $4 \times 4$  个符号的方形。

[0236] 现在, 如果将 16QAM 的一个符号所表示的 4 个位以从最高有效位起的次序表示成  $y_0$ 、 $y_1$ 、 $y_2$  和  $y_3$ , 则在调制系统为 16QAM 的情况下, 映射部分 26 将 LDPC 码的 4 个码位映射到与 4 个位相一致的 4 个位  $y_0$  至  $y_3$  的符号。

[0237] 图 12 的 B 图解了对于 16QAM 的符号所表示的 4 个位  $y_0$  至  $y_3$  的位边界。

[0238] 此处, 关于位  $y_i$  (在图 12 中,  $i = 0, 1, 2, 3$ ) 的位边界是指位  $y_i$  为 0 的符号与另一个位  $y_i$  为 1 的符号之间的边界。

[0239] 如图 12 的 B 中所示, 对于 16QAM 的符号所表示的 4 个位  $y_0$  至  $y_3$  之中的最高有效位  $y_0$ , 只有 IQ 平面上 Q 轴的一处作为位边界, 而对于第二位  $y_1$  (自最高有效位起第二个), 只有 IQ 平面上 I 轴的一处作为位边界。

[0240] 另外, 对于第三位  $y_2$ , 从  $4 \times 4$  符号的左边起第一列与第二列之间以及第三列与第四列之间的两处中的每个作为边界。

[0241] 此外, 对于第四位  $y_3$ ,  $4 \times 4$  符号的第一行与第二行之间以及第三行与第四行之间的两处中的每个作为边界。

[0242] 符号所表示的位  $y_i$  随着远离位边界的符号数量增加而较不可能变得有差错, 但随着位于距位边界较近的符号数量增加而较有可能变得有差错。

[0243] 如果将较不可能变得有差错 (有容错度) 的位称为“强位”而将较有可能变得有差错 (容错度较小) 的位称为“弱位”, 则对于 16QAM 的符号所表示的 4 个位  $y_0$  至  $y_3$ , 最高有效位  $y_0$  和第二位  $y_1$  为强位, 而第三位  $y_2$  和第四位  $y_3$  为弱位。

[0244] 图 13 至图 15 图解了由图 8 的正交调制部分 27 进行 64QAM 的情况下 IQ 平面上 64 个符号 (对应的信号点) 的布置。

[0245] 在 64QAM 中, 一个符号表示 6 个位, 存在  $64 (= 2^6)$  个符号。因此, 将 64 个符号布置成使得它们以 IQ 平面的原点为中心在 I 方向  $\times$  Q 方向上形成  $8 \times 8$  个符号的方形。

[0246] 现在, 如果假设将 64QAM 的一个符号所表示的 6 个位以自最高有效位起的次序表示成  $y_0$ 、 $y_1$ 、 $y_2$ 、 $y_3$ 、 $y_4$  和  $y_5$ , 则在调制系统为 64QAM 的情况下, 将 LDPC 码的 6 个码位映射到与 6 个位相一致的 6 个位  $y_0$  至  $y_5$  的符号。

[0247] 此处, 图 13 指示出了对于 64QAM 符号的位  $y_0$  至  $y_5$  之中的最高有效位  $y_0$  和第二位  $y_1$  的位边界; 图 14 指示出了对于第三位  $y_2$  和第四位  $y_3$  的位边界; 图 15 指示出了对于第五位  $y_4$  和第六位  $y_5$  的位边界。



[0248] 如图 13 中所示,对于最高有效位  $y_0$  和第二位  $y_1$  的位边界数量为一。同时,如图 14 中所示,对于第三位  $y_2$  和第四位  $y_3$  的位边界数量为二,并且如图 15 中所示,对于第五位  $y_4$  和第六位  $y_5$  的位边界数量为四。

[0249] 相应地,在 64QAM 符号表示的位  $y_0$  至  $y_5$  之中,最高有效位  $y_0$  和第二位  $y_1$  为最强位,第三位  $y_2$  和第四位  $y_3$  为次强位。因此,第五位  $y_4$  和第六位  $y_5$  为最弱位。

[0250] 根据图 12 以及进一步根据图 13 至图 15,可以看出,对于正交调制符号的位,存在如下这种趋势:次序高的位为强位,次序低的位为弱位。

[0251] 此处,如上文中参照图 11 所述,从 LDPC 编码部分 21(图 8)输出的 LDPC 码包括有容错度的码位以及容错度较小的码位。

[0252] 同时,如上文中参照图 12 至图 15 所述,正交调制部分 27 所进行正交调制的符号的位包括强位和弱位。

[0253] 因此,如果进行如下这种映射:将容错度低的 LDPC 码的码位分配给正交调制符号的弱位,则容错度整体下降。

[0254] 因此,提出了如下这种交织器:其交织 LDPC 码的码位,使得进行将容错度低的 LDPC 码的码位分配给正交调制符号的强位的映射。

[0255] 图 8 的解复用器 25 进行交织器的处理。

[0256] 图 16 是图解了图 8 的解复用器 25 的处理的视图。

[0257] 具体地,图 16 的 A 示出解复用器 25 的功能配置的示例。

[0258] 解复用器 25 包括存储器 31 和替换部分 32。

[0259] 向存储器 31 提供 LDPC 码。

[0260] 存储器 31 具有用于在行(水平)方向上存储  $mb$  位并且在列(竖直)方向上存储  $N/(mb)$  位的存储容量。存储器 31 将提供给它的 LDPC 码的码位写入列方向上并读出行方向上的码位,并且随后将读出的码位提供给替换部分 32。

[0261] 此处, $m$  表示要映射到一个符号的 LDPC 码的码位的位数, $b$  为预定的正整数并且是这样的倍数:要用来将  $m$  乘以该整数。同时, $N$ (=信息长度  $K$ + 奇偶长度  $M$ ) 表示如上文所述的 LDPC 码的码长。

[0262] 图 16 的 A 示出了调制系统为 64QAM 的情况下的解复用器 25 的配置的示例,因此,要映射到一个符号的 LDPC 码的码位的位数  $m$  为 6 位。

[0263] 另外,在图 16 的 A 中,倍数  $b$  为 1,因此,存储器 31 具有在列方向  $\times$  行方向上为  $N/(6 \times 1) \times (6 \times 1)$  位的存储容量。

[0264] 此处,将存储器 31 的在列方向上延伸并且在行方向上包括一个位的存储区域适当地称为列。在图 16 的 A 中,存储器 31 包括  $6(=6 \times 1)$  个列。

[0265] 解复用器 25 以左侧的列开始向右侧的列、从形成存储器 31 的列(在列方向上)的上方向下进行 LDPC 码的码位的写入。

[0266] 随后,如果对码位的写入以最右边的列中的最下方的位结束,则以形成存储器 31 的所有列的第一行开始、在行方向上以 6 位( $mb$  位)为单元读出码位并将其提供给替换部分 32。

[0267] 替换部分 32 进行替换来自存储器 31 的 6 位码位的位置的替换过程,并以代表 64QAM 一个符号的 6 个位  $y_0$ 、 $y_1$ 、 $y_2$ 、 $y_3$ 、 $y_4$  和  $y_5$  的形式将由替换得到的 6 个位输出。

[0268] 具体地,如果将从存储器 31 在行方向上读出的 6 个码位按从最高有效位开始的次序表示成  $b_0$ 、 $b_1$ 、 $b_2$ 、 $b_3$ 、 $b_4$  和  $b_5$ ,则根据上文中参照图 11 所述的列重的关系,被置于位  $b_0$  方向上的码位是容错度高的码位而位  $b_5$  方向上的码位是容错度低的码位。

[0269] 替换部分 32 进行替换来自存储器 31 的 6 个码位  $b_0$  至  $b_5$  的位置的替换过程,使得可以将来自存储器 31 的 6 个码位  $b_0$  至  $b_5$  之中容错度低的码位分配给代表 64QAM 的一个符号的 6 个位  $y_0$  至  $y_5$  中容错度高的位。

[0270] 此处,对于用于替换来自存储器 31 的 6 个码位  $b_0$  至  $b_5$  以分配给代表 64QAM 一个符号的 6 个位  $y_0$  至  $y_5$  的替换方法,提出了各种系统。

[0271] 图 16 的 B 图解了第一替换方法;图 16 的 C 图解了第二替换方法;图 16 的 D 图解了第三替换方法。

[0272] 在图 16 的 B 至图 16 的 D 中(类似地,也在下文中所述的图 17 中),将位  $b_i$  和  $y_j$  互连的线段是指码位  $b_i$  被分配给符号的位  $y_j$ (替换到位  $y_j$  的位置)。

[0273] 作为图 16 的 B 的第一替换方法,提出了采用三种中的一种,作为图 16 的 C 的第二替换方法,提出了采用两种中的一种。

[0274] 作为图 16 的 D 的第三替换方法,提出了按次序选择和使用六种。

[0275] 图 17 图解了在调制方法为 64QAM(相应地,与图 16 中类似,映射到一个符号的 LDPC 码的码位的位数量  $m$  为 6) 并且倍数  $b$  为 2 的情形中解复用器 25 的配置的示例,以及第四替换方法。

[0276] 在倍数  $b$  为 2 情况下,存储器 31 具有在列方向  $\times$  行方向上为  $N/(6 \times 2) \times (6 \times 2)$  个位的存储容量,并且包括  $12(=6 \times 2)$  个列。

[0277] 图 17 的 A 图解了将 LDPC 码写入存储器 31 的次序。

[0278] 如上文中参照图 16 所述,解复用器 25 以左侧的列开始向右侧的列、从形成存储器 31 的列(在列方向上)的上方以向下的方向对 LDPC 码的码位进行写入。

[0279] 随后,如果对码位的写入以最右边的列中最下方的位结束,则以形成存储器 31 的所有列的第一行开始、在行的方向上以 12 位( $mb$  位)为单元读取出码位并将其提供给替换部分 32。

[0280] 替换部分 32 进行按照第四替换方法替换来自存储器 31 的 12 位码位的位置的替换过程,并将通过替换得到的 12 个位作为代表 64QAM 两个符号( $b$  个符号)的 12 个位(具体地,作为代表 64QAM 一个符号的 6 个位  $y_0$ 、 $y_1$ 、 $y_2$ 、 $y_3$ 、 $y_4$  和  $y_5$  以及代表下一个符号的 6 个位  $y_0$ 、 $y_1$ 、 $y_2$ 、 $y_3$ 、 $y_4$  和  $y_5$ ) 输出。

[0281] 此处,图 17 的 B 图解了图 17 的 A 的替换部分 32 所进行替换过程的第四替换方法。

[0282] 应当注意,最佳替换方法(即,在 AWGN 通信路径中提供最优差错率的替换方法)根据 LDPC 码的编码速率等而不同。

[0283] 现在,参照图 18 至图 20 对图 8 的奇偶交织器 23 进行的奇偶交织进行描述。

[0284] 图 18 示出了 LDPC 码的奇偶校验矩阵的 Tanner 图(的部分)。

[0285] 如果连接到校验节点的多个变量节点(对应的码位)(如,两个变量节点)如图 18 中所示同时遭受到差错(如,擦除),则校验节点将如下相等概率消息返回给所有连接到该校验节点的变量节点:其表示值会是 0 的概率与值会是 1 的概率彼此相等。因此,如果连接到同一校验节点的多个变量节点同时被置于擦除状态等,则解码的性能劣化。

[0286] 顺带提及, DVB-S. 2 标准中规定的以及从图 8 的 LDPC 编码部分 21 输出的 LDPC 码为 IRA 码, 奇偶校验矩阵  $H$  的奇偶矩阵  $H_r$  具有如图 10 中所示的阶梯结构。

[0287] 图 19 图解了具有阶梯结构的奇偶矩阵  $H_r$  以及对应于奇偶矩阵  $H_r$  的 Tanner 图。

[0288] 具体地, 图 19 的 A 图解了具有阶梯结构的奇偶矩阵  $H_r$ , 图 19 的 B 示出了图 19 的 A 的奇偶矩阵  $H_r$  所对应的 Tanner 图。

[0289] 在奇偶矩阵  $H_r$  具有阶梯结构的情况下, 在奇偶矩阵  $H_r$  的 Tanner 图中, 将 LDPC 码的如下变量节点连接到同一校验节点: 其对应于奇偶矩阵  $H_r$  具有值 1 的元素的列并且使用相邻码位 (奇偶位) 确定其消息。

[0290] 相应地, 如果因突发差错、擦除等使得上述相邻奇偶位被置于差错状态, 则由于连接到对应于已变成差错的多个奇偶位的多个变量节点 (要使用奇偶位确定其消息的变量节点) 的校验节点将表示值会是 0 的概率与值是 1 的概率会彼此相等的相等概率消息返回给连接到该校验节点的变量节点, 所以解码的性能劣化。因此, 在突发长度 (因突发而使其成为差错的位的数量) 大的情况下, 解码的性能进一步劣化。

[0291] 因此, 为了防止上述解码的性能恶化, 奇偶交织器 23 (图 8) 进行如下交织: 将来自 LDPC 编码部分 21 的 LDPC 码的奇偶位交织到其它奇偶位的位置。

[0292] 图 20 图解了图 8 的奇偶交织器 23 进行奇偶交织之后的 LDPC 码所对应的奇偶校验矩阵  $H$  的奇偶矩阵  $H_r$ 。

[0293] 此处, 从 LDPC 编码部分 21 输出以及 DVB-S. 2 标准中规定的 LDPC 码所对应的奇偶校验矩阵  $H$  的信息矩阵  $H_a$  具有循环结构。

[0294] 循环结构是指某个列以循环操作状态与另一列相一致的结构, 并且包括例如如下这种结构: 其中, 对于每  $P$  个列,  $P$  个列的行中值 1 的位置与  $P$  个列中第一列在列方向上循环地移位某一值的位置相一致, 该值与通过划分奇偶长度  $M$  得到的值  $q$  成比例地增加。以下, 将循环结构的  $P$  个列的数量在下文中适当地称为循环结构的单位列数。

[0295] 作为从 LDPC 编码部分 21 输出以及 DVB-S. 2 标准中规定的 LDPC 码, 如上文中参照图 11 所述, 有两种 LDPC 码可用, 包括那些码长  $N$  为 64, 800 位和 16, 200 位的 LDPC 码。

[0296] 现在, 如果在码长  $N$  为 64, 800 位和 16, 200 位的两种不同的 LDPC 码中关注于码长  $N$  为 64, 800 位的 LDPC 码, 则如上文中参照图 11 所述有 11 种不同的编码速率可用作码长  $N$  为 64, 800 位的 LDPC 码的编码速率。

[0297] 对于码长  $N$  为 64, 800 位并且具有 11 种不同编码速率的 LDPC 码, 在 DVB-S. 2 标准中规定: 将循环结构的列数  $P$  规定为 360, 其为奇偶长度  $M$  除 1 和  $M$  以外的除数中的一个。

[0298] 另外, 对于码长  $N$  为 64, 800 位并且具有 11 种不同编码速率的 LDPC 码, 奇偶长度  $M$  的值不为素数并且使用值  $q$  (根据编码速率而不同) 用表达式  $M = q \times P = q \times 360$  表示。因此, 值  $q$  也与循环结构的列数  $P$  类似地为奇偶长度  $M$  的除 1 和  $M$  以外的除数中的一个, 并且通过将奇偶长度  $M$  除以循环结构的列数  $P$  得到 (奇偶长度  $M$  的除数  $P$  和  $q$  的乘积为奇偶长度  $M$ )。

[0299] 在将信息长度用  $K$  表示并且将高于 0 但低于  $P$  的整数用  $x$  表示而将高于 0 但低于  $q$  的整数用  $y$  表示的情况下, 奇偶交织器 23 以奇偶交织的形式将奇偶位 (来自 LDPC 编码部分 21 的 LDPC 码中第  $K+1$  个至第  $K+M$  个 ( $K+M = N$ ) 位) 之中第  $K+qx+y+1$  个码位交织到第  $K+Py+x+1$  个码位的位置。

[0300] 根据这种奇偶交织,由于连接到同一校验节点的变量节点(对应的奇偶位)通过循环结构的列数  $P$  所对应的距离(此处,通过 360 位)隔开,所以在突发长度小于 360 位的情况下,可以防止致使连接到同一校验节点的变量节点同时有差错的情形。作为结果,能够改进对突发差错的容限。

[0301] 应当注意,奇偶交织(第  $K+q_x+y+1$  个码位交织到第  $K+P_y+x+1$  个码位的位置)后的 LDPC 码与通过如下这种列替换得到的奇偶校验矩阵(在下文中也称为转换奇偶校验矩阵)的 LDPC 码相一致:将原始奇偶校验矩阵  $H$  的第  $K+q_x+y+1$  列替换到第  $K+P_y+x+1$  列。

[0302] 另外,在转换奇偶校验矩阵的奇偶矩阵中,如图 20 中所示,出现单位为  $P$  个列(在图 20 中,360 个列)的伪循环结构。

[0303] 此处,伪循环结构是指如下这种结构:除了其部分以外存在具有循环结构的部分。在通过将奇偶交织所对应的列替换应用于 DVB-S. 2 标准规定的 LDPC 码的奇偶校验矩阵而得到的转换奇偶校验列中,360 行  $\times$  360 列(下文中所述的移位矩阵)的右角部分处的部分缺少一个元素 1(其值为 0)。因此,转换奇偶校验矩阵不具有(完整的)循环结构而是具有伪循环结构。

[0304] 应当注意,图 20 的转换奇偶校验矩阵是如下这种矩阵:除了奇偶交织所对应的列替换,还将用于根据下文中所述的配置矩阵来配置转换奇偶校验矩阵的行的替换(行替换)应用于原始奇偶校验矩阵  $H$ 。

[0305] 现在,参照图 21 至图 24 对图 8 的列扭曲交织器 24 进行的作为重新布置过程的列扭曲交织进行描述。

[0306] 在图 8 的发送设备 11 中,如上文中所述将 LDPC 码的两个或更多个码位作为一个符号发送,以改进频率的利用效率。具体地,例如,在使用码位的 2 个位来形成一个符号的情况下,例如,将 QPSK 用作调制方法,但是,在使用码位的 4 个位形成一个符号的情况下,例如,将 16QAM 用作调制方法。

[0307] 在以此方式将两个或更多个码位作为一个符号发送的情况下,如果某个符号中出现擦除等,符号的所有码位均变成差错(擦除)。

[0308] 因此,为了降低连接到同一校验节点的多个变量节点(对应的码位)会同时遭受到擦除的概率以改进解码的性能,需要避免一个符号的码位所对应的变量节点连接到同一校验节点。

[0309] 同时,在从 LDPC 编码部分 21 输出的以及 DVB-S. 2 标准中规定的 LDPC 码的奇偶校验矩阵  $H$  中,如上所述,信息矩阵  $H_a$  具有循环结构,并且奇偶矩阵  $H_p$  具有阶梯结构。因此,在转换奇偶校验矩阵(奇偶交织后的 LDPC 码的奇偶校验矩阵)中,如图 20 中所述在奇偶矩阵中也出现循环结构(准确的说是如上文中所述的伪循环结构)。

[0310] 图 21 示出了转换奇偶校验矩阵。

[0311] 具体地,图 21 的 A 图解了码长  $N$  为 64,800 位并且编码速率( $r$ )为  $3/4$  的奇偶校验矩阵  $H$  的转换奇偶校验矩阵。

[0312] 在图 21 的 A 中,用点( $\bullet$ )指示转换奇偶校验矩阵中值为 1 的元素的位置。

[0313] 在图 21 的 B 中,由解复用器 25(图 8)对图 21A 的转换奇偶校验矩阵的 LDPC 码(即,奇偶交织后的 LDPC 码)进行的过程。

[0314] 在图 21 的 B 中,使用 16QAM 作为调制方法、在形成解复用器 25 的存储器 31 的四

个列中在列方向上写入奇偶交织后的 LDPC 码的码位。

[0315] 以形成一个符号的 4 个位为单元在行方向上读出在形成存储器 31 的四个列中在列方向上写入的码位。

[0316] 在此情况下, 形成一个符号的 4 个码位  $B_0$ 、 $B_1$ 、 $B_2$  和  $B_3$  有时作为对应于 1 并且被包括在图 21 的 A 的转换之后的奇偶校验矩阵的任意一行中, 并且在此情况下, 对应于码位  $B_0$ 、 $B_1$ 、 $B_2$  和  $B_3$  的变量节点连接到同一校验节点。

[0317] 相应地, 在一个符号的四个码位  $B_0$ 、 $B_1$ 、 $B_2$  和  $B_3$  变成对应于 1 并且被包括在任意一行中的码位的情况下, 如果符号中出现擦除, 则同一校验节点 (对应于码位  $B_0$ 、 $B_1$ 、 $B_2$  和  $B_3$  的变量节点与之连接) 不能确定适当的消息。因此, 解码的性能劣化。

[0318] 对于除 3/4 编码速率之外的编码速率, 对应于连接到同一校验节点的多个变量节点的多个码位有时也类似地作为 16QAM 的一个符号。

[0319] 因此, 列扭曲交织器 24 进行这样的列扭曲交织: 其中, 交织来自奇偶交织器 23 的奇偶交织后的 LDPC 码的码位, 使得对应于 1 并且被包括在转换奇偶校验矩阵的任意一行中的多个码位不被映射到一个符号中。

[0320] 图 22 是图解列扭曲交织的视图。

[0321] 具体地, 图 22 图解了解复用器 25 的存储器 31 (图 16 和图 17)。

[0322] 图 16 中所述, 存储器 31 如具有用于在列 (竖直) 方向存储  $mb$  位以及在行 (水平) 方向存储  $N/(mb)$  位的存储容量。因此, 列扭曲交织器 24 在列方向上将 LDPC 码的码位写入存储器 31 并当在行方向上读出码位时控制写入起始位置以进行列扭曲交织。

[0323] 具体地, 列扭曲交织器 24 适当地改变要开始对多个列中的每个列进行码位写入的写入起始位置, 使得在行方向上读取出的并且用来作为一个符号的多个码位不会变成对应于 1 并且包括在转换奇偶校验矩阵的任意一行中的码位 (重新布置 LDPC 码的码位, 使得对应于 1 并且包括在奇偶校验矩阵的任意一行中的多个码位不会包括在同一符号中)。

[0324] 此处, 图 22 示出了在如下这种情况下存储器 31 的配置示例: 其中, 调制方法为 16QAM, 并且上文中参照图 16 所述的倍数  $b$  为 1。相应地, 要映射到一个符号的 LDPC 码的码位的位数  $m$  为 4 位, 存储器 31 由  $4 (= mb)$  个列形成。

[0325] 图 22 的列扭曲交织器 24 (而非图 16 中所示的解复用器 25) 从左侧的列开始向右侧的列、从上方以向下的方向 (列方向) 将 LDPC 码的码位写入形成存储器 31 的四个列。

[0326] 因此, 当码位的写入在最右边的列结束时, 列扭曲交织器 24 以形成存储器 31 的所有列的第一行开始在行方向以 4 位 ( $mb$  位) 为单元读出码位并将码位作为列扭曲交织后的 LDPC 码输出给解复用器 25 的替换部分 32 (图 16 和图 17)。

[0327] 然而, 如果将每列的头 (最上方) 位置的地址用 0 表示并将列方向上位置的地址用升序的整数表示, 则图 22 的列扭曲交织器 24 将最左列的写入起始位置设置为地址为 0 的位置; 将第二列 (自左边起) 的写入起始位置设置为地址为 2 的位置; 将第三列的写入起始位置设置为地址为 4 的位置; 将第四列的写入起始位置设置为地址为 7 的位置。

[0328] 应当注意, 对于写入起始位置为除了地址为 0 的位置以外的任何其它位置的列, 在将码位向下写入到最下方的位置时, 写入位置返回顶端 (地址为 0 的位置), 并进行向紧接写入起始位置之前的位置的向下写入。此后, 进行到下一个 (右边的) 列的写入。

[0329] 通过如上所述进行这种列扭曲交织, 可以防止如下这种情形: 对于如 DVB-S. 2 标

准中所规定的码长  $N$  为 64,800 的所有编码速率的 LDPC 码, 连接到同一校验节点的多个变量节点所对应的多个码位作为 16QAM 的一个符号 (包括在同一符号中), 因此, 可以改进提供擦除的通信路径中解码的性能。

[0330] 图 23 图解了: 对于如 DVB-S. 2 标准中所规定的码长  $N$  为 64,800 的十一种不同编码速率的 LDPC 码, 列扭曲交织所需的存储器 31 的列数以及对于每种调制方法的写入起始位置的地址。

[0331] 作为解复用器 25 (图 8) 替换过程的替换方法, 采用图 16 的第一替换方法至第三替换方法中的一个替换方法, 此外, 在采用 QPSK 作为调制方法的情况下, 一个符号的位数  $m$  为 2 位并且倍数  $b$  为 1。

[0332] 在此情况下, 根据图 23, 存储器 31 具有两个列, 用于在行方向存储  $2 \times 1 (= mb)$  位, 并且在列方向存储  $64,800 / (2 \times 1)$  位。因此, 将存储器 31 两个列中第一列的写入起始位置设置为地址为 0 的位置, 将第二列的写入起始位置设置为地址为 2 的位置。

[0333] 另外, 在采用图 17 的第四替换方法作为解复用器 25 (图 8) 替换过程的替换方法并且采用 QPSK 作为调制方法的情况下, 一个符号的位数  $m$  为 2 位并且倍数  $b$  为 2。

[0334] 在此情况下, 根据图 23, 存储器 31 具有四个列, 用于在行方向存储  $2 \times 2$  位, 并且在列方向存储  $64,800 / (2 \times 2)$  位。因此, 将存储器 31 的四个列中第一列的写入起始位置设置为地址为 0 的位置, 将第二列的写入起始位置设置为地址为 2 的位置, 将第三列的写入起始位置设置为地址为 4 的位置, 将第四列的写入起始位置设置为地址为 7 的位置。

[0335] 另外, 在采用图 16 的第一至第三替换方法中的一个替换方法作为解复用器 25 (图 8) 的替换过程的替换方法并且采用 16QAM 作为调制方法的情况下, 一个符号的位数  $m$  为 4 位并且倍数  $b$  为 1。

[0336] 在此情况下, 根据图 23, 存储器 31 具有四个列, 用于在行方向存储  $4 \times 1$  位, 并且在列方向存储  $64,800 / (4 \times 1)$  位。因此, 将存储器 31 四个列中的第一列的写入起始位置设置为地址为 0 的位置, 将第二列的写入起始位置设置为地址为 2 的位置, 将第三列的写入起始位置设置为地址为 4 的位置, 将第四列的写入起始位置设置为地址为 7 的位置。

[0337] 另外, 在采用图 17 的第四替换方法作为解复用器 25 (图 8) 的替换过程的替换方法并且采用 16QAM 作为调制方法的情况下, 一个符号的位数  $m$  为 4 位并且倍数  $b$  为 2。

[0338] 在此情况下, 根据图 23, 存储器 31 具有八个列, 用于在行方向存储  $4 \times 2$  位, 并且在列方向存储  $64,800 / (4 \times 2)$  位。因此, 将存储器 31 的八个列中第一列的写入起始位置设置为地址为 0 的位置, 将第二列的写入起始位置设置为地址为 0 的位置, 将第三列的写入起始位置设置为地址为 2 的位置, 将第四列的写入起始位置设置为地址为 4 的位置, 将第五列的写入起始位置设置为地址为 4 的位置, 将第六列的写入起始位置设置为地址为 5 的位置, 将第七列的写入起始位置设置为地址为 7 的位置, 将第八列的写入起始位置设置为地址为 7 的位置。

[0339] 另外, 在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25 (图 8) 的替换过程的替换方法并且采用 64QAM 作为调制方法的情况下, 一个符号的位数  $m$  为 6 位并且倍数  $b$  为 1。

[0340] 在此情况下, 根据图 23, 存储器 31 具有六个列, 用于在行方向存储  $6 \times 1$  位, 并且在列方向存储  $64,800 / (6 \times 1)$  位。因此, 将存储器 31 的六个列中第一列的写入起始位置设置

为地址为 0 的位置,将第二列的写入起始位置设置为地址为 2 的位置,将第三列的写入起始位置设置为地址为 5 的位置,将第四列的写入起始位置设置为地址为 9 的位置,将第五列的写入起始位置设置为地址为 10 的位置,将第六列的写入起始位置设置为地址为 13 的位置。

[0341] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 64QAM 作为调制方法的情况下,一个符号的位数  $m$  为 6 位并且倍数  $b$  为 2。

[0342] 在此情况下,根据图 23,存储器 31 具有十二个列,用于在行方向存储  $6 \times 2$  位,并且在列方向存储  $64,800 / (6 \times 2)$  位。因此,将存储器 31 的十二个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 2 的位置,将第四列的写入起始位置设置为地址为 2 的位置,将第五列的写入起始位置设置为地址为 3 的位置,将第六列的写入起始位置设置为地址为 4 的位置,将第七列的写入起始位置设置为地址为 4 的位置,将第八列的写入起始位置设置为地址为 5 的位置,将第九列的写入起始位置设置为地址为 5 的位置,将第十列的写入起始位置设置为地址为 7 的位置,将第十一列的写入起始位置设置为地址为 8 的位置,将第十二列的写入起始位置设置为地址为 9 的位置。

[0343] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 256QAM 作为调制方法的情况下,一个符号的位数  $m$  为 8 位并且倍数  $b$  为 1。

[0344] 在此情况下,根据图 23,存储器 31 具有八个列,用于在行方向存储  $8 \times 1$  位,并且在列方向存储  $64,800 / (8 \times 1)$  位。继而,将存储器 31 八个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 2 的位置,将第四列的写入起始位置设置为地址为 4 的位置,将第五列的写入起始位置设置为地址为 4 的位置,将第六列的写入起始位置设置为地址为 5 的位置,将第七列的写入起始位置设置为地址为 7 的位置,将第八列的写入起始位置设置为地址为 7 的位置。

[0345] 进一步地,在采用图 17 的第四替换方法作为解复用器 25(图 8)替换过程的替换方法并且采用 256QAM 作为调制方法的情况下,一个符号的位数  $m$  为 8 位并且倍数  $b$  为 2。

[0346] 在此情况下,根据图 23,存储器 31 具有 16 个列,用于在行方向存储  $8 \times 2$  位,并且在列方向存储  $64,800 / (8 \times 2)$  位。因此,将存储器 31 的 16 个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 2 的位置,将第三列的写入起始位置设置为地址为 2 的位置,将第四列的写入起始位置设置为地址为 2 的位置,将第五列的写入起始位置设置为地址为 2 的位置,将第六列的写入起始位置设置为地址为 3 的位置,将第七列的写入起始位置设置为地址为 7 的位置,将第八列的写入起始位置设置为地址为 15 的位置,将第九列的写入起始位置设置为地址为 16 的位置,将第十列的写入起始位置设置为地址为 20 的位置,将第十一列的写入起始位置设置为地址为 22 的位置,将第十二列的写入起始位置设置为地址为 22 的位置,将第十三列的写入起始位置设置为地址为 27 的位置,将第十四列的写入起始位置设置为地址为 27 的位置,将第十五列的写入起始位置设置为地址为 28 的位置,将第十六列的写入起始位置设置为地址为 32 的位置。

[0347] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 1024QAM 作为调制方法的情况下,一个符号

的位数  $m$  为 10 位并且倍数  $b$  为 1。

[0348] 在此情况下,根据图 23,存储器 31 具有十个列,用于在行方向存储  $10 \times 1$  位,并且在列方向存储  $64,800 / (10 \times 1)$  位。因此,将存储器 31 的十个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 3 的位置,将第三列的写入起始位置设置为地址为 6 的位置,将第四列的写入起始位置设置为地址为 8 的位置,将第五列的写入起始位置设置为地址为 11 的位置,将第六列的写入起始位置设置为地址为 13 的位置,将第七列的写入起始位置设置为地址为 15 的位置,将第八列的写入起始位置设置为地址为 17 的位置,将第九列的写入起始位置设置为地址为 18 的位置,将第十列的写入起始位置设置为地址为 20 的位置。

[0349] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 1024QAM 作为调制方法的情况下,一个符号的位数  $m$  为 10 位并且倍数  $b$  为 2。

[0350] 在此情况下,根据图 23,存储器 31 具有 20 个列,用于在行方向存储  $10 \times 2$  位,并且在列方向存储  $64,800 / (10 \times 2)$  位。因此,将存储器 31 的 20 个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 1 的位置,将第三列的写入起始位置设置为地址为 3 的位置,将第四列的写入起始位置设置为地址为 4 的位置,将第五列的写入起始位置设置为地址为 5 的位置,将第六列的写入起始位置设置为地址为 6 的位置,将第七列的写入起始位置设置为地址为 6 的位置,将第八列的写入起始位置设置为地址为 9 的位置,将第九列的写入起始位置设置为地址为 13 的位置,将第十列的写入起始位置设置为地址为 14 的位置,将第十一列的写入起始位置设置为地址为 14 的位置,将第十二列的写入起始位置设置为地址为 16 的位置,将第十三列的写入起始位置设置为地址为 21 的位置,将第十四列的写入起始位置设置为地址为 21 的位置,将第十五列的写入起始位置设置为地址为 23 的位置,将第十六列的写入起始位置设置为地址为 25 的位置,将第十七列的写入起始位置设置为地址为 25 的位置,将第十八列的写入起始位置设置为地址为 26 的位置,将第十九列的写入起始位置设置为地址为 28 的位置,将第二十列的写入起始位置设置为地址为 30 的位置。

[0351] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 4096QAM 作为调制方法的情况下,一个符号的位数  $m$  为 12 位并且倍数  $b$  为 1。

[0352] 在此情况下,根据图 23,存储器 31 具有 12 个列,用于在行方向存储  $12 \times 1$  位,并且在列方向存储  $64,800 / (12 \times 1)$  位。因此,将存储器 31 的 12 个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 2 的位置,将第四列的写入起始位置设置为地址为 2 的位置,将第五列的写入起始位置设置为地址为 3 的位置,将第六列的写入起始位置设置为地址为 4 的位置,将第七列的写入起始位置设置为地址为 4 的位置,将第八列的写入起始位置设置为地址为 5 的位置,将第九列的写入起始位置设置为地址为 5 的位置,将第十列的写入起始位置设置为地址为 7 的位置,将第十一列的写入起始位置设置为地址为 8 的位置,将第十二列的写入起始位置设置为地址为 9 的位置。

[0353] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 4096QAM 作为调制方法的情况下,一个符号的位数  $m$  为 12 位并且倍数  $b$  为 2。



[0354] 在此情况下,根据图 23,存储器 31 具有 24 个列,用于在行方向存储  $12 \times 2$  位,并且在列方向存储  $64,800 / (12 \times 2)$  位。因此,将存储器 31 的 24 个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 5 的位置,将第三列的写入起始位置设置为地址为 8 的位置,将第四列的写入起始位置设置为地址为 8 的位置,将第五列的写入起始位置设置为地址为 8 的位置,将第六列的写入起始位置设置为地址为 8 的位置,将第七列的写入起始位置设置为地址为 10 的位置,将第八列的写入起始位置设置为地址为 10 的位置,将第九列的写入起始位置设置为地址为 10 的位置,将第十列的写入起始位置设置为地址为 12 的位置,将第十一列的写入起始位置设置为地址为 13 的位置,将第十二列的写入起始位置设置为地址为 16 的位置,将第十三列的写入起始位置设置为地址为 17 的位置,将第十四列的写入起始位置设置为地址为 19 的位置,将第十五列的写入起始位置设置为地址为 21 的位置,将第十六列的写入起始位置设置为地址为 22 的位置,将第十七列的写入起始位置设置为地址为 23 的位置,将第十八列的写入起始位置设置为地址为 26 的位置,将第十九列的写入起始位置设置为地址为 37 的位置,将第二十列的写入起始位置设置为地址为 39 的位置,将第二十一列的写入起始位置设置为地址为 40 的位置,将第二十二列的写入起始位置设置为地址为 41 的位置,将第二十三列的写入起始位置设置为地址为 41 的位置,将第二十四列的写入起始位置设置为地址为 41 的位置。

[0355] 图 24 图解了:对于如 DVB-S. 2 标准中所规定的码长  $N$  为 16, 200 的 10 种不同编码速率的 LDPC 码,列扭曲交织所需的存储器 31 的列数以及对于每种调制方法的写入起始位置的地址。

[0356] 作为解复用器 25(图 8)的替换过程的替换方法,采用图 16 的第一替换方法至第三替换方法中的一种替换方法并且采用 QPSK 作为调制方法的情况下,一个符号的位数  $m$  为 2 位并且倍数  $b$  为 1。

[0357] 在此情况下,根据图 24,存储器 31 具有两个列,用于在行方向存储  $2 \times 1$  位,并且在列方向存储  $16,200 / (2 \times 1)$  位。因此,将存储器 31 的两个列中第一列的写入起始位置设置为地址为 0 的位置,并将第二列的写入起始位置设置为地址为 0 的位置。

[0358] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 QPSK 作为调制方法的情况下,一个符号的位数  $m$  为 2 位并且倍数  $b$  为 2。

[0359] 在此情况下,根据图 24,存储器 31 具有四个列,用于在行方向存储  $2 \times 2$  位,并且在列方向存储  $16,200 / (2 \times 2)$  位。因此,将存储器 31 的四个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 2 的位置,将第三列的写入起始位置设置为地址为 3 的位置,将第四列的写入起始位置设置为地址为 3 的位置。

[0360] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 16QAM 作为调制方法的情况下,一个符号的位数  $m$  为 4 位并且倍数  $b$  为 1。

[0361] 在此情况下,根据图 24,存储器 31 具有四个列,用于在行方向存储  $4 \times 1$  位,并且在列方向存储  $16,200 / (4 \times 1)$  位。因此,将存储器 31 的四个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 2 的位置,将第三列的写入起始位置设置为地址为 3 的位置,将第四列的写入起始位置设置为地址为 3 的位置。

[0362] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方

法并且采用 16QAM 作为调制方法的情况下,一个符号的位数  $m$  为 4 位并且倍数  $b$  为 2。

[0363] 在此情况下,根据图 24,存储器 31 具有八个列,用于在行方向存储  $4 \times 2$  位,并且在列方向存储  $16, 200 / (4 \times 2)$  位。因此,将存储器 31 的八个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 0 的位置,将第四列的写入起始位置设置为地址为 1 的位置,将第五列的写入起始位置设置为地址为 7 的位置,将第六列的写入起始位置设置为地址为 20 的位置,将第七列的写入起始位置设置为地址为 20 的位置,将第八列的写入起始位置设置为地址为 21 的位置。

[0364] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 64QAM 作为调制方法的情况下,一个符号的位数  $m$  为 6 位并且倍数  $b$  为 1。

[0365] 在此情况下,根据图 24,存储器 31 具有六个列,用于在行方向存储  $6 \times 1$  位,并且在列方向存储  $16, 200 / (6 \times 1)$  位。因此,将存储器 31 的六个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 2 的位置,将第四列的写入起始位置设置为地址为 3 的位置,将第五列的写入起始位置设置为地址为 7 的位置,将第六列的写入起始位置设置为地址为 7 的位置。

[0366] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 64QAM 作为调制方法的情况下,一个符号的位数  $m$  为 6 位并且倍数  $b$  为 2。

[0367] 在此情况下,根据图 24,存储器 31 具有十二个列,用于在行方向存储  $6 \times 2$  位,并且在列方向存储  $16, 200 / (6 \times 2)$  位。因此,将存储器 31 的十二个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 0 的位置,将第四列的写入起始位置设置为地址为 2 的位置,将第五列的写入起始位置设置为地址为 2 的位置,将第六列的写入起始位置设置为地址为 2 的位置,将第七列的写入起始位置设置为地址为 3 的位置,将第八列的写入起始位置设置为地址为 3 的位置,将第九列的写入起始位置设置为地址为 3 的位置,将第十列的写入起始位置设置为地址为 6 的位置,将第十一列的写入起始位置设置为地址为 7 的位置,将第十二列的写入起始位置设置为地址为 7 的位置。

[0368] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 256QAM 作为调制方法的情况下,一个符号的位数  $m$  为 8 位并且倍数  $b$  为 1。

[0369] 在此情况下,根据图 24,存储器 31 具有八个列,用于在行方向存储  $8 \times 1$  位,并且在列方向存储  $16, 200 / (8 \times 1)$  位。因此,将存储器 31 的八个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 0 的位置,将第四列的写入起始位置设置为地址为 1 的位置,将第五列的写入起始位置设置为地址为 7 的位置,将第六列的写入起始位置设置为地址为 20 的位置,将第七列的写入起始位置设置为地址为 20 的位置,将第八列的写入起始位置设置为地址为 21 的位置。

[0370] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 1024QAM 作为调制方法的情况下,一个符号

的位数  $m$  为 10 位并且倍数  $b$  为 1。

[0371] 在此情况下,根据图 24,存储器 31 具有十个列,用于在行方向存储  $10 \times 1$  位,并且在列方向存储  $16,200 / (10 \times 1)$  位。因此,将存储器 31 的十个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 1 的位置,将第三列的写入起始位置设置为地址为 2 的位置,将第四列的写入起始位置设置为地址为 2 的位置,将第五列的写入起始位置设置为地址为 3 的位置,将第六列的写入起始位置设置为地址为 3 的位置,将第七列的写入起始位置设置为地址为 4 的位置,将第八列的写入起始位置设置为地址为 4 的位置,将第九列的写入起始位置设置为地址为 5 的位置,将第十列的写入起始位置设置为地址为 7 的位置。

[0372] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 1024QAM 作为调制方法的情况下,一个符号的位数  $m$  为 10 位并且倍数  $b$  为 2。

[0373] 在此情况下,根据图 24,存储器 31 具有 20 个列,用于在行方向存储  $10 \times 2$  位,并且在列方向存储  $16,200 / (10 \times 2)$  位。因此,将存储器 31 的 20 个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 0 的位置,将第四列的写入起始位置设置为地址为 2 的位置,将第五列的写入起始位置设置为地址为 2 的位置,将第六列的写入起始位置设置为地址为 2 的位置,将第七列的写入起始位置设置为地址为 2 的位置,将第八列的写入起始位置设置为地址为 2 的位置,将第九列的写入起始位置设置为地址为 5 的位置,将第十列的写入起始位置设置为地址为 5 的位置,将第十一列的写入起始位置设置为地址为 5 的位置,将第十二列的写入起始位置设置为地址为 5 的位置,将第十三列的写入起始位置设置为地址为 5 的位置,将第十四列的写入起始位置设置为地址为 7 的位置,将第十五列的写入起始位置设置为地址为 7 的位置,将第十六列的写入起始位置设置为地址为 7 的位置,将第十七列的写入起始位置设置为地址为 7 的位置,将第十八列的写入起始位置设置为地址为 8 的位置,将第十九列的写入起始位置设置为地址为 8 的位置,将第二十列的写入起始位置设置为地址为 10 的位置。

[0374] 另外,在采用图 16 的第一替换方法至第三替换方法中的一个替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 4096QAM 作为调制方法的情况下,一个符号的位数  $m$  为 12 位并且倍数  $b$  为 1。

[0375] 在此情况下,根据图 24,存储器 31 具有 12 个列,用于在行方向存储  $12 \times 1$  位,并且在列方向存储  $16,200 / (12 \times 1)$  位。因此,将存储器 31 的十二个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 0 的位置,将第四列的写入起始位置设置为地址为 2 的位置,将第五列的写入起始位置设置为地址为 2 的位置,将第六列的写入起始位置设置为地址为 2 的位置,将第七列的写入起始位置设置为地址为 3 的位置,将第八列的写入起始位置设置为地址为 3 的位置,将第九列的写入起始位置设置为地址为 3 的位置,将第十列的写入起始位置设置为地址为 6 的位置,将第十一列的写入起始位置设置为地址为 7 的位置,将第十二列的写入起始位置设置为地址为 7 的位置。

[0376] 另外,在采用图 17 的第四替换方法作为解复用器 25(图 8)的替换过程的替换方法并且采用 4096QAM 作为调制方法的情况下,一个符号的位数  $m$  为 12 位并且倍数  $b$  为 2。

[0377] 在此情况下,根据图 24,存储器 31 具有 24 个列,用于在行方向存储  $12 \times 2$  位,并且在列方向存储  $16, 200 / (12 \times 2)$  位。因此,将存储器 31 的 24 个列中第一列的写入起始位置设置为地址为 0 的位置,将第二列的写入起始位置设置为地址为 0 的位置,将第三列的写入起始位置设置为地址为 0 的位置,将第四列的写入起始位置设置为地址为 0 的位置,将第五列的写入起始位置设置为地址为 0 的位置,将第六列的写入起始位置设置为地址为 0 的位置,将第七列的写入起始位置设置为地址为 0 的位置,将第八列的写入起始位置设置为地址为 1 的位置,将第九列的写入起始位置设置为地址为 1 的位置,将第十列的写入起始位置设置为地址为 1 的位置,将第十一列的写入起始位置设置为地址为 2 的位置,将第十二列的写入起始位置设置为地址为 2 的位置,将第十三列的写入起始位置设置为地址为 2 的位置,将第十四列的写入起始位置设置为地址为 3 的位置,将第十五列的写入起始位置设置为地址为 7 的位置,将第十六列的写入起始位置设置为地址为 9 的位置,将第十七列的写入起始位置设置为地址为 9 的位置,将第十八列的写入起始位置设置为地址为 9 的位置,将第十九列的写入起始位置设置为地址为 10 的位置,将第二十列的写入起始位置设置为地址为 10 的位置,将第二十一列的写入起始位置设置为地址为 10 的位置,将第二十二列的写入起始位置设置为地址为 10 的位置,将第二十三列的写入起始位置设置为地址为 10 的位置,将第二十四列的写入起始位置设置为地址为 11 的位置。

[0378] 现在,参照图 25 的流程图对图 8 的发送设备 11 进行的发送过程进行描述。

[0379] LDPC 编码部分 21 等待向其提供对象数据,并在步骤 S101 将对象数据编码成 LDPC 码并将该 LDPC 码提供给位交织器 22。之后,处理前往步骤 S102。

[0380] 在步骤 S102,位交织器 22 对来自 LDPC 编码部分 21 的 LDPC 码进行位交织并将交织后的 LDPC 码提供给映射部分 26。之后,处理前往步骤 S103。

[0381] 具体地,在步骤 S102,位交织器 22 中的奇偶交织器 23 对来自 LDPC 编码部分 21 的 LDPC 码进行奇偶交织并将奇偶交织后的 LDPC 码提供给列扭曲交织器 24。

[0382] 列扭曲交织器 24 对来自奇偶交织器 23 的 LDPC 码进行列扭曲交织,随后解复用器 25 对列扭曲交织器 24 所进行列扭曲交织后的 LDPC 码进行替换过程。随后,将替换过程后的 LDPC 码从解复用器 25 提供给映射部分 26。

[0383] 在步骤 S103,映射部分 26 将来自解复用器 25 的 LDPC 码的  $m$  个码位映射到正交调制部分 27 所进行正交调制的调制方法定义的信号点所表示的符号,并将经映射的码位提供给正交调制部分 27。随后,处理前往步骤 S104。

[0384] 在步骤 S104,正交调制部分 27 按照来自映射部分 26 的符号对载波进行正交调制。随后,处理前往步骤 S105,在步骤 S105,发送作为正交调制的结果得到的调制信号,之后,处理结束。

[0385] 应当注意,图 25 的发送过程重复地进行。

[0386] 通过如上所述地进行奇偶交织和列扭曲交织,能够改进对这样的擦除或突发差错的容限:其中,LDPC 码的多个码位被作为一个符号发送。

[0387] 此处,在图 8 中,虽然将奇偶交织器 23(用于进行奇偶交织的块)和列扭曲交织器 24(用于进行列扭曲交织的块)彼此单独地配置以便于描述,也可以将奇偶交织器 23 和列扭曲交织器 24 彼此整体地配置。

[0388] 具体地,可以通过将码位写入存储器以及从存储器读出码位来进行奇偶交织和列

扭曲交织,并且,奇偶交织和列扭曲交织可以用这样的矩阵表示:该矩阵用于把要将码位写入其中的地址(写入地址)转换为要从其读出码位的地址(读出地址)。

[0389] 因此,如果预先确定了通过将代表奇偶交织的矩阵和代表列扭曲交织的矩阵相乘而得到的矩阵,则,如果矩阵被用来转换码位,则可以得到进行奇偶交织以及随后奇偶交织后的 LDPC 码被列扭曲交织时的结果。

[0390] 另外,除了奇偶交织器 23 和列扭曲交织器 24,解复用器 25 也可以被整体地配置。

[0391] 具体地,由解复用器 25 进行的替换过程也可以用这样的矩阵表示:该矩阵用于将存储 LDPC 码的存储器 31 的写入地址转换成读取地址。

[0392] 因此,如果预先确定了通过将代表奇偶交织的矩阵、代表列扭曲交织的另一矩阵以及代表替换过程的又一个矩阵相乘而得到的矩阵,则可以通过所确定的矩阵统一地进行奇偶交织、列扭曲交织和替换过程。

[0393] 应当注意,可以只进行奇偶交织和列扭曲交织之一。

[0394] 现在,参照图 26 至图 28 描述关于图 8 的发送设备 11 进行的用于测量差错率(误位率)的模拟。

[0395] 采用具有 D/U 为 0dB 的颤动的通信路径进行模拟。

[0396] 图 26 示出了模拟中采用的通信路径的模型。

[0397] 具体地,图 26 的 A 示出了模拟中采用的颤动的模型。

[0398] 同时,图 26 的 B 示出了具有图 26 的 A 的模型所表示的颤动的通信路径的模型。

[0399] 应当注意,在图 26 的 B 中,H 表示图 26 的 A 的颤动的模型。另外,在图 26 的 B 中,N 表示 ICI(载波间干扰),并且在模拟中,通过 AWGN 近似功率的预期值  $E[N^2]$ 。

[0400] 图 27 和图 28 图解了通过模拟得到的差错率与颤动的多普勒频率  $f_d$  之间的关系。

[0401] 应当注意,图 27 图解了调制方法为 16QAM、编码速率(r)为 (3/4)、并且替换方法为第一替换方法的情况下差错率与多普勒频率  $f_d$  之间的关系。同时,图 28 图解了调制方法为 64QAM、编码速率(r)为 (5/6)、并且替换方法为第一替换方法的情况下差错率与多普勒频率  $f_d$  之间的关系。

[0402] 另外,在图 27 和图 28 中,粗曲线指示在奇偶交织、列扭曲交织和替换过程全都进行的情况下差错率与多普勒频率  $f_d$  之间的关系,而细曲线指示在奇偶交织、列扭曲交织和替换过程中只进行替换过程的情况下差错率与多普勒频率  $f_d$  之间的关系。

[0403] 在图 27 以及图 28 中,可以认识到:相比于只进行替换过程的情况,在奇偶交织、列扭曲交织和替换过程全部都进行的情况下差错率得以改善(减小)。

[0404] 图 29 是示出了图 7 的接收设备 12 的配置示例的框图。

[0405] 参照图 29,接收设备 12 是用于从发送设备 11(图 7)接收调制信号的数据处理设备,并且其包括正交解调部分 51、解映射部分 52、解交织器 53 和 LDPC 解码部分 56。

[0406] 正交解调部分 51 从发送设备 11 接收调制信号并进行正交解调,随后将作为正交解调的结果而得到的符号(I 轴和 Q 轴上的值)提供给解映射部分 52。

[0407] 解映射部分 52 进行将来自正交解调部分 51 的符号转换成 LDPC 码的码位的解映射,并将该码位提供给解交织器 53。

[0408] 解交织器 53 包括复用器(MUX)54 和列扭曲解交织器 55,并且对来自解映射部分 52 的 LDPC 码的码位进行解交织。

[0409] 具体地,复用器 54 对来自解映射部分 52 的 LDPC 码进行与图 8 的解复用器 25 进行的替换过程相对应的反向替换过程(替换过程的逆过程),即,将替换过程所替换的码位的位置返回到原始位置的反向替换过程。随后,复用器 54 将作为反向替换过程的结果得到的 LDPC 码提供给列扭曲解交织器 55。

[0410] 列扭曲解交织器 55 进行与图 8 的列扭曲交织器 24 进行的作为重新布置过程的列扭曲交织相对应的列扭曲解交织(列扭曲交织的逆过程),即,例如,作为反向重新布置过程,列扭曲解交织对于来自复用器 54 的 LDPC 码将作为重新布置过程的列扭曲交织所改变的 LDPC 码的码位布置返回到原始布置。

[0411] 具体地,列扭曲解交织器 55 通过将 LDPC 码的码位写入用于解交织的存储器以及从该存储器中读出所写入的码位来进行列扭曲解交织,该存储器被配置成与图 22 等中所示的存储器 31 类似。

[0412] 应当注意,在列扭曲解交织器 55 中,使用从存储器 31 读出码时的读取地址作为写入地址在用于解交织的存储器的行方向进行对码位的写入。同时,使用将码位写入存储器 31 时的写入地址作为读取地址在用于解交织的存储器的列方向进行对码位的读出。

[0413] 将作为列扭曲交织的结果得到的 LDPC 码从列扭曲解交织器 55 提供给 LDPC 解码部分 56。

[0414] 此处,虽然从解映射部分 52 提供给解交织器 53 的 LDPC 码是通过为其以此次序进行奇偶交织、列扭曲交织和替换过程得到的,但解交织器 53 只进行与替换过程对应的反向替换过程以及与列扭曲交织对应的列扭曲解交织。因此,不进行与奇偶交织对应的奇偶解交织(与奇偶交织相反的过程),即,不进行将被奇偶交织改变了布置的 LDPC 码的码位的布置返回到原始布置的奇偶解交织。

[0415] 因此,将进行了反向替换过程和列扭曲解交织但未进行奇偶解交织的 LDPC 码从解交织器 53(的列扭曲解交织器 55)提供给 LDPC 解码部分 56。

[0416] LDPC 解码部分 56 使用转换奇偶校验矩阵(通过如下方式得到:对用于图 8 的 LDPC 编码部分 21 所进行 LDPC 编码的奇偶校验矩阵 H 至少进行与奇偶交织对应的列替换)对来自解交织器 53 的 LDPC 码进行 LDPC 解码,并输出作为 LDPC 解码的结果而得到的数据作为对象数据的解码结果。

[0417] 图 30 是图解由图 29 的接收设备 12 进行的接收过程的流程图。

[0418] 在步骤 S111,正交解调部分 51 从发送设备 11 接收调制信号。随后,处理前往步骤 S112,在该步骤,正交解调部分 51 进行对调制信号的正交解调。正交解调部分 51 将作为正交解调的结果得到的符号提供给解映射部分 52,之后,处理从步骤 S112 前往步骤 S113。

[0419] 在步骤 S113,解映射部分 52 进行将来自正交解调部分 51 的符号转换成 LDPC 码的码位的解映射,并将码位提供给解交织器 53,之后,处理前往步骤 S114。

[0420] 在步骤 S114,解交织器 53 对来自解映射部分 52 的 LDPC 码的码位进行解交织,之后,处理前往步骤 S115。

[0421] 具体地,在步骤 S114,解交织器 53 中的复用器 54 对来自解映射部分 52 的 LDPC 码进行反向替换过程并将作为反向替换过程的结果得到的 LDPC 码提供给列扭曲解交织器 55。

[0422] 列扭曲解交织器 55 对来自复用器 54 的 LDPC 码进行列扭曲解交织并将作为列扭

曲解交织的结果得到的 LDPC 码提供给 LDPC 解码部分 56。

[0423] 在步骤 S115, LDPC 解码部分 56 使用转换奇偶校验矩阵 (通过如下方式得到 : 对于图 8 的 LDPC 编码部分 21 所进行的 LDPC 编码的奇偶校验矩阵 H 至少进行与奇偶交织对应的列替换) 对来自列扭曲解交织器 55 的 LDPC 码进行 LDPC 解码, 并输出通过 LDPC 解码得到的数据作为对象数据的解码结果。之后, 处理结束。

[0424] 应当注意, 图 30 的接收过程被重复地进行。

[0425] 在图 29 中, 用于进行反向替换过程的复用器 54 和用于进行列扭曲解交织的列扭曲解交织器 55 也如图 8 的情形一样彼此单独配置以便于描述。然而, 复用器 54 和列扭曲解交织器 55 能够相互整体地配置。

[0426] 另外, 在图 8 的发送设备 11 不进行列扭曲交织的情况下, 不需要在图 29 的接收设备 12 中提供列扭曲解交织器 55。

[0427] 现在, 对图 29 的 LDPC 解码部分 56 进行的 LDPC 解码进行进一步描述。

[0428] 图 29 的 LDPC 解码部分 56 使用转换奇偶校验矩阵 (通过如下方式得到 : 对于图 8 的 LDPC 编码部分 21 所进行的 LDPC 编码的奇偶校验矩阵 H 至少进行与奇偶交织对应的列替换) 对如上所述来自列扭曲解交织器 55 的 LDPC 码 (对其进行了反向替换过程和列扭曲解交织, 但未进行奇偶解交织) 进行 LDPC 解码。

[0429] 此处, 此前已提出了如下这种 LDPC 解码 : 其能够在充分可实施的范围内抑制操作频率的同时通过使用转换奇偶校验矩阵进行 LDPC 解码来抑制电路规模 (参见例如日本专利特许公开 2004-343170 号)。

[0430] 因此, 首先参照图 31 至图 34 对此前提出的使用转换奇偶校验矩阵的 LDPC 解码进行描述。

[0431] 图 31 示出了码长 N 为 90 并且编码速率为 2/3 的 LDPC 码的奇偶校验矩阵 H 的示例。

[0432] 应当注意, 在图 31 中, 0 用句点 (.) 表示 (这对于下文中所述的图 32 和图 33 也类似地适用)。

[0433] 在图 31 的奇偶校验矩阵 H 中, 奇偶矩阵具有阶梯结构。

[0434] 图 32 图解了通过对图 31 的奇偶校验矩阵 H 应用表达式 (8) 的行替换和表达式 (9) 的列替换而得到的奇偶校验矩阵 H'。

[0435] 行替换 : 第  $6s+t+1$  行  $\rightarrow$  第  $5t+s+1$  行

[0436]  $\dots$  (8)

[0437] 列替换 : 第  $6x+y+61$  列  $\rightarrow$  第  $5y+x+61$  列

[0438]  $\dots$  (9)

[0439] 然而, 在表达式 (8) 和 (9) 中,  $s$ 、 $t$ 、 $x$  和  $y$  分别为  $0 \leq s < 5$ 、 $0 \leq t < 6$ 、 $0 \leq x < 5$  和  $0 \leq y < 6$  范围内的整数。

[0440] 根据表达式 (8) 的行替换, 替换以这种方式进行 : 将第 1 行、第 7 行、第 13 行、第 19 行和第 25 行 (其每个的号码表明在其除以 6 的情况下余数为 1) 替换到第 1 行、第 2 行、第 3 行、第 4 行和第 5 行, 将第 2 行、第 8 行、第 14 行、第 20 行和第 26 行 (其每个的号码表明在其除以 6 的情况下余数为 2) 替换到第 6 行、第 7 行、第 8 行、第 9 行和第 10 行。

[0441] 另一方面, 根据表达式 (9) 的列替换, 对第 61 列和后续的列 (奇偶矩阵) 进行替

换,使得将第 61 列、第 67 列、第 73 列、第 79 列和第 85 列(其每个的号码表明在其除以 6 的情况下余数为 1) 替换到第 61 列、第 62 列、第 63 列、第 64 列和第 65 列,将第 62 列、第 68 列、第 74 列、第 80 列和第 86 列(其每个的号码表明在其除以 6 的情况下余数为 2) 替换到第 66 列、第 67 列、第 68 列、第 69 列和第 70 列。

[0442] 通过对图 31 的奇偶校验矩阵 H 进行行替换和列替换而得到的矩阵为图 32 的奇偶校验矩阵 H'。

[0443] 此处,即使对奇偶校验矩阵 H 进行了行替换,这也不影响 LDPC 码的码位布置。

[0444] 同时,表达式 (9) 的列替换对应于如下这种奇偶交织:其中将第  $K+qx+y+1$  个码位交织到第  $K+Py+x+1$  个码位的位置的奇偶交织中的信息长度 K、循环结构的单位列数 P 以及奇偶长度 M(此处,30) 的除数  $q(=M/P)$  分别被设置为 60、5 以及 6。

[0445] 如果将图 32 的奇偶校验矩阵 H' (在下文中适当地称为替换奇偶校验矩阵) 乘以对图 31 的奇偶校验矩阵 H(在下文中适当地称为原始奇偶校验矩阵) 的 LDPC 码进行和表达式 (9) 一样的替换的结果,则输出 0 向量。具体地,在将通过将表达式 (9) 的列替换应用于作为原始奇偶校验矩阵 H 的 LDPC 码(一个码字) 的行向量 c 而得到的行向量用 c' 表示情况下,由于  $Hc^T$  基于奇偶校验矩阵的特性变成 0 向量,  $H'c'^T$  自然也变成 0 向量。

[0446] 根据以上内容,图 32 的转换奇偶校验矩阵 H' 变成通过对原始奇偶校验矩阵 H 的 LDPC 码 c 进行表达式 (9) 的列替换而得到的 LDPC 码 c' 的奇偶校验矩阵。

[0447] 因此,通过对原始奇偶校验矩阵 H 的 LDPC 码 c 进行表达式 (9) 的列替换、使用图 32 的奇偶校验矩阵 H' 对列替换后的 LDPC 码 c' 进行解码(LDPC 解码)、并随后对解码的结果进行表达式 (9) 的列替换的反向替换,能够得到与使用奇偶校验矩阵 H 对原始奇偶校验矩阵 H 的 LDPC 码进行解码得到的解码结果类似的解码结果。

[0448] 图 33 示出了图 32 的转换奇偶校验矩阵 H', 其中,在  $5 \times 5$  矩阵的单位之间提供间隔。

[0449] 在图 33 中,转换奇偶校验矩阵 H' 用如下矩阵的组合表示:  $5 \times 5$  个元素的单位矩阵;另一矩阵(在下文中适当地称为准单位矩阵),其对应于元素 1 变成元素 0 的单位矩阵;又一矩阵(在下文中适当地称为移位矩阵),其对应于被循环地移位(循环移位)后的单位矩阵或准单位矩阵;单位矩阵、准单位矩阵和移位矩阵中两个或更多个的再一矩阵(在下文中适当地称为和矩阵);以及  $5 \times 5$  个元素的 0 矩阵。

[0450] 可以认为图 33 的转换奇偶校验矩阵 H' 由单位矩阵、准单位矩阵、移位矩阵、和矩阵以及  $5 \times 5$  个元素的 0 矩阵组成。因此,组成转换奇偶校验矩阵 H' 的  $5 \times 5$  个元素的矩阵在下文中称为成分矩阵。

[0451] 为了对  $P \times P$  个分量的矩阵表示的奇偶校验矩阵所表示的 LDPC 码进行解码,可以使用如下这种架构:对 P 个校验节点和 P 个变量节点同时进行校验节点数学运算和变量节点数学运算。

[0452] 图 34 是示出了进行如刚才所述的这种解码的解码设备的配置示例的框图。

[0453] 具体地,图 34 示出了如下这种解码设备的配置示例:使用通过至少进行表达式 (9) 的列替换得到的图 33 的转换奇偶校验矩阵 H' 对图 31 的原始奇偶校验矩阵 H 的 LDPC 码进行解码。

[0454] 图 34 的解码设备包括:包括六个 FIFO 300<sub>1</sub> 至 300<sub>6</sub> 的边缘数据存储存储器 300、用



于选择 FIFO 300<sub>1</sub> 至 300<sub>6</sub> 的选择器 301、校验节点计算部分 302、两个循环移位电路 303 和 308、包括 18 个 FIFO 304<sub>1</sub> 至 304<sub>18</sub> 的边缘数据存储存储器 304、用于选择 FIFO 304<sub>1</sub> 至 304<sub>18</sub> 的选择器 305、用于存储接收信息的接收数据存储存储器 306、变量节点计算部分 307、解码字计算部分 309、接收数据重新布置部分 310、以及解码数据重新布置部分 311。

[0455] 首先,对将数据存储到边缘数据存储存储器 300 和 304 的存储方法进行描述。

[0456] 边缘数据存储存储器 300 包括六个 FIFO 300<sub>1</sub> 至 300<sub>6</sub> (其数量等于图 33 的转换奇偶校验矩阵 H' 的行数 30 除以成分矩阵的行数 5 的商)。FIFO 300<sub>y</sub> (y = 1, 2, ..., 6) 中的每个 FIFO 有多个存储区域级,使得可以同时从每级存储区域读出或写入对应于五个边缘 (其数量等于成分矩阵的行数和列数) 的消息。另外,每个 FIFO 300<sub>y</sub> 的存储区域的级数为九 (在图 33 的转换奇偶校验矩阵的行方向上 1 的最大数量 (Hamming 重量))。

[0457] 在 FIFO 300<sub>1</sub> 中,在各行的水平方向上以贴近形式 (以忽略 0 的形式) 存储图 33 的转换奇偶校验矩阵 H' 的第一行至第五行中值 1 的位置所对应的数据 (来自变量节点的消息 v<sub>i</sub>)。具体地,如果将第 i 列第 j 行中的元素用 (j, i) 表示,则在 FIFO 300<sub>1</sub> 的第一级存储区域中,存储转换奇偶校验矩阵 H' 的从 (1, 1) 到 (5, 5) 的 5×5 个元素的单位矩阵的值 1 的位置所对应的数据。在第二级存储区域中,存储转换奇偶校验矩阵 H' 的从 (1, 21) 至 (5, 25) 的移位矩阵 (通过将 5×5 个元素的单位矩阵在向右的方向上移位三而得到的移位矩阵) 的值 1 的位置所对应的数据。在第三级至第八级存储区域中,也以与转换奇偶校验矩阵 H' 相关联的关系存储数据。随后,在第九级存储区域中,存储转换奇偶校验矩阵 H' 的 (1, 86) 至 (5, 90) 的移位矩阵 (通过用值 0 替换 5×5 个元素的单位矩阵第一行中的值 1 并随后将替换后的单位矩阵在向左的方向上移位一而得到的移位矩阵) 值 1 的位置所对应的数据。

[0458] 在 FIFO 300<sub>2</sub> 中,存储图 33 的转换奇偶校验矩阵 H' 的第六行至第十行中的值 1 的位置所对应的数据。具体地,在 FIFO 300<sub>2</sub> 的第一级的存储区域中,存储形成转换奇偶校验矩阵 H' 的从 (6, 1) 至 (10, 5) 的和矩阵 (该和矩阵为通过将 5×5 个元素的单位矩阵在向右的方向上循环地移位一而得到的第一移位矩阵与通过将 5×5 个元素的单位矩阵在向右的方向上循环地移位二而得到的第二移位矩阵的和) 的第一移位矩阵的值 1 的位置所对应的数据。另外,在第二级存储区域中,存储形成转换奇偶校验矩阵 H' 的从 (6, 1) 至 (10, 5) 的和矩阵的第二移位矩阵的值 1 的位置所对应的数据。

[0459] 具体地,对于重量是 2 或大于 2 的成分矩阵,在该成分矩阵以重量为 1 的 P×P 元素的单位矩阵、用 0 替换其值为 1 的一个或更多个元素的单位矩阵所对应的准单位矩阵、以及通过循环地移位单位矩阵或准单位矩阵而得到的移位矩阵之中多项的和的形式表示的情况下,将重量为 1 的单位矩阵、准单位矩阵或移位矩阵的值 1 的位置所对应的数据 (属于单位矩阵、准单位矩阵或移位矩阵的边缘所对应的消息) 存储到同一地址 (FIFO 300<sub>1</sub> 至 300<sub>6</sub> 之中的同一 FIFO) 中。

[0460] 在第三级至第九级存储区域中,也以与转换奇偶校验矩阵 H' 相关联的关系存储数据。

[0461] FIFO 300<sub>3</sub> 至 300<sub>6</sub> 也以与转换奇偶校验矩阵 H' 相关联的关系存储数据。

[0462] 边缘数据存储存储器 304 包括 18 个 FIFO 304<sub>1</sub> 至 304<sub>18</sub> (其数量等于转换奇偶校验矩阵 H' 的列数 90 除以成分矩阵的列数 5 时的商)。边缘数据存储存储器 304<sub>x</sub> (x = 1、

2、...、18) 的每个具有多个存储区域级,可以同时从每级存储区域读出或写入五个边缘(其数量等于转换奇偶校验矩阵  $H'$  的行数和列数)所对应的消息。

[0463] 在 FIFO 304<sub>1</sub> 中,在各列的垂直方向上以贴近形式(以忽略 0 的形式)存储图 33 的转换奇偶校验矩阵  $H'$  的第一行至第五列中值 1 的位置所对应的数据(来自校验节点的消息  $u_j$ )。具体地,在 FIFO 304<sub>1</sub> 的第一级存储区域中,存储转换奇偶校验矩阵  $H'$  的从 (1, 1) 至 (5, 5) 的  $5 \times 5$  个元素的单位矩阵的值 1 的位置所对应的数据。在第二级存储区域中,存储形成垂直奇偶校验矩阵  $H'$  的从 (6, 1) 至 (10, 5) 的和矩阵(如下这种和矩阵:通过将  $5 \times 5$  个元素的单位矩阵向右移位一而得到的第一移位矩阵与通过将  $5 \times 5$  个元素的单位矩阵向右移位二而得到的第二移位矩阵的和)的第一移位矩阵的值 1 的位置所对应的数据。另外,在第三级存储区域中,存储形成垂直奇偶校验矩阵  $H'$  的从 (6, 1) 至 (10, 5) 的和矩阵的第二移位矩阵的值 1 的位置所对应的数据。

[0464] 具体地,对于重量为 2 或大于 2 的成分矩阵,在成分矩阵以重量为 1 的  $P \times P$  个元素的单位矩阵、用 0 替换其值为 1 的一个或多个元素的准单位矩阵、以及通过循环地移位单位矩阵或准单位矩阵而得到的移位矩阵中的多项的和的形式表示的情况下,将重量为 1 的单位矩阵、准单位矩阵或移位矩阵的值 1 的位置所对应的数据(属于单位矩阵、准单位矩阵或移位矩阵的边缘所对应的消息)存储到同一地址(FIFO 304<sub>1</sub> 至 304<sub>18</sub> 中的同一 FIFO)中。

[0465] 关于第四级和第五级的存储区域,也以与转换奇偶校验矩阵  $H'$  相关联的关系存储数据。FIFO 304<sub>1</sub> 的存储区域的级数为 5,其为转换奇偶校验矩阵  $H'$  第一列至第五列中在行方向上 1 的数量的最大数量(Hamming 重量)。

[0466] FIFO 304<sub>2</sub> 和 304<sub>3</sub> 也类似地以与转换奇偶校验矩阵  $H'$  相关联的关系存储数据,并且 FIFO 304<sub>2</sub> 和 304<sub>3</sub> 的每个的长度(级数)为 5。FIFO 304<sub>4</sub> 至 304<sub>12</sub> 也类似地以与转换奇偶校验矩阵  $H'$  相关联的关系存储数据,并且 FIFO 304<sub>4</sub> 至 304<sub>12</sub> 的每个的长度为 3。FIFO 304<sub>13</sub> 至 304<sub>18</sub> 也类似地以与转换奇偶校验矩阵  $H'$  相关联的关系存储数据, FIFO 304<sub>13</sub> 至 304<sub>18</sub> 的每个的长度为 2。

[0467] 现在,对图 34 的解码设备的操作进行描述。

[0468] 边缘数据存储存储器 300 包括六个 FIFO 300<sub>1</sub> 至 300<sub>6</sub>,并且按照表示从前一级的循环移位电路 308 提供的五个消息 D311 属于转换奇偶校验矩阵  $H'$  的哪行的信息(矩阵数据)D312 从 FIFO 300<sub>1</sub> 至 300<sub>6</sub> 之中选择要存储数据的 FIFO。随后,统一并按次序地将五个消息 D311 存储到选择的 FIFO 中。另外,在要读出数据时,边缘数据存储存储器 300 从 FIFO 300<sub>1</sub> 按次序读出五个消息 D311 并将五个消息 D311 提供给前一级的选择器 301。在从 FIFO 300<sub>1</sub> 读出消息结束之后,边缘数据存储存储器 300 还从 FIFO 300<sub>2</sub> 至 300<sub>6</sub> 按次序读出消息并将读出的消息提供给选择器 301。

[0469] 选择器 301 按照选择信号 D301 从 FIFO 300<sub>1</sub> 至 300<sub>6</sub> 中当前从其读出数据的那个 FIFO 选择五个消息,并将这五个消息作为消息 D302 提供给校验节点计算部分 302。

[0470] 校验节点计算部分 302 包括五个校验节点计算器 302<sub>1</sub> 至 302<sub>5</sub> 并使用通过选择器 301 向其提供的消息 D302(D302<sub>1</sub> 至 D302<sub>5</sub>) (表达式 (7) 的消息  $v_i$ ) 按照表达式 (7) 进行校验节点数学运算。随后,校验节点计算部分 302 将作为校验节点数学运算的结果得到的五个消息 D303(D303<sub>1</sub> 至 D303<sub>5</sub>) (表达式 (7) 的消息  $u_j$ ) 提供给循环移位电路 303。

[0471] 循环移位电路 303 基于关于相应边缘在转换奇偶校验矩阵  $H'$  中循环移位了多少个原始单位矩阵的信息 (矩阵数据) D305 将校验节点计算部分 302 确定的五个消息 D303<sub>1</sub> 至 D303<sub>5</sub> 循环地移位, 并将循环移位的结果作为消息 D304 提供给边缘数据存储存储器 304。

[0472] 边缘数据存储存储器 304 包括 18 个 FIFO 304<sub>1</sub> 至 304<sub>18</sub>。边缘数据存储存储器 304 按照关于从前一级的循环移位电路 303 提供的五个消息 D304 属于转换奇偶校验矩阵  $H'$  的哪个行的信息 D305 从 FIFO 304<sub>1</sub> 至 304<sub>18</sub> 中选择要存储数据的 FIFO, 并将五个消息 D304 统一按次序存储到选择的 FIFO。另一方面, 在读取数据时, 边缘数据存储存储器 304 从 FIFO 304<sub>1</sub> 按次序读取五个消息 D306<sub>1</sub> 并将消息 D306<sub>1</sub> 提供给下一级的选择器 305。在从 FIFO 304<sub>1</sub> 读出数据结束之后, 边缘数据存储存储器 304 还从 FIFO 304<sub>2</sub> 至 304<sub>18</sub> 按次序读出消息并将消息提供给选择器 305。

[0473] 选择器 305 按照选择信号 D307 从 FIFO 304<sub>1</sub> 至 304<sub>18</sub> 中当前读出数据的 FIFO 选择五个消息, 并将所选择的消息作为消息 D308 提供给变量节点计算部分 307 和解码字计算部分 309。

[0474] 另一方面, 接收数据重新布置部分 310 进行表达式 (9) 的列替换以重新布置通过通信路径接收到的 LDPC 码 D313 并将重新布置的 LDPC 码 D313 作为接收数据 D314 提供给接收数据存储存储器 306。接收数据存储存储器 306 根据从接收数据重新布置部分 310 向其提供的接收数据 D314 计算和存储接收 LLR (对数似然比), 并将接收 LLR 中每五个接收 LLR 作为接收值 D309 收集和提供给变量节点计算部分 307 和解码字计算部分 309。

[0475] 变量节点计算部分 307 包括五个变量节点计算器 307<sub>1</sub> 至 307<sub>5</sub>, 并使用通过选择器 305 向其提供的消息 D308 (308<sub>1</sub> 至 308<sub>5</sub>) (表达式 (1) 的消息  $u_j$ ) 以及从接收数据存储存储器 306 向其提供的五个接收值 D309 (表达式 (1) 的接收值  $u_{0i}$ ) 按照表达式 (1) 进行变量节点数学运算。随后, 变量节点计算部分 307 将作为数学运算的结果得到的消息 D310 (D301<sub>1</sub> 至 D310<sub>5</sub>) (表达式 (1) 的消息  $v_i$ ) 提供给循环移位电路 308。

[0476] 循环移位电路 308 基于关于相应边缘在转换奇偶校验矩阵  $H'$  中循环移位多少个原始单位矩阵的信息将变量节点计算部分 307 计算出的消息 D310<sub>1</sub> 至 D310<sub>5</sub> 循环移位, 并将循环移位的结果作为消息 D311 提供给边缘数据存储存储器 300。

[0477] 通过进行上述一系列操作, 能够进行 LDPC 码的一个循环的解码。在图 34 的解码设备中, 在 LDPC 码被解码预定次数之后, 最终的解码结果由解码字计算部分 309 和解码数据重新布置部分 311 确定并随后输出。

[0478] 具体地, 解码字计算部分 309 包括五个解码字计算器 309<sub>1</sub> 至 309<sub>5</sub> 并作为解码的多个循环中的最终级以使用从选择器 305 输出的五个消息 D308 (D308<sub>1</sub> 至 D308<sub>5</sub>) (表达式 (5) 的消息  $u_j$ ) 以及从接收数据存储存储器 306 输出的五个接收消息 D309 (表达式 (5) 的接收值  $u_{0i}$ ) 按照表达式 (5) 计算解码结果 (解码字)。随后, 解码字计算部分 309 将作为计算的结果得到的解码数据 D315 提供给解码数据重新布置部分 311。

[0479] 解码数据重新布置部分 311 对从解码字计算部分 309 向其提供的解码数据 D315 进行表达式 (9) 的列替换的反向替换以重新布置解码数据 D315 的次序, 并输出经重新布置的解码数据 D315 作为解码结果 D316。

[0480] 如上所述, 通过对奇偶校验矩阵 (原始奇偶校验矩阵) 应用行替换和列替换中的一种或两种, 将奇偶校验矩阵转换成能够如上所述用如下矩阵的组合表示的奇偶校验矩阵

(转换奇偶校验矩阵):  $P \times P$  个元素的单位矩阵; 准单位矩阵, 其对应于元素 1 变成元素 0 的单位矩阵; 移位矩阵, 其对应于循环移位后的单位矩阵或准单位矩阵; 单位矩阵、准单位矩阵和移位矩阵中两个或更多个的和矩阵; 以及  $P \times P$  个元素的 0 矩阵, 则可以对 LDPC 解码采用对  $P$  个校验节点和  $P$  个变量节点同时进行校验节点数学运算和变量节点数学运算的架构。因此, 通过对  $P$  个节点同时进行节点数学运算, 可以将运算频率抑制在可实施范围内以进行 LDPC 解码。

[0481] 组成图 29 的接收设备 12 的 LDPC 解码部分 56 对  $P$  个校验节点和  $P$  个变量节点同时进行校验节点数学运算和变量节点数学运算以与图 34 的解码设备类似地进行 LDPC 解码。

[0482] 具体地, 为了简化描述, 现在假设从组成图 8 的发送设备 11 的 LDPC 编码部分 21 输出的 LDPC 码的奇偶校验矩阵例如是奇偶校验矩阵  $H$ , 其中, 该奇偶矩阵具有图 31 中所示的阶梯结构。在此情况下, 发送设备 11 的奇偶交织器 23 进行将第  $K+qx+y+1$  个码位交织到第  $K+Py+x+1$  个码位的奇偶交织, 其中, 将信息长度  $K$  设置为 60, 将循环结构的单位列数  $P$  设置为 5, 并且将奇偶长度  $M$  的除数  $q (= M/P)$  设置为 6。

[0483] 由于该奇偶交织对应于表达式 (9) 的列替换, 所以 LDPC 解码部分 56 无需进行表达式 (9) 的列替换。

[0484] 因此, 在图 29 的接收设备 12 中, 将未进行奇偶解交织的 LDPC 码 (即, 处于进行了表达式 (9) 的列替换的状态的 LDPC 码) 从列扭曲解交织器 55 提供给如上所述的 LDPC 解码部分 56。除了不进行表达式 (9) 的列替换之外, LDPC 解码部分 56 进行与图 34 的解码设备类似的处理。

[0485] 具体地, 图 35 示出了图 29 的 LDPC 解码部分 56 的配置实例。

[0486] 参照图 35, 除了不提供图 34 的接收数据重新布置部分 310 之外, LDPC 解码部分 56 被配置为与图 34 的解码设备的配置类似, 并且除了不进行表达式 (9) 的列替换之外, 所进行的处理与图 34 的解码设备的处理类似。因此, 此处略去对 LDPC 解码部分 56 的描述。

[0487] 由于 LDPC 解码部分 56 可以被配置成不包括如上所述的接收数据重新布置部分 310, 所以其规模较之图 34 的解码设备能够得以减小。

[0488] 应当注意, 虽然在图 31 至图 35 中假设 LDPC 码的码长  $N$  为 90、信息长度  $K$  为 60、循环结构的单位列数  $P$  (成分矩阵的行数和列数) 为 5、奇偶长度  $M$  的除数  $q (= M/P)$  为 6, 但为了简化描述, 码长  $N$ 、信息长度  $K$ 、循环结构的单位列数  $P$  以及除数  $q (= M/P)$  各自并不限于以上给出的具体值。

[0489] 具体地, 虽然图 8 的发送设备 11 中的 LDPC 编码部分 21 输出 LDPC 码, 其中, 例如, 码长  $N$  为 64, 800, 信息长度  $K$  为  $N-Pq (= N-M)$ , 循环结构的单位列数  $P$  为 360, 并且除数  $q$  为  $M/P$ , 图 35 的 LDPC 解码部分 56 也可以关于如刚刚所描述的这种 LDPC 码应用于通过对  $P$  个校验节点和  $P$  个变量节点同时进行校验节点数学运算和变量节点数学运算来进行 LDPC 解码的情况。

[0490] 虽然上述一系列过程可以通过硬件执行, 但它也可以通过软件执行。在一系列过程通过软件执行的情况下, 将构造该软件的程序安装到通用计算机等。

[0491] 图 36 示出了安装了用于执行上文中所述的一系列过程的程序的计算机的实施例的配置示例。

[0492] 可以预先将程序记录在作为内置于计算机中的记录介质的硬盘 405 上或者 ROM 403 中。

[0493] 或者,可以临时地或永久地将程序存储(记录)在可移动记录介质 411(如,软盘、CD-ROM(压缩盘只读存储器)、MO(磁光)盘、DVD(数字多功能盘)、磁盘或半导体存储器)。可以作为所谓封装软件提供如刚刚所述的这种可移动记录介质 411。

[0494] 应当注意,程序不仅能够如上所述从可移动记录介质 411 安装到计算机,也能够在其传送给并被通信部分 408 接收到的情况下被安装到计算机中内置的硬盘 405 中。在此情况下,程序可以通过用于数字卫星广播的人造卫星从下载站点通过无线通信传送给计算机,或者,通过诸如 LAN(局域网)或因特网的网络通过有线通信传送给计算机。

[0495] 计算机具有内置于其中的 CPU(中央处理单元)402。输入/输出接口 410 通过总线 401 连接到 CPU 402,如果当用户对由键盘、鼠标、麦克风等配置的输入部分 407 进行操作时或者在类似情形下通过输入/输出接口 410 将指令输入给 CPU 402,则 CPU 402 执行存储在 ROM(只读存储器)403 中的程序。或者,CPU 402 将如下程序加载到 RAM(随机存取存储器)404 中并执行该程序:硬盘 405 上存储的程序,从卫星或网络传送、被通信部分 408 接收到并安装在硬盘 405 中的程序,或者从驱动器 409 中加载的可移动记录介质 411 读取出并安装在硬盘 405 中的程序。结果是,CPU 402 按照上文中所述的流程图或者上文中所述框图的配置执行的进行处理。随后,CPU 402 从通过 LCD(液晶显示器)、扬声器等配置的输出部分 406 输出处理结果并通过输入/输出接口 410 从通信部分 408 发送处理结果或者根据情况需要将处理结果记录在硬盘 405 上。

[0496] 此处,在本说明书中,描述用于使得计算机执行各种过程的程序的处理步骤并非必须按照如流程图所述的次序以时间序列进行处理,而是包括要并行或各自执行的那些过程(例如,并行过程或者按照对象的过程)。

[0497] 另外,程序可以由单个计算机处理或者可以由多个计算机所进行的分布式处理来处理。另外,程序可以传送到远程计算机并由其执行。

[0498] 应当注意,本发明的实施例不限于上文中所述的具体实施例,而是可以在不脱离本发明主题的情况下以各种方式进行变化。

[0499] 具体地,虽然在本实施例中,对于 DVB-S. 2 中规定的 LDPC 码进行作为重新布置过程的奇偶交织和列扭曲交织,但如果奇偶矩阵具有阶梯结构,奇偶交织也可以应用于其信息矩阵不具有循环结构的奇偶校验矩阵的 LDPC 码。同时,作为重新布置过程的列扭曲交织也可以应用于能够至少通过列替换而变化为具有伪循环结构的奇偶校验矩阵的 LDPC 码,整体奇偶校验矩阵具有循环结构的 QC-LDPC 码(QC:准循环)等。

[0500] 具体地,对于作为奇偶交织对象的 LDPC 码的奇偶校验矩阵,只需要其奇偶矩阵具有阶梯结构而不需要信息矩阵具有循环结构。

[0501] 另外,作为列扭曲交织(作为重新布置过程)对象的 LDPC 码的奇偶校验矩阵并不在结构方面有具体的限制。

[0502] 应当注意,对于重新布置过程,只需要它能够重新布置 LDPC 码的码位以使得奇偶校验矩阵任意一行中所包括的对应于值 1 的多个码位不包括在同一符号中并且能够通过除列扭曲交织以外的方法进行。具体地,可以通过如下方式进行重新布置过程:不使用用于在列方向和行方向上存储数据的存储器 31 而是使用例如用于只在一个方向上存储数据的

存储器,并控制存储器的写入地址和读取地址。

[0503] 现在,对发送设备 11 的 LDPC 编码部分 21 所进行 LDPC 编码的过程进行进一步描述。

[0504] 例如,在 DVB-S. 2 标准中,规定了 64,800 位和 16,200 位两种不同码长 N 的 LDPC 编码。

[0505] 并且,对于码长 N 为 64,800 位的 LDPC 码,规定了 11 种编码速率 1/4、1/3、2/5、1/2、3/5、2/3、3/4、4/5、5/6、8/9 和 9/10,对于码长 N 为 16,200 位的 LDPC 码,规定了 10 种编码速率 1/4、1/3、2/5、1/2、3/5、2/3、3/4、4/5、5/6 和 8/9。

[0506] LDPC 编码部分 21 按照为每种码长 N 以及为每种编码速率配备的奇偶校验矩阵 H 进行到码长 N 为 64,800 位或 16,200 位的不同编码速率的 LDPC 码的编码(纠错编码)。

[0507] 具体地,LDPC 编码部分 21 为每种码长 N 以及为每种编码速率存储用于产生奇偶校验矩阵 H 的奇偶校验矩阵初始值表(在下文中进行描述)。

[0508] 此处,在 DVB-S. 2 标准中,如上文中所述规定了 64,800 位和 16,200 位两种不同码长 N 的 LDPC 码,并为码长 N 为 64,800 位的 LDPC 码规定了 11 种不同的编码速率,为码长 N 为 16,200 位的 LDPC 码规定了 10 中不同的编码速率。

[0509] 相应地,在发送设备 11 为遵照 DVB-S. 2 标准进行处理的设备的情况下,在 LDPC 编码部分 21 中存储分别对应于码长 N 为 64,800 位的 LDPC 码的 11 种不同编码速率的奇偶校验矩阵初始值表以及分别对应于码长 N 为 16,200 位的 LDPC 码的 10 种不同编码速率的奇偶校验矩阵初始值表。

[0510] LDPC 编码部分 21 例如响应于操作员的操作为 LDPC 码设置码长 N 和编码速率 r。由 LDPC 编码部分 21 设置的码长 N 和编码速率 r 在下文中分别被适当地称为设置码长 N 和设置编码速率 r。

[0511] LDPC 编码部分 21 基于设置码长 N 和设置编码速率 r 所对应的奇偶校验矩阵初始值表在列方向上以 360 列为周期放置对应于设置码长 N 和设置编码速率 r 的信息长度(=  $Nr = \text{码长} N - \text{奇偶长度} M$ )所对应的信息矩阵  $H_A$  的值为 1 的元素,以产生奇偶校验矩阵 H。

[0512] 随后,LDPC 编码部分 21 从对象数据(从发送设备 11 提供的发送对象,诸如图像数据或声音数据)提取信息长度 K 的信息位。进一步地,LDPC 编码部分 21 基于奇偶校验矩阵 H 计算对应于信息位的奇偶位,以产生一个码长的码字(LDPC 码)。

[0513] 换言之,LDPC 编码部分 21 连续进行满足如下表达式的码字 c 的奇偶位的数学运算。

$$[0514] \quad Hc^T = 0$$

[0515] 此处,在以上表达式中,c 指示作为码字(LDPC 码)的行向量, $c^T$  指示行向量 c 的转置。

[0516] 在作为 LDPC 码(一个码字)的行向量 c 内将对应于信息位的部分用行向量 A 表示并且将对应于奇偶位的部分用行向量 T 表示的情况下,根据作为信息位的行向量 A 以及作为奇偶位的行向量 T,可以用表达式  $c = [A|T]$  表示行向量 c。

[0517] 同时,根据对应于信息位的 LDPC 码的码位的信息矩阵  $H_A$  以及对应于奇偶位的 LDPC 码的码位的奇偶矩阵  $H_T$ ,奇偶校验矩阵 H 能够用表达式  $H = [H_A|H_T]$  表示(如下这种矩阵:其中,信息矩阵  $H_A$  的元素为左侧的元素,奇偶矩阵  $H_T$  的元素为右侧的元素)。

[0518] 另外,例如,在 DVB-S. 2 标准中,奇偶校验矩阵  $H = [H_A|H_T]$  的奇偶校验矩阵  $H_T$  具有阶梯结构。

[0519] 奇偶校验矩阵  $H$  以及作为 LDPC 码的行向量  $c = [A|T]$  需要满足表达式  $Hc^T = 0$ , 并且在奇偶校验矩阵  $H = [H_A|H_T]$  的奇偶矩阵  $H_T$  具有阶梯结构的情况下,可以通过如下方式相继确定配置满足表达式  $Hc^T = 0$  的行向量  $c = [A|T]$  的作为奇偶位的行向量  $T$ :以表达式  $Hc^T = 0$  中的列向量  $Hc^T$  第一行中的元素开始,按顺序将每行的元素设置为零。

[0520] 如果 LDPC 编码部分 21 针对信息位  $A$  确定奇偶位  $T$ ,则它输出信息位  $A$  和奇偶位  $T$  表示的码字  $c = [A|T]$  作为信息位  $A$  的 LDPC 编码结果。

[0521] 如上所述,LDPC 编码部分 21 预先在其中存储对应于码长  $N$  和编码速率  $r$  的奇偶校验矩阵初始值表,并使用根据对应于设置码长  $N$  和设置编码速率  $r$  的奇偶校验矩阵初始值表产生的奇偶校验矩阵  $H$  进行设置码长  $N$  和设置编码速率  $r$  的 LDPC 编码。

[0522] 每个奇偶校验矩阵初始值表是如下这种表:其表示对应于奇偶校验矩阵  $H$  的 LDPC 码(奇偶校验矩阵  $H$  定义的 LDPC 码)的码长  $N$  和编码速率  $r$  的信息长度  $K$  所对应的信息矩阵  $H_A$  值为 1 的元素对于每 360 行(周期性结构的单位列数  $P$ )的位置,并且预先针对每种码长  $N$  和每种编码速率  $r$  的奇偶校验矩阵  $H$  产生。

[0523] 图 37 至图 82 图解了用于产生各种奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表(包括 DVB-S. 2 标准中规定的奇偶校验矩阵初始值表)。

[0524] 具体地,图 37 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16,200 位且编码速率  $r$  为  $2/3$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0525] 图 38 至图 40 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64,800 位且编码速率  $r$  为  $2/3$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0526] 应当注意,图 39 是接续图 38 的视图,并且图 40 是接续图 39 的视图。

[0527] 图 41 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16,200 位且编码速率  $r$  为  $3/4$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0528] 图 42 至图 45 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64,800 位且编码速率  $r$  为  $3/4$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0529] 应当注意,图 43 是接续图 42 的视图,并且图 44 是接续图 43 的视图。另外,图 45 是接续图 44 的视图。

[0530] 图 46 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16,200 位且编码速率  $r$  为  $4/5$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0531] 图 47 至图 50 示出了在 DVB-S. 2 标准中规定的并且码长  $N$  为 64,800 位且编码速率  $r$  为  $4/5$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0532] 应当注意,图 48 是接续图 47 的视图,并且图 49 是接续图 48 的视图。另外,图 50 是接续图 49 的视图。

[0533] 图 51 示出了在 DVB-S. 2 标准中规定的并且码长  $N$  为 16,200 位且编码速率  $r$  为  $5/6$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0534] 图 52 至图 55 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64,800 位且编码速率  $r$  为  $5/6$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0535] 应当注意,图 53 是接续图 52 的视图,并且图 54 是接续图 53 的视图。另外,图 55

是接续图 54 的视图。

[0536] 图 56 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16, 200 位且编码速率  $r$  为  $8/9$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0537] 图 57 至图 60 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64, 800 位且编码速率  $r$  为  $8/9$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0538] 应当注意, 图 58 是接续图 57 的视图, 并且图 59 是接续图 58 的视图。另外, 图 60 是接续图 59 的视图。

[0539] 图 61 至图 64 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64, 800 位且编码速率  $r$  为  $9/10$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0540] 应当注意, 图 62 是接续图 61 的视图, 并且图 63 是接续图 62 的视图。另外, 图 64 是接续图 63 的视图。

[0541] 图 65 和图 66 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64, 800 位且编码速率  $r$  为  $1/4$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0542] 应当注意, 图 66 是接续图 65 的视图。

[0543] 图 67 和图 68 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64, 800 位且编码速率  $r$  为  $1/3$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0544] 应当注意, 图 68 是接续图 67 的视图。

[0545] 图 69 和图 70 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64, 800 位且编码速率  $r$  为  $2/5$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0546] 应当注意, 图 70 是接续图 69 的视图。

[0547] 图 71 至图 73 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64, 800 位且编码速率  $r$  为  $1/2$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0548] 应当注意, 图 72 是接续图 71 的视图, 并且图 73 是接续图 72 的视图。

[0549] 图 74 至图 76 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 64, 800 位且编码速率  $r$  为  $3/5$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0550] 应当注意, 图 75 是接续图 74 的视图, 并且图 76 是接续图 75 的视图。

[0551] 图 77 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16, 200 位且编码速率  $r$  为  $1/4$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0552] 图 78 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16, 200 位且编码速率  $r$  为  $1/3$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0553] 图 79 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16, 200 位且编码速率  $r$  为  $2/5$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0554] 图 80 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16, 200 位且编码速率  $r$  为  $1/2$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0555] 图 81 示出了 DVB-S. 2 标准中规定的并且码长  $N$  为 16, 200 位且编码速率  $r$  为  $3/5$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表。

[0556] 图 82 示出了码长  $N$  为 16, 200 位且编码速率  $r$  为  $3/5$  的奇偶校验矩阵  $H$  的奇偶校验矩阵初始值表, 其可以用来代替图 81 的奇偶校验矩阵初始值表。

[0557] 发送设备 11 的 LDPC 编码部分 21 使用奇偶校验矩阵初始值表以如下方式确定奇



偶校验矩阵 H。

[0558] 具体地,图 83 图解了用于根据奇偶校验矩阵初始值表确定奇偶校验矩阵 H 的方法。

[0559] 应当注意,图 83 的奇偶校验矩阵初始值表指示图 37 中所示的 DVB-S. 2 标准中规定的并且码长 N 为 16, 200 位且编码速率 r 为 2/3 的奇偶校验矩阵 H 的奇偶校验矩阵初始值表。

[0560] 如上所述,奇偶校验矩阵初始值表是表示对应于 LDPC 码的码长 N 和编码速率 r 的信息长度 K 所对应的信息矩阵  $H_A$  的值为 1 的元素的对于每 360 列 (循环结构的每单位列数 P) 的位置的表,并且在奇偶校验矩阵初始值表的第一行中,在奇偶校验矩阵 H 的第  $1+360 \times (i-1)$  列中值为 1 的元素的行数 (奇偶校验矩阵 H 的第一行的行数为 0 的行数) 的数量等于第  $1+360 \times (i-1)$  列具有的列重量的数量。

[0561] 这里,假定对应于奇偶长度 M 的奇偶校验矩阵 H 的奇偶矩阵  $H_r$  具有阶梯结构并且是预先确定的。根据奇偶校验矩阵初始值表,从奇偶校验矩阵 H 中确定对应于信息长度 K 的信息矩阵  $H_A$ 。

[0562] 奇偶校验矩阵初始值表的行数  $k+1$  取决于信息长度 K 而不同。

[0563] 信息长度 K 和奇偶校验矩阵初始值表的行数  $k+1$  满足由以下表达式给出的关系。

[0564]  $K = (k+1) \times 360$

[0565] 这里,以上表达式中的 360 是循环结构的单位列数 P。

[0566] 在图 83 的奇偶校验矩阵初始值表中,在第一至第三行中列出 13 个数值,并且在第四至第  $k+1$  行 (在图 83 中为第 30 行) 中列出三个数值。

[0567] 因此,从图 83 的奇偶校验矩阵初始值表确定的奇偶校验矩阵 H 中列重量的数量在第一至第  $1+360 \times (3-1)-1$  行中为 13,而在第  $1+360 \times (3-1)$  行至第 K 行中为 3。

[0568] 图 83 的奇偶校验矩阵初始值表的第一行包括 0、2084、1613、1548、1286、1460、3196、4297、2481、3369、3451、4620 和 2622,这表示在奇偶校验矩阵 H 的第一列中,在行数为 0、2084、1613、1548、1286、1460、3196、4297、2481、3369、3451、4620 和 2622 的行中的元素具有值 1 (此外其它元素具有值 0)。

[0569] 此外,图 83 的奇偶校验矩阵初始值表的第二行包括 1、122、1516、3448、2880、1407、1847、3799、3529、373、971、4358 和 3108,这表示在奇偶校验矩阵 H 的第 361 (= 第  $1+360 \times (2-1)$ ) 列中,在行数为 1、122、1516、3448、2880、1407、1847、3799、3529、373、971、4358 和 3108 的行中的元素具有值 1。

[0570] 如上所给出的,奇偶校验矩阵初始值表表示每 360 列的奇偶校验矩阵 H 的信息矩阵  $H_A$  的值为 1 的元素的位置。

[0571] 奇偶校验矩阵 H 的除第  $1+360 \times (i-1)$  列以外的每列,即从第  $2+360 \times (i-1)$  列至第  $360 \times i$  列的每列包括通过根据奇偶长度 M 在向下方向上 (在列的向下方向上) 周期性地循环移位取决于奇偶校验矩阵初始值表的、第  $1+360 \times (i-1)$  列的值为 1 的元素而获得的值为 1 的元素。

[0572] 具体地,例如,第  $2+360 \times (i-1)$  列是通过将第  $1+360 \times (i-1)$  列在向下方向上循环移位  $M/360 (= q)$  而获得的列,并且接下来的第  $3+360 \times (i-1)$  列是通过将第  $1+360 \times (i-1)$  列在向下方向上循环移位  $2 \times M/360 (= 2 \times q)$  然后将经循环移位的列 (第  $2+360 \times (i-1)$ )

列) 在向下方向上循环移位  $M/360 (= q)$  而获得的列。

[0573] 现在, 如果假定奇偶校验矩阵初始值表的第  $i$  行 (从上起的第  $i$  行) 第  $j$  列 (从左起的第  $j$ ) 中的数值用  $b_{i,j}$  表示, 并且在奇偶校验矩阵  $H$  的第  $w$  列中的第  $j$  个值为 1 的元素的行数用  $H_{w-j}$  表示, 则可以根据下式确定作为奇偶校验矩阵  $H$  除第  $1+360 \times (i-1)$  列之外的列的第  $w$  列中的值为 1 的元素的行数  $H_{w-j}$ 。

[0574]  $H_{w-j} = \text{mod} \{h_{i,j} + \text{mod}((w-1), P) \times q, M\}$

[0575] 这里,  $\text{mod} \{x, y\}$  表示  $x$  除以  $y$  的余数。

[0576] 此外,  $P$  是上述循环结构的单位列数, 例如在 DVB-S. 2 标准中是 360。此外,  $q$  是通过将奇偶长度  $M$  除以循环结构的单位列数  $P (= 360)$  获得的值  $M/360$ 。

[0577] LDPC 编码部分 21 根据奇偶校验矩阵初始值表指定奇偶校验矩阵  $H$  的第  $1+360 \times (i-1)$  列的值为 1 的元素的行数。

[0578] 此外, LDPC 编码部分 21 确定作为除奇偶校验矩阵  $H$  的第  $1+360 \times (i-1)$  列以外的列的第  $w$  列中值为 1 的元素的行数  $H_{w-j}$ , 并且产生奇偶校验矩阵  $H$ , 其中通过以上方式获得的行数的元素具有值 1。

[0579] 现在, 描述在由发送设备 11 中的解复用器 25 的替换部分 32 进行的替换过程中的 LDPC 码的码位的替换方法的变型, 即 LDPC 码的码位和代表符号的符号位的分配模式 (下文中称为位分配模式) 的变型。

[0580] 在解复用器 25 中, LDPC 码的码位在存储器 31 的列方向上写入, 存储器 31 在列方向  $\times$  行方向上存储  $(N/(mb)) \times (mb)$  位。之后, 在行方向上以  $mb$  位为单位读出码位。此外, 在解复用器 25 中, 替换部分 32 替换在存储器 31 的行方向上读出的  $mb$  个码位并且将替换之后的码位确定为 (连续)  $b$  个符号的  $mb$  个符号位。

[0581] 具体地, 替换部分 32 确定从在存储器 31 的行方向上读出的  $mb$  个码位的最高有效位起的第  $i+1$  位作为码位  $b_i$ , 并且确定从  $b$  个 (连续) 符号的  $mb$  个符号位的最高有效位起的第  $i+1$  位作为符号位  $y_i$ , 然后根据预定位分配方案替换  $mb$  个码位  $b_0$  至  $b_{mb-1}$ 。

[0582] 图 84 示出了在 LDPC 码是码长  $N$  为 64, 800 位且编码速率为  $5/6$  或  $9/10$ 、并且调制方法为 4096QAM 且倍数  $b$  为 1 的 LDPC 码时可以采用的位分配方案的示例。

[0583] 在 LDPC 码是码长  $N$  为 64, 800 位且编码速率为  $5/6$  或  $9/10$ 、并且调制方法为 4096QAM 且倍数  $b$  为 1 的 LDPC 码时, 在解复用器 25 中, 写在用于在列方向  $\times$  行方向上存储  $(64, 800/(12 \times 1)) \times (12 \times 1)$  位的存储器 31 中的码位在行方向上以  $12 \times 1 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0584] 替换部分 32 替换  $12 \times 1 (= mb)$  个码位  $b_0$  至  $b_{11}$  以使得要从存储器 31 读出的  $12 \times 1 (= mb)$  个码位  $b_0$  至  $b_{11}$  可以被分配给一个  $(= b)$  符号的  $12 \times 1 (= mb)$  个符号位  $y_0$  至  $y_{11}$ , 如图 84 所示。

[0585] 具体地, 根据图 84, 替换部分 32 针对码长  $N$  为 64, 800 位的 LDPC 码中的具有编码速率  $5/6$  的 LDPC 码和具有编码速率  $9/10$  的 LDPC 码执行替换以进行如下分配:

[0586] 码位  $b_0$  分配至符号位  $y_8$ ,

[0587] 码位  $b_1$  分配至符号位  $y_0$ ,

[0588] 码位  $b_2$  分配至符号位  $y_6$ ,

[0589] 码位  $b_3$  分配至符号位  $y_1$ ,

- [0590] 码位  $b_4$  分配至符号位  $y_4$ ,
- [0591] 码位  $b_5$  分配至符号位  $y_5$ ,
- [0592] 码位  $b_6$  分配至符号位  $y_2$ ,
- [0593] 码位  $b_7$  分配至符号位  $y_3$ ,
- [0594] 码位  $b_8$  分配至符号位  $y_7$ ,
- [0595] 码位  $b_9$  分配至符号位  $y_{10}$ ,
- [0596] 码位  $b_{10}$  分配至符号位  $y_{11}$ , 以及
- [0597] 码位  $b_{11}$  分配至符号位  $y_9$ 。

[0598] 图 85 示出了在 LDPC 码是码长  $N$  为 64,800 位且编码速率为  $5/6$  或  $9/10$ 、并且调制方法为 4096QAM 且倍数  $b$  为 2 的 LDPC 码时,可以采用的位分配方案的示例。

[0599] 在 LDPC 码是码长  $N$  为 64,800 位且编码速率为  $5/6$  或  $9/10$ 、并且调制方法为 4096QAM 且倍数  $b$  为 2 的 LDPC 码时,在解复用器 25 中,写入在用于在列方向  $\times$  行方向上存储  $(64,800/(12 \times 2)) \times (12 \times 2)$  位的存储器 31 中的码位在行方向上以  $12 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0600] 替换部分 32 替换  $12 \times 2 (= mb)$  个码位  $b_0$  至  $b_{23}$  以使得要从存储器 31 读出的  $12 \times 2 (= mb)$  个码位  $b_0$  至  $b_{23}$  可以分配给两个  $(= b)$  连续符号的  $12 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{23}$ ,如图 85 所示。

[0601] 具体地,根据图 85,替换部分 32 针对码长  $N$  为 64,800 位的 LDPC 码中的具有编码速率  $5/6$  的 LDPC 码和具有编码速率  $9/10$  的 LDPC 码,执行替换以进行如下分配:

- [0602] 码位  $b_0$  分配至符号位  $y_8$ ,
- [0603] 码位  $b_2$  分配至符号位  $y_0$ ,
- [0604] 码位  $b_4$  分配至符号位  $y_6$ ,
- [0605] 码位  $b_6$  分配至符号位  $y_1$ ,
- [0606] 码位  $b_8$  分配至符号位  $y_4$ ,
- [0607] 码位  $b_{10}$  分配至符号位  $y_5$ ,
- [0608] 码位  $b_{12}$  分配至符号位  $y_2$ ,
- [0609] 码位  $b_{14}$  分配至符号位  $y_3$ ,
- [0610] 码位  $b_{16}$  分配至符号位  $y_7$ ,
- [0611] 码位  $b_{18}$  分配至符号位  $y_{10}$ ,
- [0612] 码位  $b_{20}$  分配至符号位  $y_{11}$ ,
- [0613] 码位  $b_{22}$  分配至符号位  $y_9$ ,
- [0614] 码位  $b_1$  分配至符号位  $y_{20}$ ,
- [0615] 码位  $b_3$  分配至符号位  $y_{12}$ ,
- [0616] 码位  $b_5$  分配至符号位  $y_{18}$ ,
- [0617] 码位  $b_7$  分配至符号位  $y_{13}$ ,
- [0618] 码位  $b_9$  分配至符号位  $y_{16}$ ,
- [0619] 码位  $b_{11}$  分配至符号位  $y_{17}$ ,
- [0620] 码位  $b_{13}$  分配至符号位  $y_{14}$ ,
- [0621] 码位  $b_{15}$  分配至符号位  $y_{15}$ ,

[0622] 码位  $b_{17}$  分配至符号位  $y_{19}$ ,

[0623] 码位  $b_{19}$  分配至符号位  $y_{22}$ ,

[0624] 码位  $b_{21}$  分配至符号位  $y_{23}$ , 以及

[0625] 码位  $b_{23}$  分配至符号位  $y_{21}$ 。

[0626] 这里, 图 85 的位分配方案无任何修改地利用其中倍数  $b$  为 1 的图 84 的位分配方案。具体地, 码位  $b_0, b_2, \dots, b_{22}$  向符号位  $y_i$  的分配以及  $b_1, b_3, \dots, b_{23}$  向符号位  $y_i$  的分配类似于图 84 的码位  $b_0$  至  $b_{11}$  向符号位  $y_i$  的分配。

[0627] 图 86 示出了在调制方法为 1024QAM 并且 LDPC 码是码长  $N$  为 16, 200 位且编码速率为  $3/4, 5/6$  或者  $8/9$  并且倍数  $b$  为 2 的 LDPC 码时, 以及在调制方法为 1024QAM 且 LDPC 码是码长  $N$  为 64, 800 位且编码长度为  $3/4, 5/6$  或  $9/10$  并且倍数  $b$  为 2 的 LDPC 码时, 可以采用的位分配方案的示例。

[0628] 在 LDPC 码是码长  $N$  为 16, 200 位且编码速率为  $3/4, 5/6$  或  $8/9$  并且调制方法为 1024QAM 并且倍数  $b$  为 2 的 LDPC 码时, 在解复用器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(16, 200/(10 \times 2)) \times (10 \times 2)$  位的存储器 31 中的码位在行方向上以  $10 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0629] 另一方面, 在 LDPC 码是码长  $N$  为 64, 800 位且编码速率为  $3/4, 5/6$  或  $9/10$  并且调制方法为 1024QAM 并且倍数  $b$  为 2 的 LDPC 码时, 在解复用器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(64, 800/(10 \times 2)) \times (10 \times 2)$  位的存储器 31 中的码位在行方向上以  $10 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0630] 替换部分 32 替换  $10 \times 2 (= mb)$  个码位  $b_0$  至  $b_{19}$  以使得要从存储器 31 读出的  $10 \times 2 (= mb)$  个码位  $b_0$  至  $b_{19}$  可以分配给两个  $(= b)$  连续符号的  $10 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{19}$ , 如图 86 所示。

[0631] 具体地, 根据图 86, 替换部分 32 针对码长为 16, 200 位的 LDPC 码中的所有具有编码速率  $3/4$  的 LDPC 码、具有编码速率  $5/6$  的 LDPC 码和具有另外的编码速率  $8/9$  的 LDPC 码, 以及具有 64, 800 的另一个码长  $N$  的 LDPC 码中的具有编码速率  $3/4$  的 LDPC 码、具有编码速率  $5/6$  的 LDPC 码和具有另外的编码速率  $9/10$  的 LDPC 码, 执行替换以进行如下分配:

[0632] 码位  $b_0$  分配至符号位  $y_8$ ,

[0633] 码位  $b_1$  分配至符号位  $y_3$ ,

[0634] 码位  $b_2$  分配至符号位  $y_7$ ,

[0635] 码位  $b_3$  分配至符号位  $y_{10}$ ,

[0636] 码位  $b_4$  分配至符号位  $y_{19}$ ,

[0637] 码位  $b_5$  分配至符号位  $y_4$ ,

[0638] 码位  $b_6$  分配至符号位  $y_9$ ,

[0639] 码位  $b_7$  分配至符号位  $y_5$ ,

[0640] 码位  $b_8$  分配至符号位  $y_{17}$ ,

[0641] 码位  $b_9$  分配至符号位  $y_6$ ,

[0642] 码位  $b_{10}$  分配至符号位  $y_{14}$ ,

[0643] 码位  $b_{11}$  分配至符号位  $y_{11}$ ,

[0644] 码位  $b_{12}$  分配至符号位  $y_2$ ,

[0645] 码位  $b_{13}$  分配至符号位  $y_{18}$ ,

[0646] 码位  $b_{14}$  分配至符号位  $y_{16}$ ,

[0647] 码位  $b_{15}$  分配至符号位  $y_{15}$ ,

[0648] 码位  $b_{16}$  分配至符号位  $y_0$ ,

[0649] 码位  $b_{17}$  分配至符号位  $y_1$ ,

[0650] 码位  $b_{18}$  分配至符号位  $y_{13}$ , 以及

[0651] 码位  $b_{19}$  分配至符号位  $y_{12}$ 。

[0652] 图 87 示出了在调制方法是 4096QAM、LDPC 码是码长  $N$  为 16, 200 位且编码速率为  $5/6$  或  $8/9$  并且倍数  $b$  为 2 的 LDPC 码, 以及调制方法为 4096QAM、LDPC 码是码长  $N$  为 64, 800 位且编码速率为  $5/6$  或  $9/10$  并且倍数  $b$  为 2 的 LDPC 码时, 可以采用的位分配方案的示例。

[0653] 在 LDPC 码是码长  $N$  为 16, 200 位且编码速率为  $5/6$  或者  $8/9$  的 LDPC 码、并且调制方法是 4096QAM 并且倍数  $b$  为 2 时, 在解复用器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(16, 200/(12 \times 2)) \times (12 \times 2)$  位的存储器 31 中的码位在行方向上以  $12 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0654] 另一方面, 在 LDPC 码是码长  $N$  为 64, 800 位且编码速率为  $5/6$  或者  $9/10$  的 LDPC 码、调制方法是 4096QAM 并且倍数  $b$  为 2 时, 在解复用器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(64, 800/(12 \times 2)) \times (12 \times 2)$  位的存储器 31 中的码位在行方向上以  $12 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0655] 替换部分 32 替换  $12 \times 2 (= mb)$  个码位  $b_0$  至  $b_{23}$  以使得要从存储器 31 读出的  $12 \times 2 (= mb)$  个码位可以分配给两个  $(= b)$  连续符号的  $12 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{23}$ , 如图 87 所示。

[0656] 具体地, 根据图 87, 替换部分 32 针对码长为 16, 200 位的 LDPC 码中的所有具有编码速率  $5/6$  的 LDPC 码和具有编码速率  $8/9$  的 LDPC 码, 以及具有 64, 800 的另一个码长  $N$  的 LDPC 码中的具有编码速率  $5/6$  的 LDPC 码和具有编码速率  $9/10$  的 LDPC 码, 执行替换以进行如下分配:

[0657] 码位  $b_0$  分配至符号位  $y_{10}$ ,

[0658] 码位  $b_1$  分配至符号位  $y_{15}$ ,

[0659] 码位  $b_2$  分配至符号位  $y_4$ ,

[0660] 码位  $b_3$  分配至符号位  $y_{19}$ ,

[0661] 码位  $b_4$  分配至符号位  $y_{21}$ ,

[0662] 码位  $b_5$  分配至符号位  $y_{16}$ ,

[0663] 码位  $b_6$  分配至符号位  $y_{23}$ ,

[0664] 码位  $b_7$  分配至符号位  $y_{18}$ ,

[0665] 码位  $b_8$  分配至符号位  $y_{11}$ ,

[0666] 码位  $b_9$  分配至符号位  $y_{14}$ ,

[0667] 码位  $b_{10}$  分配至符号位  $y_{22}$ ,

[0668] 码位  $b_{11}$  分配至符号位  $y_5$ ,

[0669] 码位  $b_{12}$  分配至符号位  $y_6$ ,

[0670] 码位  $b_{13}$  分配至符号位  $y_{17}$ ,

[0671] 码位  $b_{14}$  分配至符号位  $y_{13}$ ,

[0672] 码位  $b_{15}$  分配至符号位  $y_{20}$ ,

[0673] 码位  $b_{16}$  分配至符号位  $y_1$ ,

[0674] 码位  $b_{17}$  分配至符号位  $y_3$ ,

[0675] 码位  $b_{18}$  分配至符号位  $y_9$ ,

[0676] 码位  $b_{19}$  分配至符号位  $y_2$ ,

[0677] 码位  $b_{20}$  分配至符号位  $y_7$ ,

[0678] 码位  $b_{21}$  分配至符号位  $y_8$ ,

[0679] 码位  $b_{22}$  分配至符号位  $y_{12}$ , 以及

[0680] 码位  $b_{23}$  分配至符号位  $y_0$ 。

[0681] 根据图 84 至图 87 中所示的位分配方案, 相同的位分配方案可以用于多种类型的 LDPC 码, 另外, 能够针对所有的多种类型的 LDPC 码将对差错的容限设置到期望的水平。

[0682] 具体地, 图 88 至 91 图解了在按照图 84 至 87 的位分配方案执行了替换处理时的 BER (误位率) 的模拟结果。

[0683] 应注意, 在图 88 至图 91 中, 横轴代表  $E_s/N_0$  (每个符号的信号功率与噪声功率比), 纵轴代表 BER。

[0684] 另外, 实曲线代表执行了替换过程的 BER, 点划线代表设有执行替换处理的 BER。

[0685] 图 88 图解了在针对码长  $N$  为 64, 800 且编码速率为  $5/6$  和  $9/10$  的 LDPC 码、采用 4096QAM 作为调制方法并且将倍数  $b$  设置为 1 的情况下, 按照图 84 的位分配方案执行了替换过程时的 BER。

[0686] 图 89 示出了在针对码长  $N$  为 64, 800 且编码速率为  $5/6$  和  $9/10$  的 LDPC 码、采用 4096QAM 作为调制方法并且将倍数  $b$  设置为 2 的情况下, 按照图 85 的位分配方案执行了替换处理时的 BER。

[0687] 应该注意到, 在图 88 和图 89 中, 其上具有三角形标记的曲线图代表关于具有编码速率  $5/6$  的 LDPC 码的 BER, 并且其上具有星号的曲线图代表关于具有编码速率  $9/10$  的 LDPC 码的 BER。

[0688] 图 90 示出了在针对采用 1024QAM 作为调制方法并且将倍数  $b$  设置为 2, 码长  $N$  为 16, 200 且编码速率为  $3/4$ 、 $5/6$  和  $8/9$  的 LDPC 码以及码长  $N$  为 64, 800 且编码速率为  $3/4$ 、 $5/6$  和  $9/10$  的 LDPC 码, 按照图 86 的位分配方案执行了替换处理时的 BER。

[0689] 应该注意到, 在图 90 中, 其上具有星号的曲线图代表关于具有码长  $N$  为 64, 800 和编码速率  $9/10$  的 LDPC 码的 BER, 并且其上具有上三角标记的曲线图代表关于具有码长  $N$  为 64, 800 和编码速率  $5/6$  的 LDPC 码的 BER。另外, 其上具有方形标记的曲线图代表关于具有码长  $N$  为 64, 800 和编码速率  $3/4$  的 LDPC 码的 BER。

[0690] 另外, 在图 90 中, 其上具有圆形标记的曲线图代表关于具有码长  $N$  为 16, 200 和编码速率  $8/9$  的 LDPC 码的 BER, 并且其上具有下三角标记的曲线图代表关于具有码长  $N$  为 16, 200 和编码速率  $5/6$  的 LDPC 码的 BER。另外, 其上具有加号标记的曲线图代表关于具有码长  $N$  为 16, 200 和编码速率  $3/4$  的 LDPC 码的 BER。

[0691] 图 91 示出了在针对采用 4096QAM 作为调制方法并且将倍数  $b$  设置为 2, 码长  $N$  为 16, 200 且编码速率为  $5/6$  和  $8/9$  的 LDPC 码以及码长  $N$  为 64, 800 且编码速率为  $5/6$  和  $9/10$

的 LDPC 码,按照图 87 的位分配方案执行替换处理时的 BER。

[0692] 应该注意到,在图 91 中,其上具有星号的曲线图代表关于具有码长  $N$  为 64,800 和编码速率  $9/10$  的 LDPC 码的 BER,其上具有上三角标记的曲线图代表关于具有码长  $N$  为 64,800 和编码速率  $5/6$  的 LDPC 码的 BER。

[0693] 另外,在图 91 中,其上具有圆形标记的曲线图代表关于具有码长  $N$  为 16,200 和编码速率  $8/9$  的 LDPC 码的 BER,并且其上具有下三角标记的曲线图代表关于具有码长  $N$  为 16,200 和编码速率  $5/6$  的 LDPC 码的 BER。

[0694] 根据图 88 至图 91,针对多种类型的 LDPC 码可以采用相同的位分配方案。另外,能够针对所有的多种类型的 LDPC 码将对差错的容限设置为期望的水平。

[0695] 具体地,在专用的位分配方案用于具有不同的码长和不同的编码速率的多种 LDPC 码的每一种时,对差错的容限可以提升至很高的水平。但是,有必要针对多种类型的 LDPC 码的每一种改变位分配方案。

[0696] 另一方面,根据图 84 至图 87 的位分配方案,可以针对具有不同的码长和不同的编码速率的多种类型的 LDPC 码采用相同的位分配方案,并且消除了如在针对多种类型的 LDPC 码的每一种采用专用位分配方案的情况下针对多种类型的 LDPC 码的每一种改变位分配方案的必要性。

[0697] 另外,根据图 84 至图 87 的位分配方案,对差错的容限可以提升至较高的水平,尽管对差错的容限比针对多种 LDPC 码的每一种采用专用位分配方案的情况稍低。

[0698] 具体地,例如,在调制方法为 4096QAM 时,针对具有码长  $N$  为 64,800、编码速率  $5/6$  和  $9/10$  的所有 LDPC 码可以使用图 84 或图 85 中的相同的位分配方案。即使在以这种方式采用相同的位分配方案的情况下,对差错的容限也可以提升至较高的水平。

[0699] 此外,例如,在调制方法为 1024QAM 时,针对所有码长  $N$  为 16,200 且编码速率为  $3/4$ 、 $5/6$  和  $8/9$  的 LDPC 码和码长  $N$  为 64,800 且编码速率为  $3/4$ 、 $5/6$  和  $9/10$  的 LDPC 码可以采用图 86 的相同的位分配方案。因此,即使以这种方式采用相同的位分配方案,对差错的容限也可以提升至较高的水平。

[0700] 此外,例如,在调制方法为 4096QAM 时,针对所有码长  $N$  为 16,200 且编码速率为  $5/6$  和  $8/9$  的 LDPC 码和码长  $N$  为 64,800 且编码速率为  $5/6$  和  $9/10$  的 LDPC 码可以采用图 87 的相同的位分配方案。因此,即使以这种方式采用相同的位分配方案,对差错的容限也可以提升至较高的水平。

[0701] 进一步描述位分配方案的变型。

[0702] 图 92 示出了位分配方案的示例,在以下情况下能够采用该分配方案:LDPC 码的码长为 16,200 或 64,800 位、且编码速率为除  $3/5$  的编码速率之外的例如根据图 37 至图 82 中所示的任意奇偶校验矩阵初始值表产生的奇偶校验矩阵  $H$  所定义的 LDPC 码的编码速率之一,并且调制方法为 QPSK 且倍数  $b$  为 1。

[0703] 在 LDPC 码是码长  $N$  为 16,200 或 64,800 位并且具有除  $3/5$  之外的编码速率的 LDPC 码,并且调制方法为 QPSK 且倍数  $b$  为 1 时,解调器 25 在行方向上以  $2 \times 1 (= mb)$  位为单位读出写入在用于在列方向  $\times$  行方向上存储  $(N/(2 \times 1)) \times (2 \times 1)$  位的存储器 31 中的码位,并且将所读出的码位提供给替换部分 32。

[0704] 替换部分 32 替换从存储器 31 读出的  $2 \times 1 (= mb)$  个码位  $b_0$  和  $b_1$  以使得  $2 \times 1 (=$

mb) 个码位  $b_0$  和  $b_1$  被分配给一个 ( $= b$ ) 符号的  $2 \times 1 (= mb)$  个符号位  $y_0$  和  $y_1$ , 如图 92 所示。

[0705] 具体地, 根据图 92, 替换部分 32 执行替换以进行如下分配:

[0706] 码位  $b_0$  分配至符号位  $y_0$ , 以及

[0707] 码位  $b_1$  分配至符号位  $y_1$ 。

[0708] 应该注意到, 在该情况下, 也可以考虑不执行替换, 而分别将码位  $b_0$  和  $b_1$  原样确定为符号位  $y_0$  和  $y_1$ 。

[0709] 图 93 示出了在 LDPC 码是码长  $N$  为 16, 200 或 64, 800 位且具有除了  $3/5$  以外的编码速率的 LDPC 码、并且调制方法为 16QAM 且倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0710] 在 LDPC 码是码长  $N$  为 16, 200 或 64, 800 位且具有除了  $3/5$  以外的编码速率的 LDPC 码、并且调制方法为 16QAM 且倍数  $b$  为 2 的情况下, 解调器 25 在行方向上以  $4 \times 2 (= mb)$  位为单位读出写入在用于在列方向  $\times$  行方向上存储  $(N/(4 \times 2)) \times (4 \times 2)$  位的存储器 31 中的码位, 并且将所读出的码位提供给替换部分 32。

[0711] 替换部分 32 替换从存储器 31 读出的  $4 \times 2 (= mb)$  个码位  $b_0$  至  $b_7$  以使得  $4 \times 2 (= mb)$  个码位被分配给两个 ( $= b$ ) 连续符号的  $4 \times 2 (= mb)$  个符号位  $y_0$  至  $y_7$ , 如图 93 所示。

[0712] 具体地, 根据图 93, 替换部分 32 执行替换以进行如下分配:

[0713] 码位  $b_0$  分配至符号位  $y_7$ ,

[0714] 码位  $b_1$  分配至符号位  $y_1$ ,

[0715] 码位  $b_2$  分配至符号位  $y_4$ ,

[0716] 码位  $b_3$  分配至符号位  $y_2$ ,

[0717] 码位  $b_4$  分配至符号位  $y_5$ ,

[0718] 码位  $b_5$  分配至符号位  $y_3$ ,

[0719] 码位  $b_6$  分配至符号位  $y_6$ , 以及

[0720] 码位  $b_7$  分配至符号位  $y_0$ 。

[0721] 图 94 示出了在调制方法为 64QAM、并且 LDPC 码是码长  $N$  为 16, 200 或 64, 800 位且编码速率是除  $3/5$  以外的任何编码速率的 LDPC 码、并且倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0722] 在 LDPC 码是码长  $N$  为 16, 200 或 64, 800 位且编码速率为除  $3/5$  以外的任何编码速率的 LDPC 码、并且调制方法为 64QAM 且倍数  $b$  为 2 的情况下, 在解调器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(N/(6 \times 2)) \times (6 \times 2)$  位的存储器 31 中的码位在行方向上以  $6 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0723] 替换部分 32 替换从存储器 31 读出的  $6 \times 2 (= mb)$  个码位  $b_0$  至  $b_{11}$  以使得  $6 \times 2 (= mb)$  个码位  $b_0$  至  $b_{11}$  可以分配给两个 ( $= b$ ) 连续符号的  $6 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{11}$ , 如图 94 所示。

[0724] 具体地, 根据图 94, 替换部分 32 执行替换以进行如下分配:

[0725] 码位  $b_0$  分配至符号位  $y_{11}$ ,

[0726] 码位  $b_1$  分配至符号位  $y_7$ ,

[0727] 码位  $b_2$  分配至符号位  $y_3$ ,



[0728] 码位  $b_3$  分配至符号位  $y_{10}$ ,

[0729] 码位  $b_4$  分配至符号位  $y_6$ ,

[0730] 码位  $b_5$  分配至符号位  $y_2$ ,

[0731] 码位  $b_6$  分配至符号位  $y_9$ ,

[0732] 码位  $b_7$  分配至符号位  $y_5$ ,

[0733] 码位  $b_8$  分配至符号位  $y_1$ ,

[0734] 码位  $b_9$  分配至符号位  $y_8$ ,

[0735] 码位  $b_{10}$  分配至符号位  $y_4$ , 以及

[0736] 码位  $b_{11}$  分配至符号位  $y_0$ 。

[0737] 图 95 示出了在调制方法为 256QAM、LDPC 码是码长  $N$  为 64,800 位且编码速率为除  $3/5$  以外的任何编码速率的 LDPC 码、并且倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0738] 在 LDPC 码是码长  $N$  为 64,800 位且编码速率为除  $3/5$  以外的任何编码速率的 LDPC 码、并且调制方法为 256QAM 且倍数  $b$  为 2 的情况下,在解调器 25 中,写入在用于在列方向  $\times$  行方向上存储  $(64,800/(8 \times 2)) \times (8 \times 2)$  位的存储器 31 中的码位在行方向上以  $8 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0739] 替换部分 32 替换从存储器 31 读出的  $8 \times 2 (= mb)$  个码位  $b_0$  至  $b_{15}$  以使得  $8 \times 2 (= mb)$  个码位  $b_0$  至  $b_{15}$  可以被分配给两个  $(= b)$  连续符号的  $8 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{15}$ , 如图 95 所示。

[0740] 具体地,根据图 95,替换部分 32 执行替换以进行如下分配:

[0741] 码位  $b_0$  分配至符号位  $y_{15}$ ,

[0742] 码位  $b_1$  分配至符号位  $y_1$ ,

[0743] 码位  $b_2$  分配至符号位  $y_{13}$ ,

[0744] 码位  $b_3$  分配至符号位  $y_3$ ,

[0745] 码位  $b_4$  分配至符号位  $y_8$ ,

[0746] 码位  $b_5$  分配至符号位  $y_{11}$ ,

[0747] 码位  $b_6$  分配至符号位  $y_9$ ,

[0748] 码位  $b_7$  分配至符号位  $y_5$ ,

[0749] 码位  $b_8$  分配至符号位  $y_{10}$ ,

[0750] 码位  $b_9$  分配至符号位  $y_6$ ,

[0751] 码位  $b_{10}$  分配至符号位  $y_4$ ,

[0752] 码位  $b_{11}$  分配至符号位  $y_7$ ,

[0753] 码位  $b_{12}$  分配至符号位  $y_{12}$ ,

[0754] 码位  $b_{13}$  分配至符号位  $y_2$ ,

[0755] 码位  $b_{14}$  分配至符号位  $y_{14}$ , 以及

[0756] 码位  $b_{15}$  分配至符号位  $y_0$ 。

[0757] 图 96 示出了在调制方法为 256QAM、LDPC 码是码长  $N$  为 16,200 位且编码速率为除  $3/5$  以外的任何编码速率的 LDPC 码、并且倍数  $b$  为 1 的情况下可以采用的位分配方案的示例。

[0758] 在 LDPC 码是码长  $N$  为 16, 200 位且编码速率为除  $3/5$  以外的任何编码速率的 LDPC 码、并且调制方法为 256QAM 且倍数  $b$  为 1 的情况下, 在解调器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(16, 200/(8 \times 1)) \times (8 \times 1)$  位的存储器 31 中的码位在行方向上以  $8 \times 1 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0759] 替换部分 32 替换从存储器 31 读出的  $8 \times 1 (= mb)$  个码位  $b_0$  至  $b_7$  以使得  $8 \times 1 (= mb)$  个码位  $b_0$  至  $b_7$  可以被分配给一个  $(= b)$  符号的  $8 \times 1 (= mb)$  个符号位  $y_0$  至  $y_7$ , 如图 96 所示。

[0760] 具体地, 根据图 96, 替换部分 32 执行替换以进行如下分配:

[0761] 码位  $b_0$  分配至符号位  $y_7$ ,

[0762] 码位  $b_1$  分配至符号位  $y_3$ ,

[0763] 码位  $b_2$  分配至符号位  $y_1$ ,

[0764] 码位  $b_3$  分配至符号位  $y_5$ ,

[0765] 码位  $b_4$  分配至符号位  $y_2$ ,

[0766] 码位  $b_5$  分配至符号位  $y_6$ ,

[0767] 码位  $b_6$  分配至符号位  $y_4$ , 以及

[0768] 码位  $b_7$  分配至符号位  $y_0$ 。

[0769] 图 97 示出了在 LDPC 码是码长  $N$  为 16, 200 或 64, 800 位且编码速率为除  $3/5$  以外的任何编码速率的 LDPC 码、并且调制方法为 QPSK 且倍数  $b$  为 1 的情况下可以采用的位分配方案的示例。

[0770] 在 LDPC 码是码长  $N$  为 16, 200 或 64, 800 位且编码速率为除  $3/5$  以外的任何编码速率的 LDPC 码、并且调制方法为 QPSK 且倍数  $b$  为 1 的情况下, 在解调器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(N/(2 \times 1)) \times (2 \times 1)$  位的存储器 31 中的码位在行方向上以  $2 \times 1 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0771] 替换部分 32 替换从存储器 31 读出的  $2 \times 1 (= mb)$  个码位  $b_0$  和  $b_1$  以使得  $2 \times 1 (= mb)$  个码位  $b_0$  和  $b_1$  可以被分配给一个  $(= b)$  符号的  $2 \times 1 (= mb)$  个符号位  $y_0$  和  $y_1$ , 如图 97 所示。

[0772] 具体地, 根据图 97, 替换部分 32 执行替换以进行如下分配:

[0773] 码位  $b_0$  分配至符号位  $y_0$ , 以及

[0774] 码位  $b_1$  分配至符号位  $y_1$ 。

[0775] 应该注意到, 在该情况下, 也可以考虑不执行替换, 而分别将码位  $b_0$  和  $b_1$  原样确定为符号位  $y_0$  和  $y_1$ 。

[0776] 图 98 示出了在 LDPC 码是码长  $N$  为 64, 800 位且编码速率为  $3/5$  的 LDPC 码、并且调制方法为 16QAM 且倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0777] 在 LDPC 码是码长  $N$  为 64, 800 位且编码速率为  $3/5$  的 LDPC 码、并且调制方法为 16QAM 且倍数  $b$  为 2 的情况下, 在解调器 25 中, 写入在用于在列方向  $\times$  行方向上存储  $(64, 800/(4 \times 2)) \times (4 \times 2)$  位的存储器 31 中的码位在行方向上以  $4 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0778] 替换部分 32 替换从存储器 31 读出的  $4 \times 2 (= mb)$  个码位  $b_0$  至  $b_7$  以使得  $4 \times 2 (= mb)$  个码位  $b_0$  至  $b_7$  可以被分配给两个  $(= b)$  连续符号的  $4 \times 2 (= mb)$  个符号位  $y_0$  至  $y_7$ ,

如图 98 所示。

[0779] 具体地,根据图 98,替换部分 32 执行替换以进行如下分配:

[0780] 码位  $b_0$  分配至符号位  $y_0$ ,

[0781] 码位  $b_1$  分配至符号位  $y_5$ ,

[0782] 码位  $b_2$  分配至符号位  $y_1$ ,

[0783] 码位  $b_3$  分配至符号位  $y_2$ ,

[0784] 码位  $b_4$  分配至符号位  $y_4$ ,

[0785] 码位  $b_5$  分配至符号位  $y_7$ ,

[0786] 码位  $b_6$  分配至符号位  $y_3$ , 以及

[0787] 码位  $b_7$  分配至符号位  $y_6$ 。

[0788] 图 99 示出了在 LDPC 码是码长  $N$  为 16,200 位且编码速率为  $3/5$  的 LDPC 码、并且调制方法为 16QAM 其倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0789] 在 LDPC 码是码长  $N$  为 16,200 位且编码速率为  $3/5$  的 LDPC 码、并且调制方法为 16QAM 且倍数  $b$  为 2 的情况下,在解调器 25 中,写入在用于在列方向  $\times$  行方向上存储  $(16,200/(4 \times 2)) \times (4 \times 2)$  位的存储器 31 中的码位在行方向上以  $4 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0790] 替换部分 32 替换从存储器 31 读出的  $4 \times 2 (= mb)$  个码位  $b_0$  至  $b_7$  以使得  $4 \times 2 (= mb)$  个码位  $b_0$  至  $b_7$  可以被分配给两个  $(= b)$  连续符号的  $4 \times 2 (= mb)$  个符号位  $y_0$  至  $y_7$ , 如图 99 所示。

[0791] 具体地,根据图 99,替换部分 32 执行替换以进行如下分配:

[0792] 码位  $b_0$  分配至符号位  $y_7$ ,

[0793] 码位  $b_1$  分配至符号位  $y_1$ ,

[0794] 码位  $b_2$  分配至符号位  $y_4$ ,

[0795] 码位  $b_3$  分配至符号位  $y_2$ ,

[0796] 码位  $b_4$  分配至符号位  $y_5$ ,

[0797] 码位  $b_5$  分配至符号位  $y_3$ ,

[0798] 码位  $b_6$  分配至符号位  $y_6$ , 以及

[0799] 码位  $b_7$  分配至符号位  $y_0$ 。

[0800] 图 100 示出了在调制方法为 64QAM、LDPC 码是码长  $N$  为 64,800 位且编码速率为  $3/5$  的 LDPC 码、并且倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0801] 在 LDPC 码是码长  $N$  为 64,800 位且编码速率为  $3/5$  的 LDPC 码、调制方法为 64QAM、并且倍数  $b$  为 2 的情况下,在解调器 25 中,写入在用于在列方向  $\times$  行方向上存储  $(64,800/(6 \times 2)) \times (6 \times 2)$  位的存储器 31 中的码位在行方向上以  $6 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0802] 替换部分 32 替换从存储器 31 读出的  $6 \times 2 (= mb)$  个码位  $b_0$  至  $b_{11}$  以使得  $6 \times 2 (= mb)$  个码位  $b_0$  至  $b_{11}$  可以被分配给两个  $(= b)$  连续符号的  $6 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{11}$ , 如图 100 所示。

[0803] 具体地,根据图 100,替换部分 32 执行替换以进行如下分配:

[0804] 码位  $b_0$  分配至符号位  $y_2$ ,

[0805] 码位  $b_1$  分配至符号位  $y_7$ ,

[0806] 码位  $b_2$  分配至符号位  $y_6$ ,

[0807] 码位  $b_3$  分配至符号位  $y_9$ ,

[0808] 码位  $b_4$  分配至符号位  $y_0$ ,

[0809] 码位  $b_5$  分配至符号位  $y_3$ ,

[0810] 码位  $b_6$  分配至符号位  $y_1$ ,

[0811] 码位  $b_7$  分配至符号位  $y_8$ ,

[0812] 码位  $b_8$  分配至符号位  $y_4$ ,

[0813] 码位  $b_9$  分配至符号位  $y_{11}$ ,

[0814] 码位  $b_{10}$  分配至符号位  $y_5$ , 以及

[0815] 码位  $b_{11}$  分配至符号位  $y_{10}$ 。

[0816] 图 101 示出了在调制方法为 64QAM、LDPC 码是码长  $N$  为 16,200 位且编码速率为  $3/5$  的 LDPC 码、并且倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0817] 在 LDPC 码是码长  $N$  为 16,200 位且编码速率为  $3/5$  的 LDPC 码、调制方法为 64QAM、并且倍数  $b$  为 2 的情况下,在解调器 25 中,写入在用于在列方向  $\times$  行方向上存储  $(16,200/(6 \times 2)) \times (6 \times 2)$  位的存储器 31 中的码位在行方向上以  $6 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0818] 替换部分 32 替换从存储器 31 读出的  $6 \times 2 (= mb)$  个码位  $b_0$  至  $b_{11}$  以使得  $6 \times 2 (= mb)$  个码位  $b_0$  至  $b_{11}$  可以被分配给两个  $(= b)$  连续符号的  $6 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{11}$ , 如图 101 所示。

[0819] 具体地,根据图 101,替换部分 32 执行替换以进行如下分配:

[0820] 码位  $b_0$  分配至符号位  $y_{11}$ ,

[0821] 码位  $b_1$  分配至符号位  $y_7$ ,

[0822] 码位  $b_2$  分配至符号位  $y_3$ ,

[0823] 码位  $b_3$  分配至符号位  $y_{10}$ ,

[0824] 码位  $b_4$  分配至符号位  $y_6$ ,

[0825] 码位  $b_5$  分配至符号位  $y_2$ ,

[0826] 码位  $b_6$  分配至符号位  $y_9$ ,

[0827] 码位  $b_7$  分配至符号位  $y_5$ ,

[0828] 码位  $b_8$  分配至符号位  $y_1$ ,

[0829] 码位  $b_9$  分配至符号位  $y_8$ ,

[0830] 码位  $b_{10}$  分配至符号位  $y_4$ , 以及

[0831] 码位  $b_{11}$  分配至符号位  $y_0$ 。

[0832] 图 102 示出了在调制方法为 256QAM、LDPC 码是码长  $N$  为 64,800 位且编码速率为  $3/5$  的 LDPC 码、并且倍数  $b$  为 2 的情况下可以采用的位分配方案的示例。

[0833] 在 LDPC 码是码长  $N$  为 64,800 位且编码速率为  $3/5$  的 LDPC 码、调制方法为 256QAM 并且倍数  $b$  为 2 的情况下,在解调器 25 中,写入在用于在列方向  $\times$  行方向上存储  $(64,800/(8 \times 2)) \times (8 \times 2)$  位的存储器 31 中的码位在行方向上以  $8 \times 2 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0834] 替换部分 32 替换从存储器 31 读出的  $8 \times 2 (= mb)$  个码位  $b_0$  至  $b_{15}$  以使得  $8 \times 2 (= mb)$  个码位  $b_0$  至  $b_{15}$  可以被分配给两个  $(= b)$  连续符号的  $8 \times 2 (= mb)$  个符号位  $y_0$  至  $y_{15}$ ，如图 102 所示。

[0835] 具体地，根据图 102，替换部分 32 执行替换以进行如下分配：

[0836] 码位  $b_0$  分配至符号位  $y_2$ ，

[0837] 码位  $b_1$  分配至符号位  $y_{11}$ ，

[0838] 码位  $b_2$  分配至符号位  $y_3$ ，

[0839] 码位  $b_3$  分配至符号位  $y_4$ ，

[0840] 码位  $b_4$  分配至符号位  $y_0$ ，

[0841] 码位  $b_5$  分配至符号位  $y_9$ ，

[0842] 码位  $b_6$  分配至符号位  $y_1$ ，

[0843] 码位  $b_7$  分配至符号位  $y_8$ ，

[0844] 码位  $b_8$  分配至符号位  $y_{10}$ ，

[0845] 码位  $b_9$  分配至符号位  $y_{13}$ ，

[0846] 码位  $b_{10}$  分配至符号位  $y_7$ ，

[0847] 码位  $b_{11}$  分配至符号位  $y_{14}$ ，

[0848] 码位  $b_{12}$  分配至符号位  $y_6$ ，

[0849] 码位  $b_{13}$  分配至符号位  $y_{15}$ ，

[0850] 码位  $b_{14}$  分配至符号位  $y_5$ ，以及

[0851] 码位  $b_{15}$  分配至符号位  $y_{12}$ 。

[0852] 图 103 示出了在调制方法为 256QAM、LDPC 码是码长  $N$  为 16,200 位且编码速率为  $3/5$  的 LDPC 码、并且倍数  $b$  为 1 的情况下可以采用的位分配方案的示例。

[0853] 在 LDPC 码是码长  $N$  为 16,200 位且编码速率为  $3/5$  的 LDPC 码、调制方法为 256QAM 并且倍数  $b$  为 1 的情况下，在解调器 25 中，写入在用于在列方向  $\times$  行方向上存储  $(16,200 / (8 \times 1)) \times (8 \times 1)$  位的存储器 31 中的码位在行方向上以  $8 \times 1 (= mb)$  位为单位被读出并且被提供给替换部分 32。

[0854] 替换部分 32 替换从存储器 31 读出的  $8 \times 1 (= mb)$  个码位  $b_0$  至  $b_7$  以使得  $8 \times 1 (= mb)$  个码位  $b_0$  至  $b_7$  可以被分配给一个  $(= b)$  符号的  $8 \times 1 (= mb)$  个符号位  $y_0$  至  $y_7$ ，如图 103 所示。

[0855] 具体地，根据图 103，替换部分 32 执行替换以进行如下分配：

[0856] 码位  $b_0$  分配至符号位  $y_7$ ，

[0857] 码位  $b_1$  分配至符号位  $y_3$ ，

[0858] 码位  $b_2$  分配至符号位  $y_1$ ，

[0859] 码位  $b_3$  分配至符号位  $y_5$ ，

[0860] 码位  $b_4$  分配至符号位  $y_2$ ，

[0861] 码位  $b_5$  分配至符号位  $y_6$ ，

[0862] 码位  $b_6$  分配至符号位  $y_4$ ，以及

[0863] 码位  $b_7$  分配至符号位  $y_0$ 。

[0864] 现在，描述组成接收设备 12 的解交织器 53。

[0865] 图 104 是图解组成解交织器 53 的复用器 54 的处理的视图。

[0866] 具体地,图 104 的 A 示出了复用器 54 的功能配置的示例。

[0867] 复用器 54 由反向替换部分 1001 和存储器 1002 组成。

[0868] 复用器 54 确定从前一级的解映射部分 52 提供的符号的符号位作为其处理对象,并且执行对应于由发送设备 11 的解复用器 25 执行的替换过程的反向替换过程(与替换过程相反的过程),即返回由替换过程替换的 LDPC 码的码位(符号位)的位置的反向替换过程。然后,复用器 54 将作为反向替换过程的结果获得的 LDPC 码提供给后续级中的列扭曲解交织器 55。

[0869] 具体地,在复用器 54 中,将  $b$  个符号的  $mb$  个符号位  $y_0, y_1, \dots, y_{mb-1}$  以  $b$  个(连续)符号为单位提供给反向替换部分 1001。

[0870] 反向替换部分 1001 执行将  $mb$  个符号位  $y_0$  至  $y_{mb-1}$  的布置返回至  $mb$  个码位  $b_0, b_1, \dots, b_{mb-1}$  的原始布置(在由组成发送设备 11 侧的解复用器 25 的替换部分 32 执行的替换之前的码位  $b_0$  至  $b_{mb-1}$  的布置)的反向替换。反向替换部分 1001 输出作为反向替换的结果获得的码位  $b_0$  至  $b_{mb-1}$ 。

[0871] 存储器 1002 具有在行(水平)方向上存储  $mb$  位以及在列(竖直)方向上存储  $N/(mb)$  位的存储容量,其类似于组成发送设备 11 侧的解复用器 25 的存储器 31。换言之,反向替换部分 1001 由每列存储  $N/(mb)$  位的  $mb$  列构成。

[0872] 然而,在存储器 1002 中,在执行从发送设备 11 的解复用器 25 的存储器 31 中读出码位的方向上执行从反向替换部分 1001 输出的 LDPC 码的码位的写入,并且在执行将码位写入存储器 31 的方向上执行对写入在存储器 1002 中的码位的读出。

[0873] 具体地,接收设备 12 的复用器 54 相继以  $mb$  位为单位在行方向上从存储器 1002 的第一行开始向下面的行执行对从反向替换部分 1001 输出的 LDPC 码的码位的写入,如图 104 的 A 中所示。

[0874] 然后,当一个码长的码位的写入结束时,复用器 54 在列方向上从存储器 1002 中读出码位并且将码位提供给后续级的列扭曲解交织器 55。

[0875] 这里,图 104 的 B 是图解从存储器 1002 读出码位的视图。

[0876] 复用器 54 从最左侧的列开始向右侧列从组成存储器 1002 的列的上方在向下的方向(列方向)执行对 LDPC 码的码位的读出。

[0877] 现在,参照图 105 描述组成接收设备 12 的解交织器 53 的列扭曲解交织器 55 的处理。

[0878] 图 105 示出了复用器 54 的存储器 1002 的配置的示例。

[0879] 存储器 1002 具有在列(竖直)方向上存储  $mb$  位以及在行(水平)方向上存储  $N/(mb)$  位的存储容量,并且由  $mb$  列组成。

[0880] 列扭曲解交织器 55 在行方向上将 LDPC 码的码位写入存储器 1002,并且控制当在列方向上读出码位时开始读出的位置以执行列扭曲解交织。

[0881] 具体地,列扭曲解交织器 55 执行适当改变读出起始位置的反向重新布置过程以将通过列扭曲交织重新布置的码位的布置返回到原始布置,其中要在读出起始位置处开始关于多个列的每一列的码位读出。

[0882] 这里,图 105 示出了在调制方法为 16QAM 并且倍数  $b$  为 1 的情况下存储器 1002 的

配置示例。相应地,一个符号的位数  $m$  为 4 位,并且存储器 1002 包括  $4 (= mb)$  列。

[0883] 列扭曲解交织器 55 (替代复用器 54) 在行方向上从第一行开始向最下面的行相继地将替换部分 1001 输出的 LDPC 码的码位写入存储器 1002。

[0884] 然后,如果对一个码长的码位的写入结束,则列扭曲解交织器 55 从最左的列开始向右侧列、从存储器 1002 的顶端以向下方向(列方向)执行对码位的读出。

[0885] 但是,列扭曲解交织器 55 将在由发送设备 11 侧的列扭曲交织器 24 进行码位写入时的写入起始位置确定为码位的读出起始位置,来执行从存储器 1002 的码位读出。

[0886] 具体地,如果各个列的顶部的位置的地址被确定为 0 并且列方向上各个位置的地址由按升序给出的整数表示,则在调制方法为 16QAM 并且倍数  $b$  为 1 时,列扭曲解交织器 55 将最左侧的列的读出起始位置设置为地址为 0 的位置,将(左起)第二列的读出起始位置设置为地址为 2 的位置,将第三列的读出起始位置设置为地址为 4 的位置,并且将第四列的读出起始位置设置为地址为 7 的位置。

[0887] 应该注意到,针对其读出起始位置具有除了 0 以外的地址的那些列的每一个,执行码位的读出以使得在这样的读出向下执行到最低位置之后,读出位置返回到列的顶部(地址为 0 的位置)并且读出向下执行到读出起始位置之前紧邻读出起始位置的位置。然后,在那之后从下一(右)列执行读出。

[0888] 通过执行如上所述的这种列扭曲交织,由列扭曲交织重新布置的码位的布置返回到原始布置。

[0889] 图 106 是示出了接收设备 12 的配置的另一个示例的框图。

[0890] 参照图 106,接收设备 12 是接收来自发送设备 11 的调制信号的数据处理设备,并且包括正交解调部分 51、解映射部分 52、解交织器 53 和 LDPC 解码部分 1021。

[0891] 正交解调部分 51 接收来自发送设备 11 的调制信号,执行正交解调并且将作为正交解调的结果获得的符号(在 I 轴和 Q 轴方向上的值)提供给解映射部分 52。

[0892] 解映射部分 52 执行将来自正交解调部分 51 的符号转换为 LDPC 码的码位的解映射,并且将码位提供给解交织器 53。

[0893] 解交织器 53 包括复用器(MUX)54、列扭曲解交织器 55 和奇偶解交织器 1011,并且对来自解映射部分 52 的 LDPC 码的码位执行解交织。

[0894] 具体地,复用器 54 确定来自解映射部分 52 的 LDPC 码作为其处理对象,并且执行对应于由发送设备 11 的解复用器 25 执行的替换过程的反向替换过程(替换过程的逆过程),即,将通过替换过程替换的码位的位置返回至原始位置的反向替换过程。然后,复用器 54 将作为反向替换过程的结果获得的 LDPC 码提供给列扭曲解交织器 55。

[0895] 列扭曲解交织器 55 确定来自复用器 54 的 LDPC 码作为处理的对象,并且执行对应于作为由发送设备 11 的列扭曲交织器 24 执行的重新布置过程的列扭曲交织的列扭曲解交织。

[0896] 作为列扭曲解交织的结果获得的 LDPC 码从列扭曲解交织器 55 提供给奇偶解交织器 1011。

[0897] 奇偶解交织器 1011 确定由列扭曲解交织器 55 进行了列扭曲解交织之后的码位作为其处理对象,并且执行对应于由发送设备 11 的奇偶交织器 23 执行的奇偶交织的奇偶解交织(奇偶交织的逆过程),即,将被奇偶交织改变了布置的 LDPC 码的码位的布置返回至原

始布置的奇偶解交织。

[0898] 作为奇偶解交织的结果获得的 LDPC 码从奇偶解交织器 1011 提供给 LDPC 解码部分 1021。

[0899] 因此,在图 106 的接收设备 12 中,将执行了反向替换过程、列扭曲解交织和奇偶解交织的 LDPC 码,即根据奇偶校验矩阵 H 通过 LDPC 编码获得的 LDPC 码提供给 LDPC 解码部分 1021。

[0900] LDPC 解码部分 1021 使用奇偶校验矩阵 H 本身或者转换奇偶校验矩阵对来自解交织器 53 的 LDPC 码执行 LDPC 解码,奇偶校验矩阵 H 用于由发送设备 11 的 LDPC 编码部分 21 进行的 LDPC 编码,转换奇偶校验矩阵至少通过对奇偶校验矩阵 H 执行对应于奇偶交织的列转换而获得。然后,LDPC 解码部分 1021 输出通过 LDPC 解码获得的数据作为对象数据的解码结果。

[0901] 这里,在图 106 的接收设备 12 中,由于根据奇偶校验矩阵 H 通过 LDPC 编码获得的 LDPC 码被从解交织器 53(的奇偶解交织器 1011) 提供给 LDPC 解码部分 1021,因此在使用用于通过发送设备 11 的 LDPC 编码部分 21 进行 LDPC 编码的奇偶校验矩阵 H 本身来执行 LDPC 码的 LDPC 解码时,LDPC 解码部分 1021 能够例如由一种根据逐个节点地执行消息的数学运算(校验节点消息和变量节点消息)的全串行解码方法来执行 LDPC 解码的解码设备构成,或者由根据同时(并行)对所有节点执行消息的数学运算的全并行解码方法来执行 LDPC 解码的另一种解码设备构成。

[0902] 此外,在使用通过对发送设备 11 的 LDPC 编码部分 21 进行 LDPC 编码中使用的奇偶校验矩阵 H 至少执行对应于奇偶交织的列替换而获得的转换奇偶校验矩阵来执行 LDPC 码的 LDPC 解码时,LDPC 解码部分 1021 可以由如下结构的解码设备构成:该结构的解码设备针对 P(或者除了 1 以外的 P 的除数)个校验节点和 P 个变量节点同时执行校验节点数学运算和变量节点数学运算,并且具有接收数据重新布置部分 310,用于执行与用于获得 LDPC 码的转换奇偶校验矩阵的列替换类似的列替换以重新布置 LDPC 码的码位。

[0903] 应该注意到,虽然在图 106 中为了描述的方便而彼此单独地配置用于执行反向替换过程的复用器 54、用于执行列扭曲解交织的列扭曲解交织器 55 和用于执行奇偶解交织的奇偶解交织器 1011,但是复用器 54、列扭曲解交织器 55 和奇偶解交织器 1011 中的两个或者更多个可以与发送设备 11 的奇偶交织器 23、列扭曲交织器 24 和解复用器 25 类似地集成地构成。

[0904] 图 107 是示出了可以用于接收设备 12 的接收系统的配置的第一示例的框图。

[0905] 参照图 107,接收系统包括获取部分 1101、传输线解码处理部分 1102 和信息源解码处理部分 1103。

[0906] 获取部分 1101 通过诸如陆地数字广播、卫星数字广播、CATV 网络、因特网或者某些其它网络等传输线获取包括至少通过对诸如节目的图像数据和音乐数据等对象数据进行 LDPC 编码而获得的 LDPC 码的信号。然后,获取部分 1101 将所获取的信号提供给传输线解码处理部分 1102。

[0907] 这里,在由获取部分 1101 获取的信号是例如通过地波、卫星波或 CATV(有线电视)等来自广播站的广播时,获取部分 1101 由调谐器或 STB(机顶盒)等构成。另一方面,在由获取部分 1101 获取的信号例如从 web 服务器以如 IPTV(网络协议电视)的多播状态发送



时,获取部分 11 由诸如 NIC(网络接口卡)的网络 I/F(接口)构成。

[0908] 传输线解码处理部分 1102 执行传输线解码过程,该传输线解码过程至少包括针对由获取部分 1101 通过传输线获取的信号纠正在传输线中产生的差错的过程,并且将作为传输线解码过程的结果获得的信号提供给信息源解码处理部分 1103。

[0909] 具体地,由获取部分 1101 通过传输线获取的信号是通过至少执行用于纠正在传输线中产生的差错的纠错编码而获得的信号,对于上述这种信号,传输线解码处理部分 1102 执行诸如纠错过程的传输线解码过程。

[0910] 这里,例如 LDPC 编码、里德-所罗门编码等可以用作纠错编码。这里,至少执行 LDPC 编码作为纠错编码。

[0911] 另外,传输线解码过程有时包括调制信号的解调等。

[0912] 信息源解码处理部分 1103 执行至少包括用于针对已经执行了传输线解码过程的信号将压缩信息解压为原始信息的处理的信息源解码过程。

[0913] 具体地,由获取部分 1101 通过传输线获取的信号有时通过压缩编码进行了处理,压缩编码用于压缩信息以便减少诸如图像、声音等信息的数据量。在该实例中,信息源解码处理部分 1103 执行诸如用于针对已经执行了传输线解码处理的信号将压缩的信息解压为原始信息的过程(解压缩过程)的信息源解码过程。

[0914] 应该注意到,在由获取部分 1101 通过传输线获取的信号没有被执行压缩编码时,信息源解码处理部分 1103 不执行将压缩信息解压为原始信息的过程。

[0915] 这里,例如 MPEG 解码等可以用作解压缩过程。另外,除了解压缩过程以外,传输线解码过程有时还包括解密。

[0916] 在以上述方式配置的接收系统中,获取部分 1101 通过传输线接收通过执行诸如对例如图像、声音等数据的 MPEG 编码的压缩编码并且进一步对压缩编码数据执行诸如 LDPC 编码的纠错编码而获得的信号。信号提供给传输线解码处理部分 1102。

[0917] 在传输线解码处理部分 1102 中,执行与例如由正交解调部分 51、解映射部分 52、解交织部分 53 和 LDPC 解码部分 56(或 LDPC 解码部分 1021)执行的过程类似的过程作为对来自获取部分 1101 的信号的传输线解码过程。然后,作为传输线解码过程的结果获得的信号被提供给信息源解码处理部分 1103。

[0918] 在信息源解码处理部分 1103 中,对来自传输线解码处理部分 1102 的信号执行诸如 MPEG 解码的信息源解码过程,并且输出作为信息解码过程的结果获得的图像或声音。

[0919] 如上所述的图 107 的接收系统可以用于例如用于接收作为数字广播的电视广播的电视调谐器等。

[0920] 应该注意到,可以将获取部分 1101、传输线解码处理部分 1102 和信息源解码处理部分 1103 分别配置为单独的设备(硬件(IC(集成电路)等)或软件模块)。

[0921] 此外,关于获取部分 1101、传输线解码处理部分 1102 和信息源解码处理部分 1103,获取部分 1101 和传输线解码处理部分 1102 的组、传输线解码处理部分 1102 和信息源解码处理部分 1103 的另一个组、或者获取部分 1101、传输线解码处理部分 1102 和信息源解码处理部分 1103 的又一个组可以被配置为单个独立的设备。

[0922] 图 108 是示出了可以用于接收设备 12 的接收系统的配置的第二示例的框图。

[0923] 应该注意到,在图 108 中,与图 107 中的单元对应的单元用相同的参考标记表示,

并且在以下的描述中适当地省略对其的描述。

[0924] 图 108 的接收系统与图 107 的接收系统的共同点在于它包括获取部分 1101、传输线解码处理部分 1102 和信息源解码处理部分 1103,而与图 107 的接收系统的不同在于它还包括了输出部分 1111。

[0925] 输出部分 1111 是例如用于显示图像的显示设备或者用于输出声音的扬声器,并且输出作为从信息源解码处理部分 1103 输出的信号的图像和声音等。换言之,输出部分 1111 显示图像或者输出声音。

[0926] 如上所述的图 108 的这种接收系统可以用于例如用于接收作为数字广播的电视广播的 TV(电视接收机)、用于接收无线电广播的无线电接收机等。

[0927] 应该注意到,在由获取部分 1101 获取的信号不是应用了压缩编码的形式时,从传输线解码处理部分 1102 输出的信号被提供给输出部分 1111。

[0928] 图 109 是示出了可以应用于接收设备 12 的接收系统的配置的第三示例的框图。

[0929] 应该注意到,在图 109 中,与图 107 中的单元对应的单元用相同的参考标记表示,并且在以下的描述中适当地省略对其的描述。

[0930] 图 109 的接收系统与图 107 的接收系统的共同点在于它包括获取部分 1101 和传输线解码处理部分 1102。

[0931] 但是,图 109 的接收系统与图 107 的接收系统的不同在于它不包括信息源解码处理部分 1103 而是还包括记录部分 1121。

[0932] 记录部分 1121 将从传输线解码处理部分 1102 输出的信号(例如,MPEG 的 TS 的 TS 包)记录(存储)在诸如光盘、硬盘(磁盘)或者闪存等的记录(存储)介质。

[0933] 如上所述的图 109 的这种接收系统可以应用于用来记录电视广播等的记录器。

[0934] 应该注意到,在图 109 中,接收系统可以包括信息源解码处理部分 1103,使得在由信息源解码处理部分 1103 执行了信息源解码过程之后的信号,即通过解码获得的图像或者声音被记录部分 1121 记录。

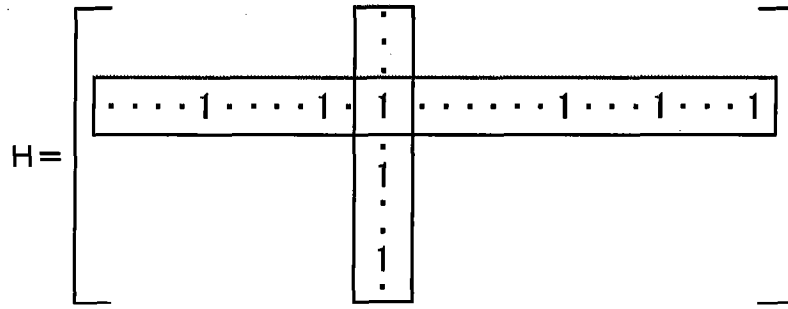


图 1

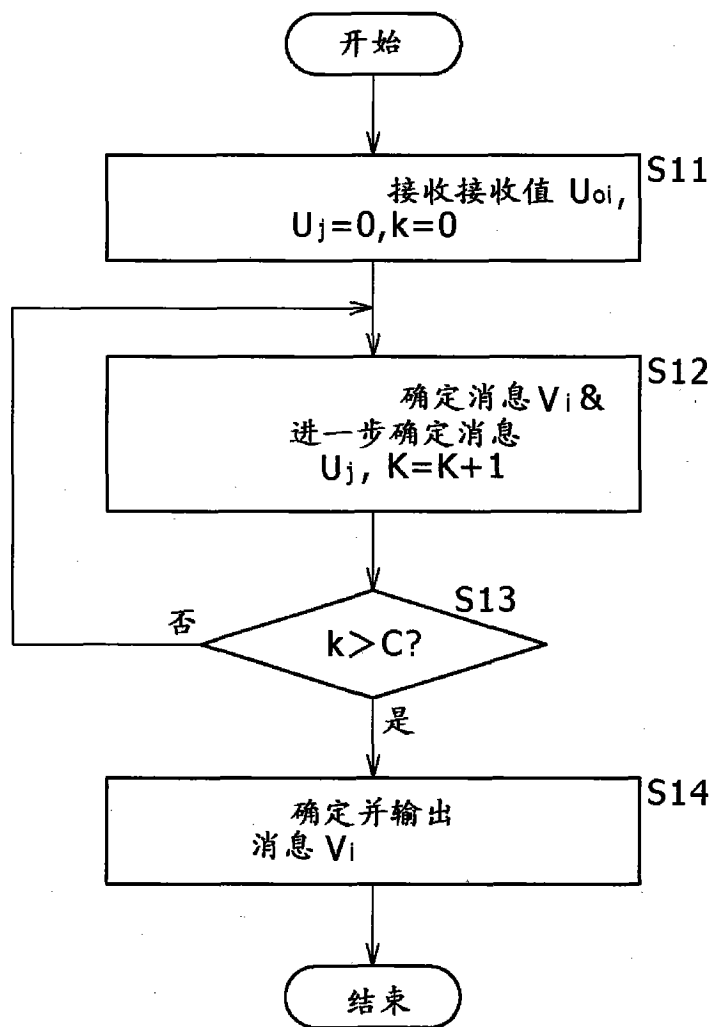


图 2

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

图 3

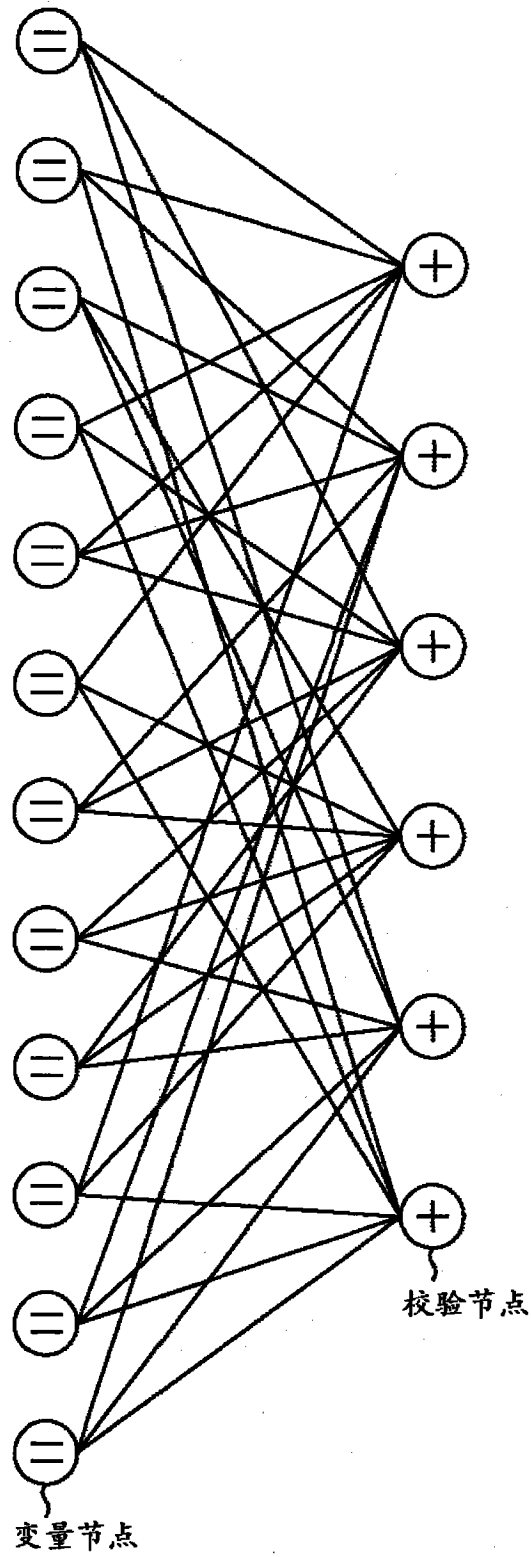


图 4

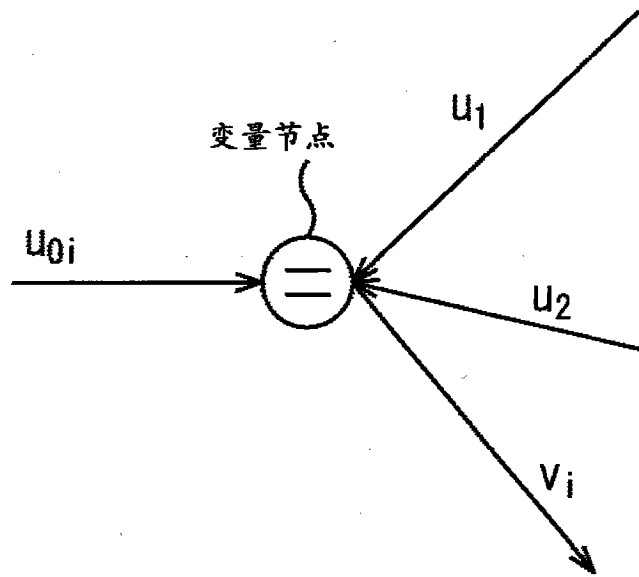


图 5

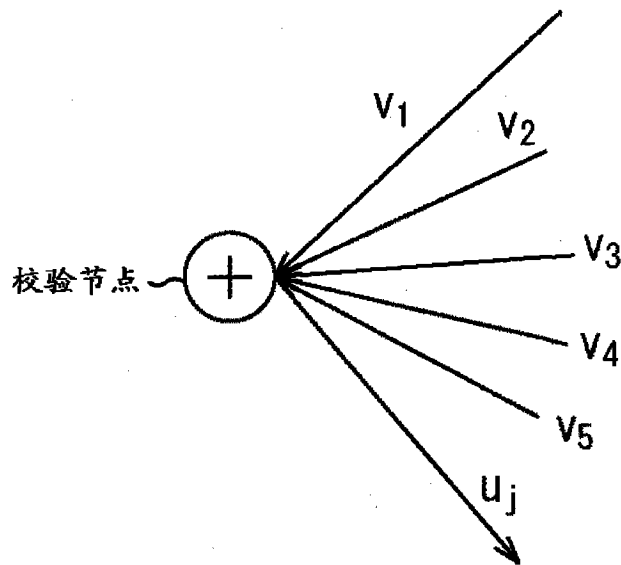


图 6

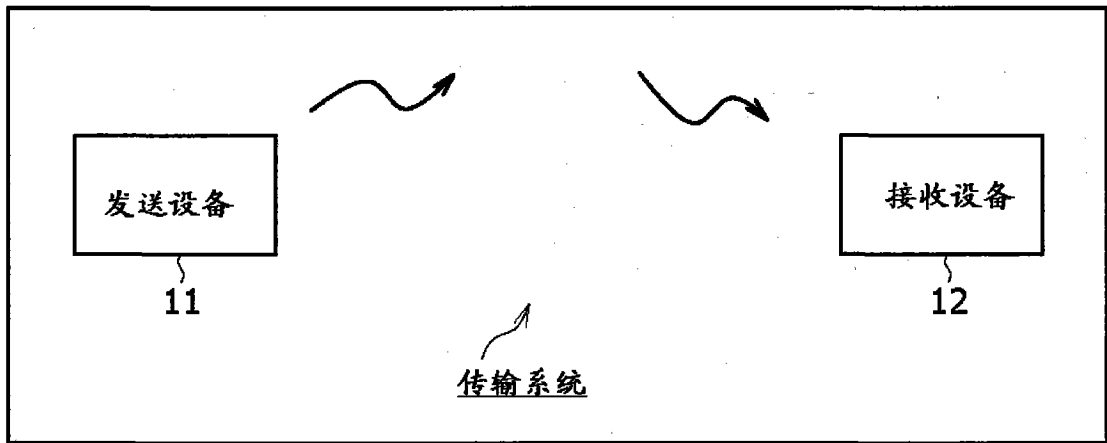


图 7

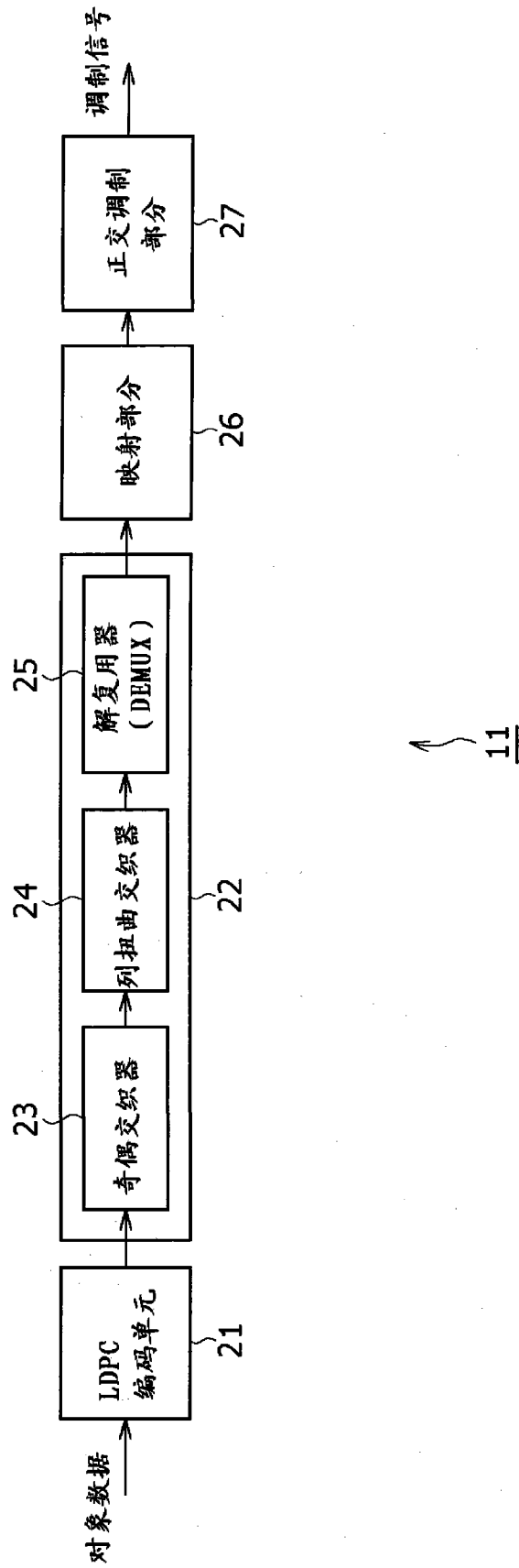


图 8



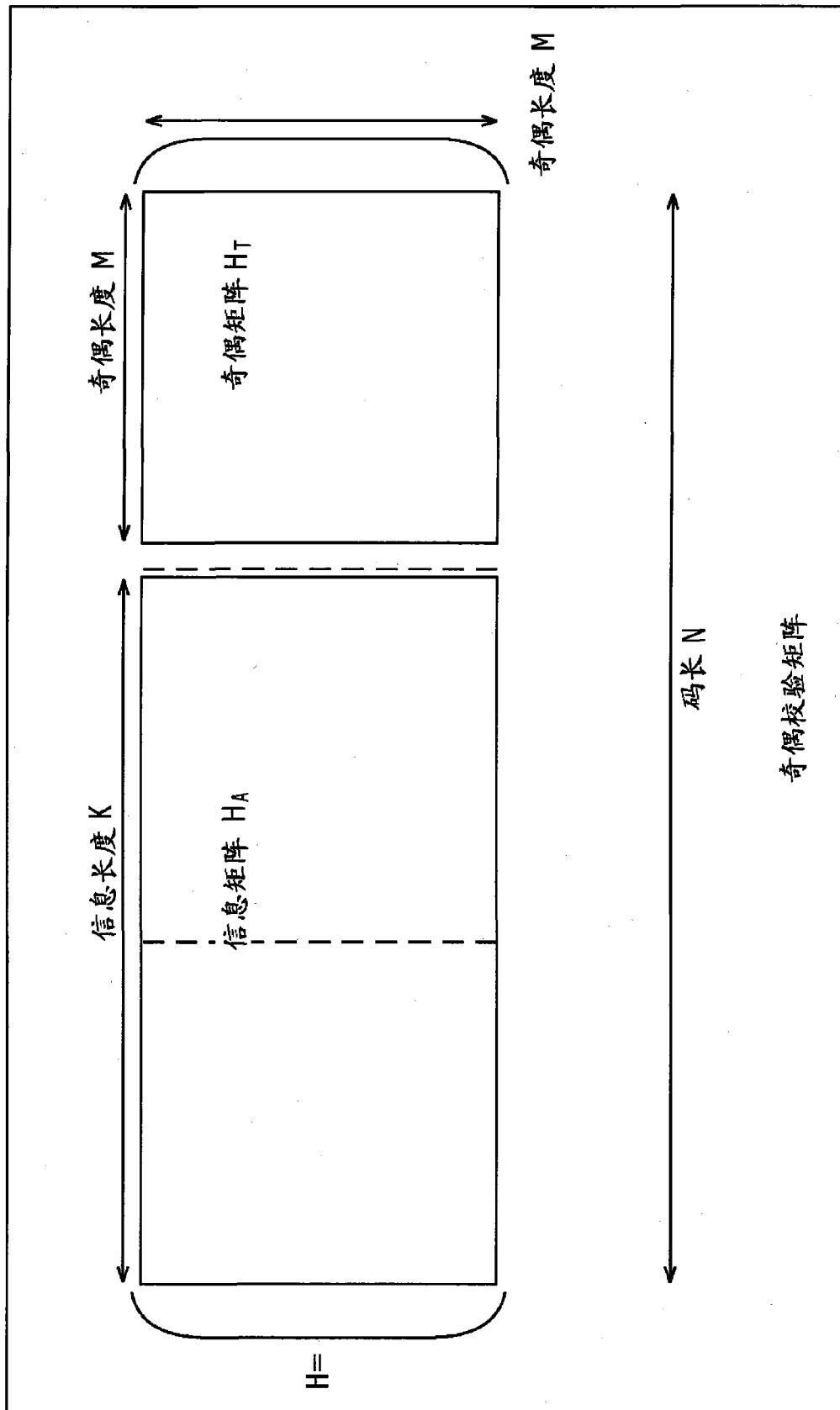


图 9

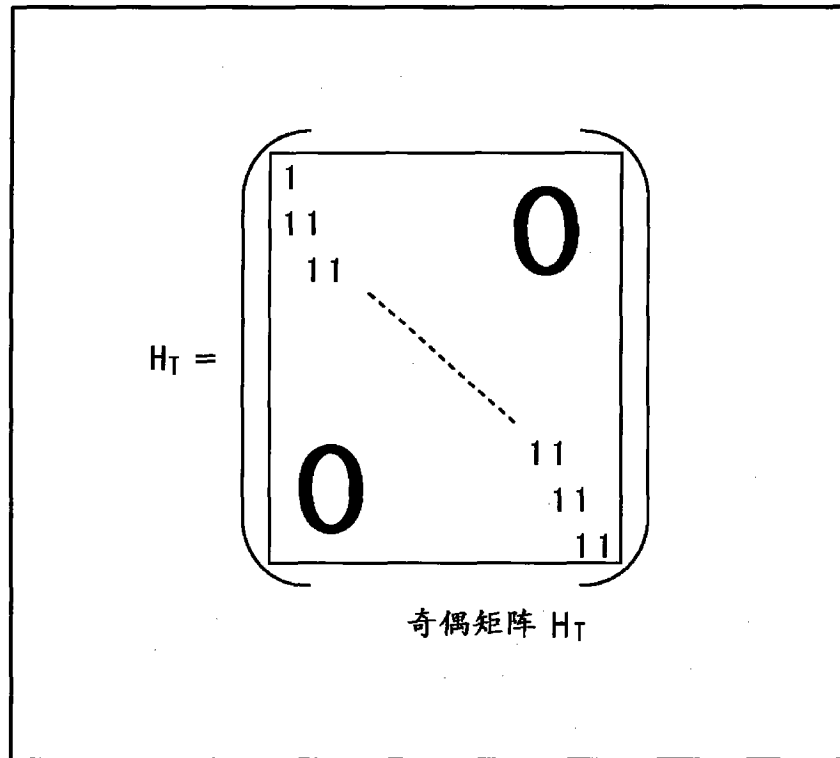


图 10

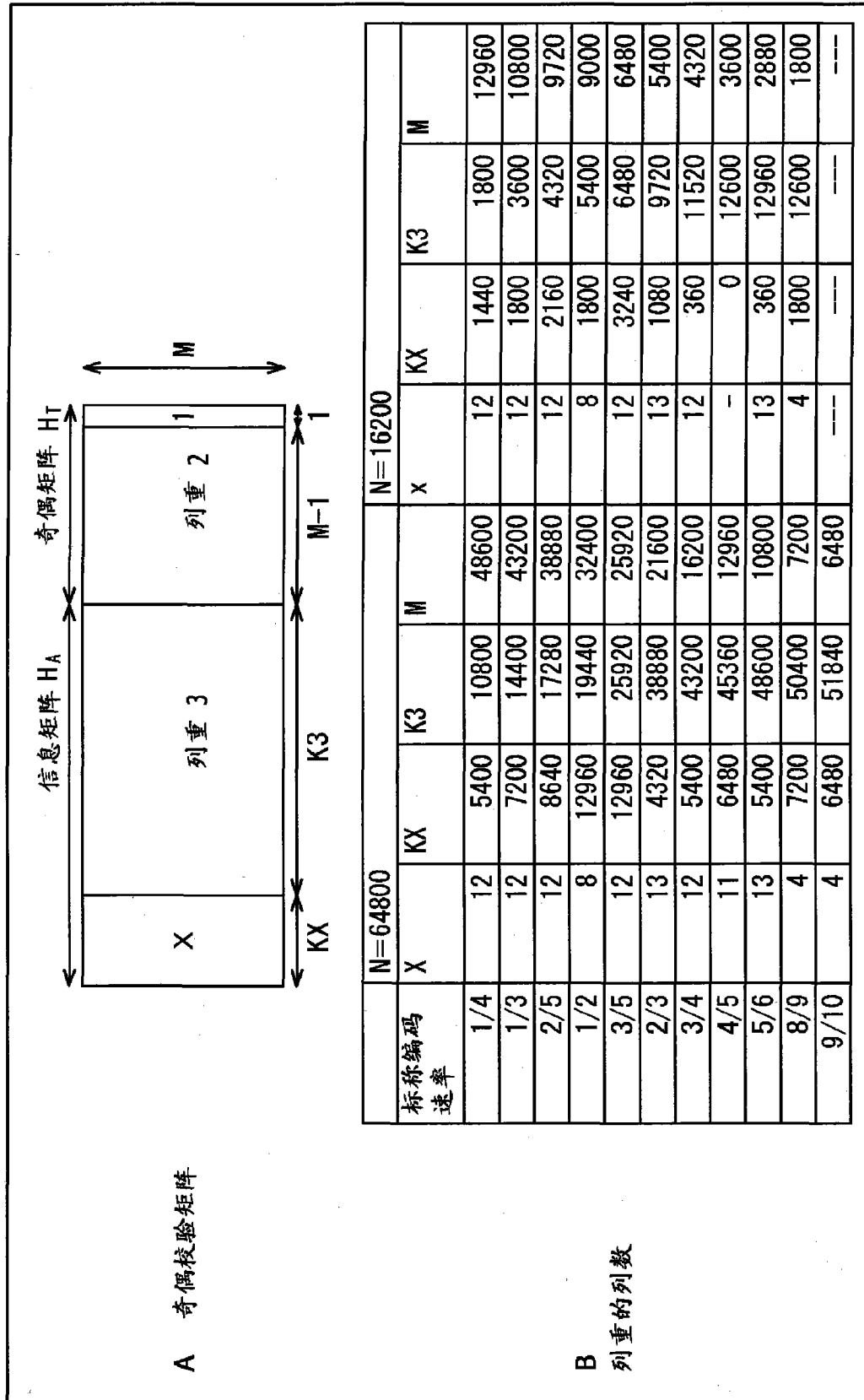


图 11

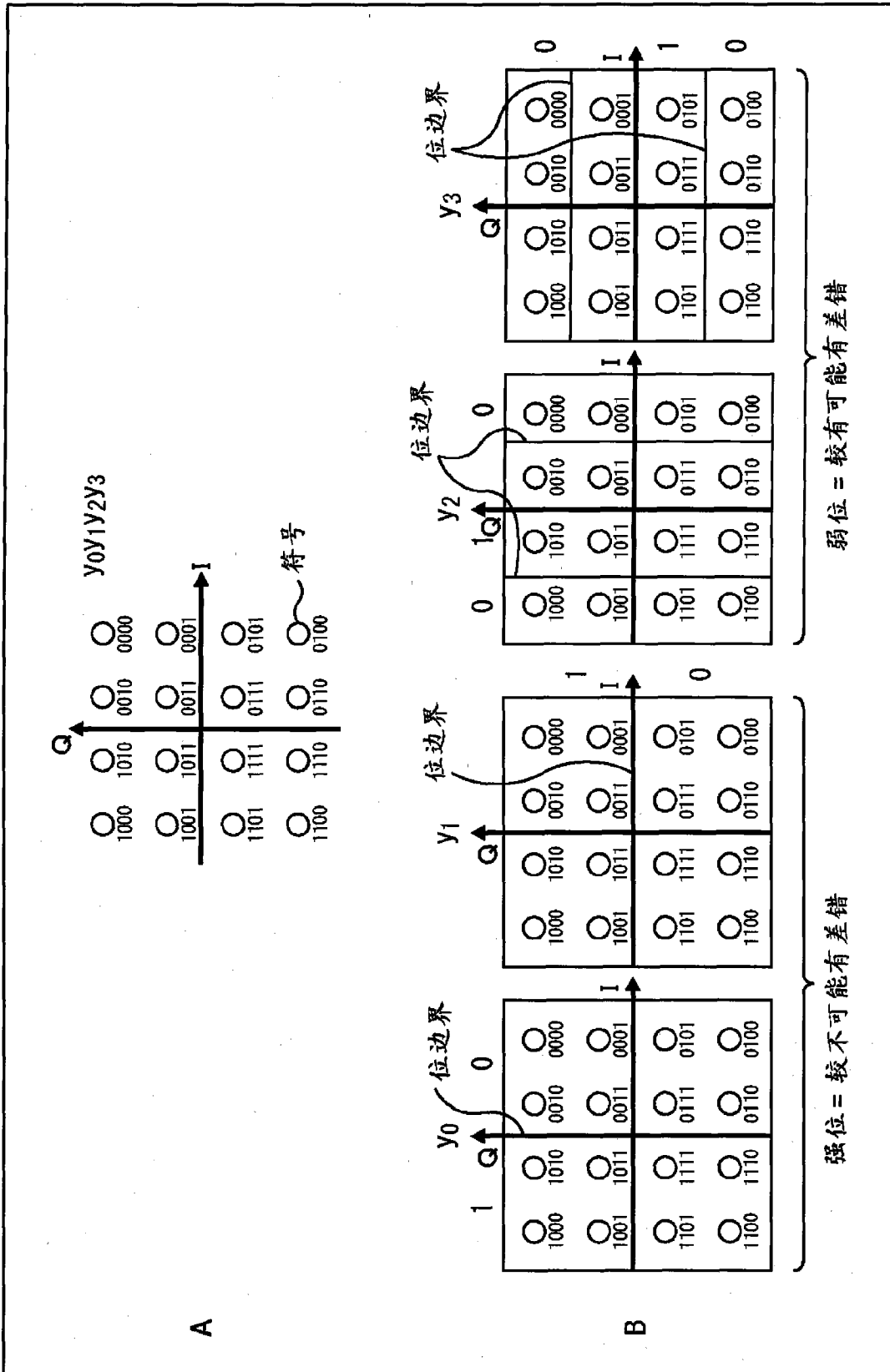


图 12

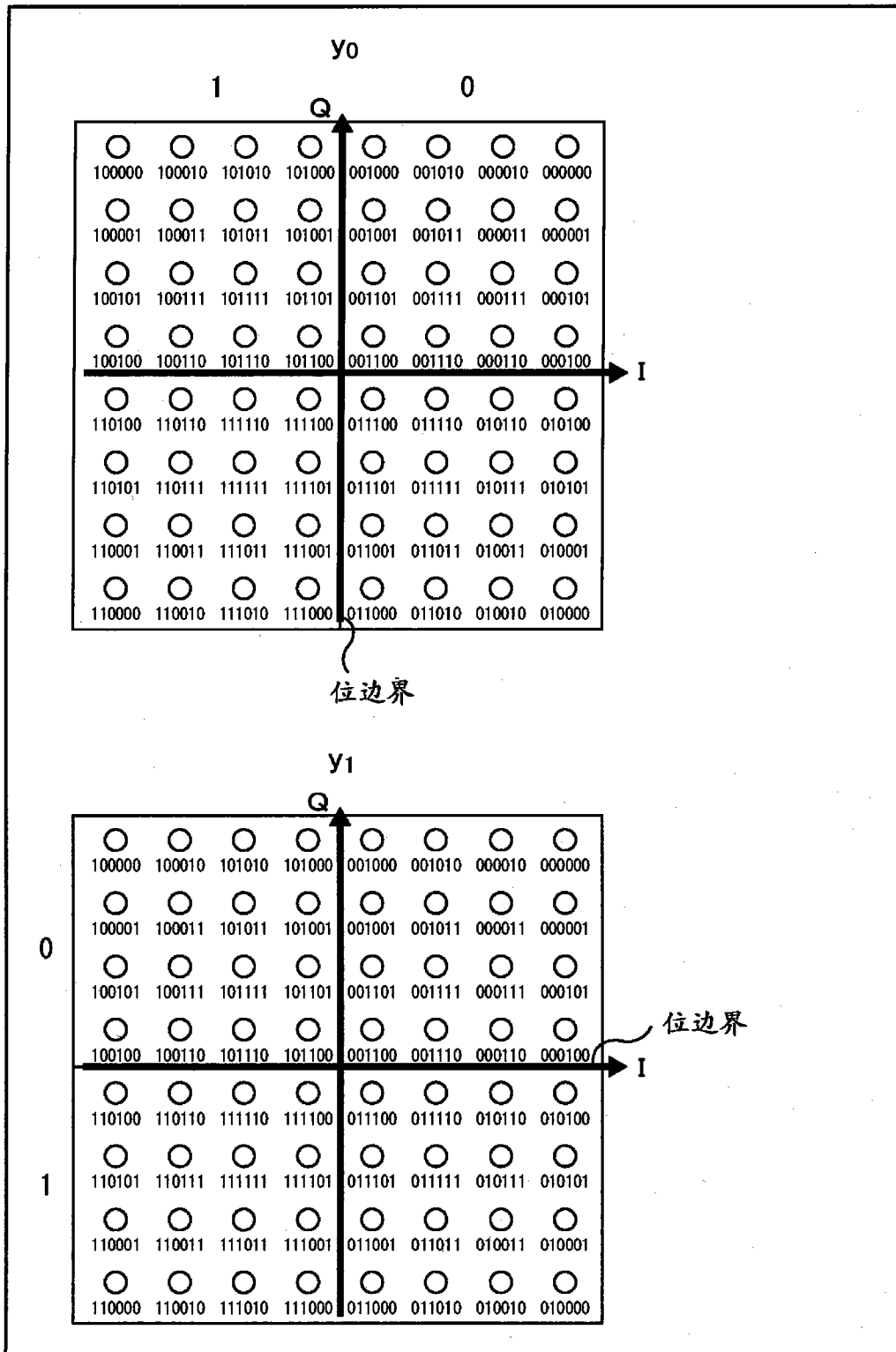


图 13

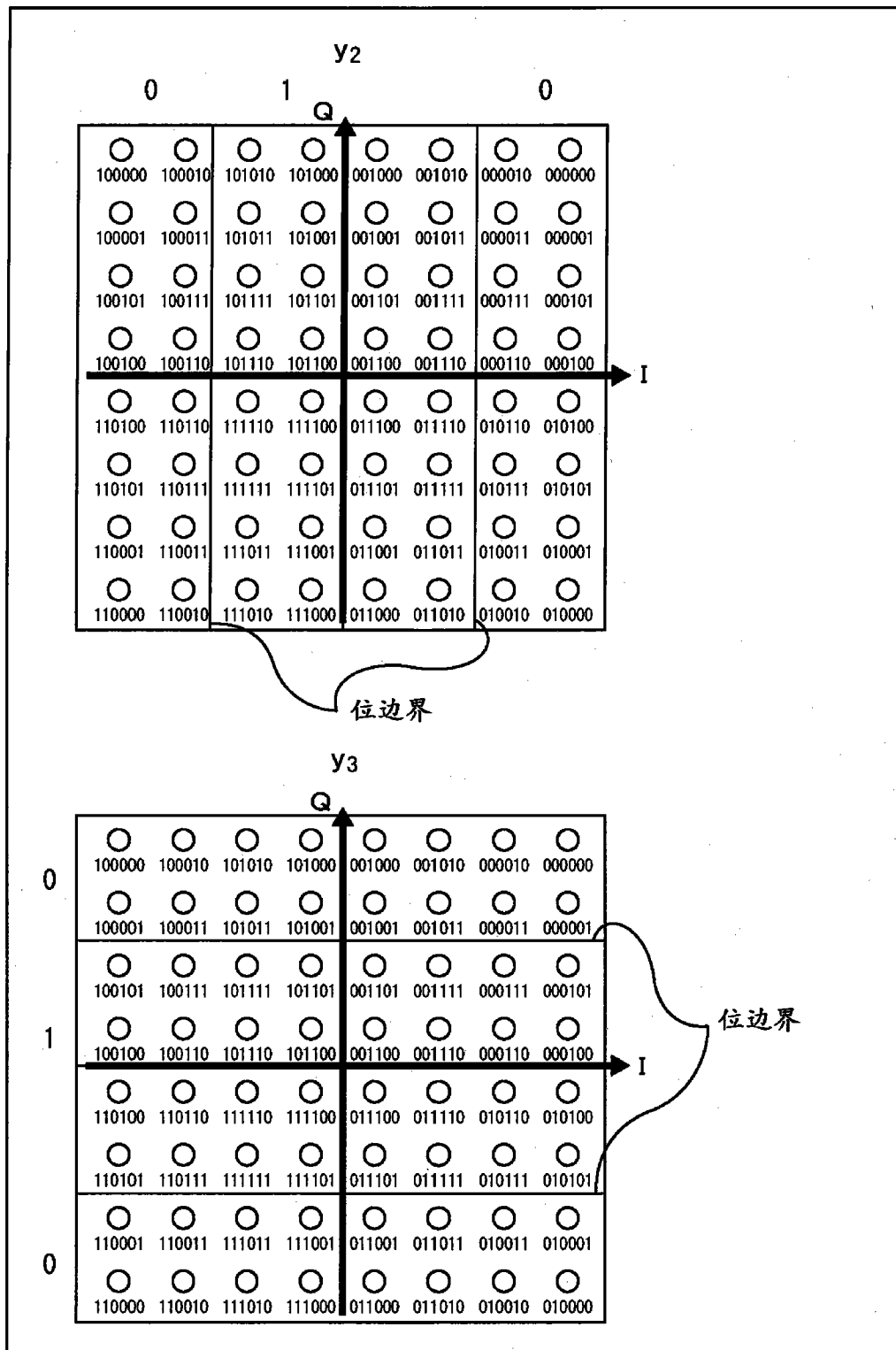


图 14

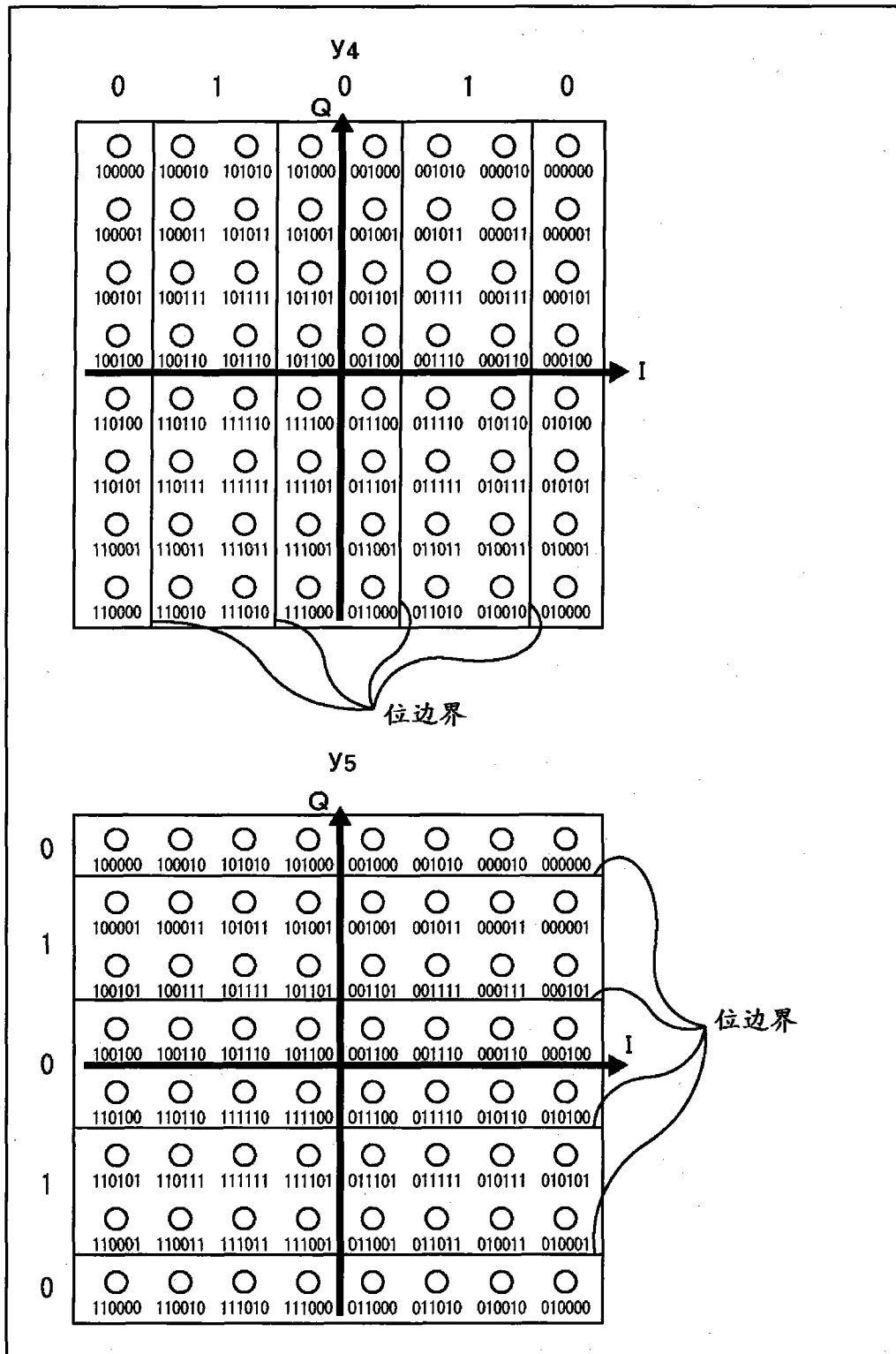


图 15

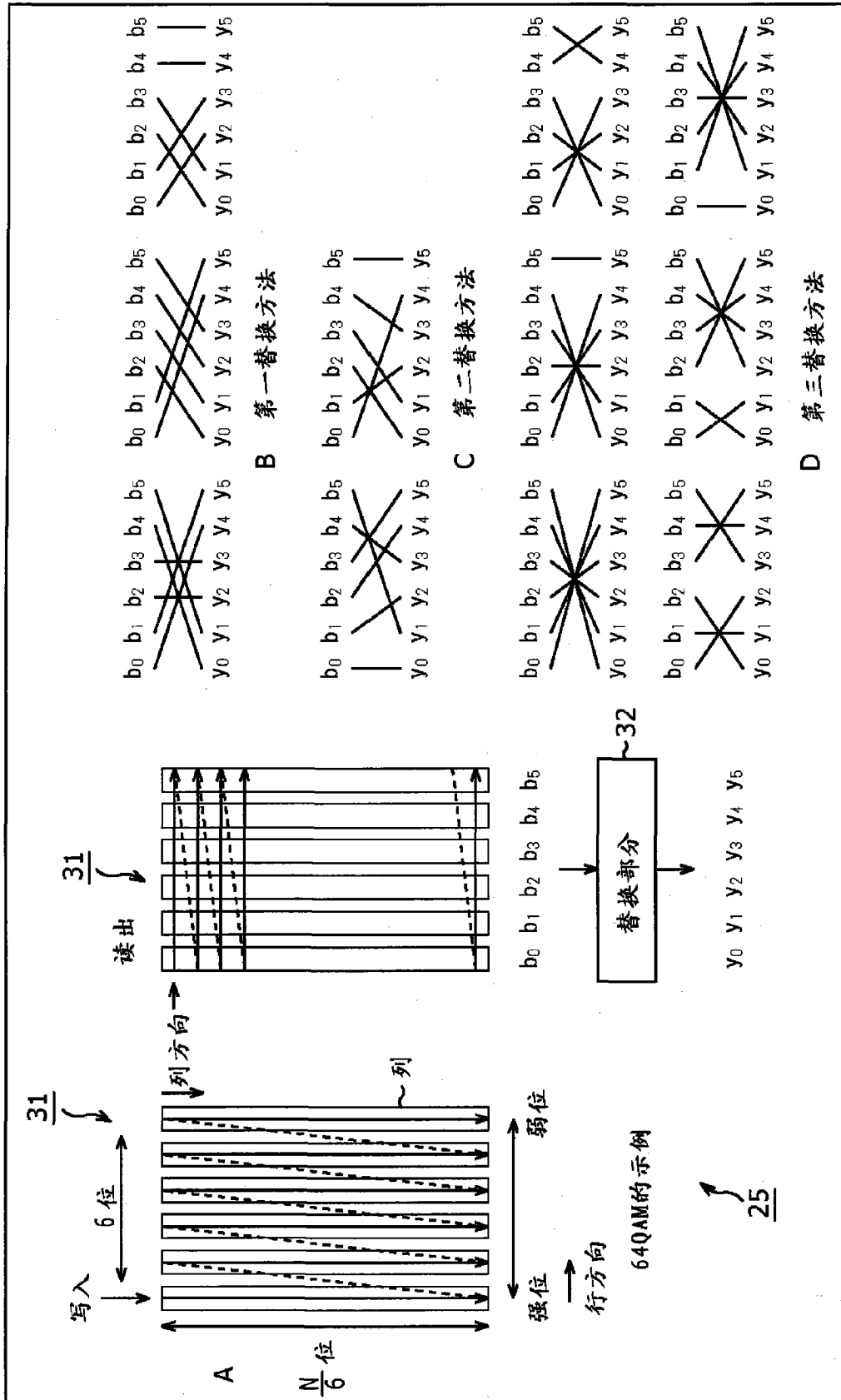


图 16



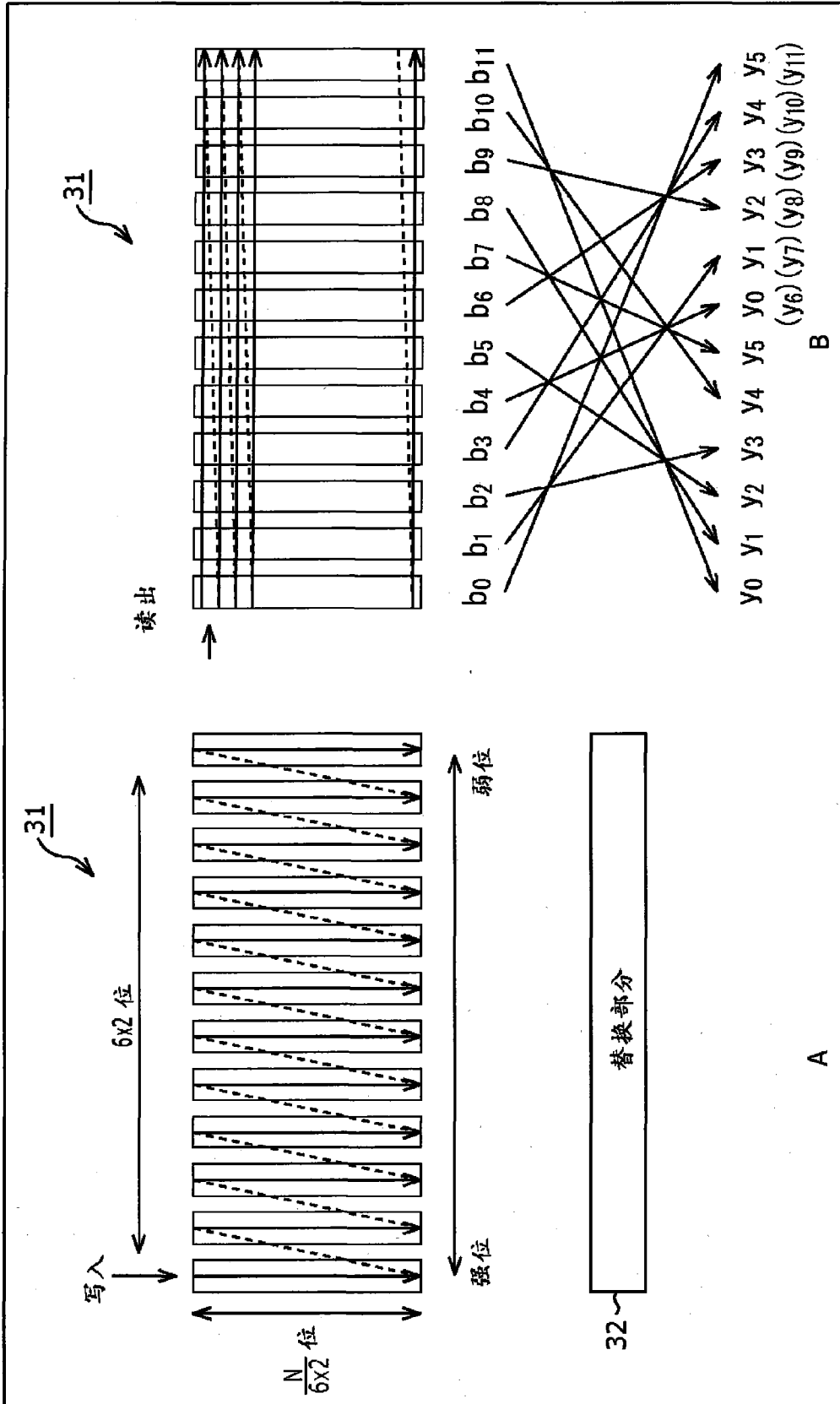


图 17

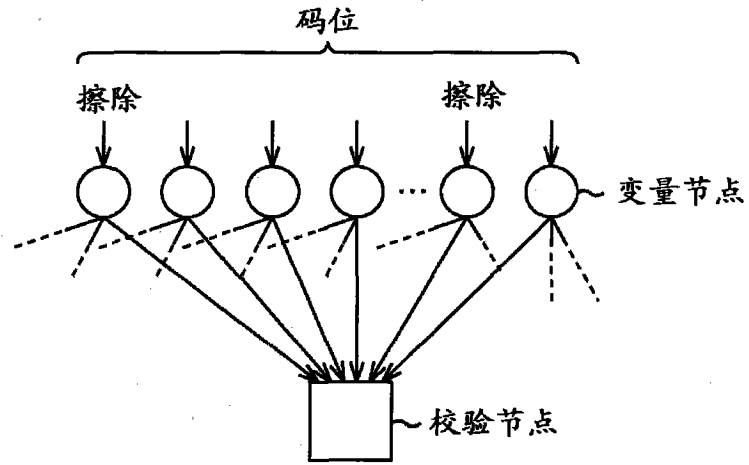


图 18

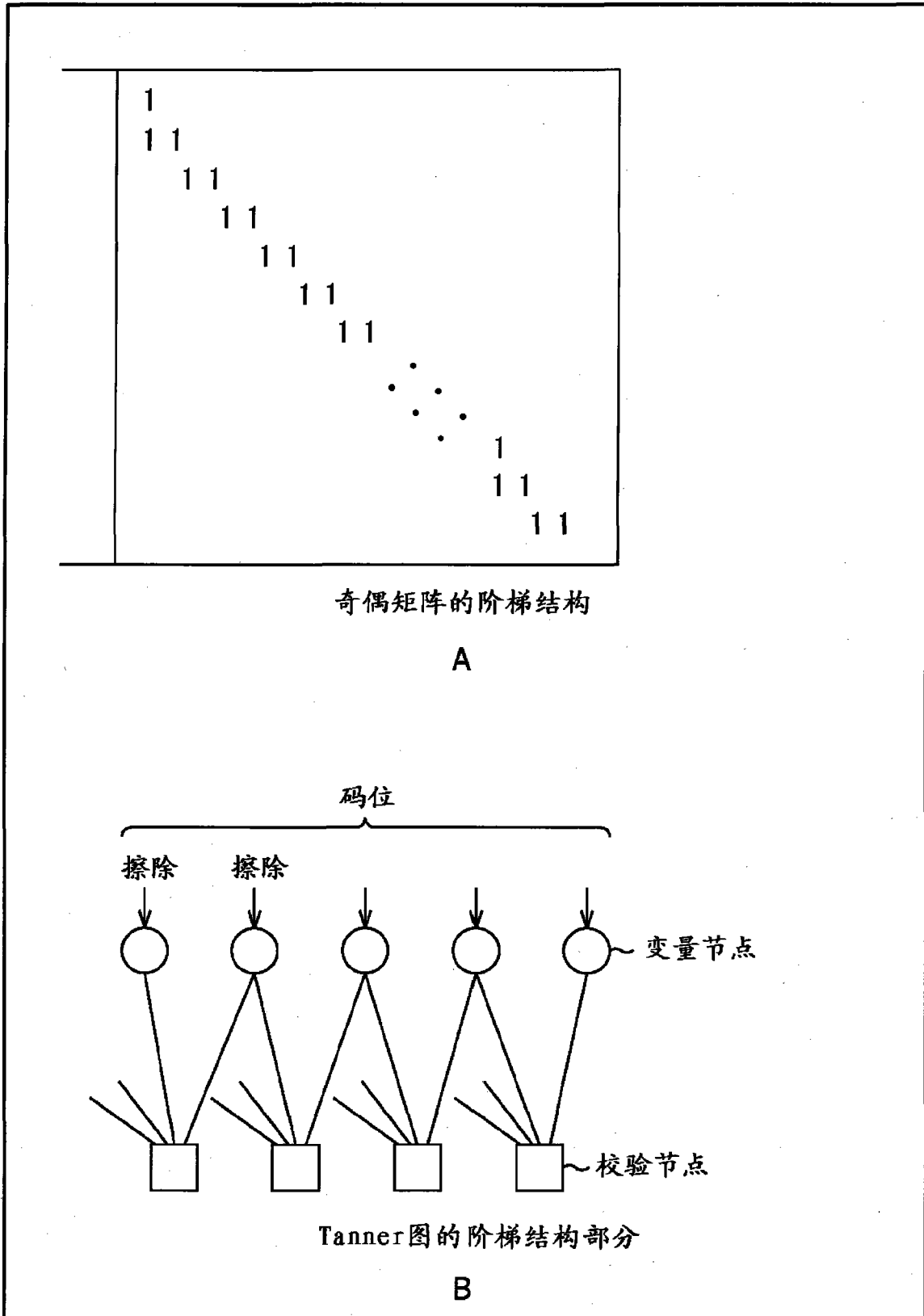


图 19

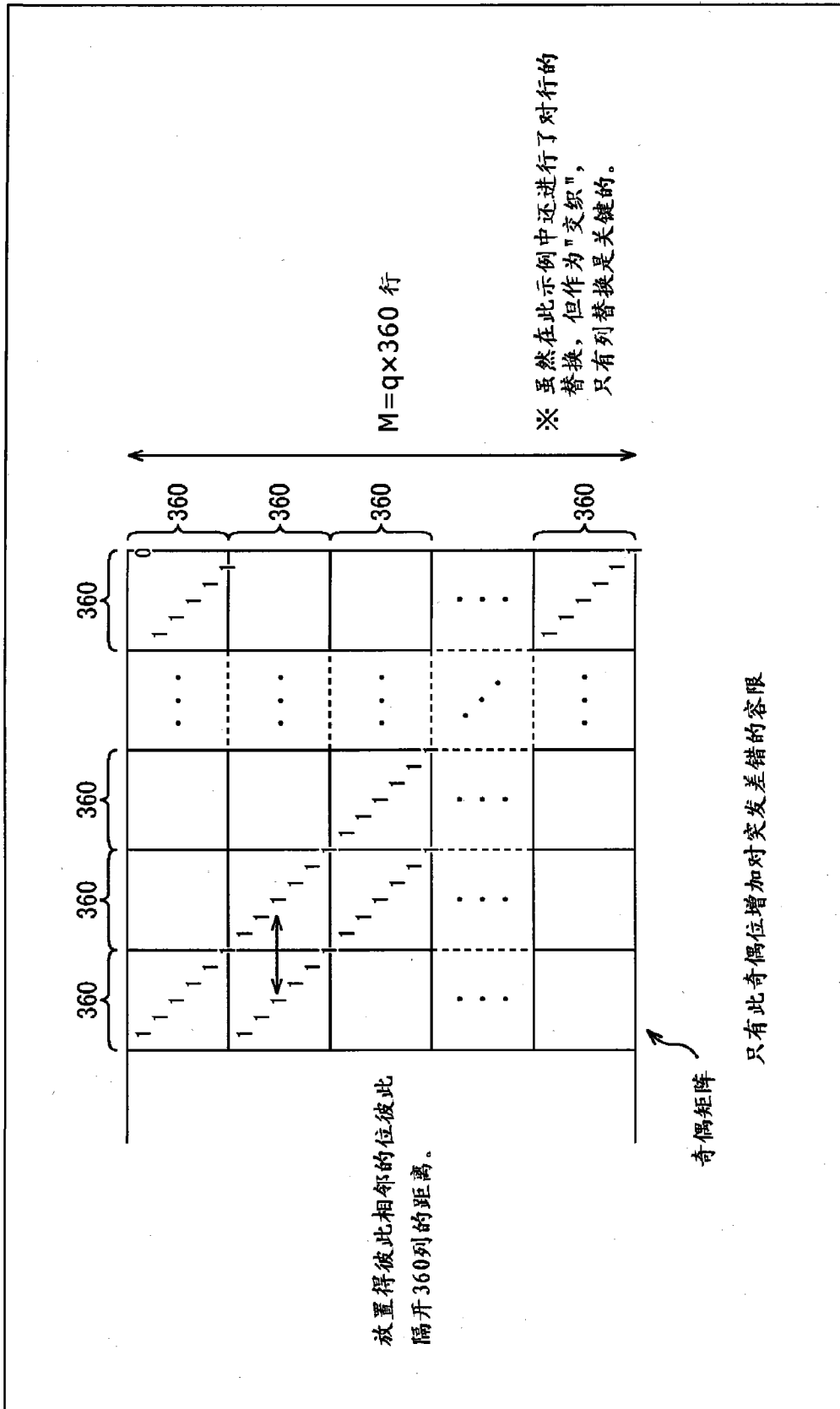


图 20

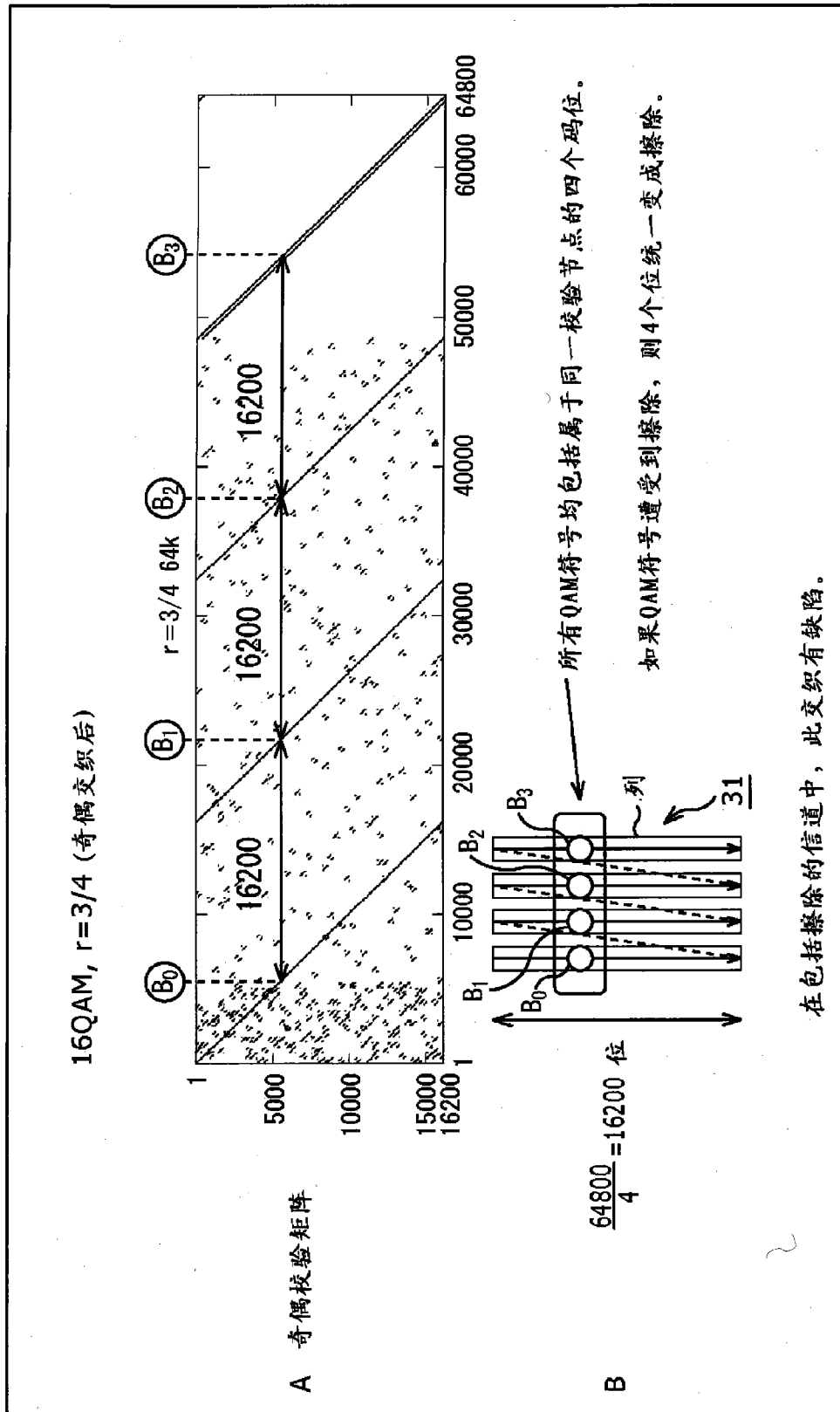


图 21

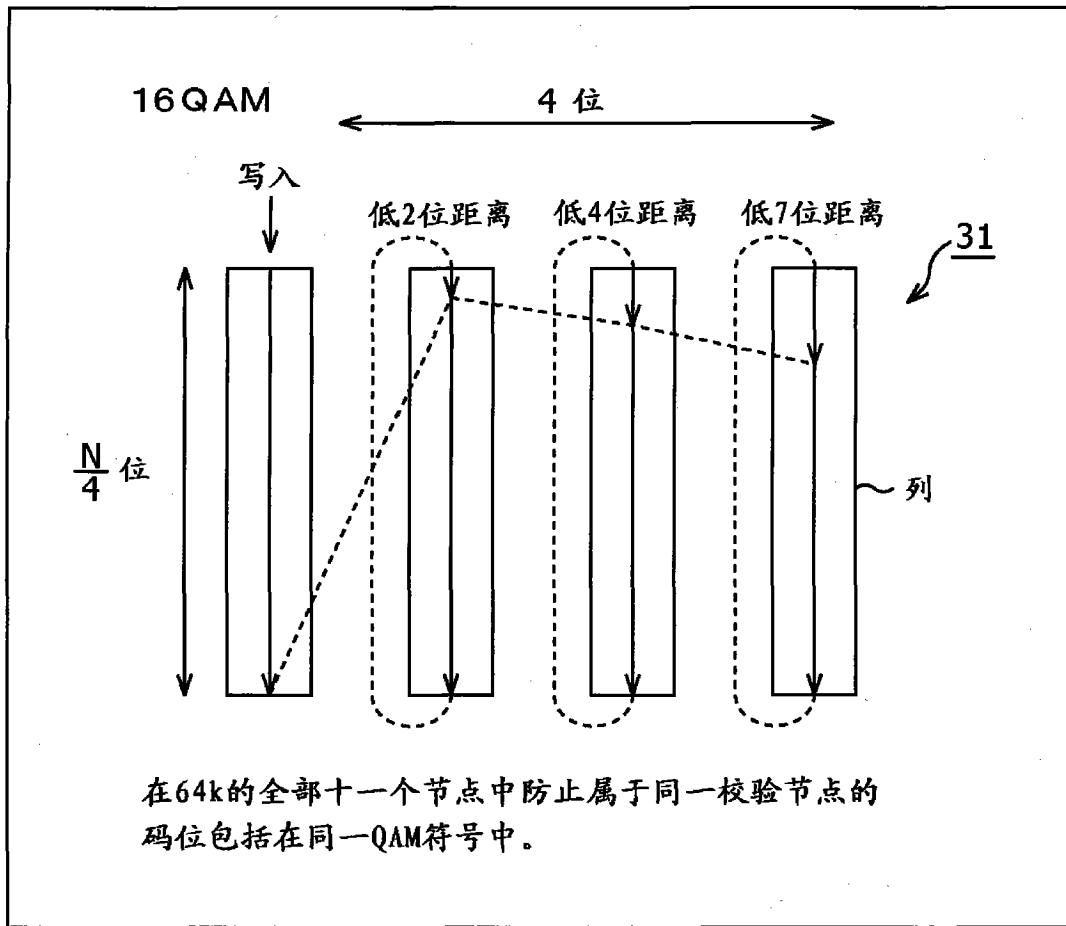


图 22



		mb 个列中的写入起始位置																									
所需存储 器列数 mb	第一至第三 替换方法	第四替换 方法	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
2	QPSK		0	0																							
4	16QAM	QPSK	0	2	3	3																					
6	64QAM		0	0	2	3	7	7																			
8	256QAM	16QAM	0	0	0	1	7	20	20	21																	
10	1024QAM		0	1	2	2	3	3	4	4	5	7															
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7													
20		1024QAM	0	0	0	2	2	2	2	2	5	5	5	5	5	7	7	7	7	7	8	8	10				
24		4096QAM	0	0	0	0	0	0	0	1	1	1	2	2	2	3	3	7	9	9	9	10	10	10	10	10	11

图 24



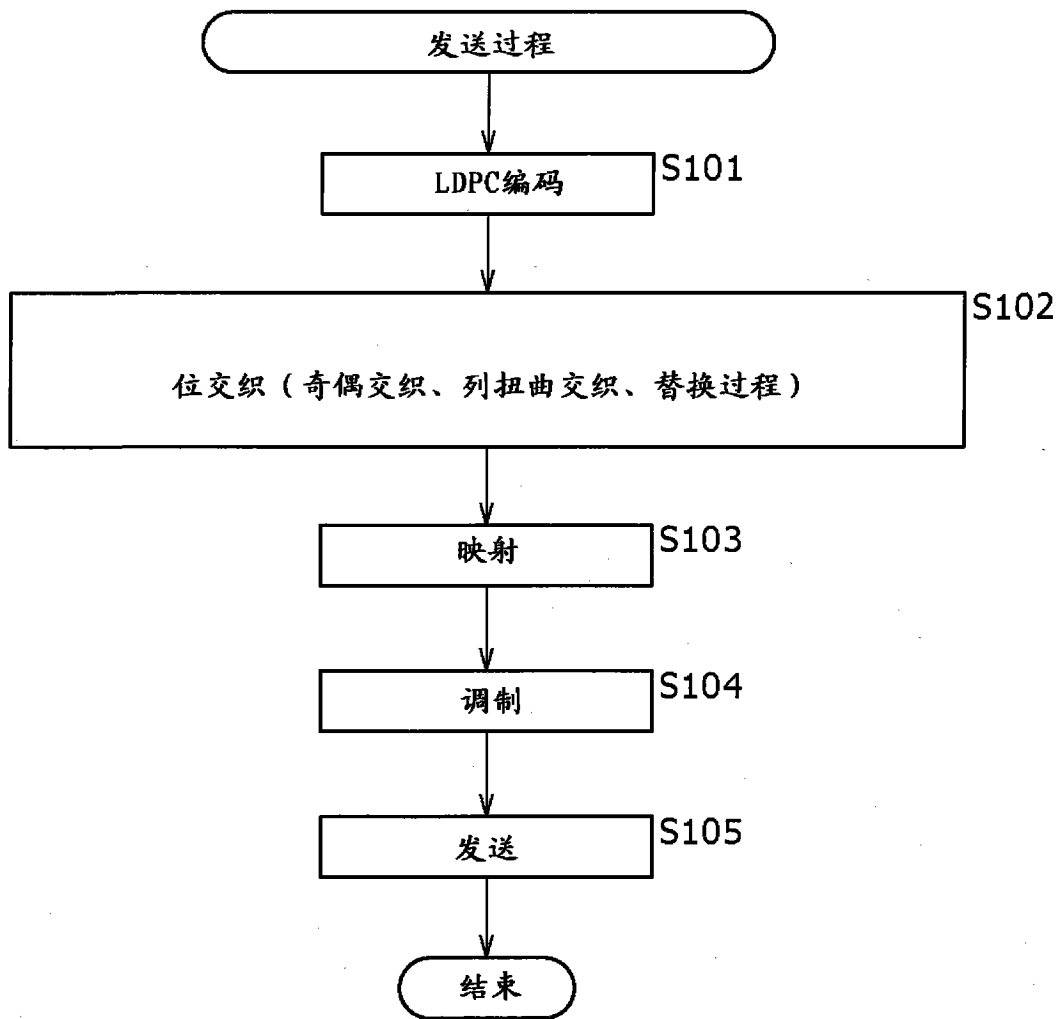


图 25

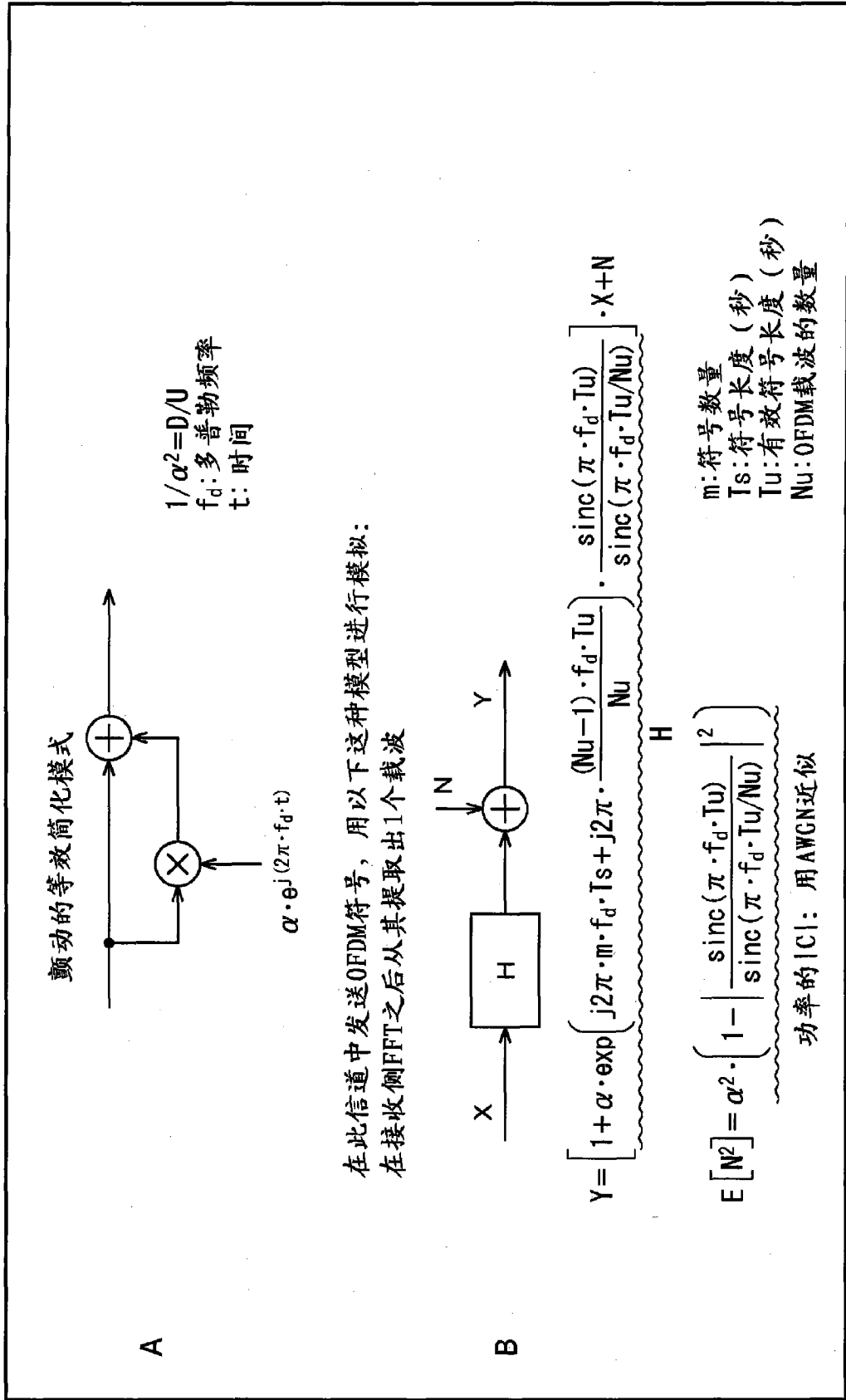


图 26

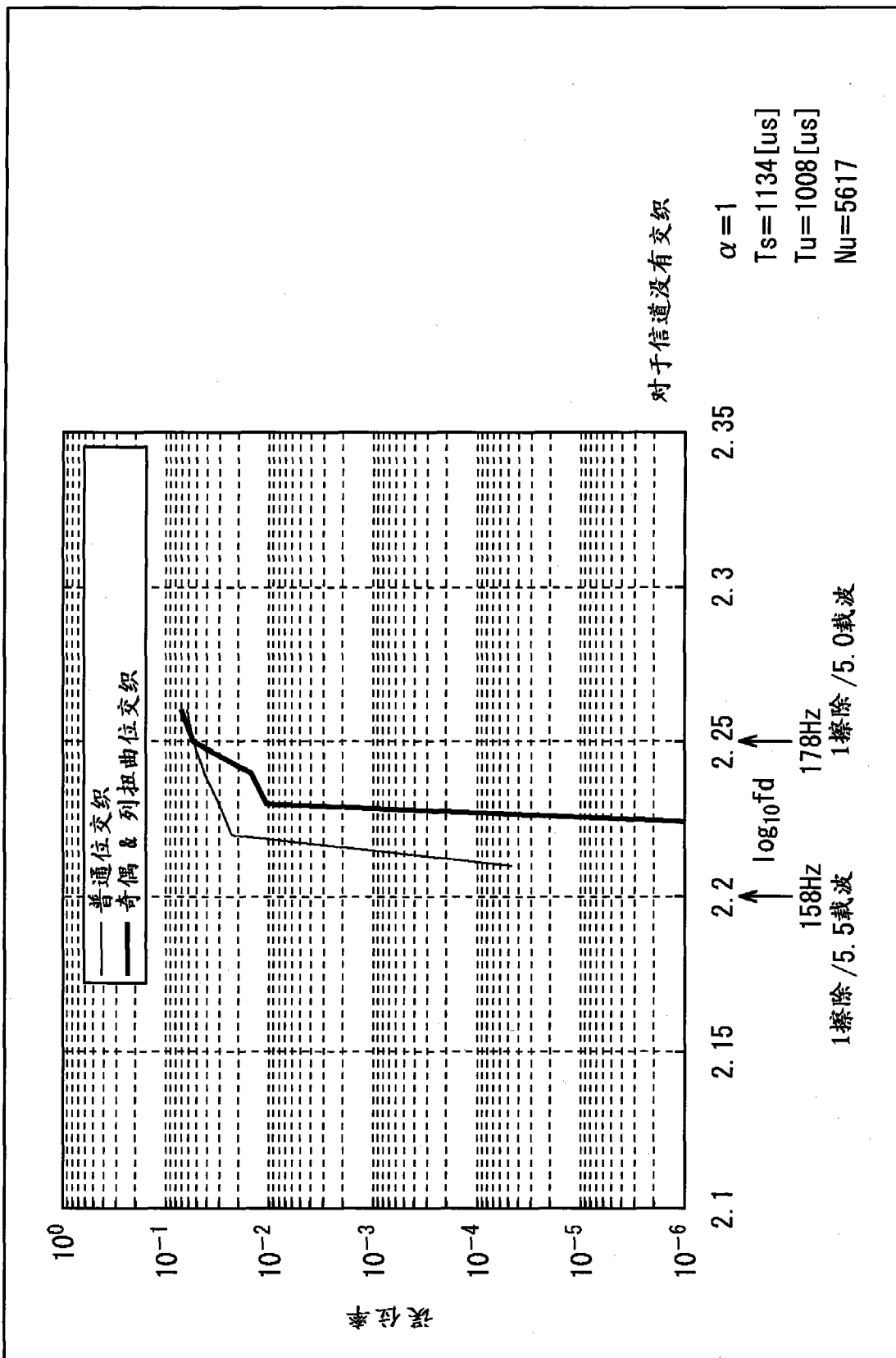


图 27

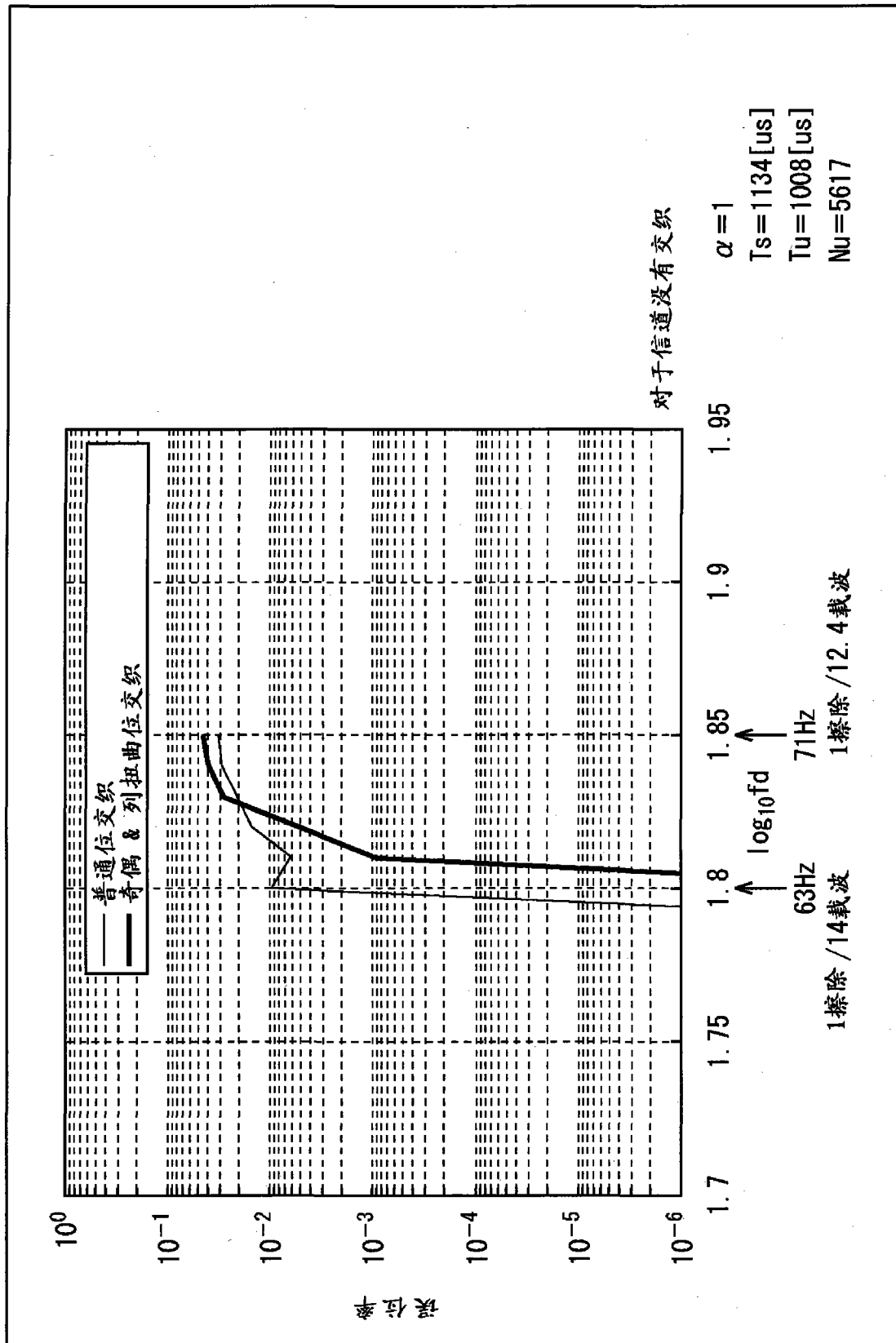


图 28

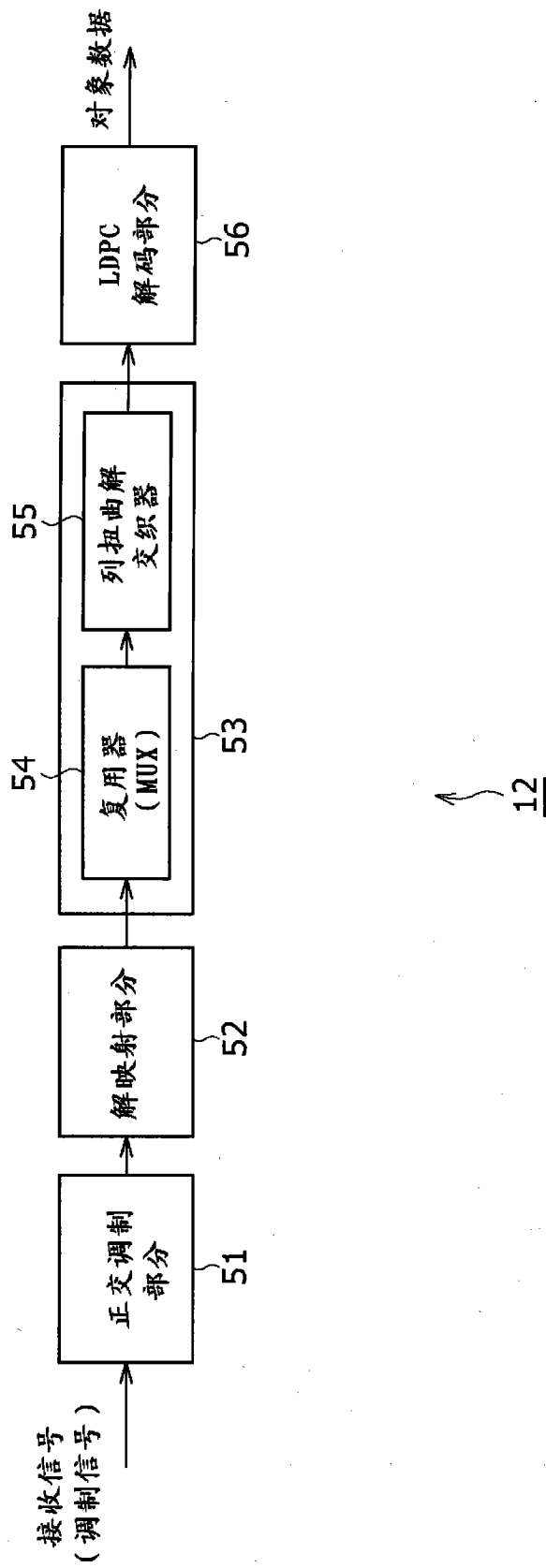


图 29

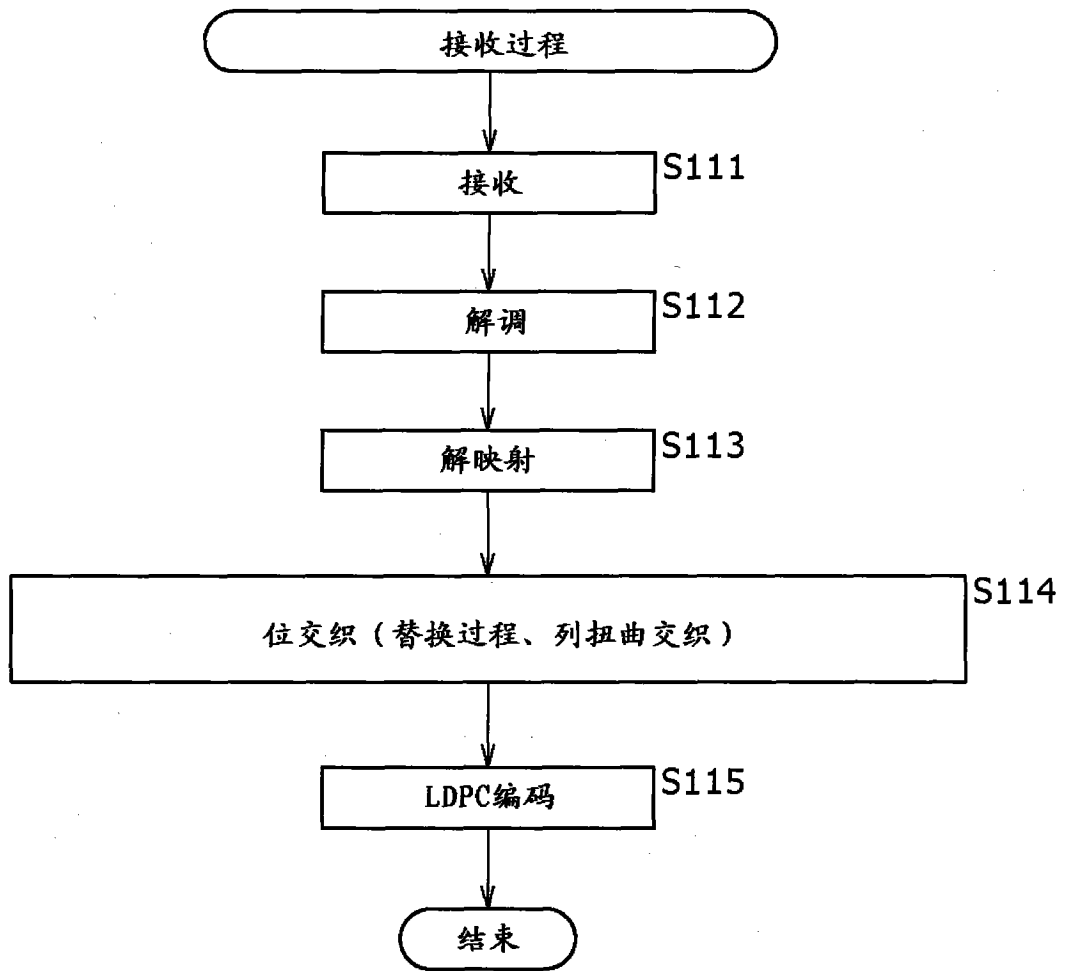


图 30

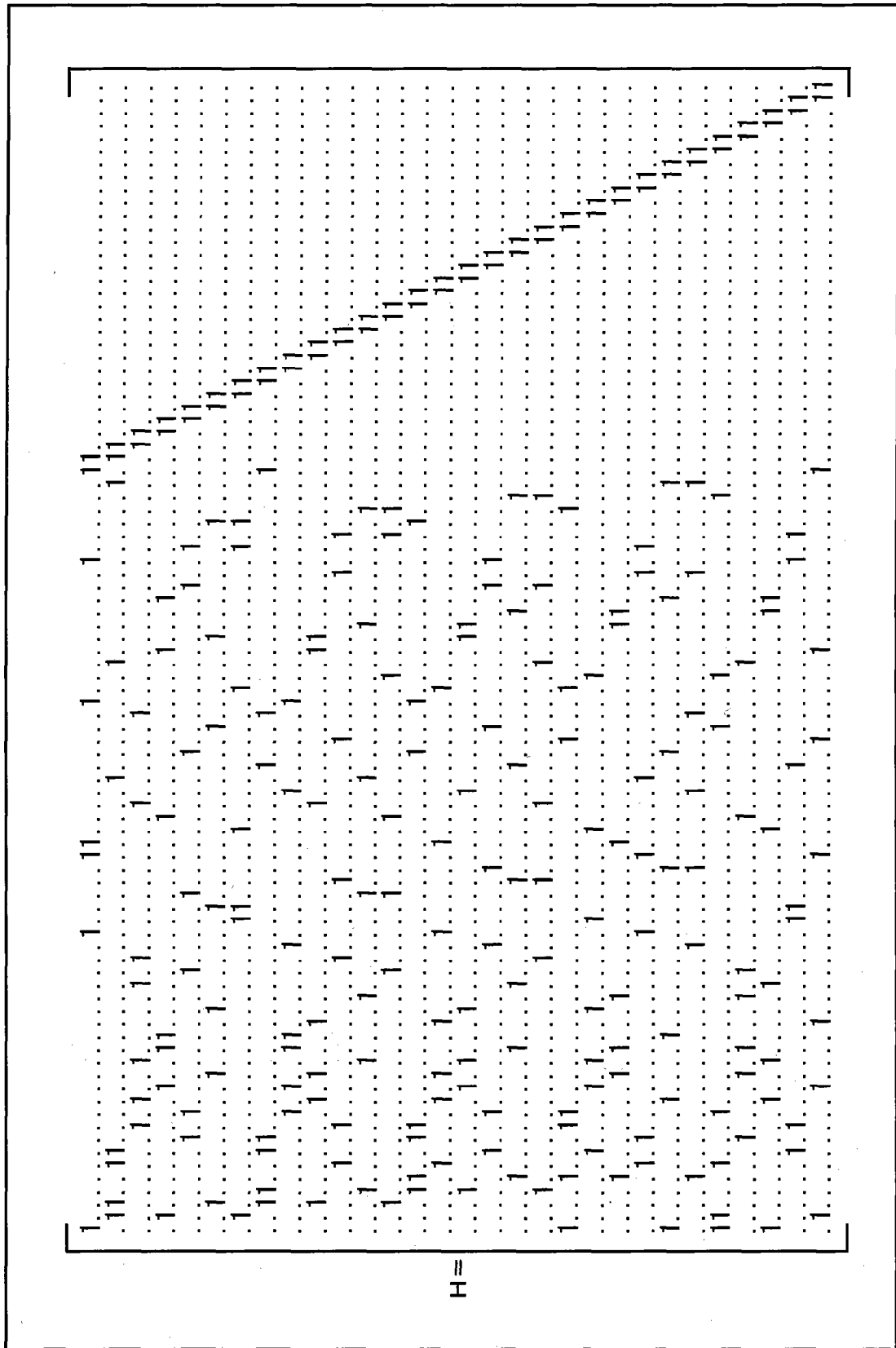


图 31

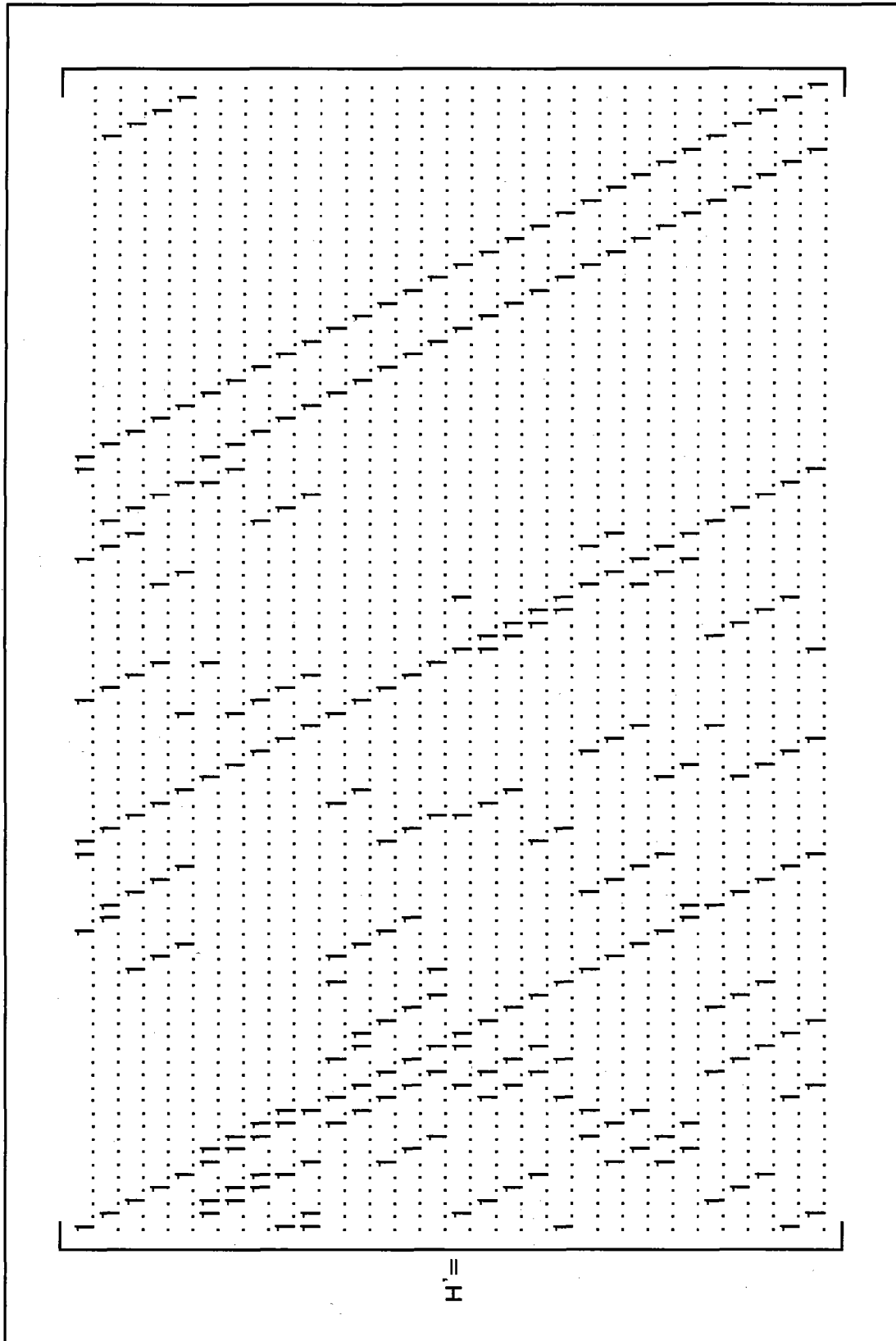
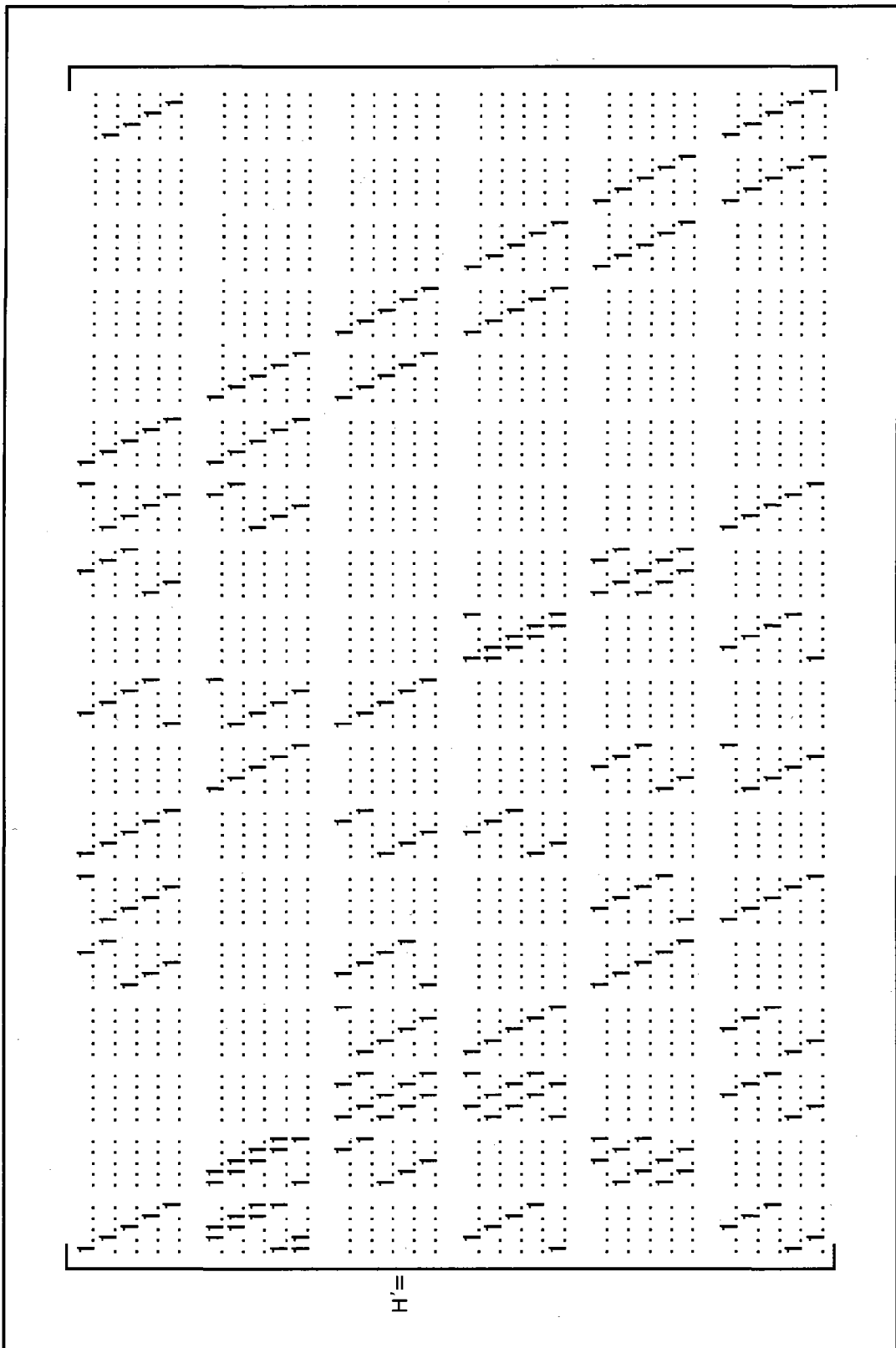


图 32





H

图 33

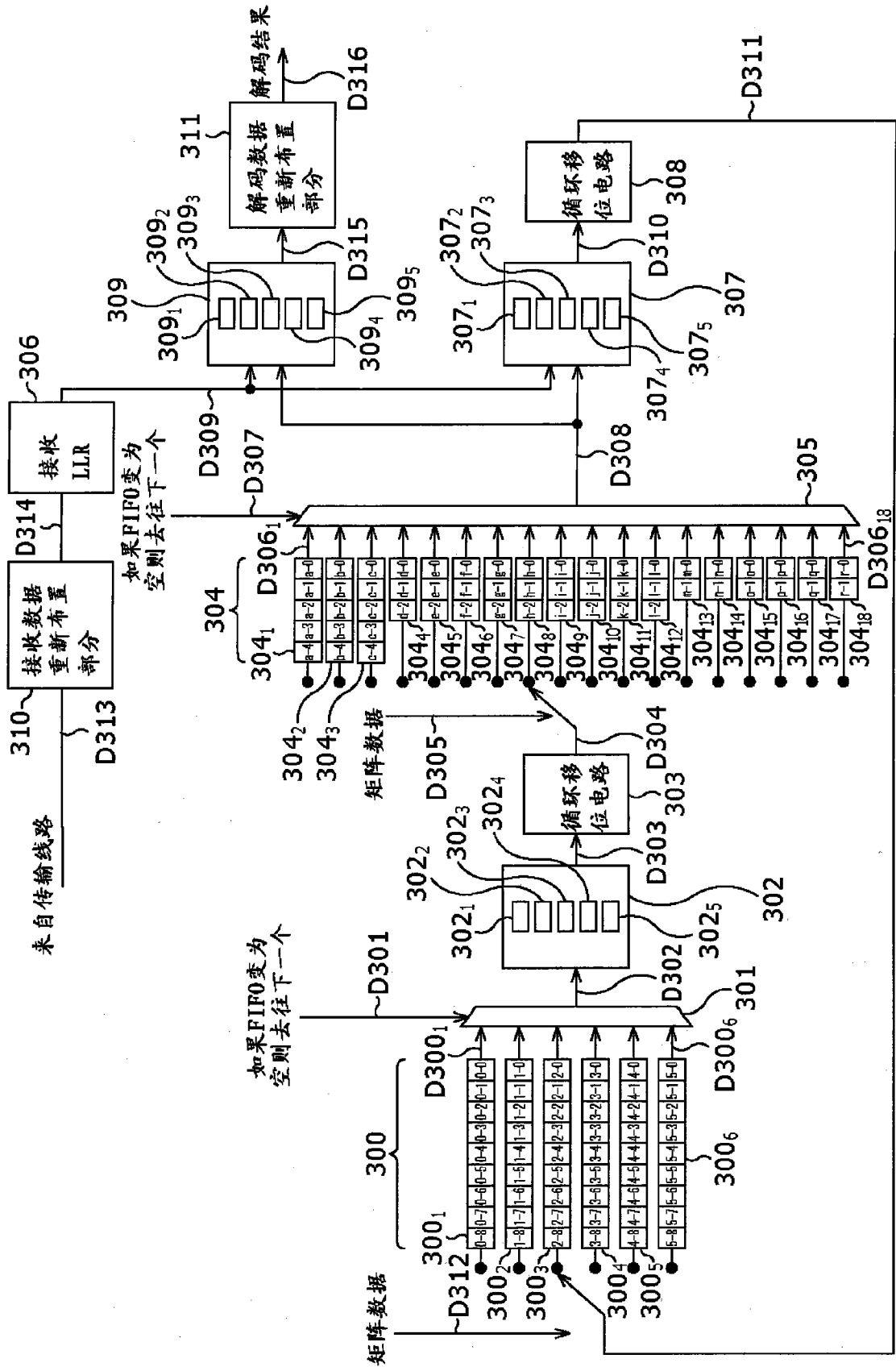
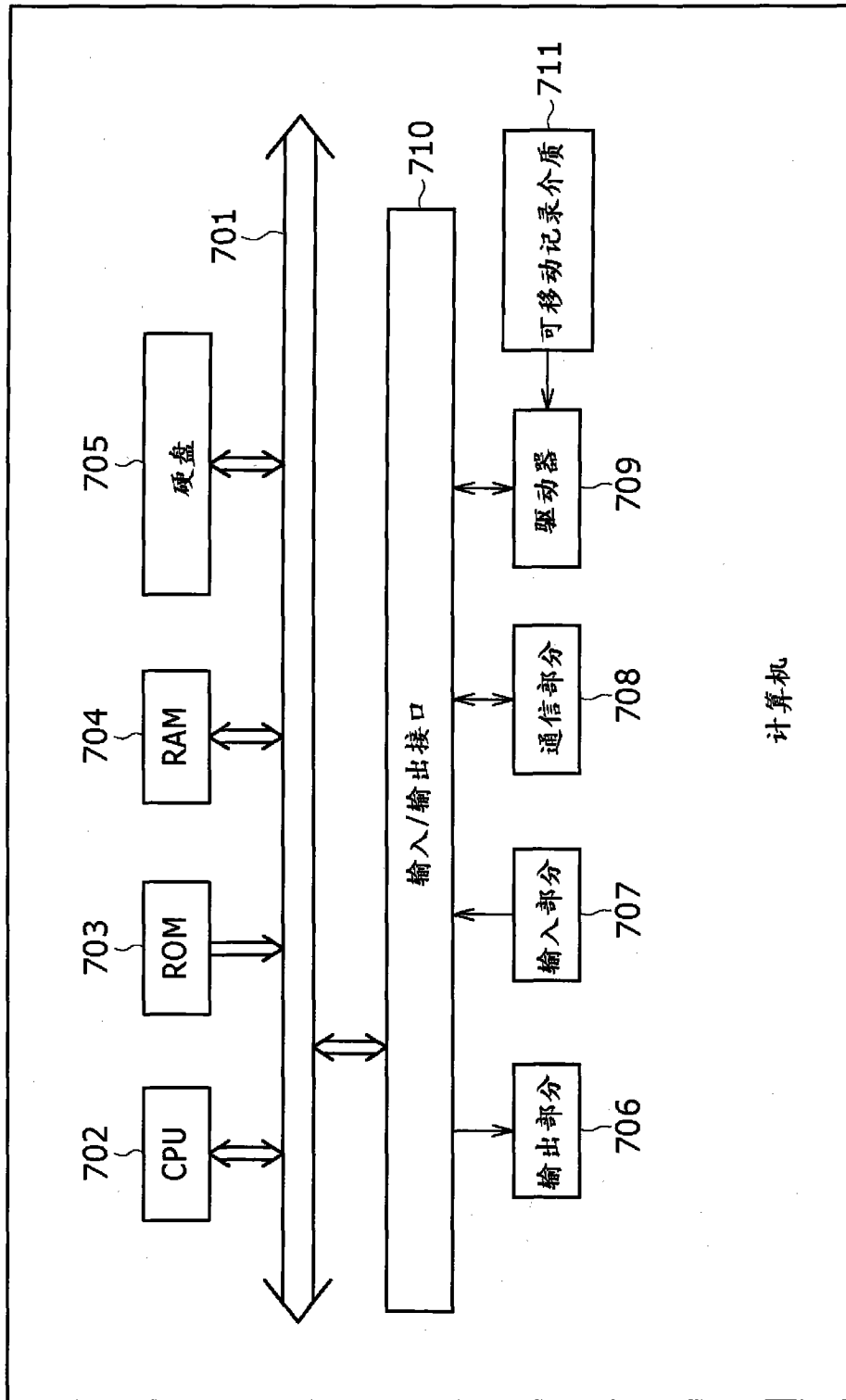


图 34





计算机

图 36

r2/3 16K												
0	2084	1613	1548	1286	1460	3196	4297	2481	3369	3451	4620	2622
1	122	1516	3448	2880	1407	1847	3799	3529	373	971	4358	3108
2	259	3399	929	2650	864	3996	3833	107	5287	164	3125	2350
3	342	3529										
4	4198	2147										
5	1880	4836										
6	3864	4910										
7	243	1542										
8	3011	1436										
9	2167	2512										
10	4606	1003										
11	2835	705										
12	3426	2365										
13	3848	2474										
14	1360	1743										
0	163	2536										
1	2583	1180										
2	1542	509										
3	4418	1005										
4	5212	5117										
5	2155	2922										
6	347	2696										
7	226	4296										
8	1560	487										
9	3926	1640										
10	149	2928										
11	2364	563										
12	635	688										
13	231	1684										
14	1129	3894										

奇偶校验矩阵初始值表，其中， $r = \frac{2}{3}$ ， $N = 16200$

图 37



40 20233 12352  
41 19365 19546  
42 6249 19030  
43 11037 19193  
44 19760 11772  
45 19644 7428  
46 16076 3521  
47 11779 21062  
48 13062 9682  
49 8934 5217  
50 11087 3319  
51 18892 4356  
52 7894 3898  
53 5963 4360  
54 7346 11726  
55 5182 5609  
56 2412 17295  
57 9845 20494  
58 6687 1864  
59 20564 5216  
0 18226 17207  
1 9380 8266  
2 7073 3065  
3 18252 13437  
4 9161 15642  
5 10714 10153  
6 11585 9078  
7 5359 9418  
8 9024 9515  
9 1206 16354  
10 14994 1102  
11 9375 20796  
12 15964 6027  
13 14789 6452  
14 8002 18591  
15 14742 14089  
16 253 3045  
17 1274 19286  
18 14777 2044  
19 13920 9900  
20 452 7374

图 39

21	18206	9921
22	6131	5414
23	10077	9726
24	12045	5479
25	4322	7990
26	15616	5550
27	15561	10661
28	20718	7387
29	2518	18804
30	8984	2600
31	6516	17909
32	11148	98
33	20559	3704
34	7510	1569
35	16000	11692
36	9147	10303
37	16650	191
38	15577	18685
39	17167	20917
40	4256	3391
41	20092	17219
42	9218	5056
43	18429	8472
44	12093	20753
45	16345	12748
46	16023	11095
47	5048	17595
48	18995	4817
49	16483	3536
50	1439	16148
51	3661	3039
52	19010	18121
53	8968	11793
54	13427	18003
55	5303	3083
56	531	16668
57	4771	6722
58	5695	7960
59	3589	14630

图 40



r3/4 16K

3	3198	478	4207	1481	1009	2616	1924	3437	554	683	1801
4	2681	2135									
5	3107	4027									
6	2637	3373									
7	3830	3449									
8	4129	2060									
9	4184	2742									
10	3946	1070									
11	2239	984									
0	1458	3031									
1	3003	1328									
2	1137	1716									
3	132	3725									
4	1817	638									
5	1774	3447									
6	3632	1257									
7	542	3694									
8	1015	1945									
9	1948	412									
10	995	2238									
11	4141	1907									
0	2480	3079									
1	3021	1088									
2	713	1379									
3	997	3903									
4	2323	3361									
5	1110	986									
6	2532	142									
7	1690	2405									
8	1298	1881									
9	615	174									
10	1648	3112									
11	1415	2808									

奇偶校验矩阵初始值表，其中， $r = \frac{3}{4}$ ， $N = 16200$

图 41



40 15617 8146  
41 4588 11218  
42 13660 6243  
43 8578 7874  
44 11741 2686  
0 1022 1264  
1 12604 9965  
2 8217 2707  
3 3156 11793  
4 354 1514  
5 6978 14058  
6 7922 16079  
7 15087 12138  
8 5053 6470  
9 12687 14932  
10 15458 1763  
11 8121 1721  
12 12431 549  
13 4129 7091  
14 1426 8415  
15 9783 7604  
16 6295 11329  
17 1409 12061  
18 8065 9087  
19 2918 8438  
20 1293 14115  
21 3922 13851  
22 3851 4000  
23 5865 1768  
24 2655 14957  
25 5565 6332  
26 4303 12631  
27 11653 12236  
28 16025 7632  
29 4655 14128  
30 9584 13123  
31 13987 9597  
32 15409 12110  
33 8754 15490  
34 7416 15325  
35 2909 15549

图 43

36 2995 8257  
37 9406 4791  
38 11111 4854  
39 2812 8521  
40 8476 14717  
41 7820 15360  
42 1179 7939  
43 2357 8678  
44 7703 6216  
0 3477 7067  
1 3931 13845  
2 7675 12899  
3 1754 8187  
4 7785 1400  
5 9213 5891  
6 2494 7703  
7 2576 7902  
8 4821 15682  
9 10426 11935  
10 1810 904  
11 11332 9264  
12 11312 3570  
13 14916 2650  
14 7679 7842  
15 6089 13084  
16 3938 2751  
17 8509 4648  
18 12204 8917  
19 5749 12443  
20 12613 4431  
21 1344 4014  
22 8488 13850  
23 1730 14896  
24 14942 7126  
25 14983 8863  
26 6578 8564  
27 4947 396  
28 297 12805  
29 13878 6692  
30 11857 11186  
31 14395 11493

图 44

32	16145	12251
33	13462	7428
34	14526	13119
35	2535	11243
36	6465	12690
37	6872	9334
38	15371	14023
39	8101	10187
40	11963	4848
41	15125	6119
42	8051	14465
43	11139	5167
44	2883	14521

图 45

r4/5 16K		
5	896	1565
6	2493	184
7	212	3210
8	727	1339
9	3428	612
0	2663	1947
1	230	2695
2	2025	2794
3	3039	283
4	862	2889
5	376	2110
6	2034	2286
7	951	2068
8	3108	3542
9	307	1421
0	2272	1197
1	1800	3280
2	331	2308
3	465	2552
4	1038	2479
5	1383	343
6	94	236
7	2619	121
8	1497	2774
9	2116	1855
0	722	1584
1	2767	1881
2	2701	1610
3	3283	1732
4	168	1099
5	3074	243
6	3460	945
7	2049	1746
8	566	1427
9	3545	1168

奇偶校验矩阵初始值表，其中， $r = \frac{4}{5}$ ， $N=16200$

图 46

奇偶校验矩阵初始值表，其中， $r = \frac{4}{5}$ ， $N = 64800$

r4/5 64K	s									
0	149	11212	5575	6360	12559	8108	8505	408	10026	12828
1	5237	490	10677	4998	3869	3734	3092	3509	7703	10305
2	8742	5553	2820	7085	12116	10485	564	7795	2972	2157
3	2699	4304	8350	712	2841	3250	4731	10105	517	7516
4	12067	1351	11992	12191	11267	5161	537	6166	4246	2363
5	6828	7107	2127	3724	5743	11040	10756	4073	1011	3422
6	11259	1216	9526	1466	10816	940	3744	2815	11506	11573
7	4549	11507	1118	1274	11751	5207	7854	12803	4047	6484
8	8430	4115	9440	413	4455	2262	7915	12402	8579	7052
9	3885	9126	5665	4505	2343	253	4707	3742	4166	1556
10	1704	8936	6775	8639	8179	7954	8234	7850	8883	8713
11	11716	4344	9087	11264	2274	8832	9147	11930	6054	5455
12	7323	3970	10329	2170	8262	3854	2087	12899	9497	11700
13	4418	1467	2490	5841	817	11453	533	11217	11962	5251
14	1541	4525	7976	3457	9536	7725	3788	2982	6307	5997
15	11484	2739	4023	12107	6516	551	2572	6628	8150	9852
16	6070	1761	4627	6534	7913	3730	11866	1813	12306	8249
17	12441	5489	8748	7837	7660	2102	11341	2936	6712	11977
18	10155	4210								
19	1010	10483								
20	8900	10250								
21	10243	12278								
22	7070	4397								
23	12271	3887								
24	11980	6836								
25	9514	4356								
26	7137	10281								
27	11881	2526								
28	1969	11477								
29	3044	10921								
30	2236	8724								
31	9104	6340								
32	7342	8582								
33	11675	10405								
34	6467	12775								
35	3186	12198								
0	9621	11445								
1	7486	5611								
2	4319	4879								
3	2196	344								

图 47

4 7527 6650  
5 10693 2440  
6 6755 2706  
7 5144 5998  
8 11043 8033  
9 4846 4435  
10 4157 9228  
11 12270 6562  
12 11954 7592  
13 7420 2592  
14 8810 9636  
15 689 5430  
16 920 1304  
17 1253 11934  
18 9559 6016  
19 312 7589  
20 4439 4197  
21 4002 9555  
22 12232 7779  
23 1494 8782  
24 10749 3969  
25 4368 3479  
26 6316 5342  
27 2455 3493  
28 12157 7405  
29 6598 11495  
30 11805 4455  
31 9625 2090  
32 4731 2321  
33 3578 2608  
34 8504 1849  
35 4027 1151  
0 5647 4935  
1 4219 1870  
2 10968 8054  
3 6970 5447  
4 3217 5638  
5 8972 669  
6 5618 12472  
7 1457 1280  
8 8868 3883

图 48



9 8866 1224  
10 8371 5972  
11 266 4405  
12 3706 3244  
13 6039 5844  
14 7200 3283  
15 1502 11282  
16 12318 2202  
17 4523 965  
18 9587 7011  
19 2552 2051  
20 12045 10306  
21 11070 5104  
22 6627 6906  
23 9889 2121  
24 829 9701  
25 2201 1819  
26 6689 12925  
27 2139 8757  
28 12004 5948  
29 8704 3191  
30 8171 10933  
31 6297 7116  
32 616 7146  
33 5142 9761  
34 10377 8138  
35 7616 5811  
0 7285 9863  
1 7764 10867  
2 12343 9019  
3 4414 8331  
4 3464 642  
5 6960 2039  
6 786 3021  
7 710 2086  
8 7423 5601  
9 8120 4885  
10 12385 11990  
11 9739 10034  
12 424 10162  
13 1347 7597

图 49

14	1450	112
15	7965	8478
16	8945	7397
17	6590	8316
18	6838	9011
19	6174	9410
20	255	113
21	6197	5835
22	12902	3844
23	4377	3505
24	5478	8672
25	4453	2132
26	9724	1380
27	12131	11526
28	12323	9511
29	8231	1752
30	497	9022
31	9288	3080
32	2481	7515
33	2696	268
34	4023	12341
35	7108	5553

图 50

r5/6 16K	
3	2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4	2447 1926
5	414 1224
6	2114 842
7	212 573
0	2383 2112
1	2286 2348
2	545 819
3	1264 143
4	1701 2258
5	964 166
6	114 2413
7	2243 81
0	1245 1581
1	775 169
2	1696 1104
3	1914 2831
4	532 1450
5	91 974
6	497 2228
7	2326 1579
0	2482 256
1	1117 1261
2	1257 1658
3	1478 1225
4	2511 980
5	2320 2675
6	435 1278
7	228 503
0	1885 2369
1	57 483
2	838 1050
3	1231 1990
4	1738 68
5	2392 951
6	163 645
7	2644 1704

奇偶校验矩阵初始值表，其中， $r = \frac{5}{6}$ ， $N = 16200$

图 51

奇偶校验矩阵初始值表，其中， $r = \frac{5}{6}$ ， $N = 64800$

r5/6 64K

0	4362	416	8909	4156	3216	3112	2560	2912	6405	8593	4969	6723
1	2479	1786	8978	3011	4339	9313	6397	2957	7288	5484	6031	10217
2	10175	9009	9889	3091	4985	7267	4092	8874	5671	2777	2189	8716
3	9052	4795	3924	3370	10058	1128	9996	10165	9360	4297	434	5138
4	2379	7834	4835	2327	9843	804	329	8353	7167	3070	1528	7311
5	3435	7871	348	3693	1876	6585	10340	7144	5870	2084	4052	2780
6	3917	3111	3476	1304	10331	5939	5199	1611	1991	699	8316	9960
7	6883	3237	1717	10752	7891	9764	4745	3888	10009	4176	4614	1567
8	10587	2195	1689	2968	5420	2580	2883	6496	111	6023	1024	4449
9	3786	8593	2074	3321	5057	1450	3840	5444	6572	3094	9892	1512
10	8548	1848	10372	4585	7313	6536	6379	1766	9462	2456	5606	9975
11	8204	10593	7935	3636	3882	394	5968	8561	2395	7289	9267	9978
12	7795	74	1633	9542	6867	7352	6417	7568	10623	725	2531	9115
13	7151	2482	4260	5003	10105	7419	9203	6691	8798	2092	8263	3755
14	3600	570	4527	200	9718	6771	1995	8902	5446	768	1103	6520
15	6304	7621										
16	6498	9209										
17	7293	6786										
18	5950	1708										
19	8521	1793										
20	6174	7854										
21	9773	1190										
22	9517	10268										
23	2181	9349										
24	1949	5560										
25	1556	555										
26	8600	3827										
27	5072	1057										
28	7928	3542										
29	3226	3762										
0	7045	2420										
1	9645	2641										
2	2774	2452										
3	5331	2031										
4	9400	7503										
5	1850	2338										
6	10456	9774										
7	1692	9276										
8	10037	4038										
9	3964	338										

图 52

10 2640 5087  
11 858 3473  
12 5582 5683  
13 9523 916  
14 4107 1559  
15 4506 3491  
16 8191 4182  
17 10192 6157  
18 5668 3305  
19 3449 1540  
20 4766 2697  
21 4069 6675  
22 1117 1016  
23 5619 3085  
24 8483 8400  
25 8255 394  
26 6338 5042  
27 6174 5119  
28 7203 1989  
29 1781 5174  
0 1464 3559  
1 3376 4214  
2 7238 67  
3 10595 8831  
4 1221 6513  
5 5300 4652  
6 1429 9749  
7 7878 5131  
8 4435 10284  
9 6331 5507  
10 6662 4941  
11 9614 10238  
12 8400 8025  
13 9156 5630  
14 7067 8878  
15 9027 3415  
16 1690 3866  
17 2854 8469  
18 6206 630  
19 363 5453  
20 4125 7008

图 53

21 1612 6702  
22 9069 9226  
23 5767 4060  
24 3743 9237  
25 7018 5572  
26 8892 4536  
27 853 6064  
28 8069 5893  
29 2051 2885  
0 10691 3153  
1 3602 4055  
2 328 1717  
3 2219 9299  
4 1939 7898  
5 617 206  
6 8544 1374  
7 10676 3240  
8 6672 9489  
9 3170 7457  
10 7868 5731  
11 6121 10732  
12 4843 9132  
13 580 9591  
14 6267 9290  
15 3009 2268  
16 195 2419  
17 8016 1557  
18 1516 9195  
19 8062 9064  
20 2095 8968  
21 753 7326  
22 6291 3833  
23 2614 7844  
24 2303 646  
25 2075 611  
26 4687 362  
27 8684 9940  
28 4830 2065  
29 7038 1363  
0 1769 7837  
1 3801 1689

图 54

2	10070	2359
3	3667	9918
4	1914	6920
5	4244	5669
6	10245	7821
7	7648	3944
8	3310	5488
9	6346	9666
10	7088	6122
11	1291	7827
12	10592	8945
13	3609	7120
14	9168	9112
15	6203	8052
16	3330	2895
17	4264	10563
18	10556	6496
19	8807	7645
20	1999	4530
21	9202	6818
22	3403	1734
23	2106	9023
24	6881	3883
25	3895	2171
26	4062	6424
27	3755	9536
28	4683	2131
29	7347	8027

图 55

奇偶校验矩阵初始值表, 其中,  $r = \frac{8}{9}$ ,  $N = 16200$

r8/9 16K

0	1558	712	805
1	1450	873	1337
2	1741	1129	1184
3	294	806	1566
4	482	605	923
0	926	1578	
1	777	1374	
2	608	151	
3	1195	210	
4	1484	692	
0	427	488	
1	828	1124	
2	874	1366	
3	1500	835	
4	1496	502	
0	1006	1701	
1	1155	97	
2	657	1403	
3	1453	624	
4	429	1495	
0	809	385	
1	367	151	
2	1323	202	
3	960	318	
4	1451	1039	
0	1098	1722	
1	1015	1428	
2	1261	1564	
3	544	1190	
4	1472	1246	
0	508	630	
1	421	1704	
2	284	898	
3	392	577	
4	1155	556	
0	631	1000	
1	732	1368	
2	1328	329	
3	1515	506	
4	1104	1172	

图 56



奇偶校验矩阵初始值表, 其中,  $r = \frac{8}{9}$ ,  $N = 64800$

r8/9 64K			
0	6235	2848	3222
1	5800	3492	5348
2	2757	927	90
3	6961	4516	4739
4	1172	3237	6264
5	1927	2425	3683
6	3714	6309	2495
7	3070	6342	7154
8	2428	613	3761
9	2906	264	5927
10	1716	1950	4273
11	4613	6179	3491
12	4865	3286	6005
13	1343	5923	3529
14	4589	4035	2132
15	1579	3920	6737
16	1644	1191	5998
17	1482	2381	4620
18	6791	6014	6596
19	2738	5918	3786
0	5156	6166	
1	1504	4356	
2	130	1904	
3	6027	3187	
4	6718	759	
5	6240	2870	
6	2343	1311	
7	1039	5465	
8	6617	2513	
9	1588	5222	
10	6561	535	
11	4765	2054	
12	5966	6892	
13	1969	3869	
14	3571	2420	
15	4632	981	
16	3215	4163	
17	973	3117	
18	3802	6198	
19	3794	3948	

图 57

0 3196 6126  
1 573 1909  
2 850 4034  
3 5622 1601  
4 6005 524  
5 5251 5783  
6 172 2032  
7 1875 2475  
8 497 1291  
9 2566 3430  
10 1249 740  
11 2944 1948  
12 6528 2899  
13 2243 3616  
14 867 3733  
15 1374 4702  
16 4698 2285  
17 4760 3917  
18 1859 4058  
19 6141 3527  
0 2148 5066  
1 1306 145  
2 2319 871  
3 3463 1061  
4 5554 6647  
5 5837 339  
6 5821 4932  
7 6356 4756  
8 3930 418  
9 211 3094  
10 1007 4928  
11 3584 1235  
12 6982 2869  
13 1612 1013  
14 953 4964  
15 4555 4410  
16 4925 4842  
17 5778 600  
18 6509 2417  
19 1260 4903  
0 3369 3031

图 58

1 3557 3224  
2 3028 583  
3 3258 440  
4 6226 6655  
5 4895 1094  
6 1481 6847  
7 4433 1932  
8 2107 1649  
9 2119 2065  
10 4003 6388  
11 6720 3622  
12 3694 4521  
13 1164 7050  
14 1965 3613  
15 4331 66  
16 2970 1796  
17 4652 3218  
18 1762 4777  
19 5736 1399  
0 970 2572  
1 2062 6599  
2 4597 4870  
3 1228 6913  
4 4159 1037  
5 2916 2362  
6 395 1226  
7 6911 4548  
8 4618 2241  
9 4120 4280  
10 5825 474  
11 2154 5558  
12 3793 5471  
13 5707 1595  
14 1403 325  
15 6601 5183  
16 6369 4569  
17 4846 896  
18 7092 6184  
19 6764 7127  
0 6358 1951  
1 3117 6960

图 59

2	2710	7062
3	1133	3604
4	3694	657
5	1355	110
6	3329	6736
7	2505	3407
8	2462	4806
9	4216	214
10	5348	5619
11	6627	6243
12	2644	5073
13	4212	5088
14	3463	3889
15	5306	478
16	4320	6121
17	3961	1125
18	5699	1195
19	6511	792
0	3934	2778
1	3238	6587
2	1111	6596
3	1457	6226
4	1446	3885
5	3907	4043
6	6839	2873
7	1733	5615
8	5202	4269
9	3024	4722
10	5445	6372
11	370	1828
12	4695	1600
13	680	2074
14	1801	6690
15	2669	1377
16	2463	1681
17	5972	5171
18	5728	4284
19	1696	1459

图 60

奇偶校验矩阵初始值表，其中， $r = \frac{9}{10}$ ， $N = 64800$

r9/10 64K			
0	5611	2563	2900
1	5220	3143	4813
2	2481	834	81
3	6265	4064	4265
4	1055	2914	5638
5	1734	2182	3315
6	3342	5678	2246
7	2185	552	3385
8	2615	236	5334
9	1546	1755	3846
10	4154	5561	3142
11	4382	2957	5400
12	1209	5329	3179
13	1421	3528	6063
14	1480	1072	5398
15	3843	1777	4369
16	1334	2145	4163
17	2368	5055	260
0	6118	5405	
1	2994	4370	
2	3405	1669	
3	4640	5550	
4	1354	3921	
5	117	1713	
6	5425	2866	
7	6047	683	
8	5616	2582	
9	2108	1179	
10	933	4921	
11	5953	2261	
12	1430	4699	
13	5905	480	
14	4289	1846	
15	5374	6208	
16	1775	3476	
17	3216	2178	
0	4165	884	
1	2896	3744	
2	874	2801	
3	3423	5579	

图 61

4 3404 3552  
5 2876 5515  
6 516 1719  
7 765 3631  
8 5059 1441  
9 5629 598  
10 5405 473  
11 4724 5210  
12 155 1832  
13 1689 2229  
14 449 1164  
15 2308 3088  
16 1122 669  
17 2268 5758  
0 5878 2609  
1 782 3359  
2 1231 4231  
3 4225 2052  
4 4286 3517  
5 5531 3184  
6 1935 4560  
7 1174 131  
8 3115 956  
9 3129 1088  
10 5238 4440  
11 5722 4280  
12 3540 375  
13 191 2782  
14 906 4432  
15 3225 1111  
16 6296 2583  
17 1457 903  
0 855 4475  
1 4097 3970  
2 4433 4361  
3 5198 541  
4 1146 4426  
5 3202 2902  
6 2724 525  
7 1083 4124  
8 2326 6003

图 62

9 5605 5990  
10 4376 1579  
11 4407 984  
12 1332 6163  
13 5359 3975  
14 1907 1854  
15 3601 5748  
16 6056 3266  
17 3322 4085  
0 1768 3244  
1 2149 144  
2 1589 4291  
3 5154 1252  
4 1855 5939  
5 4820 2706  
6 1475 3360  
7 4266 693  
8 4156 2018  
9 2103 752  
10 3710 3853  
11 5123 931  
12 6146 3323  
13 1939 5002  
14 5140 1437  
15 1263 293  
16 5949 4665  
17 4548 6380  
0 3171 4690  
1 5204 2114  
2 6384 5565  
3 5722 1757  
4 2805 6264  
5 1202 2616  
6 1018 3244  
7 4018 5289  
8 2257 3067  
9 2483 3073  
10 1196 5329  
11 649 3918  
12 3791 4581  
13 5028 3803

图 63

14	3119	3506
15	4779	431
16	3888	5510
17	4387	4084
0	5836	1692
1	5126	1078
2	5721	6165
3	3540	2499
4	2225	6348
5	1044	1484
6	6323	4042
7	1313	5603
8	1303	3496
9	3516	3639
10	5161	2293
11	4682	3845
12	3045	643
13	2818	2616
14	3267	649
15	6236	593
16	646	2948
17	4213	1442
0	5779	1596
1	2403	1237
2	2217	1514
3	5609	716
4	5155	3858
5	1517	1312
6	2554	3158
7	5280	2643
8	4990	1353
9	5648	1170
10	1152	4366
11	3561	5368
12	3581	1411
13	5647	4661
14	1542	5401
15	5078	2687
16	316	1755
17	3392	1991

图 64



r1/4 64K

23606	36098	1140	28859	18148	18510	6226	540	42014	20879	23802	47088
16419	24928	16609	17248	7693	24997	42587	16858	34921	21042	37024	20692
1874	40094	18704	14474	14004	11519	13106	28826	38669	22363	30255	31105
22254	40564	22645	22532	6134	9176	39998	23892	8937	15608	16854	31009
8037	40401	13550	19526	41902	28782	13304	32796	24679	27140	45980	10021
40540	44498	13911	22435	32701	18405	39929	25521	12497	9851	39223	34823
15233	45333	5041	44979	45710	42150	19416	1892	23121	15860	8832	10308
10468	44296	3611	1480	37581	32254	13817	6883	32892	40258	46538	11940
6705	21634	28150	43757	895	6547	20970	28914	30117	25736	41734	11392
22002	5739	27210	27828	34192	37992	10915	6998	3824	42130	4494	35739
8515	1191	13642	30950	25943	12673	16726	34261	31828	3340	8747	39225
18979	17058	43130	4246	4793	44030	19454	29511	47929	15174	24333	19354
16694	8381	29642	46516	32224	26344	9405	18292	12437	27316	35466	41992
15642	5871	46489	26723	23396	7257	8974	3156	37420	44823	35423	13541
42858	32008	41282	38773	26570	2702	27260	46974	1469	20887	27426	38553
22152	24261	8297									
19347	9978	27802									
34991	6354	33561									
29782	30875	29523									
9278	48512	14349									
38061	4165	43878									
8548	33172	34410									
22535	28811	23950									
20439	4027	24186									
38618	8187	30947									
35538	43880	21459									
7091	45616	15063									
5505	9315	21908									
36046	32914	11836									
7304	39782	33721									
16905	29962	12980									
11171	23709	22460									
34541	9937	44500									
14035	47316	8815									
15057	45482	24461									
30518	36877	879									
7583	13364	24332									
448	27056	4682									
12083	31378	21670									
1159	18031	2221									
17028	38715	9350									
17343	24530	29574									

图 65

46128	31039	32818
20373	36967	18345
46685	20622	32806

图 66

r1/3 64K

34903	20927	32093	1052	25611	16093	16454	5520	506	37399	18518	21120
11636	14594	22158	14763	15333	6838	22222	37856	14985	31041	18704	32910
17449	1665	35639	16624	12867	12449	10241	11650	25622	34372	19878	26894
29235	19780	36056	20129	20029	5457	8157	35554	21237	7943	13873	14980
9912	7143	35911	12043	17360	37253	25588	11827	29152	21936	24125	40870
40701	36035	39556	12366	19946	29072	16365	35495	22686	11106	8756	34863
19165	15702	13536	40238	4465	40034	40590	37540	17162	1712	20577	14138
31338	19342	9301	39375	3211	1316	33409	28670	12282	6118	29236	35787
11504	30506	19558	5100	24188	24738	30397	33775	9699	6215	3397	37451
34689	23126	7571	1058	12127	27518	23064	11265	14867	30451	28289	2966
11660	15334	16867	15160	38343	3778	4265	39139	17293	26229	42604	13486
31497	1365	14828	7453	26350	41346	28643	23421	8354	16255	11055	24279
15687	12467	13906	5215	41328	23755	20800	6447	7970	2803	33262	39843
5363	22469	38091	28457	36696	34471	23619	2404	24229	41754	1297	18563
3673	39070	14480	30279	37483	7580	29519	30519	39831	20252	18132	20010
34386	7252	27526	12950	6875	43020	31566	39069	18985	15541	40020	16715
1721	37332	39953	17430	32134	29162	10490	12971	28581	29331	6489	35383
736	7022	42349	8783	6767	11871	21675	10325	11548	25978	431	24085
1925	10602	28585	12170	15156	34404	8351	13273	20208	5800	15367	21764
16279	37832	34792	21250	34192	7406	41488	18346	29227	26127	25493	7048
39948	28229	24899									
17408	14274	38993									
38774	15968	28459									
41404	27249	27425									
41229	6082	43114									
13957	4979	40654									
3093	3438	34992									
34082	6172	28760									
42210	34141	41021									
14705	17783	10134									
41755	39884	22773									
14615	15593	1642									
29111	37061	39860									
9579	33552	633									
12951	21137	39608									
38244	27361	29417									
2939	10172	36479									
29094	5357	19224									
9562	24436	28637									

图 67

40177	2326	13504
6834	21583	42516
40651	42810	25709
31557	32138	38142
18624	41867	39296
37560	14295	16245
6821	21679	31570
25339	25083	22081
8047	697	35268
9884	17073	19995
26848	35245	8390
18658	16134	14807
12201	32944	5035
25236	1216	38986
42994	24782	8681
28321	4932	34249
4107	29382	32124
22157	2624	14468
38788	27081	7936
4368	26148	10578
25353	4122	39751

图 68

r2/5 64K

31413 18834 28884 947 23050 14484 14809 4968 455 33659 16666 19008  
13172 19939 13354 13719 6132 20086 34040 13442 27958 16813 29619 16553  
1499 32075 14962 11578 11204 9217 10485 23062 30936 17892 24204 24885  
32490 18086 18007 4957 7285 32073 19038 7152 12486 13483 24808 21759  
32321 10839 15620 33521 23030 10646 26236 19744 21713 36784 8016 12869  
35597 11129 17948 26160 14729 31943 20416 10000 7882 31380 27858 33356  
14125 12131 36199 4058 35992 36594 33698 15475 1566 18498 12725 7067  
17406 8372 35437 2888 1184 30068 25802 11056 5507 26313 32205 37232  
15254 5365 17308 22519 35009 718 5240 16778 23131 24092 20587 33385  
27455 17602 4590 21767 22266 27357 30400 8732 5596 3060 33703 3596  
6882 873 10997 24738 20770 10067 13379 27409 25463 2673 6998 31378  
15181 13645 34501 3393 3840 35227 15562 23615 38342 12139 19471 15483  
13350 6707 23709 37204 25778 21082 7511 14588 10010 21854 28375 33591  
12514 4695 37190 21379 18723 5802 7182 2529 29936 35860 28338 10835  
34283 25610 33026 31017 21259 2165 21807 37578 1175 16710 21939 30841  
27292 33730 6836 26476 27539 35784 18245 16394 17939 23094 19216 17432  
11655 6183 38708 28408 35157 17089 13998 36029 15052 16617 5638 36464  
15693 28923 26245 9432 11675 25720 26405 5838 31851 26898 8090 37037  
24418 27583 7959 35562 37771 17784 11382 11156 37855 7073 21685 34515  
10977 13633 30969 7516 11943 18199 5231 13825 19589 23661 11150 35602  
19124 30774 6670 37344 16510 26317 23518 22957 6348 34069 8845 20175  
34985 14441 25668 4116 3019 21049 37308 24551 24727 20104 24850 12114  
38187 28527 13108 13985 1425 21477 30807 8613 26241 33368 35913 32477  
5903 34390 24641 26556 23007 27305 38247 2621 9122 32806 21554 18685  
17287 27292 19033  
25796 31795 12152  
12184 35088 31226  
38263 33386 24892  
23114 37995 29796  
34336 10551 36245  
35407 175 7203  
14654 38201 22605  
28404 6595 1018  
19932 3524 29305  
31749 20247 8128  
18026 36357 26735  
7543 29767 13588  
13333 25965 8463  
14504 36796 19710  
4528 25299 7318  
35091 25550 14798

图 69

7824 215 1248  
30848 5362 17291  
28932 30249 27073  
13062 2103 16206  
7129 32062 19612  
9512 21936 38833  
35849 33754 23450  
18705 28656 18111  
22749 27456 32187  
28229 31684 30160  
15293 8483 28002  
14880 13334 12584  
28646 2558 19687  
6259 4499 26336  
11952 28386 8405  
10609 961 7582  
10423 13191 26818  
15922 36654 21450  
10492 1532 1205  
30551 36482 22153  
5156 11330 34243  
28616 35369 13322  
8962 1485 21186  
23541 17445 35561  
33133 11593 19895  
33917 7863 33651  
20063 28331 10702  
13195 21107 21859  
4364 31137 4804  
5585 2037 4830  
30672 16927 14800

图 70

r1/2 64K							
54	9318	14392	27561	26909	10219	2534	8597
55	7263	4635	2530	28130	3033	23830	3651
56	24731	23583	26036	17299	5750	792	9169
57	5811	26154	18653	11551	15447	13685	16264
58	12610	11347	28768	2792	3174	29371	12997
59	16789	16018	21449	6165	21202	15850	3186
60	31016	21449	17618	6213	12166	8334	18212
61	22836	14213	11327	5896	718	11727	9308
62	2091	24941	29966	23634	9013	15587	5444
63	22207	3983	16904	28534	21415	27524	25912
64	25687	4501	22193	14665	14798	16158	5491
65	4520	17094	23397	4264	22370	16941	21526
66	10490	6182	32370	9597	30841	25954	2762
67	22120	22865	29870	15147	13668	14955	19235
68	6689	18408	18346	9918	25746	5443	20645
69	29982	12529	13858	4746	30370	10023	24828
70	1262	28032	29888	13063	24033	21951	7863
71	6594	29642	31451	14831	9509	9335	31552
72	1358	6454	16633	20354	24598	624	5265
73	19529	295	18011	3080	13364	8032	15323
74	11981	1510	7960	21462	9129	11370	25741
75	9276	29656	4543	30699	20646	21921	28050
76	15975	25634	5520	31119	13715	21949	19605
77	18688	4608	31755	30165	13103	10706	29224
78	21514	23117	12245	26035	31656	25631	30699
79	9674	24966	31285	29908	17042	24588	31857
80	21856	27777	29919	27000	14897	11409	7122
81	29773	23310	263	4877	28622	20545	22092
82	15605	5651	21864	3967	14419	22757	15896
83	30145	1759	10139	29223	26086	10556	5098
84	18815	16575	2936	24457	26738	6030	505
85	30326	22298	27562	20131	26390	6247	24791
86	928	29246	21246	12400	15311	32309	18608
87	20314	6025	26689	16302	2296	3244	19613
88	6237	11943	22851	15642	23857	15112	20947
89	26403	25168	19038	18384	8882	12719	7093
0	14567	24965					
1	3908	100					
2	10279	240					

图 71

3	24102	764
4	12383	4173
5	13861	15918
6	21327	1046
7	5288	14579
8	28158	8069
9	16583	11098
10	16681	28363
11	13980	24725
12	32169	17989
13	10907	2767
14	21557	3818
15	26676	12422
16	7676	8754
17	14905	20232
18	15719	24646
19	31942	8589
20	19978	27197
21	27060	15071
22	6071	26649
23	10393	11176
24	9597	13370
25	7081	17677
26	1433	19513
27	26925	9014
28	19202	8900
29	18152	30647
30	20803	1737
31	11804	25221
32	31683	17783
33	29694	9345
34	12280	26611
35	6526	26122
36	26165	11241
37	7666	26962
38	16290	8480
39	11774	10120
40	30051	30426
41	1335	15424
42	6865	17742
43	31779	12489
44	32120	21001
45	14508	6996

图 72



46	979	25024
47	4554	21896
48	7989	21777
49	4972	20661
50	6612	2730
51	12742	4418
52	29194	595
53	19267	20113

图 73

r3/5 64K

22422	10282	11626	19997	11161	2922	3122	99	5625	17064	8270	179
25087	16218	17015	828	20041	25656	4186	11629	22599	17305	22515	6463
11049	22853	25706	14388	5500	19245	8732	2177	13555	11346	17265	3069
16581	22225	12563	19717	23577	11555	25496	6853	25403	5218	15925	21766
16529	14487	7643	10715	17442	11119	5679	14155	24213	21000	1116	15620
5340	8636	16693	1434	5635	6516	9482	20189	1066	15013	25361	14243
18506	22236	20912	8952	5421	15691	6126	21595	500	6904	13059	6802
8433	4694	5524	14216	3685	19721	25420	9937	23813	9047	25651	16826
21500	24814	6344	17382	7064	13929	4004	16552	12818	8720	5286	2206
22517	2429	19065	2921	21611	1873	7507	5661	23006	23128	20543	19777
1770	4636	20900	14931	9247	12340	11008	12966	4471	2731	16445	791
6635	14556	18865	22421	22124	12697	9803	25485	7744	18254	11313	9004
19982	23963	18912	7206	12500	4382	20067	6177	21007	1195	23547	24837
756	11158	14646	20534	3647	17728	11676	11843	12937	4402	8261	22944
9306	24009	10012	11081	3746	24325	8060	19826	842	8836	2898	5019
7575	7455	25244	4736	14400	22981	5543	8006	24203	13053	1120	5128
3482	9270	13059	15825	7453	23747	3656	24585	16542	17507	22462	14670
15627	15290	4198	22748	5842	13395	23918	16985	14929	3726	25350	24157
24896	16365	16423	13461	16615	8107	24741	3604	25904	8716	9604	20365
3729	17245	18448	9862	20831	25326	20517	24618	13282	5099	14183	8804
16455	17646	15376	18194	25528	1777	6066	21855	14372	12517	4488	17490
1400	8135	23375	20879	8476	4084	12936	25536	22309	16582	6402	24360
25119	23586	128	4761	10443	22536	8607	9752	25446	15053	1856	4040
377	21160	13474	5451	17170	5938	10256	11972	24210	17833	22047	16108
13075	9648	24546	13150	23867	7309	19798	2988	16858	4825	23950	15125
20526	3553	11525	23366	2452	17626	19265	20172	18060	24593	13255	1552
18839	21132	20119	15214	14705	7096	10174	5663	18651	19700	12524	14033
4127	2971	17499	16287	22368	21463	7943	18880	5567	8047	23363	6797
10651	24471	14325	4081	7258	4949	7044	1078	797	22910	20474	4318
21374	13231	22985	5056	3821	23718	14178	9978	19030	23594	8895	25358
6199	22056	7749	13310	3999	23697	16445	22636	5225	22437	24153	9442
7978	12177	2893	20778	3175	8645	11863	24623	10311	25767	17057	3691
20473	11294	9914	22815	2574	8439	3699	5431	24840	21908	16088	18244
8208	5755	19059	8541	24924	6454	11234	10492	16406	10831	11436	9649
16264	11275	24953	2347	12667	19190	7257	7174	24819	2938	2522	11749
3627	5969	13862	1538	23176	6353	2855	17720	2472	7428	573	15036
0	18539	18661									
1	10502	3002									
2	9368	10761									

图 74

3 12299 7828  
4 15048 13362  
5 18444 24640  
6 20775 19175  
7 18970 10971  
8 5329 19982  
9 11296 18655  
10 15046 20659  
11 7300 22140  
12 22029 14477  
13 11129 742  
14 13254 13813  
15 19234 13273  
16 6079 21122  
17 22782 5828  
18 19775 4247  
19 1660 19413  
20 4403 3649  
21 13371 25851  
22 22770 21784  
23 10757 14131  
24 16071 21617  
25 6393 3725  
26 597 19968  
27 5743 8084  
28 6770 9548  
29 4285 17542  
30 13568 22599  
31 1786 4617  
32 23238 11648  
33 19627 2030  
34 13601 13458  
35 13740 17328  
36 25012 13944  
37 22513 6687  
38 4934 12587  
39 21197 5133  
40 22705 6938  
41 7534 24633  
42 24400 12797  
43 21911 25712  
44 12039 1140  
45 24306 1021

图 75

46 14012 20747  
47 11265 15219  
48 4670 15531  
49 9417 14359  
50 2415 6504  
51 24964 24690  
52 14443 8816  
53 6926 1291  
54 6209 20806  
55 13915 4079  
56 24410 13196  
57 13505 6117  
58 9869 8220  
59 1570 6044  
60 25780 17387  
61 20671 24913  
62 24558 20591  
63 12402 3702  
64 8314 1357  
65 20071 14616  
66 17014 3688  
67 19837 946  
68 15195 12136  
69 7758 22808  
70 3564 2925  
71 3434 7769

图 76

r1/4 16K  
6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557  
10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090  
10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292  
11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120  
7844 3079 10773  
3385 10854 5747  
1360 12010 12202  
6189 4241 2343  
9840 12726 4977

图 77

r1/3 16K

416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723 6912  
8978 3011 4339 9312 6396 2957 7288 5485 6031 10218 2226 3575  
3383 10059 1114 10008 10147 9384 4290 434 5139 3536 1965 2291  
2797 3693 7615 7077 743 1941 8716 6215 3840 5140 4582 5420  
6110 8551 1515 7404 4879 4946 5383 1831 3441 9569 10472 4306  
1505 5682 7778  
7172 6830 6623  
7281 3941 3505  
10270 8669 914  
3622 7563 9388  
9930 5058 4554  
4844 9609 2707  
6883 3237 1714  
4768 3878 10017  
10127 3334 8267

图 78

r2/5 16K

5650 4143 8750 583 6720 8071 635 1767 1344 6922 738 6658  
5696 1685 3207 415 7019 5023 5608 2605 857 6915 1770 8016  
3992 771 2190 7258 8970 7792 1802 1866 6137 8841 886 1931  
4108 3781 7577 6810 9322 8226 5396 5867 4428 8827 7766 2254  
4247 888 4367 8821 9660 324 5864 4774 227 7889 6405 8963  
9693 500 2520 2227 1811 9330 1928 5140 4030 4824 806 3134  
1652 8171 1435  
3366 6543 3745  
9286 8509 4645  
7397 5790 8972  
6597 4422 1799  
9276 4041 3847  
8683 7378 4946  
5348 1993 9186  
6724 9015 5646  
4502 4439 8474  
5107 7342 9442  
1387 8910 2660

图 79

r1/2 16K							
20	712	2386	6354	4061	1062	5045	5158
21	2543	5748	4822	2348	3089	6328	5876
22	926	5701	269	3693	2438	3190	3507
23	2802	4520	3577	5324	1091	4667	4449
24	5140	2003	1263	4742	6497	1185	6202
0	4046	6934					
1	2855	66					
2	6694	212					
3	3439	1158					
4	3850	4422					
5	5924	290					
6	1467	4049					
7	7820	2242					
8	4606	3080					
9	4633	7877					
10	3884	6868					
11	8935	4996					
12	3028	764					
13	5988	1057					
14	7411	3450					

图 80

r3/5 16K  
2765 5713 6426 3596 1374 4811 2182 544 3394 2840 4310 771  
4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615  
210 4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016  
4167 2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334  
4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195  
2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809  
5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205  
4244 2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022  
2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738  
0 2161 2653  
1 1380 1461  
2 2502 3707  
3 3971 1057  
4 5985 6062  
5 1733 6028  
6 3786 1936  
7 4292 956  
8 5692 3417  
9 266 4878  
10 4913 3247  
11 4763 3937  
12 3590 2903  
13 2566 4215  
14 5208 4707  
15 3940 3388  
16 5109 4556  
17 4908 4177

图 81

r3/5 16K

71	1478	1901	2240	2649	2725	3592	3708	3965	4080	5733	6198
393	1384	1435	1878	2773	3182	3586	5465	6091	6110	6114	6327
160	1149	1281	1526	1566	2129	2929	3095	3223	4250	4276	4612
289	1446	1602	2421	3559	3796	5590	5750	5763	6168	6271	6340
947	1227	2008	2020	2266	3365	3588	3867	4172	4250	4865	6290
3324	3704	4447									
1206	2565	3089									
529	4027	5891									
141	1187	3206									
1990	2972	5120									
752	796	5976									
1129	2377	4030									
6077	6108	6231									
61	1053	1781									
2820	4109	5307									
2088	5834	5988									
3725	3945	4010									
1081	2780	3389									
659	2221	4822									
3033	6060	6160									
756	1489	2350									
3350	3624	5470									
357	1825	5242									
585	3372	6062									
561	1417	2348									
971	3719	5567									
1005	1675	2062									

图 82



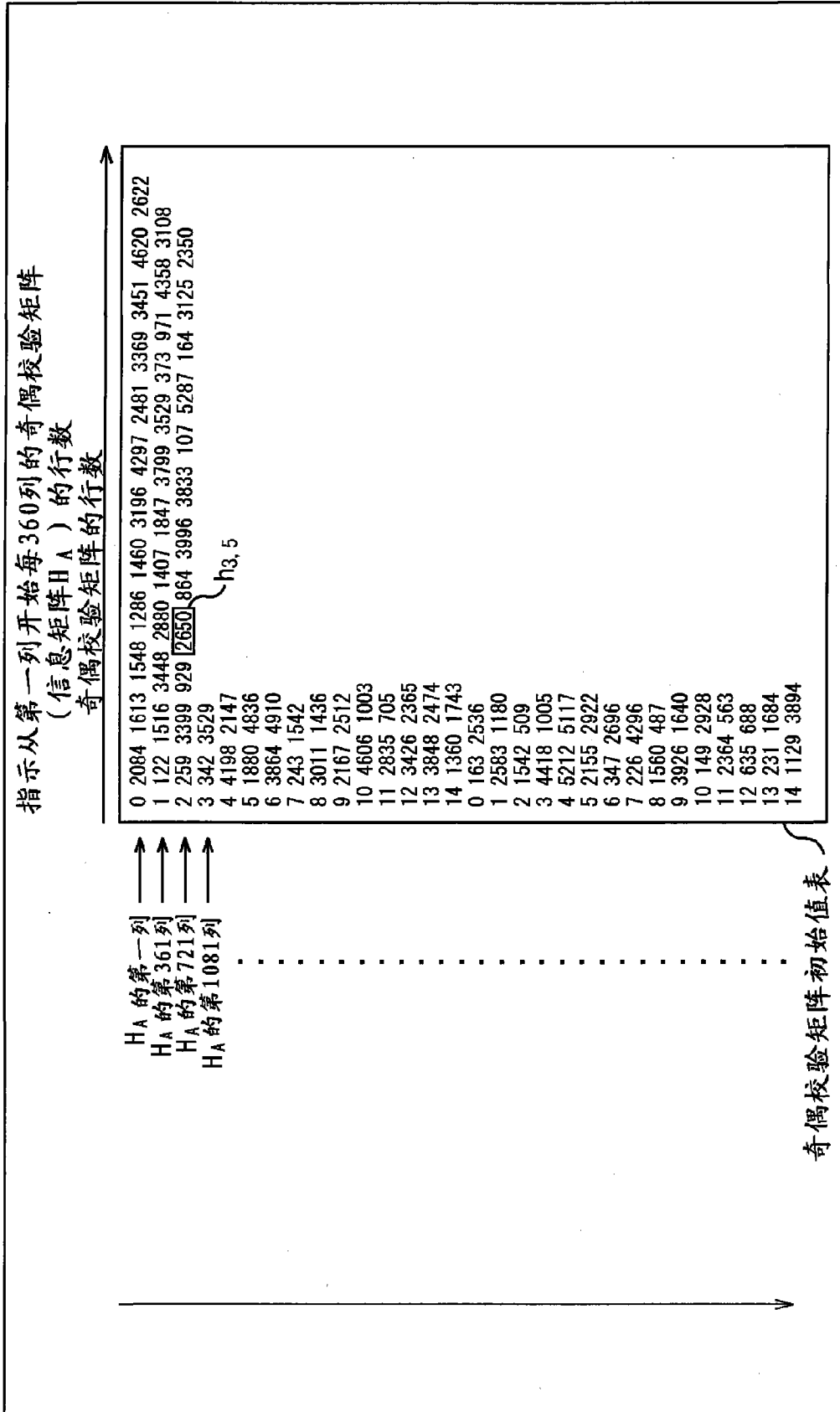


图 83

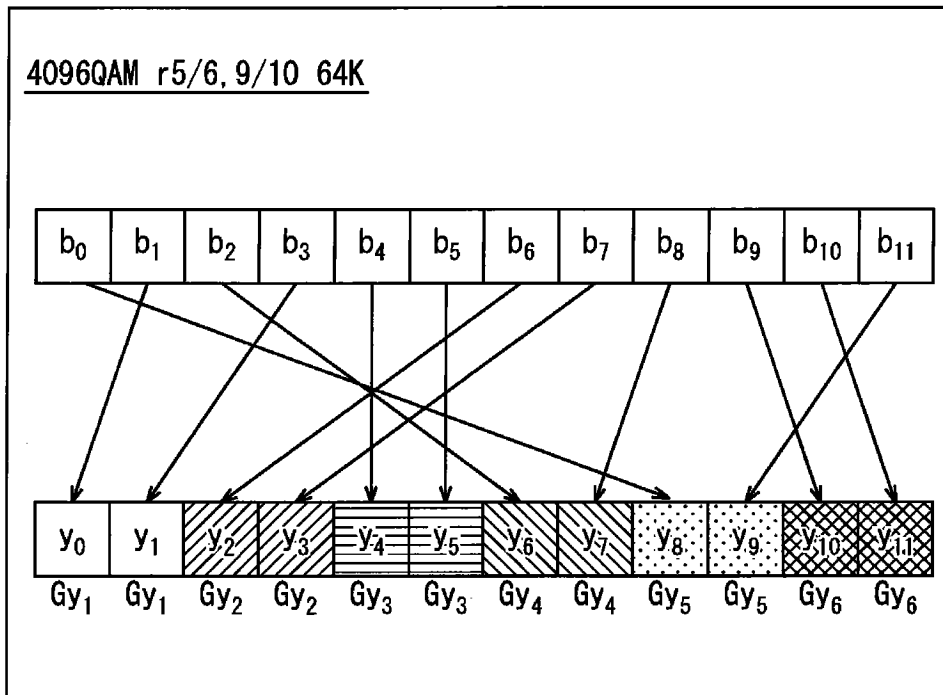


图 84

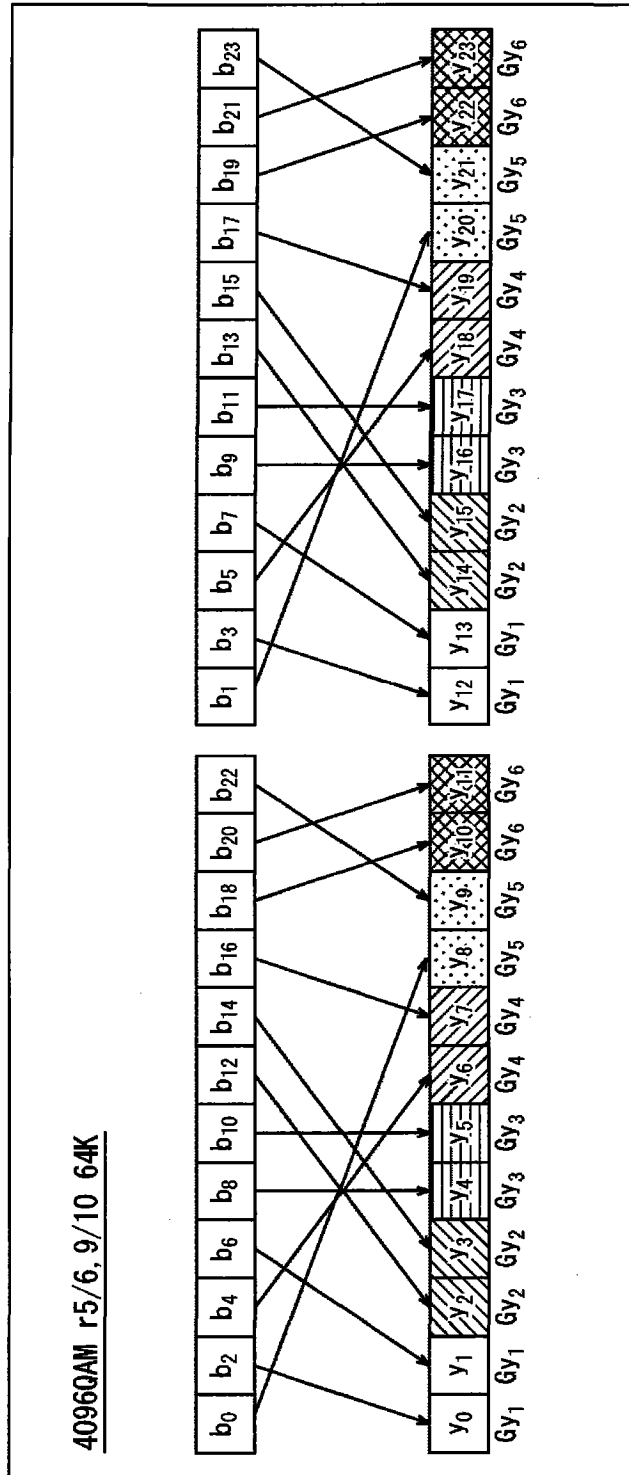


图 85

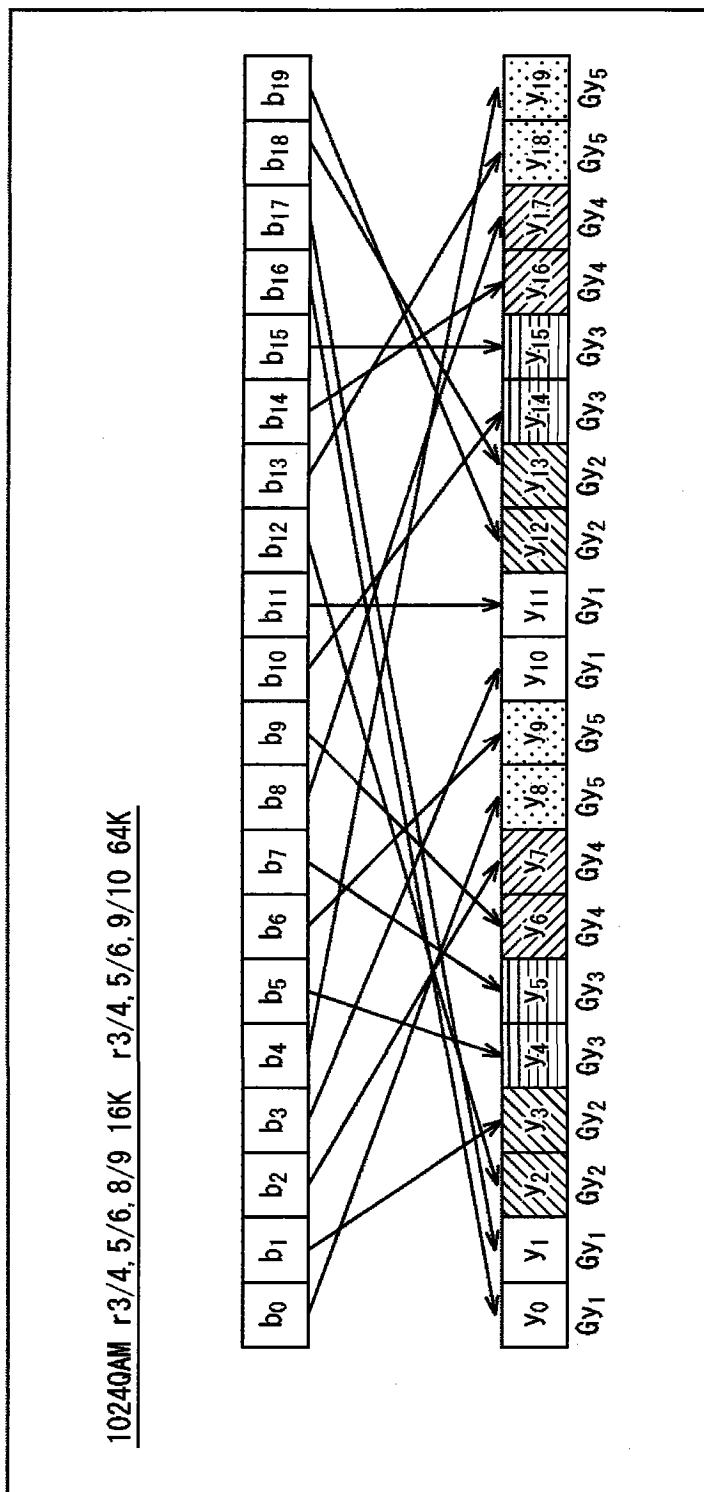


图 86

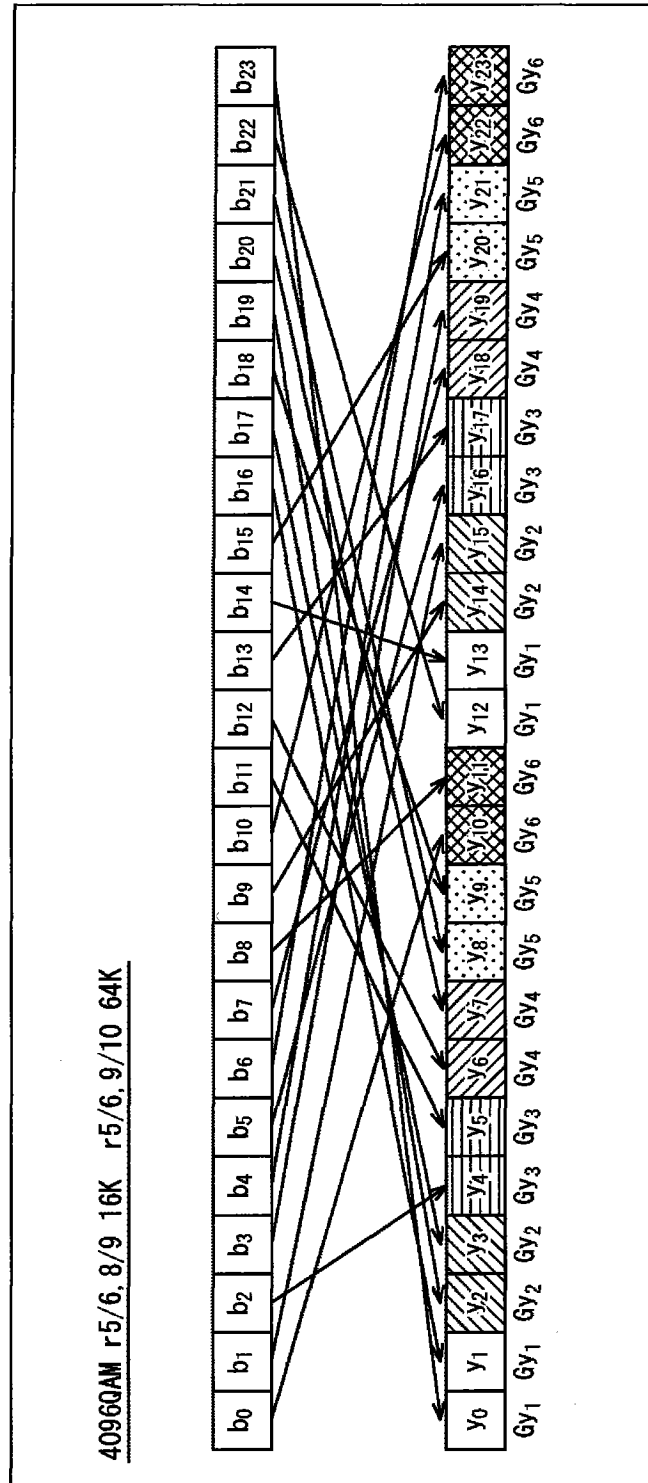


图 87

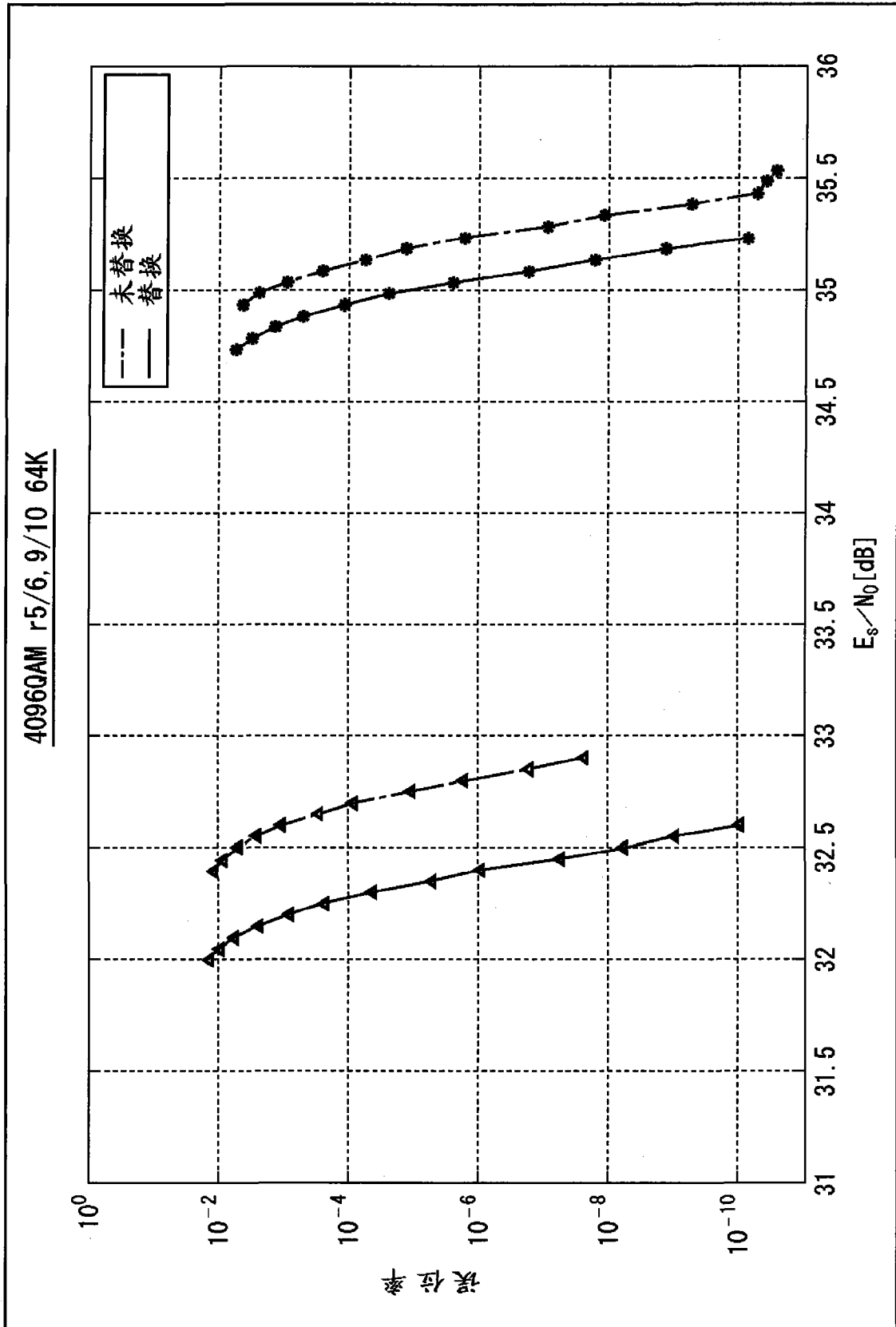


图 88

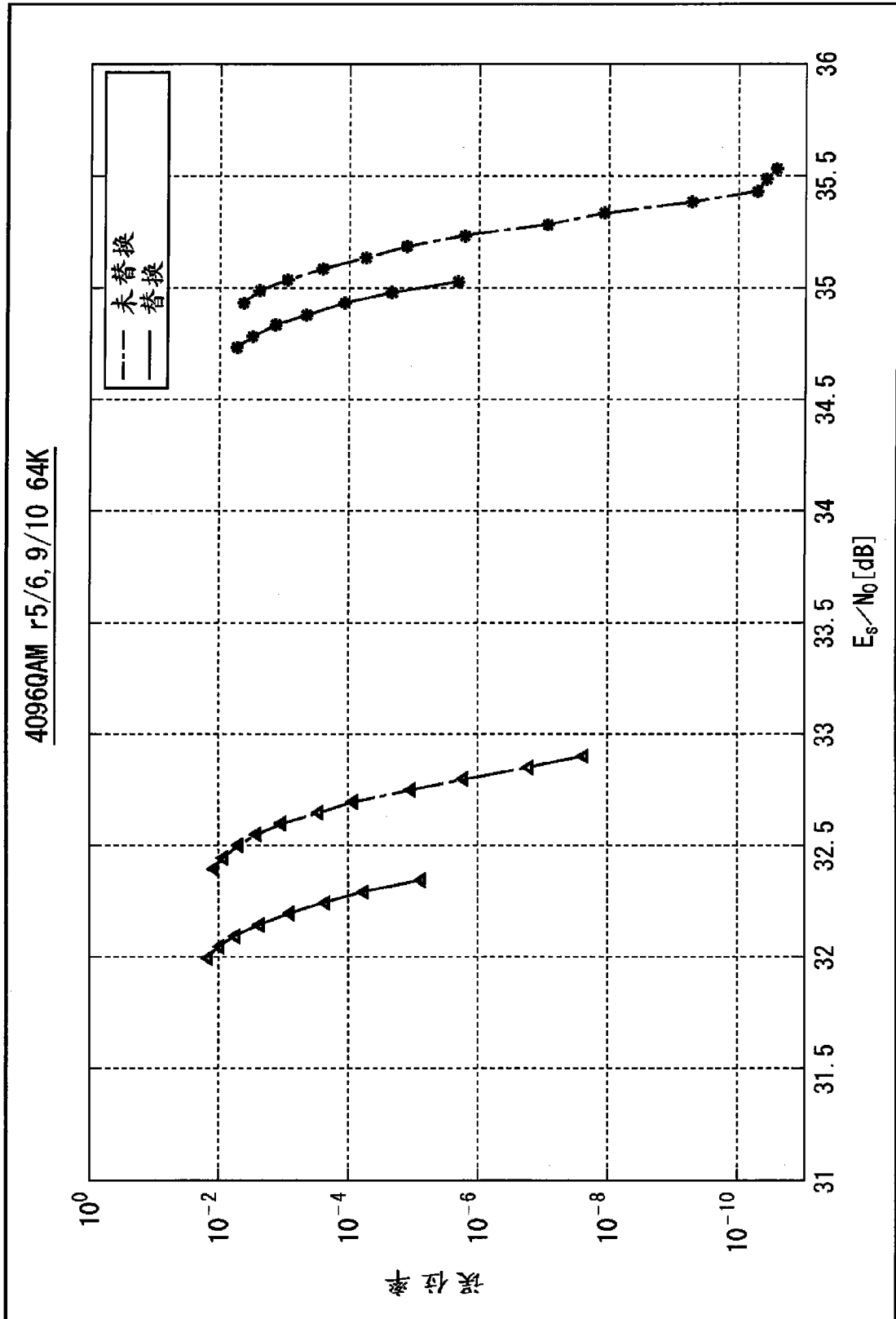


图 89

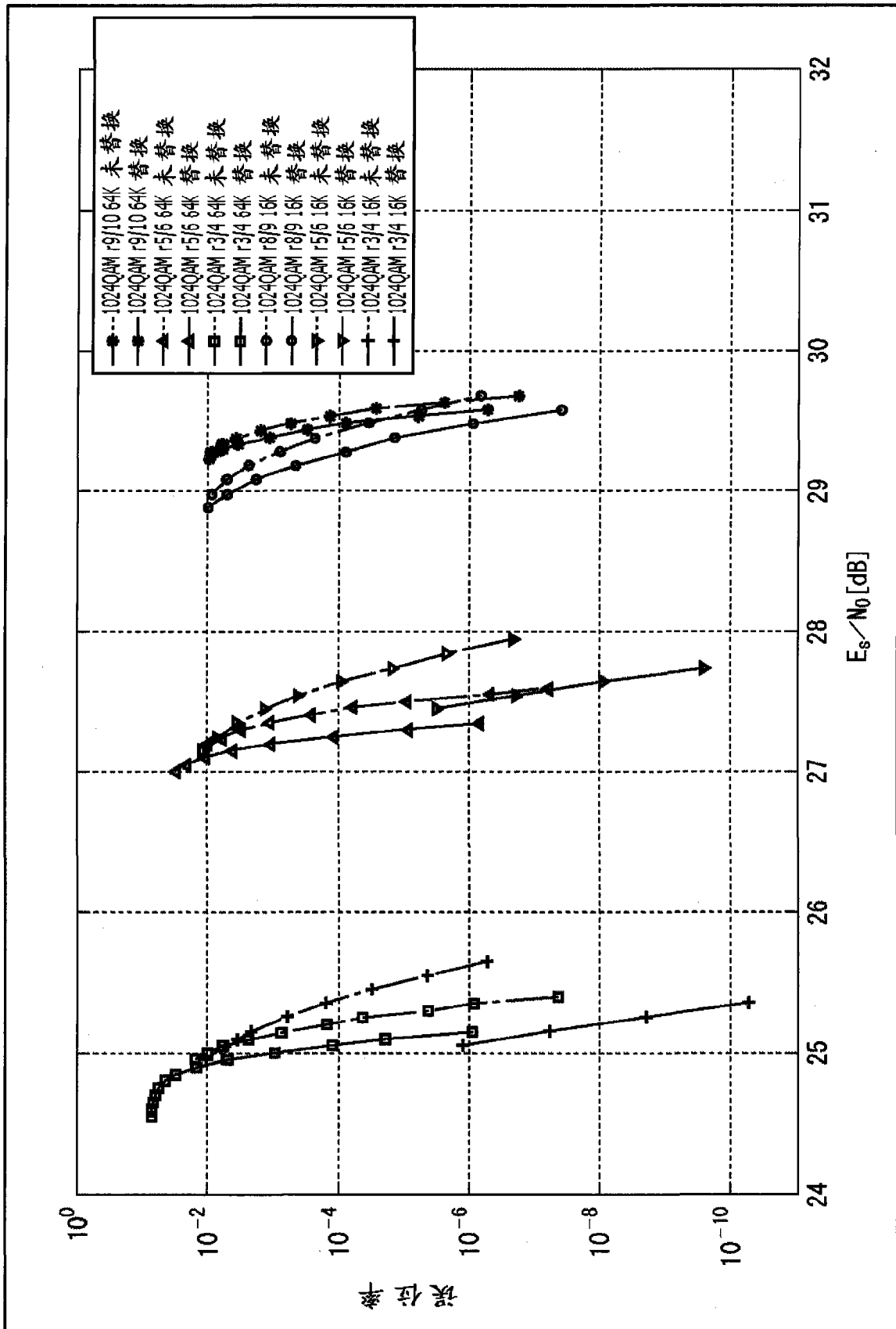


图 90



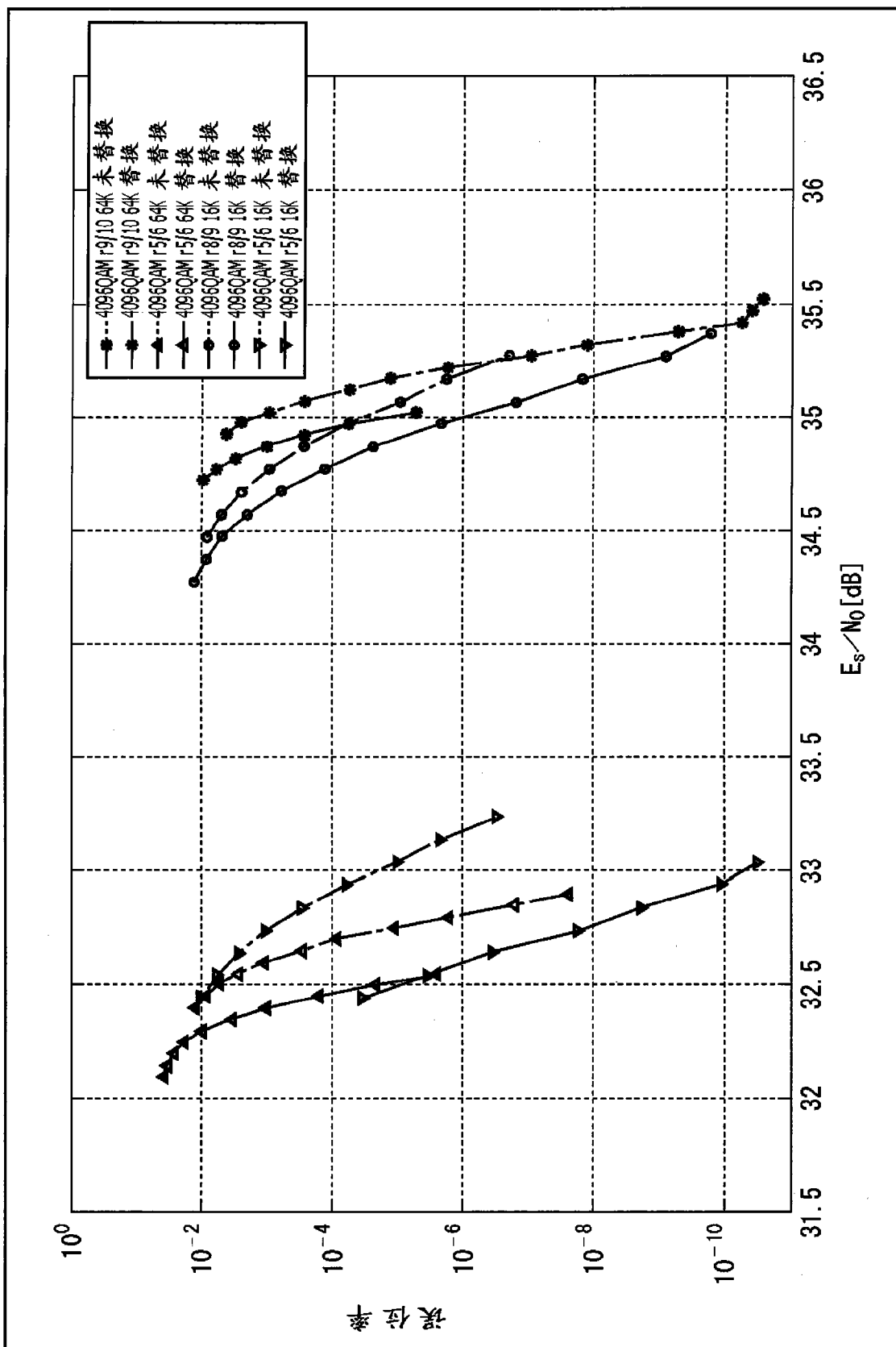


图 91

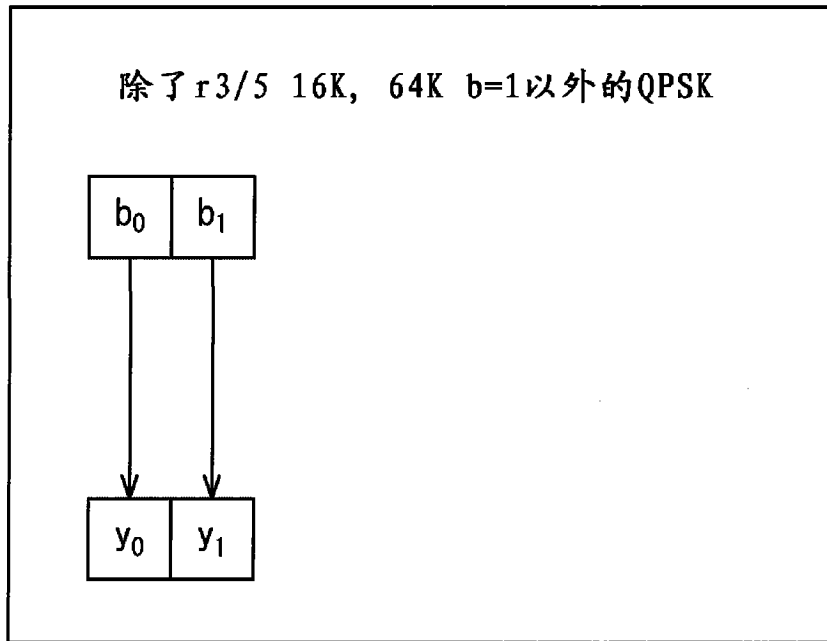


图 92

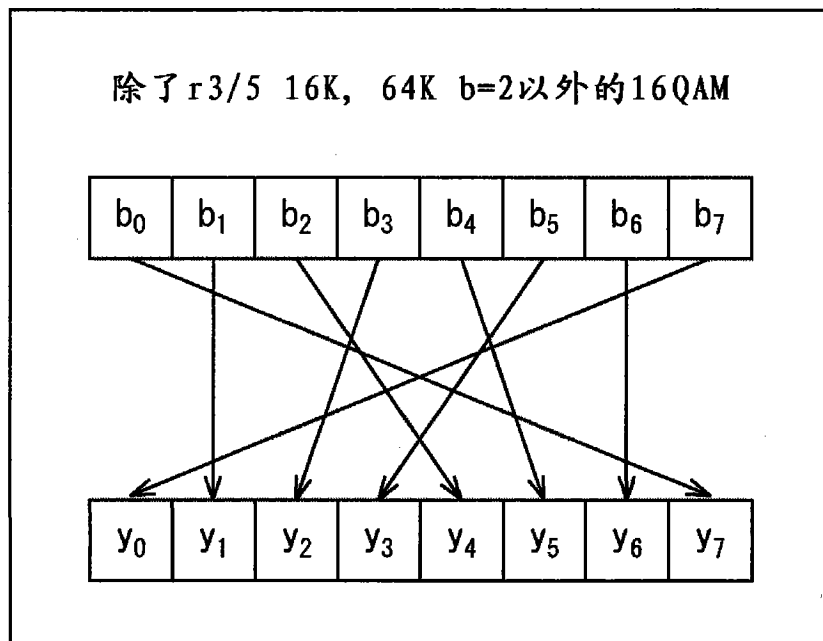


图 93

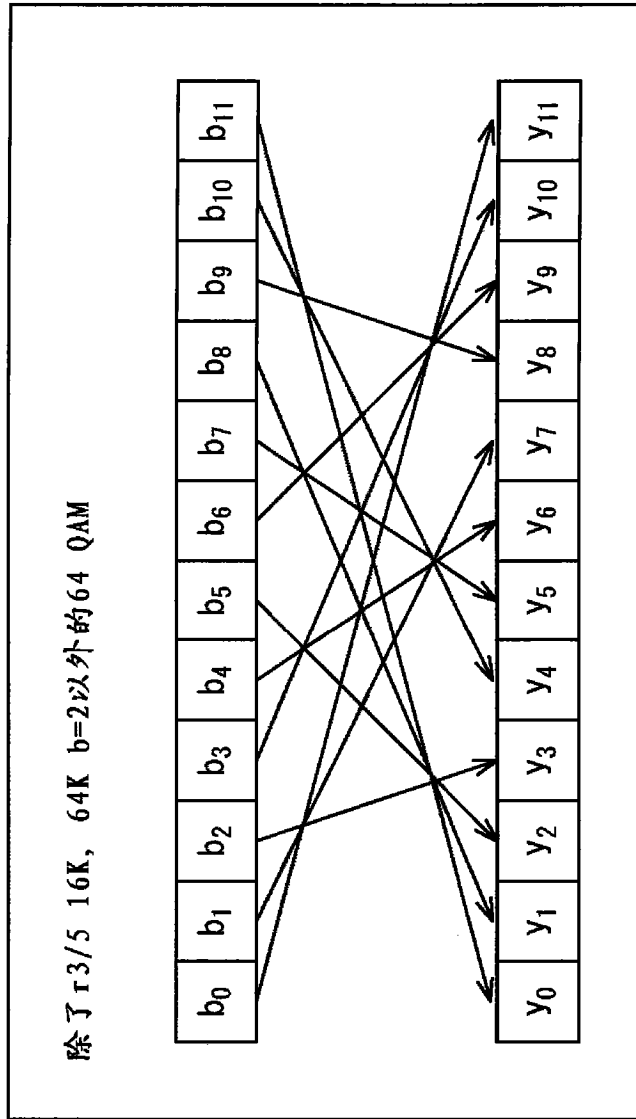


图 94

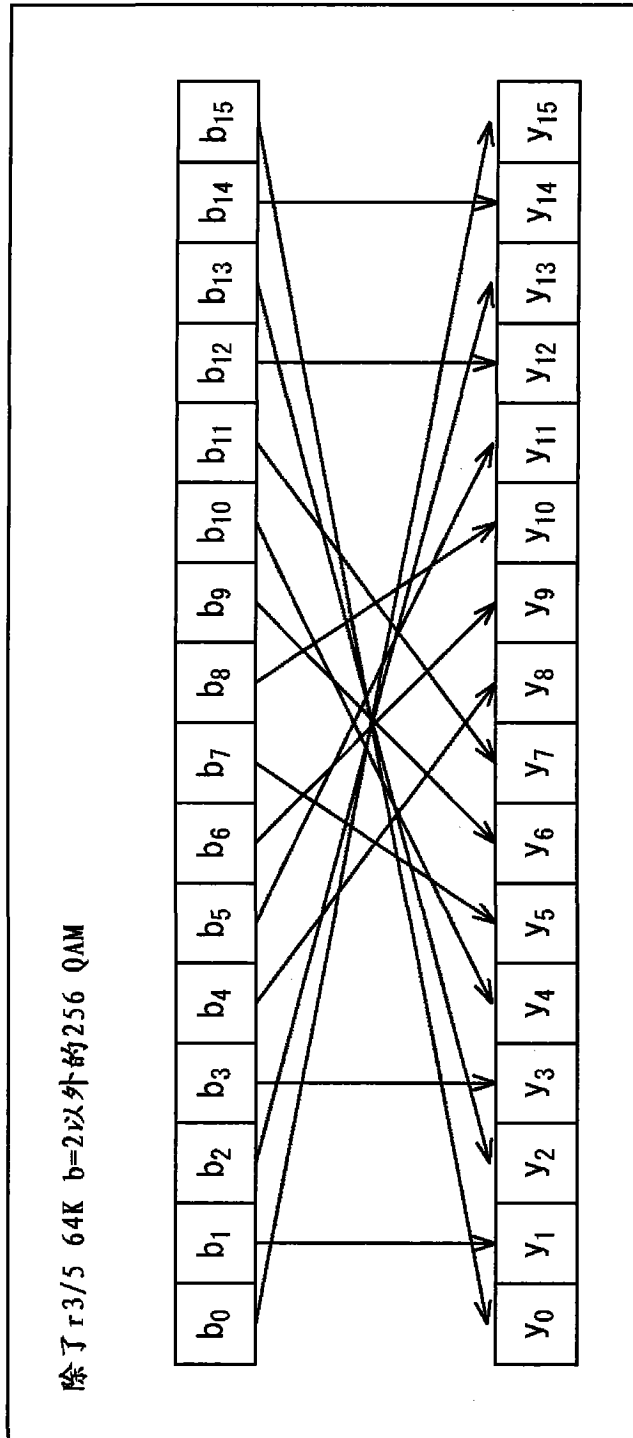


图 95

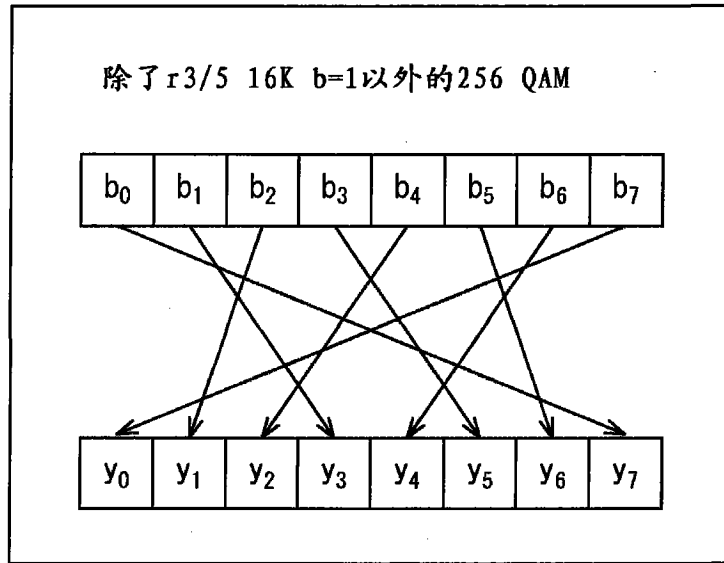


图 96

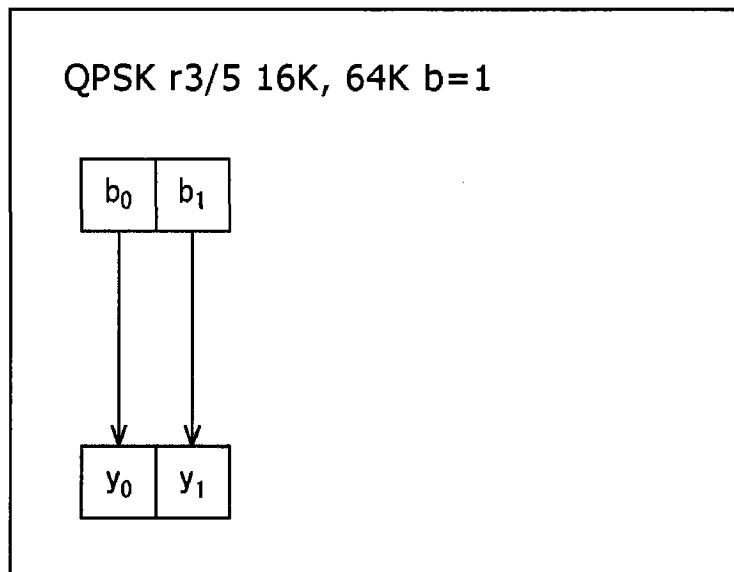


图 97

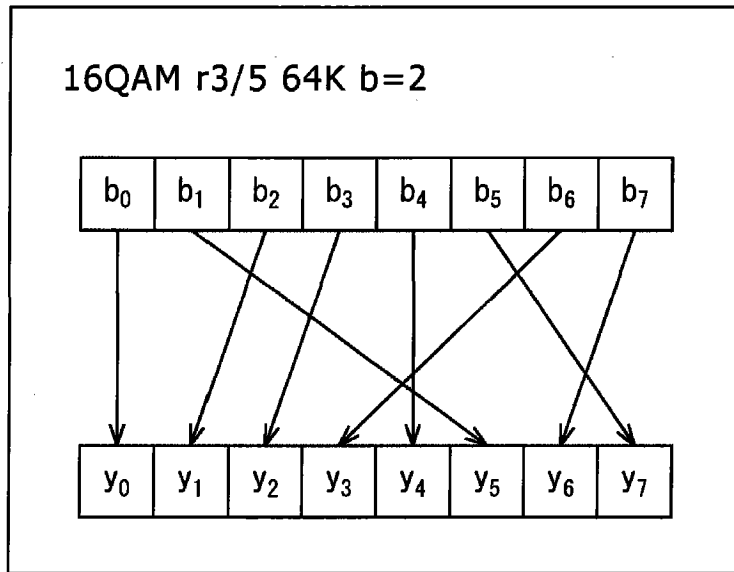


图 98

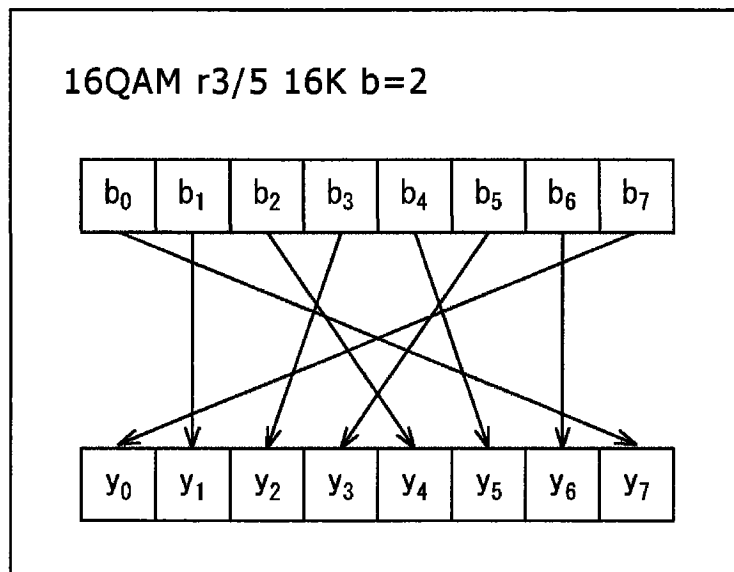


图 99

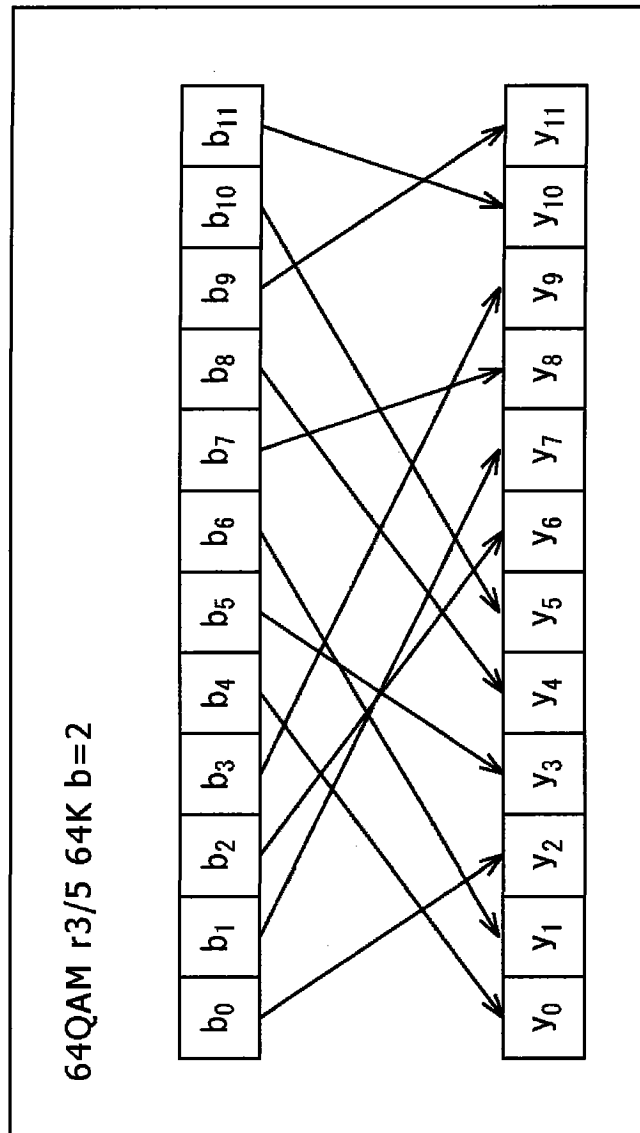


图 100

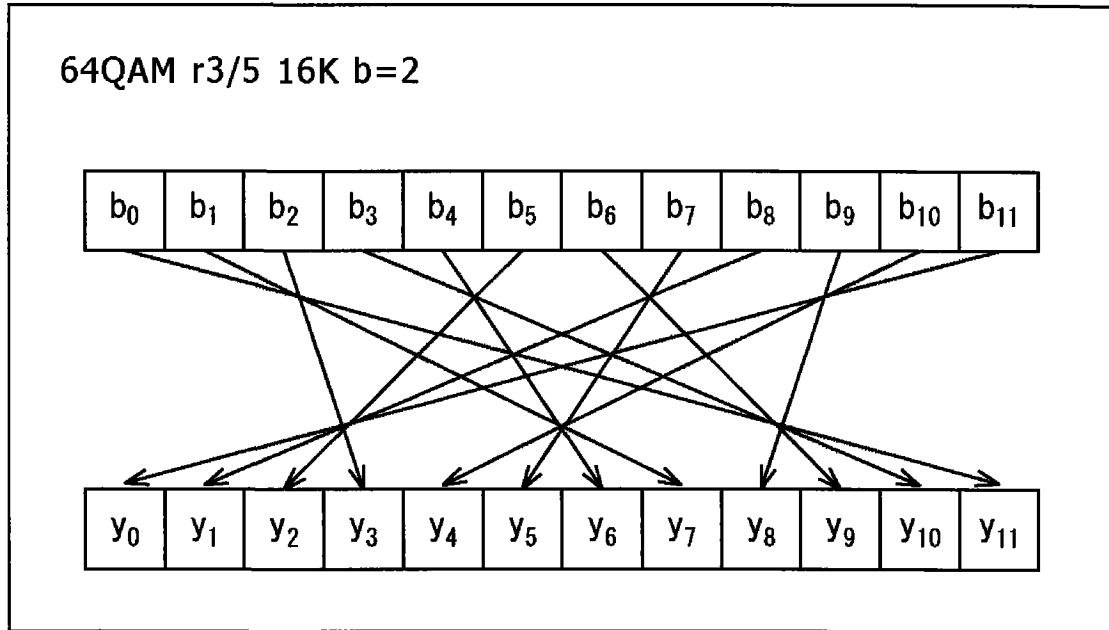


图 101



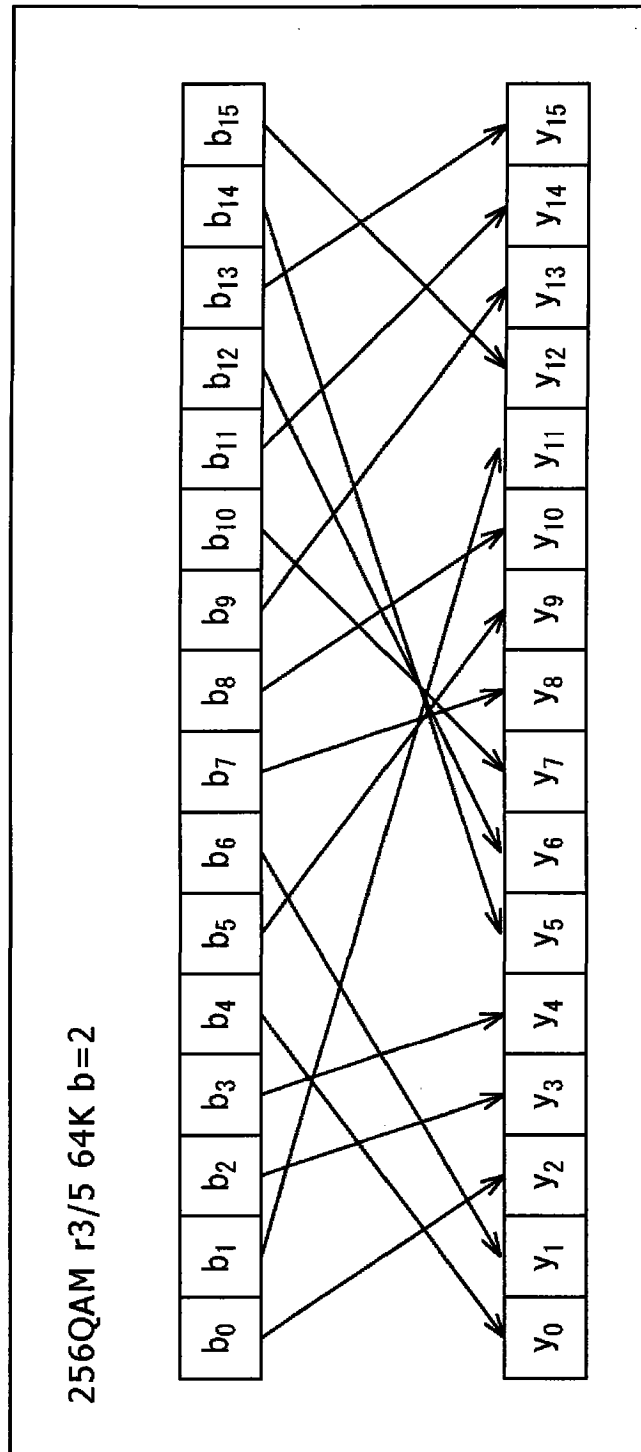


图 102

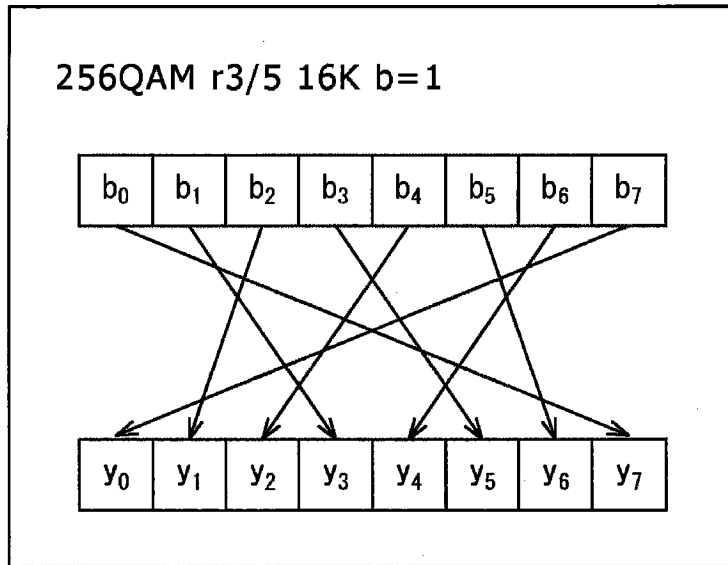


图 103

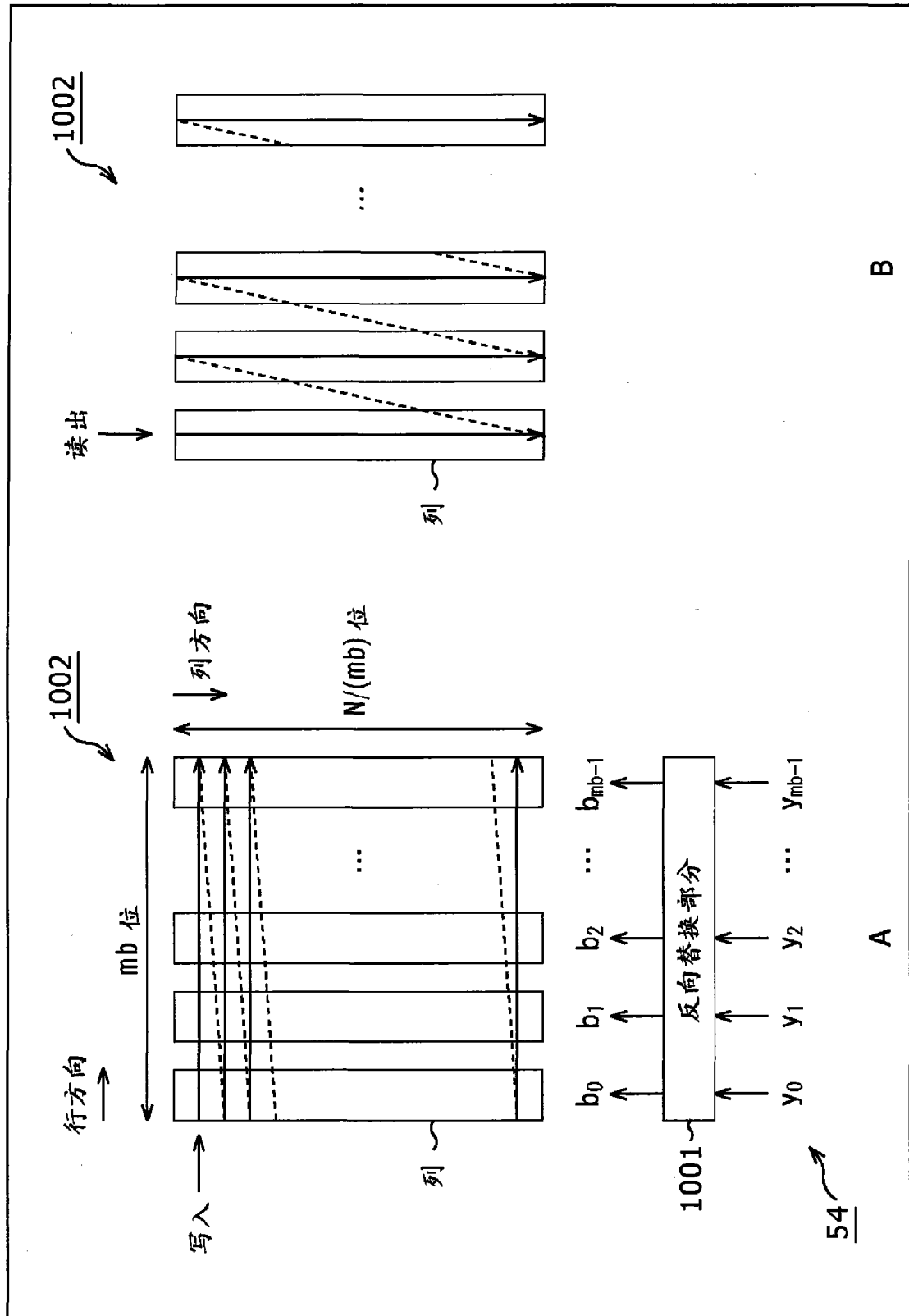


图 104

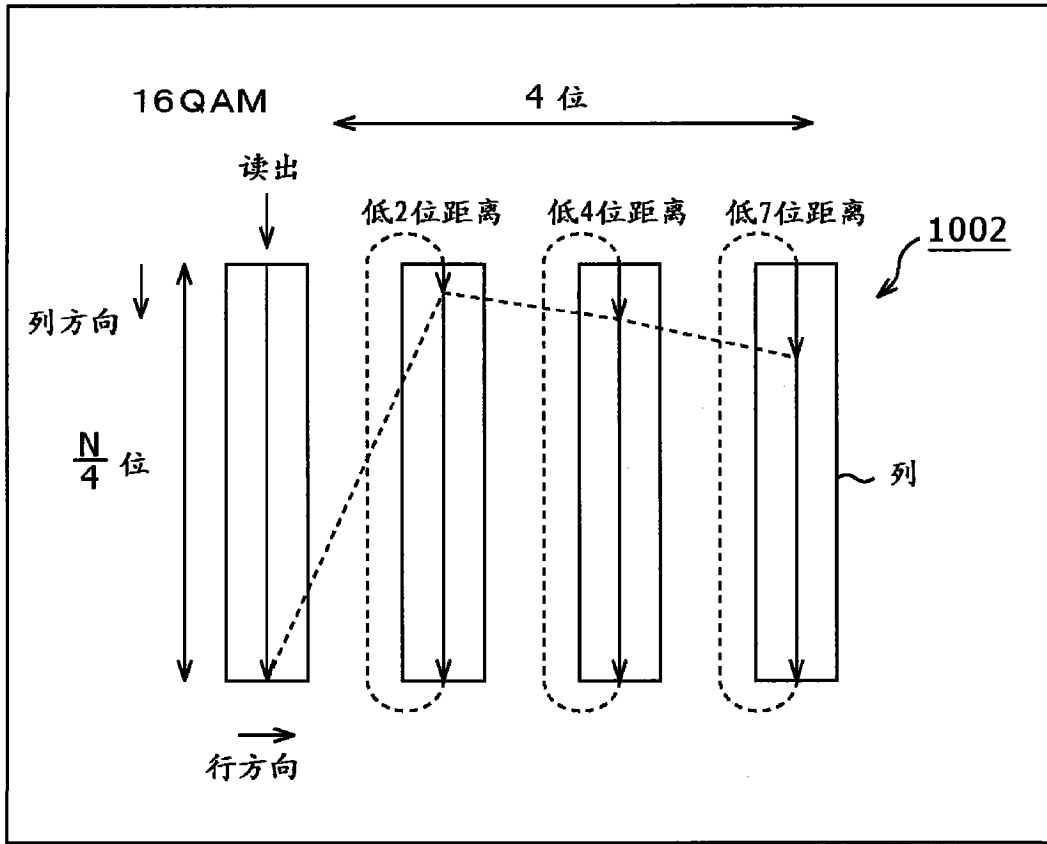


图 105

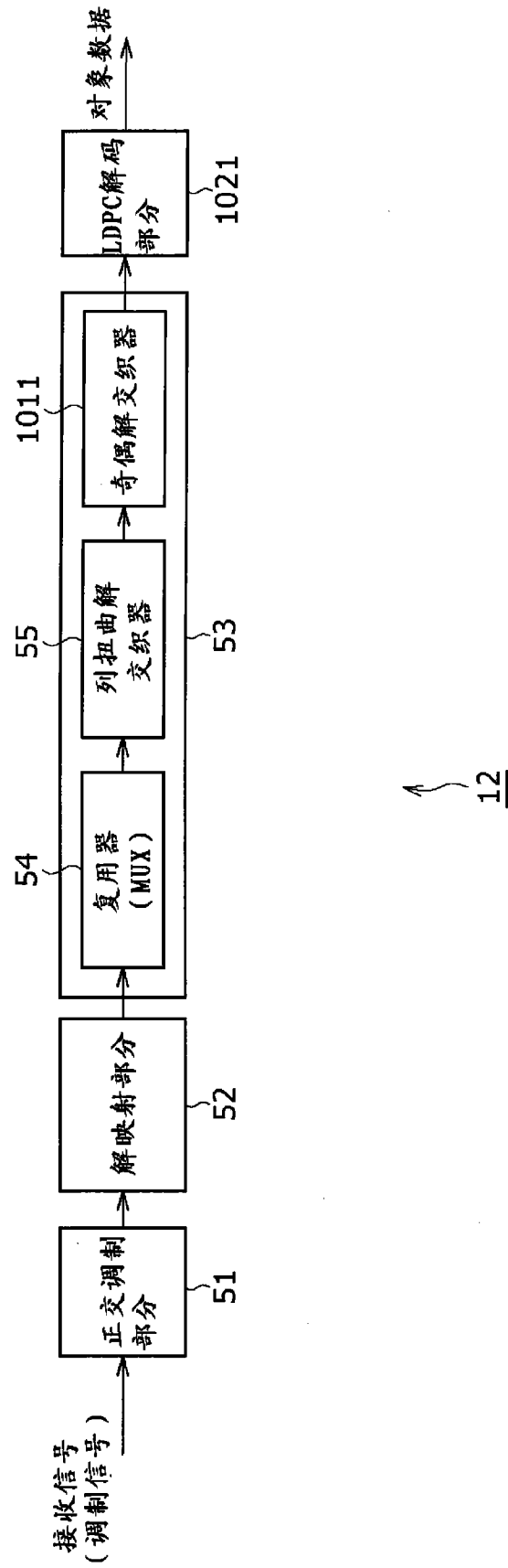


图 106

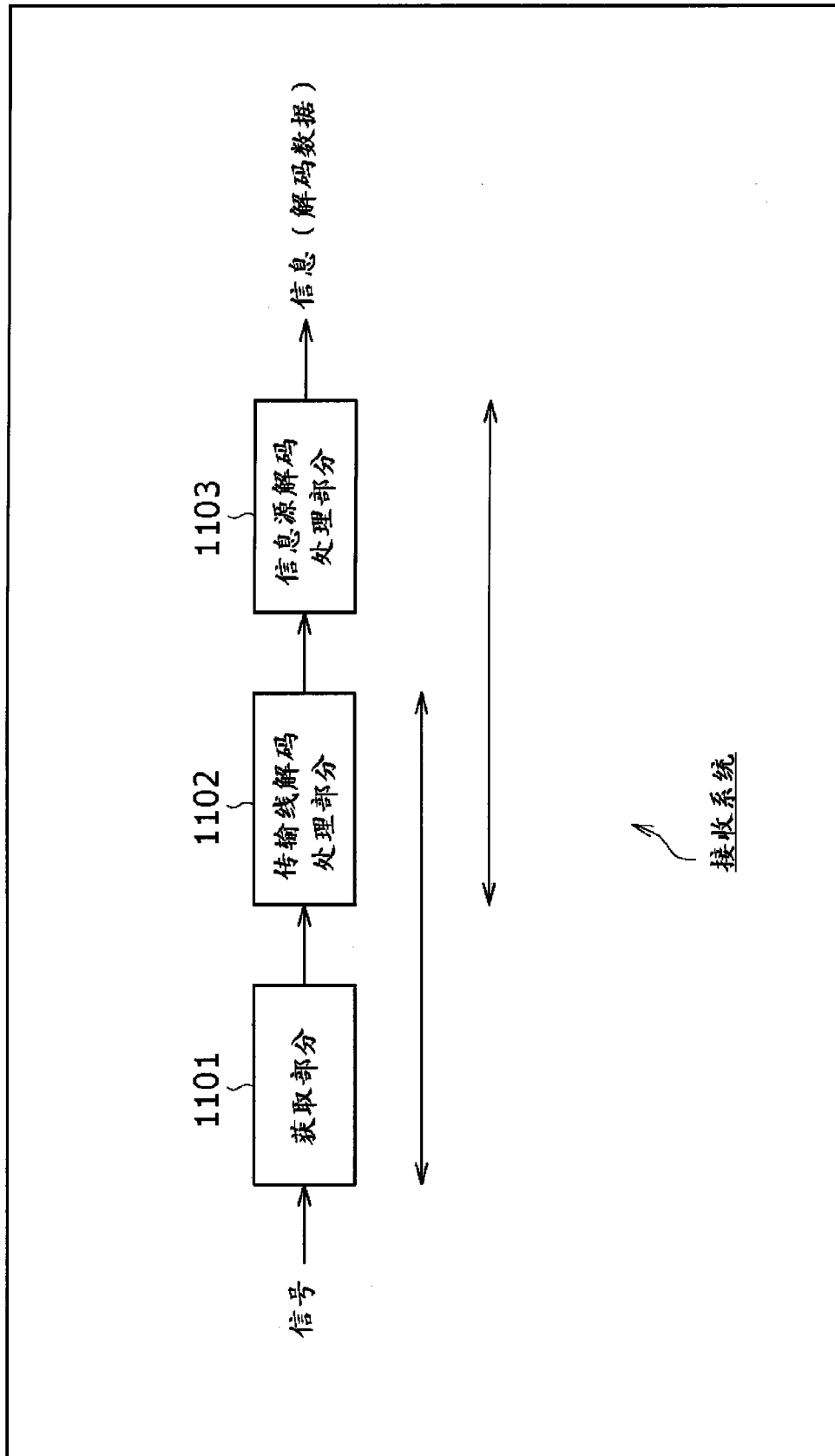


图 107

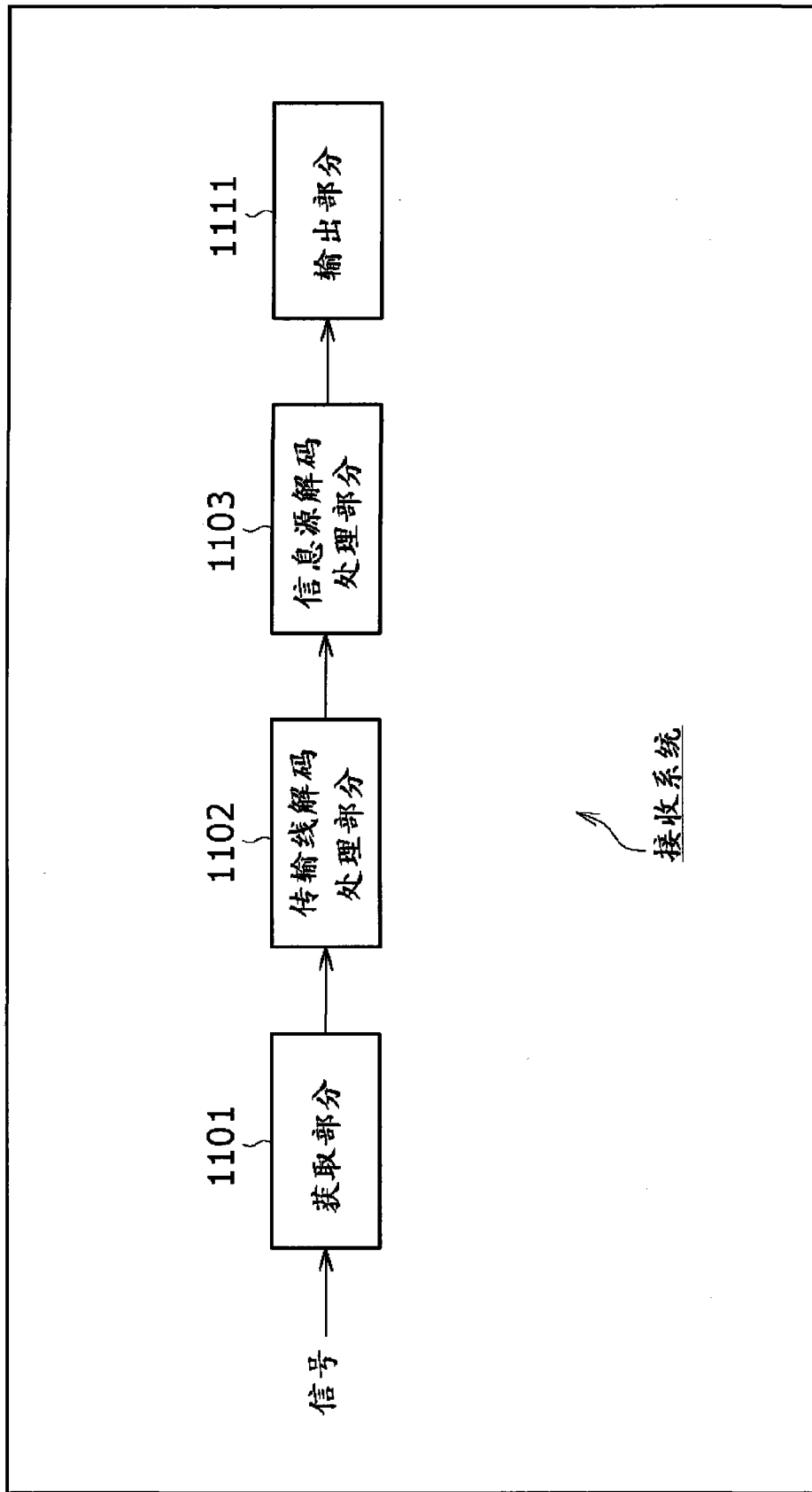


图 108

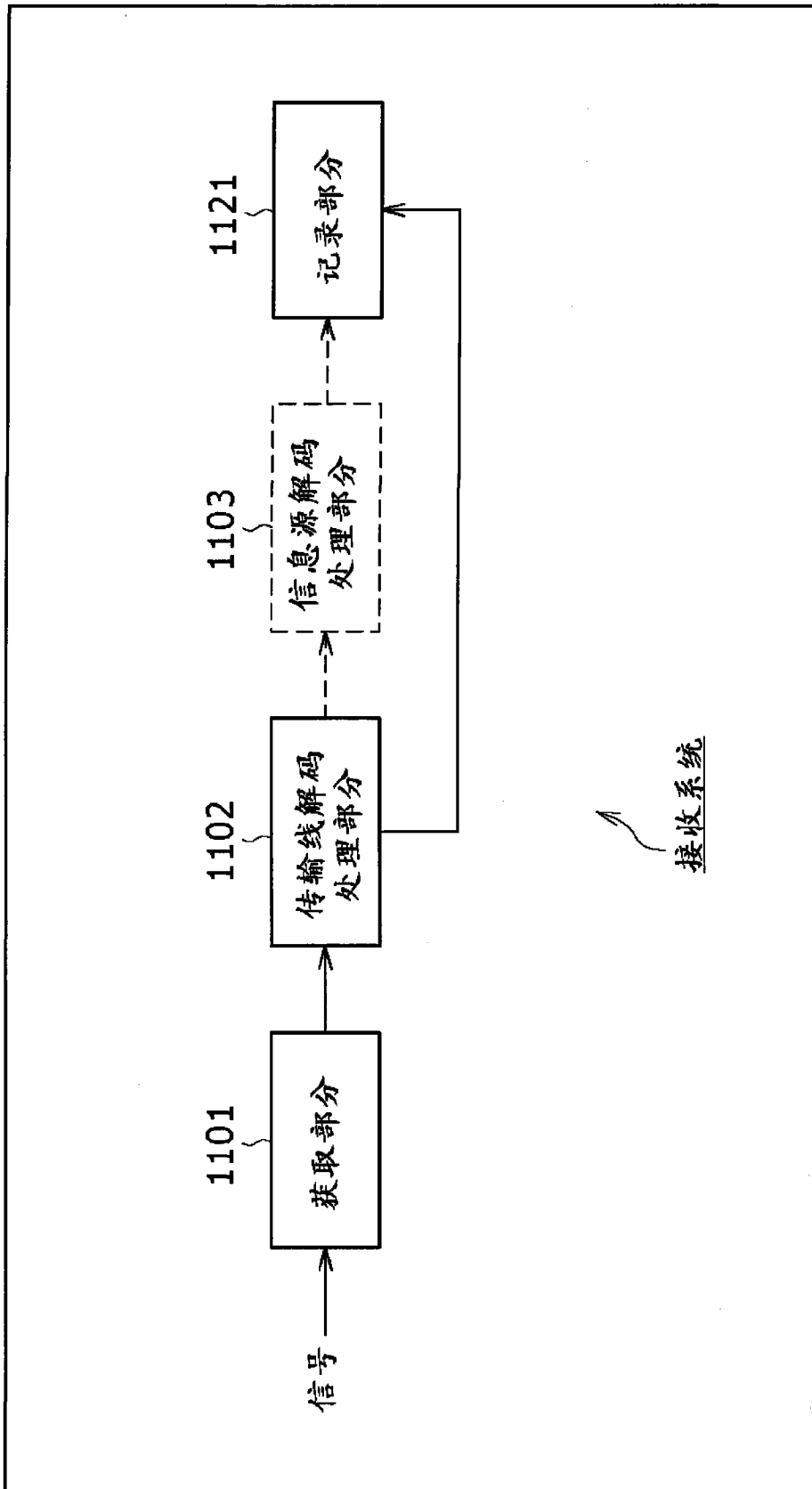


图 109