



(12) 发明专利

(10) 授权公告号 CN 114937608 B

(45) 授权公告日 2023. 08. 08

(21) 申请号 202210398244.4

H01L 23/31 (2006.01)

(22) 申请日 2022.04.15

H01L 23/488 (2006.01)

H01L 21/60 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 114937608 A

(43) 申请公布日 2022.08.23

(73) 专利权人 盛合晶微半导体(江阴)有限公司

地址 214437 江苏省无锡市江阴市长山大道78号(经营场所:江阴市东盛西路9号)

(72) 发明人 杨进 林正忠

(74) 专利代理机构 上海光华专利事务所(普通合伙) 31219

专利代理师 罗泳文

(51) Int. Cl.

H01L 21/56 (2006.01)

(56) 对比文件

CN 111883520 A, 2020.11.03

US 2020020633 A1, 2020.01.16

CN 105655310 A, 2016.06.08

CN 110197793 A, 2019.09.03

US 2015091182 A1, 2015.04.02

Ravi Mahajan等.Embedded Multi-Die Interconnect Bridge (EMIB)-A High Density, High Bandwidth Packaging Interconnect.2016 IEEE 66th Electronic Components and Technology Conference.2016,1-9.

审查员 朱孟琦

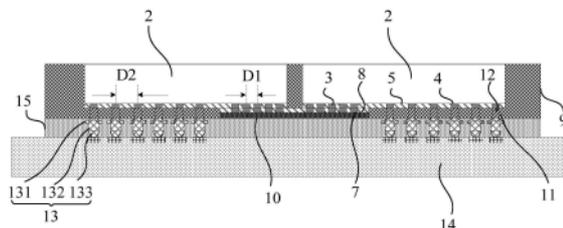
权利要求书2页 说明书7页 附图4页

(54) 发明名称

一种高密度互连的封装结构及其制备方法

(57) 摘要

本发明提供一种高密度互连的封装结构及其制备方法,包括:提供芯片,其表面具有以第一间距间隔的第一金属阵列和以第二间距间隔的第二金属阵列;提供表面具有第三金属阵列的硅连接体,将硅连接体键合至芯片表面;形成模塑层,覆盖包裹芯片和硅连接体;研磨模塑层和硅连接体,形成超薄硅;于模塑层中形成通孔并填充金属材料,金属材料与第二金属阵列一一对应相连;形成金属柱结构,将金属柱结构连接至有机衬底。本发明采用超薄硅作为中间连接体,实现了高密度互连芯片之间10um及以下间距的精细互连。在非芯片互连区域,通过在模塑层中制作通孔,不使用价格高昂的硅穿孔,进一步降低封装成本,实现高性能和高带宽的2.5D/3D集成电路封装。



1. 一种高密度互连的封装结构的制备方法,其特征在于,所述制备方法至少包括:

1) 提供至少一个芯片,所述芯片表面具有以第一间距间隔的第一金属阵列和以第二间距间隔的第二金属阵列;

2) 提供一硅连接体,所述硅连接体表面具有第三金属阵列,所述硅连接体通过所述第三金属阵列和所述第一金属阵列键合固定至所述芯片表面;

3) 形成模塑层,所述模塑层覆盖包裹所述芯片和所述硅连接体;

4) 研磨所述模塑层直至暴露所述硅连接体,继续研磨使所述硅连接体形成超薄硅;

5) 于所述模塑层中形成通孔,在所述通孔中填充金属材料,所述金属材料与所述第二金属阵列一一对应相连;

6) 在所述通孔表面形成与所述金属材料相连的金属柱结构,将所述金属柱结构连接至有机衬底;

所述步骤1)中,所述芯片表面具有第一介质层,所述第一金属阵列和第二金属阵列形成于所述第一介质层中;所述步骤2)中,所述硅连接体表面具有第二介质层,所述第三金属阵列形成于所述第二介质层中;所述步骤2)中,通过混合键合的方式将所述硅连接体键合固定至所述芯片表面,其中,所述第三金属阵列和所述第一金属阵列对应键合,所述第一介质层和所述第二介质层对应键合;

所述步骤4)中,所述超薄硅的厚度小于或者等于30um。

2. 根据权利要求1所述的高密度互连的封装结构的制备方法,其特征在于:所述步骤1)中,所述第一间距小于或者等于10um。

3. 根据权利要求1所述的高密度互连的封装结构的制备方法,其特征在于:所述步骤1)中,所述第二间距介于20um~150um之间。

4. 根据权利要求1所述的高密度互连的封装结构的制备方法,其特征在于:所述步骤5)中,所述通孔的长径比介于3:1~5:1之间。

5. 根据权利要求1所述的高密度互连的封装结构的制备方法,其特征在于:所述步骤6)中,在所述通孔表面形成与所述金属材料相连的金属柱结构的步骤包括:首先,在所述通孔表面形成与所述金属材料相连的凸块;然后,在所述凸块表面形成金属柱;最后,在所述金属柱表面形成焊帽。

6. 一种高密度互连的封装结构,其特征在于,所述封装结构采用权利要求1-5中任意一项所述的制备方法得到,所述封装结构至少包括:

至少一个芯片,所述芯片表面具有以第一间距间隔的第一金属阵列和以第二间距间隔的第二金属阵列;

超薄硅,所述超薄硅表面具有第三金属阵列,所述第三金属阵列和所述第一金属阵列对应键合固定;

模塑层,所述模塑层包裹所述芯片和所述超薄硅;

通孔,形成于所述模塑层中;

金属材料,填充于所述通孔中,所述金属材料与所述第二金属阵列一一对应相连;

金属柱结构,形成于所述通孔表面且与所述金属材料相连;

有机衬底,与所述金属柱结构相连。

7. 根据权利要求6所述的高密度互连的封装结构,其特征在于:所述第一间距小于或者

等于10um。

8. 根据权利要求6所述的高密度互连的封装结构,其特征在于:所述第二间距介于20um~150um之间。

9. 根据权利要求6所述的高密度互连的封装结构,其特征在于:所述封装结构还包括第一介质层和第二介质层,所述第一介质层形成于所述芯片表面,所述第一金属阵列和所述第二金属阵列形成于所述第一介质层中,所述第二介质层形成于所述超薄硅表面,所述第三金属阵列形成于所述第二介质层中。

10. 根据权利要求6所述的高密度互连的封装结构,其特征在于:所述通孔的长径比介于3:1~5:1之间。

11. 根据权利要求6所述的高密度互连的封装结构,其特征在于:所述金属柱结构包括凸块、金属柱及焊帽,所述凸块形成于所述通孔表面且与所述金属材料相连,所述金属柱形成于所述凸块表面,所述焊帽形成于所述金属柱表面。

一种高密度互连的封装结构及其制备方法

技术领域

[0001] 本发明属于半导体封装技术领域,特别是涉及一种高密度互连的封装结构及其制备方法。

背景技术

[0002] 随着先进硅节点(如7nm、5nm及以上)集成电路成本的急剧上升,芯片或芯片分解(die disaggregation)技术已经成为新的技术前沿。在高速和高带宽应用的驱动下,迫切需要建立高密度的芯片和芯片互连结构。英特尔提出了嵌入式多芯片互连桥(embedded multipledie interconnection bridge, EMIB),将硅桥嵌入有机衬底中,实现芯片间的精细间距互连。在这种结构中,最小的互连间距从55um减小到45um,然后再减小到36um。

[0003] 为了实现更高密度互连,目前提出了一种封装结构,是利用硅中间体(interposer),将多片芯片组装到硅中间体(interposer)上。

[0004] 但是,随着电子产业的发展,需要集成越来越多的芯片到硅中间体,中间体的大小需要进一步增加。据报道,台积电开发了2400mm²硅中间体,下一步是开发大于3000mm²的中间体。这就极大地增加了2.5/3D集成电路封装的总成本和与此尺寸增加的材料成本。

[0005] 因此,如何在有限的面积内实现高密度多芯片互连,进一步降低互连间距,是本领域技术人员需要解决的问题。

发明内容

[0006] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种高密度互连的封装结构及其制备方法,用于解决现有技术中硅中间体尺寸大、成本高且高密度互连的芯片之间互连间距宽的问题。

[0007] 为实现上述目的及其他相关目的,本发明提供一种高密度互连的封装结构的制备方法,所述制备方法至少包括:

[0008] 1) 提供至少一个芯片,所述芯片表面具有以第一间距间隔的第一金属阵列和以第二间距间隔的第二金属阵列;

[0009] 2) 提供一硅连接体,所述硅连接体表面具有第三金属阵列,所述硅连接体通过所述第三金属阵列和所述第一金属阵列键合固定至所述芯片表面;

[0010] 3) 形成模塑层,所述模塑层覆盖包裹所述芯片和所述硅连接体;

[0011] 4) 研磨所述模塑层直至暴露所述硅连接体,继续研磨使所述硅连接体形成超薄硅;

[0012] 5) 于所述模塑层中形成通孔,在所述通孔中填充金属材料,所述金属材料与所述第二金属阵列一一对应相连;

[0013] 6) 在所述通孔表面形成与所述金属材料相连的金属柱结构,将所述金属柱结构连接至有机衬底。

- [0014] 可选地,所述步骤1)中,所述第一间距小于或者等于10um。
- [0015] 可选地,所述步骤1)中,所述第二间距介于20um~150um之间。
- [0016] 可选地,所述步骤1)中,所述芯片表面具有第一介质层,所述第一金属阵列和所述第二金属阵列形成于所述第一介质层中;所述步骤2)中,所述硅连接体表面具有第二介质层,所述第三金属阵列形成于所述第二介质层中。
- [0017] 可选地,所述步骤2)中,通过混合键合的方式将所述硅连接体键合固定至所述芯片表面,其中,所述第三金属阵列和所述第一金属阵列对应键合,所述第一介质层和所述第二介质层对应键合。
- [0018] 可选地,所述步骤4)中,所述超薄硅的厚度小于或者等于30um。
- [0019] 可选地,所述步骤5)中,所述通孔的长径比介于3:1~5:1之间。
- [0020] 可选地,所述步骤6)中,在所述通孔表面形成与所述金属材料相连的金属柱结构的步骤包括:首先,在所述通孔表面形成与所述金属材料相连的凸块;然后,在所述凸块表面形成金属柱;最后,在所述金属柱表面形成焊帽。
- [0021] 本发明还提供一种高密度互连的封装结构,所述封装结构至少包括:
- [0022] 至少一个芯片,所述芯片表面具有以第一间距间隔的第一金属阵列和以第二间距间隔的第二金属阵列;
- [0023] 超薄硅,所述超薄硅表面具有第三金属阵列,所述第三金属阵列和所述第一金属阵列对应键合固定;
- [0024] 模塑层,所述模塑层包裹所述芯片和所述超薄硅;
- [0025] 通孔,形成于所述模塑层中;
- [0026] 金属材料,填充于所述通孔中,所述金属材料与所述第二金属阵列一一对应相连;
- [0027] 金属柱结构,形成于所述通孔表面且与所述金属材料相连;
- [0028] 有机衬底,与所述金属柱结构相连。
- [0029] 可选地,所述第一间距小于或者等于30um。
- [0030] 可选地,所述第二间距介于20um~150um之间。
- [0031] 可选地,所述封装结构还包括第一介质层和第二介质层,所述第一介质层形成于所述芯片表面,所述第一金属阵列和所述第二金属阵列形成于所述第一介质层中,所述第二介质层形成于所述超薄硅表面,所述第三金属阵列形成于所述第二介质层中。
- [0032] 可选地,所述超薄硅的厚度小于或者等于30um。
- [0033] 可选地,所述通孔的长径比介于3:1~5:1之间。
- [0034] 可选地,所述金属柱结构包括凸块、金属柱及焊帽,所述凸块形成于所述通孔表面且与所述金属材料相连,所述金属柱形成于所述凸块表面,所述焊帽形成于所述金属柱表面。
- [0035] 如上所述,本发明的高密度互连的封装结构及其制备方法,所述方法至少包括:提供至少一个芯片,所述芯片表面具有以第一间距间隔的第一金属阵列和以第二间距间隔的第二金属阵列;然后提供一硅连接体,所述硅连接体表面具有第三金属阵列,所述硅连接体通过所述第三金属阵列和所述第一金属阵列键合固定至所述芯片表面;接着形成模塑层,所述模塑层覆盖包裹所述芯片和所述硅连接体;接着研磨所述模塑层直至暴露所述硅连接体,继续研磨使所述硅连接体形成超薄硅;再于所述模塑层中形成通孔,在所述通孔中填充

金属材料,所述金属材料与所述第二金属阵列一一对应相连;最后在所述通孔表面形成与所述金属材料相连的金属柱结构,将所述金属柱结构连接至有机衬底。本发明采用厚度尺寸较薄的小尺寸超薄硅作为中间连接体,实现了高密度互连之间10um及以下间距D1的精细互连,在非芯片和芯片互连区域,采用较大间距D2使芯片和有机衬底连接,降低封装成本,实现高性能和高带宽的2.5D/3D集成电路封装。另外,本发明在模塑层中制作通孔,没有使用价格高昂的硅穿孔(Throughsiliconvia,TSV),可以进一步降低制造成本。

附图说明

[0036] 图1~图10为本发明高密度互连的封装结构的制备方法各个步骤所呈现的结构示意图,其中,图10为本发明高密度互连的封装结构的示意图。

[0037] 元件标号说明

[0038]	1	载体
[0039]	2	芯片
[0040]	3	第一金属阵列
[0041]	4	第二金属阵列
[0042]	5	第一介质层
[0043]	6	硅连接体
[0044]	7	第三金属阵列
[0045]	8	第二介质层
[0046]	9	模塑层
[0047]	10	超薄硅
[0048]	11	通孔
[0049]	12	金属材料
[0050]	13	金属柱结构
[0051]	131	凸块
[0052]	132	金属柱
[0053]	133	焊帽
[0054]	14	有机衬底
[0055]	15	底部填充层

具体实施方式

[0056] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0057] 请参阅附图。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0058] 实施例一

[0059] 本发明提供一种高密度互连的封装结构的制备方法,所述制备方法至少包括以下步骤:

[0060] 如图1所示,首先执行步骤1),提供至少一个芯片2,所述芯片2表面具有以第一间距D1间隔的第一金属阵列3和以第二间距D2间隔的第二金属阵列4。

[0061] 所述芯片2可以是现有的任意适用于封装的半导体芯片,可以是多个同类型或者多个不同类型的芯片,例如,可以是片上系统(SOC)器件,也可以是存储器芯片,如HBM等,在此不做限制。另外,基于封装效率、封装尺寸等的要求,一般会封装进多个所述芯片2,大多情况下,会远多于两个所述芯片2,附图中以两个所述芯片2进行展示。

[0062] 作为示例,所述第一间距D1小于或者等于10 μm 。优选地,所述第一间距介于1 μm ~10 μm 之间。在一实施例中,所述第一间距为9 μm 。在另一实施例中,所述第一间距为1 μm 。需要说明的是,第一间距D1是两个相邻金属中心之间的距离,请参照图1。

[0063] 作为示例,所述第二间距D2介于20 μm ~150 μm 之间。优选地,所述第二间距介于80 μm ~150 μm 之间。在一实施例中,所述第二间距为100 μm 。在另一实施例中,所述第二间距为120 μm 。需要说明的是,第二间距D2是两个相邻金属中心之间的距离,请参照图1。

[0064] 作为示例,如图1所示,所述芯片2表面具有第一介质层5,所述第一金属阵列3和第二金属阵列4形成于所述第一介质层5中。所述第一介质层5可以是SiO₂、SiN及SiCN中的一种或多种的组合。在本实施例中,选择SiO₂作为第一介质层5。

[0065] 作为其中的一种实施方式,可以将多个所述芯片先放置于载体1上,可以是玻璃载体,当然,也可以是其他合适的载体,在此不限。另外,包括但不限于利用PickandPlace的方法将至少一个所述芯片2置于所述玻璃载体1上。

[0066] 在执行步骤2)之前,还可以对所述芯片2表面进行化学机械抛光(CMP)工艺,以使所述第一金属阵列3、第二金属阵列4、以及第一介质层5表面平坦化。

[0067] 如图2所示,然后执行步骤2),提供一硅连接体6,所述硅连接体6表面具有第三金属阵列7,所述硅连接体6通过所述第三金属阵列7和所述第一金属阵列3键合固定至所述芯片2表面。

[0068] 作为示例,如图2所示,所述硅连接体6表面形成有第二介质层8,所述第三金属阵列7形成于所述第二介质层8中。所述第二介质层8可以是SiO₂、SiN及SiCN中的一种或多种的组合。在本实施例中,选择SiO₂作为第二介质层8。

[0069] 作为示例,如图2所示,通过混合键合的方式将所述硅连接体6键合固定至所述芯片2表面,其中,所述第三金属阵列7和所述第一金属阵列3对应键合,所述第一介质层5和所述第二介质层8对应键合。所述混合键合是晶圆键合界面既有金属又有绝缘物质的一种键合方式,晶圆间能够不使用粘接媒介物,依靠原子键结合在一起,可以实现多个芯片的内部连接,极大改善芯片性能,节省面积,降低成本,达到金属阵列间精细(Fine)间距互连的目的。

[0070] 如图3所示,接着执行步骤3),形成模塑层9,所述模塑层覆9盖包裹所述芯片2和所述硅连接体6。

[0071] 作为示例,所述模塑层9可以由环氧树脂、树脂、可塑聚合物或者类似物组成。所述模塑层9的制备方法包括但不限于压缩成型、转移成型、液体密封成型、模塑底部填充、毛

细底部填充、真空层压或旋涂等方法。

[0072] 接着执行步骤4), 研磨所述模塑层9直至暴露所述硅连接体6, 如图4所示, 继续研磨使所述硅连接体6形成超薄硅10。

[0073] 作为示例, 所述超薄硅10的厚度小于或者等于30um。通过制备如此薄的超薄硅10厚度和模塑层9厚度, 可以进一步减小封装尺寸。

[0074] 再执行步骤5), 如图5所示, 于所述模塑层9中形成通孔11, 如图6所示, 在所述通孔11中填充金属材料12, 所述金属材料12与所述第二金属阵列4一一对应相连。

[0075] 作为示例, 所述通孔11的长径比介于3:1~5:1之间。研磨之后的所述模塑层9较薄, 制作的所述通孔11的长径比较小, 优选地, 可以是3:1、4:1或者5:1等。

[0076] 作为示例, 所述金属材料12可以为铜、铝、镍、金、银、钛中等金属材料中的一种或两种及两种以上的组合。填充所述金属材料12的方法包括但不限于沉积法、电镀法等。在本实施例中, 所述金属材料12为电镀铜。

[0077] 本步骤是在模塑层9中制作通孔11, 没有使用价格高昂的硅穿孔(Throughsiliconvia, TSV), 可以进一步降低制造成本。

[0078] 最后执行步骤6), 如图7所示, 在所述通孔11表面形成与所述金属材料12相连的金属柱结构13, 再请参照图9, 将所述金属柱结构13连接至有机衬底14。

[0079] 作为其中的一种实施方式, 将所述金属柱结构13连接至有机衬底14之前, 可以先去除所述玻璃载体1, 如图8所示。

[0080] 作为示例, 在所述通孔11表面形成与所述金属材料12相连的金属柱结构13的步骤包括: 首先, 在所述通孔11表面形成与所述金属材料12相连的凸块(UBM) 131; 然后, 在所述凸块131表面形成金属柱132; 最后, 在所述金属柱132表面形成焊帽133。

[0081] 所述凸块131和金属柱132的材料包括钛、铜、镍、锡及银等金属中的一种或多种。本实施例中, 所述凸块131和金属柱132的材料选择铜。

[0082] 作为示例, 可以通过回焊(reflow) 和热压工艺(thermalcompressionbond, TCB) 工艺, 将所述金属柱结构13连接至有机衬底14。具体地, 通过回焊(reflow) 和热压工艺(thermal compressionbond, TCB) 工艺, 将所述金属柱结构13连接至有机衬底14表面的金属阵列, 实现电连。

[0083] 另外, 如图10所示, 在步骤6) 之后还可以包括在所述有机衬底14和所述模塑层9及超薄硅10之间形成底部填充层15(underfill) 以将所述金属柱结构13包覆的步骤。所述底部填充层15可提高所述有机衬底14与模塑层9及超薄硅10之间的结合强度并保护所述金属柱结构13不被污染。所述底部填充层15的材料包括但不限于聚酰亚胺、硅胶以及环氧树脂中的一种或多种, 形成所述底部填充层15的方法包括但不限于喷墨、点胶、压缩成型、传递模塑成型、液封成型、真空层压及旋涂中的一种或多种。

[0084] 本发明采用超薄硅10作为中间连接体, 实现了芯片2和芯片2之间10um及以下间距D1的精细互连, 在非芯片和芯片互连区域, 采用较大间距D2的金属阵列使芯片2和有机衬底14连接, 降低封装成本, 实现高性能和高带宽的2.5D/3D集成电路封装。

[0085] 实施例二

[0086] 如图10所示, 本发明还提供一种高密度互连的封装结构, 所述封装结构可以通过实施例一的制备方法制备获得, 所述封装结构至少包括:

[0087] 至少一个芯片2,所述芯片2表面具有以第一间距D1间隔的第一金属阵列3和以第二间距D2间隔的第二金属阵列4;

[0088] 超薄硅10,所述超薄硅10表面具有第三金属阵列7,所述第三金属阵列7和所述第一金属阵列3对应键合固定;

[0089] 模塑层9,所述模塑层9包裹所述芯片2和所述超薄硅10;

[0090] 通孔11,形成于所述模塑层9中;

[0091] 金属材料12,填充于所述通孔11中,所述金属材料12与所述第二金属阵列4一一对应相连;

[0092] 金属柱结构13,形成于所述通孔11表面且与所述金属材料12相连;

[0093] 有机衬底14,与所述金属柱结构13相连。

[0094] 作为示例,所述芯片2可以是现有的任意适用于封装的半导体芯片,可以是片上系统(SOC)器件,可以是存储器芯片,例如HBM等,在此不做限制。另外,基于封装效率、封装尺寸等的要求,一般会封装进多个所述芯片2,大多情况下,会远多于两个所述芯片2,附图中以两个所述芯片2进行展示。

[0095] 作为示例,所述第一间距小于或者等于10 μm 。优选地,所述第一间距介于5 μm ~10 μm 之间。在一实施例中,所述第一间距为6 μm 。在另一实施例中,所述第一间距为8 μm 。

[0096] 作为示例,所述第二间距介于20 μm ~150 μm 之间。优选地,所述第二间距介于80 μm ~150 μm 之间。在一实施例中,所述第二间距为100 μm 。在另一实施例中,所述第二间距为120 μm 。

[0097] 作为示例,所述封装结构还包括第一介质层5和第二介质层8,所述第一介质层5形成于所述芯片2表面,所述第一金属阵列3和所述第二金属阵列4形成于所述第一介质层5中,所述第二介质层8形成于所述超薄硅10表面,所述第三金属阵列7形成于所述第二介质层8中。所述第一介质层5和所述第二介质层8可以是SiO₂、SiN及SiCN中的一种或多种的组合。在本实施例中,选择SiO₂作为第一介质层5和第二介质层8。

[0098] 作为示例,所述超薄硅10的厚度小于或者等于30 μm 。通过制备如此薄的超薄硅10厚度和模塑层9厚度,可以进一步减小封装尺寸。

[0099] 作为示例,所述模塑层9可以由环氧树脂、树脂、可塑聚合物或者类似物组成。所述模塑层9的制备方法包括但不限于压缩成型、转移成型、液体密封成型、模塑底部填充、毛细底部填充、真空层压或旋涂等方法。

[0100] 作为示例,所述通孔11的长径比介于3:1~5:1之间。所述模塑层9较薄,制作的所述通孔11的长径比较小,优选地,可以是3:1、4:1或者5:1等。

[0101] 作为示例,所述金属材料12可以为铜、铝、镍、金、银、钛中等金属材料中的一种或两种及两种以上的组合。填充所述金属材料12的方法包括但不限于沉积法、电镀法等。在本实施例中,所述金属材料12为电镀铜。

[0102] 作为示例,所述金属柱结构13包括凸块131、金属柱132及焊帽133,所述凸块131形成于所述通孔11表面且与所述金属材料12相连,所述金属柱132形成于所述凸块131表面,所述焊帽133形成于所述金属柱132表面。所述凸块131和金属柱132的材料包括钛、铜、镍、锡及银等金属中的一种或多种。本实施例中,所述凸块131和金属柱132的材料选择铜。

[0103] 另外,所述封装结构还包括形成在所述有机衬底14和所述模塑层9及超薄硅10之

间的底部填充层15,利用所述底部填充层15将所述金属柱结构13包覆。所述底部填充层15可提高所述有机衬底14与模塑层9及超薄硅10之间的结合强度并保护所述金属柱结构13不被污染。所述底部填充层15的材料包括但不限于聚酰亚胺、硅胶以及环氧树脂中的一种或多种,形成所述底部填充层15的方法包括但不限于喷墨、点胶、压缩成型、传递模塑成型、液封成型、真空层压及旋涂中的一种或多种。

[0104] 综上所述,本发明提供一种高密度互连的封装结构及其制备方法,所述方法至少包括:首先提供至少一个芯片,所述芯片2表面具有以第一间距间隔的第一金属阵列3和以第二间距间隔的第二金属阵列4;然后提供一硅连接体6,所述硅连接体6表面具有第三金属阵列7,所述硅连接体6通过所述第三金属阵列7和所述第一金属阵列3键合固定至所述芯片2表面;接着形成模塑层9,所述模塑层9覆盖包裹所述芯片2和所述硅连接体6;接着研磨所述模塑层9直至暴露所述硅连接体6,继续研磨使所述硅连接体6形成超薄硅10;再于所述模塑层9中形成通孔11,在所述通孔11中填充金属材料12,所述金属材料12与所述第二金属阵列4一一对应相连;最后在所述通孔11表面形成与所述金属材料12相连的金属柱结构13,去除所述玻璃载体1,将所述金属柱结构13连接至有机衬底14。本发明采用超薄硅10作为中间连接体,实现了芯片2和芯片2之间10um及以下间距D1的精细互连,在非芯片和芯片互连区域,采用较大间距D2的金属阵列使芯片2和有机衬底14连接,降低封装成本,实现高性能和高带宽的2.5D/3D集成电路封装。

[0105] 所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0106] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

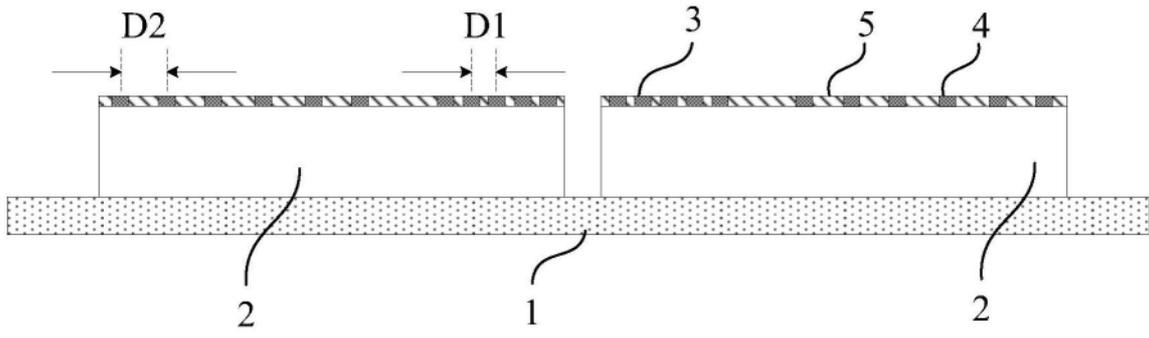


图1

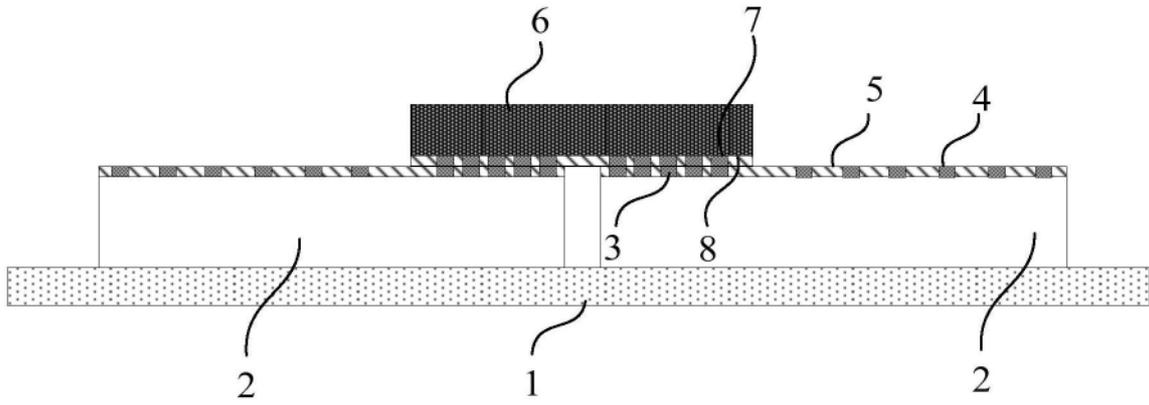


图2

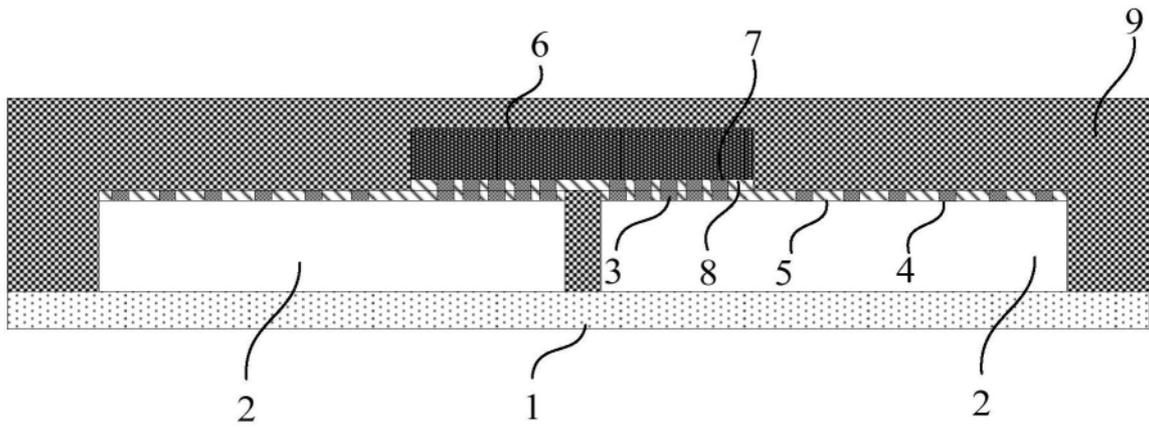


图3

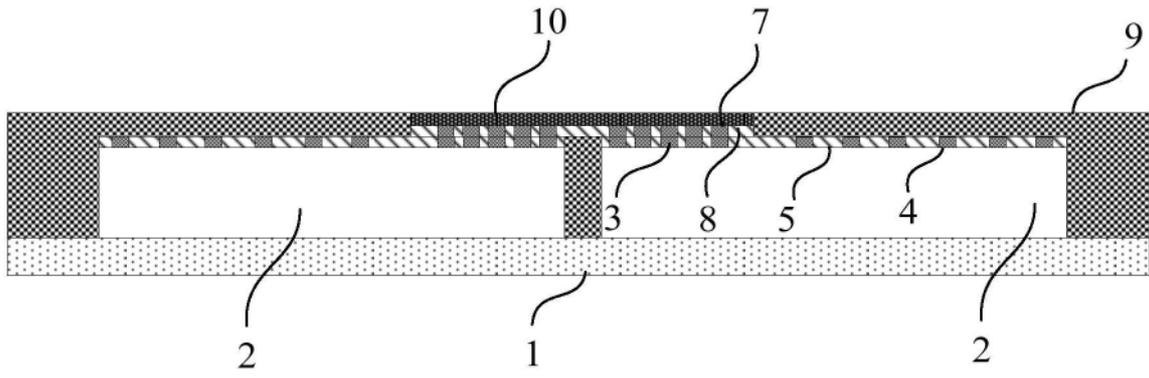


图4

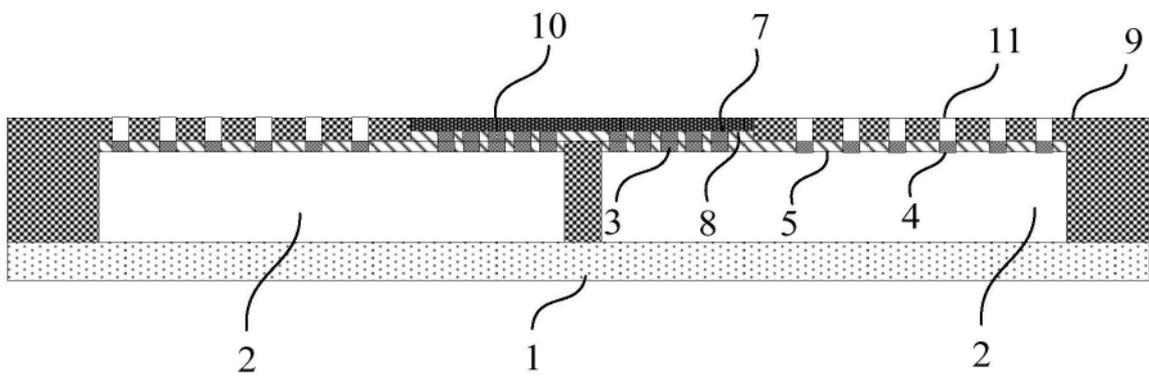


图5

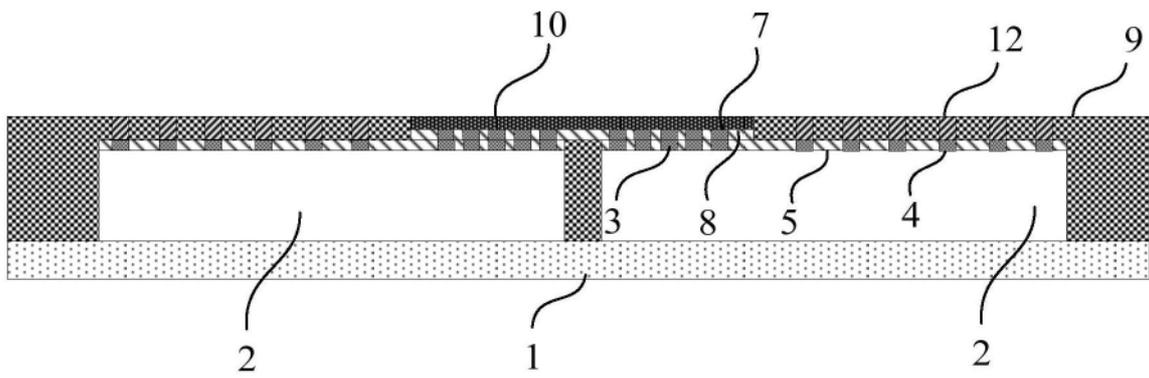


图6

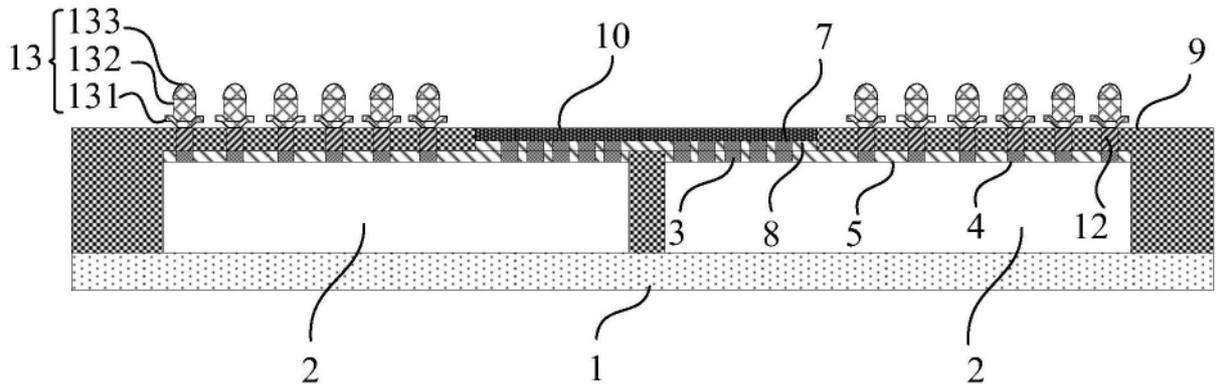


图7

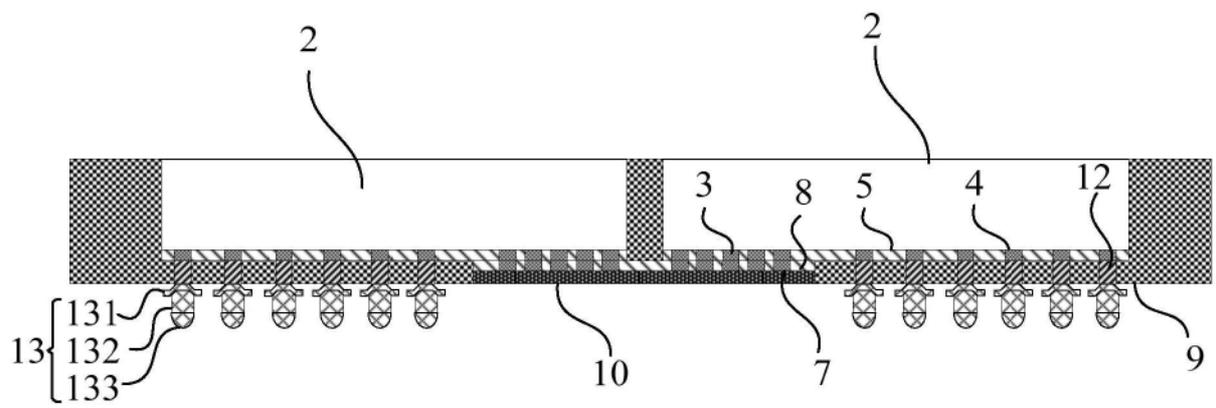


图8

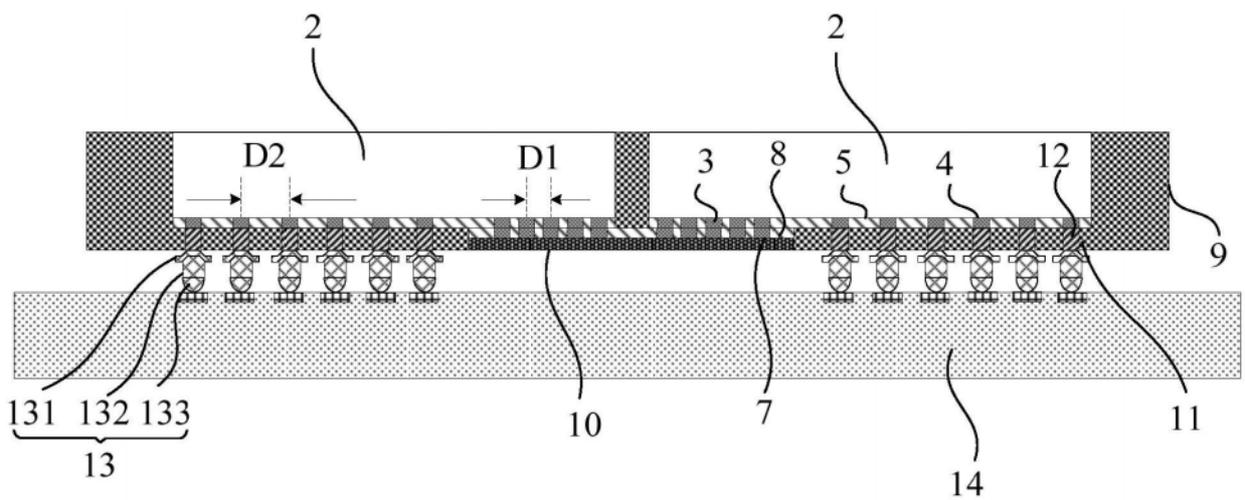


图9

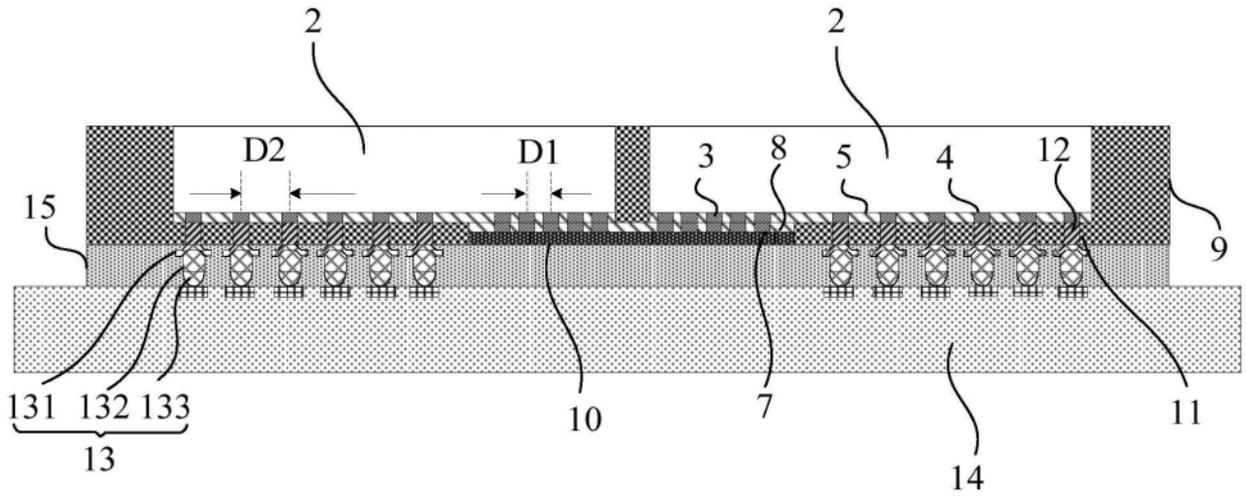


图10