

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4674844号
(P4674844)

(45) 発行日 平成23年4月20日(2011.4.20)

(24) 登録日 平成23年2月4日(2011.2.4)

(51) Int.Cl. F I
H O 1 L 21/20 (2006.01) H O 1 L 21/20

請求項の数 21 (全 12 頁)

(21) 出願番号	特願2004-241711 (P2004-241711)	(73) 特許権者	000005049
(22) 出願日	平成16年8月20日(2004.8.20)		シャープ株式会社
(65) 公開番号	特開2005-101568 (P2005-101568A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成17年4月14日(2005.4.14)	(74) 代理人	100078282
審査請求日	平成18年9月12日(2006.9.12)		弁理士 山本 秀策
(31) 優先権主張番号	10/665,944	(74) 代理人	100062409
(32) 優先日	平成15年9月19日(2003.9.19)		弁理士 安村 高明
(33) 優先権主張国	米国 (US)	(74) 代理人	100107489
			弁理士 大塩 竹志
		(72) 発明者	ジャ セン マー
			アメリカ合衆国 ワシントン 98684
			, バンクーバー, エスイー ソロモン
			ループ 1511

最終頁に続く

(54) 【発明の名称】 層転位を介して絶縁体上に緩和したシリコンゲルマニウムを作製する方法

(57) 【特許請求の範囲】

【請求項1】

絶縁体上に SiGe 層を形成する方法であって、
シリコン基板を提供するステップと、
該シリコン基板上に表面を有する SiGe 層を堆積し、それにより、Si/SiGe 界面が形成されるステップと、
該 SiGe 層の表面と該 Si/SiGe 界面との間の該 SiGe 層ヘイオンを注入し、それにより、欠乏領域が形成されるステップと、
該 SiGe 層をパターニングおよびエッチングし、それにより、パターニングされた SiGe 層が形成されるステップと、
該パターニングされた SiGe 層を絶縁体層に転位する (transfer) ステップと
を包含する、方法。

【請求項2】

前記 SiGe 層は、歪み SiGe 層である、請求項1に記載の方法。

【請求項3】

前記 SiGe 層は、緩和した SiGe 層である、請求項1に記載の方法。

【請求項4】

前記 SiGe 層は、20nm から 1000nm の間の厚さである、請求項1に記載の方法。

【請求項 5】

前記 SiGe 層は、10% から 60% の間の範囲の Ge 濃度を有する、請求項 1 に記載の方法。

【請求項 6】

前記 SiGe 層は、勾配が付けられた Ge 濃度を有する、請求項 4 に記載の方法。

【請求項 7】

前記 SiGe 層は、一定の Ge 濃度を有する、請求項 4 に記載の方法。

【請求項 8】

前記イオンは、水素、ヘリウム、あるいは、水素とアルゴン、ヘリウム、またはボロンとの組み合わせのイオンである、請求項 1 に記載の方法。

10

【請求項 9】

前記パターンングされた SiGe 層は、100 nm から 2 cm の間の寸法を含む、請求項 1 に記載の方法。

【請求項 10】

前記パターンングされた SiGe 層を転位するステップは、該パターンングされた SiGe 層の表面を第 2 の基板の上の絶縁層に結合して結合されたカプレットを形成するステップと、該カプレットを熱アニーリングして前記欠乏領域に沿って該 SiGe 層を分割するステップとを含む、請求項 1 に記載の方法。

【請求項 11】

前記 SiGe 層をアニーリングして該 SiGe 層を緩和させるステップをさらに包含する、請求項 2 に記載の方法。

20

【請求項 12】

絶縁体を覆う歪みシリコン膜を形成する方法であって、
 シリコン基板を提供するステップと、
 該シリコン基板上に表面を有する歪み SiGe 層を堆積し、それにより、Si/SiGe 界面が形成されるステップと、
 該歪み SiGe 層の表面と該 Si/SiGe 界面との間の該歪み SiGe 層へイオンを注入し、それにより、欠乏領域が形成されるステップと、
 該歪み SiGe 層をパターンングおよびエッチングし、それにより、パターンングされた歪み SiGe 層が形成されるステップと、
 該パターンングされた歪み SiGe 層を絶縁体層に転位するステップと、
 該歪み SiGe 層を緩和させ、それにより、該歪み SiGe 層が緩和した SiGe 層になるステップと、
 該緩和した SiGe 層上に歪みシリコン膜をエピタキシャルに形成するステップとを包含する、方法。

30

【請求項 13】

前記 SiGe 層は、20 nm から 1000 nm の間の厚さである、請求項 12 に記載の方法。

【請求項 14】

前記 SiGe 層は、10% から 60% の間の範囲の Ge 濃度を有する、請求項 12 に記載の方法。

40

【請求項 15】

前記 SiGe 層は、勾配が付けられた Ge 濃度を有する、請求項 14 に記載の方法。

【請求項 16】

前記 SiGe 層は、一定の Ge 濃度を有する、請求項 14 に記載の方法。

【請求項 17】

前記イオンは、水素、ヘリウム、あるいは、水素とアルゴン、ヘリウム、またはボロンとの組み合わせのイオンを含む、請求項 12 に記載の方法。

【請求項 18】

前記パターンングされた SiGe 層は、100 nm から 2 cm の間の寸法を含む、請求

50

項 1 2 に記載の方法。

【請求項 1 9】

前記パターンニングされた SiGe 層を転位するステップは、該パターンニングされた SiGe 層の表面を第 2 の基板上の絶縁層に結合して結合されたカプレットを形成するステップと、該カプレットを熱アニーリングして前記欠乏領域に沿って該 SiGe 層を分割するステップとを含む、請求項 1 2 に記載の方法。

【請求項 2 0】

前記歪み SiGe 層を緩和させるステップは、さらなる熱アニーリングを行うステップを含む、請求項 1 9 に記載の方法。

【請求項 2 1】

絶縁体上に SiGe のない歪みシリコンを形成する方法であって、
シリコン基板を提供するステップと、
該シリコン基板上に表面を有する SiGe 層を堆積し、それにより、Si/SiGe 界面が形成されるステップと、

該 SiGe 層の表面に薄いエピタキシャルなシリコン層を堆積するステップと、
該 SiGe 層の表面と該 Si/SiGe 界面との間の該 SiGe 層へ該エピタキシャルなシリコン層を介してイオンを注入し、それにより、欠乏領域が形成されるステップと、

該エピタキシャルなシリコン層および SiGe 層をパターンニングおよびエッチングし、それにより、パターンニングされた Si/SiGe 積層が形成されるステップと、

該エピタキシャルなシリコン層を第 2 の表面上の絶縁層に結合して結合されたカプレットを形成し、かつ、該カプレットを熱アニーリングして該欠乏領域に沿って該 SiGe 層を分割することによって、該パターンニングされた Si/SiGe 積層を絶縁体層に転位し、それにより、絶縁体上のシリコン上にパターンニングされた SiGe 領域が形成されるステップと、

該 SiGe 層を緩和させ、それにより、該エピタキシャルシリコンが歪みシリコン膜になるステップと、

該 SiGe 層を除去するステップと
を包含する、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、薄膜を形成する方法に関し、より詳細には、歪み Si-Ge 膜または歪みシリコン膜を形成する方法に関する。

【背景技術】

【0002】

歪み Si 膜では、二軸引っ張り歪みによりキャリア伝達特性が向上する。歪み Si 膜は、緩和した SiGe 上にシリコンをエピタキシャルに堆積することによって形成され得る。歪み Si MOSFET は、SiGe-オン-インシュレータ(SGOI)基板を用いて証明されてきた。SGOI 基板上的歪みシリコンは、100nm 以下のデバイスにおいて、歪みシリコンの高可動性に SOI 型構造の利点を組み合わせる。

【0003】

SGOI 基板を製造する方法が報告されてきた。SiGe の厚い層は、シリコンウェハ上に堆積し、勾配が付付けられた SiGe 緩衝層および Ge 濃度が一定の緩和した SiGe 層を含む。厚い SiGe 層は、その後、CMP を用いて平坦化される。その後、ウェハの分離目的で、水素が SiGe 層に注入され、微小空洞領域とも呼ばれる欠乏領域を生成する。その後、直接のウェハ結合を用いて、シリコンウェハ上の SiGe 層の表面は、第 2 のシリコンウェハ上のシリコン酸化物層の表面に結合される。その後、熱アニールを用いて、結合界面に平行に微小な割れ目を誘発することによって、水素の注入によって形成された欠乏領域において SiGe 層を分割する。ここで、第 2 のシリコンウェハは、SGO

10

20

30

40

50

I基板に対応する、絶縁シリコン酸化物層および歪みSiGe層を有するシリコン基板を含む。SiGe層のさらなる研磨は、欠乏領域の残りの部分によって生じる表面の粗さを除去することが必要となり得る。

【0004】

SiGeのない歪みシリコン膜を生成する方法もまた、説明されてきた。この技術は、上述の方法と同様であり、水素の注入およびウェハの結合の前に、緩和したSiGe上にエピタキシャルなシリコンの層を堆積するさらなるステップを有する。ウェハの結合および分割の後に、SiGe層は、シリコン酸化物表面上の歪みSiの層を残して、除去される。

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

上述の技術は全て、所望されるよりも厚いSiGe層を含み、1つまたは2つの複雑なCMPプロセスを必要とし得る。

【課題を解決するための手段】

【0006】

(本発明の要旨)

したがって、歪みを誘発するSiGe層を用いて歪みシリコン膜を形成する方法に関連して、絶縁体上にSiGe層を形成する方法が提供される。例えば、SiGe層は、基板を提供し、基板の上にSiGeの層を堆積することによって、絶縁体上に形成される。その後、欠乏領域が、イオン注入によってSiGe層に形成される。SiGe層は、第2の基板上に形成される絶縁体の表面に結合することに適した表面を有する。しかしながら、結合の前に、SiGe層は、互いに部分的に絶縁されたSiGe領域を生成するために、パターニングされ、エッチングされる。この部分的な絶縁は、続くアニーリングプロセスによって引き起こされ得る剥離およびふくれ(blistering)のような損傷を低減するために提供される。この2つの互いに結合された基板は、カプレット(対)を形成する。このカプレットは、このカプレットをアニーリングすることによって、SiGe層に形成される欠乏領域に沿って分割される。結果として生じる構造は、第2の基板上の絶縁体上にSiGe領域を有する。最初に提供された基板は、もはや必要とされない。好ましくは、このSiGe領域は形成される際に歪んでいるため、分割アニールおよび続くアニーリングは、SiGe領域を緩和させる。

20

30

【0007】

所望であれば、これらの緩和したSiGe領域上に、シリコンがエピタキシャルに形成される。ここで、結果として生じるシリコンは、歪みシリコンである。これは、絶縁体上の緩和したSiGe層の上に歪みシリコンを含む構造を生成する。

【0008】

別の実施形態では、第2の基板への転位の前に、SiGe層の上に、シリコン層が形成される。イオンを注入することによって、SiGe層に、欠乏領域が形成される。シリコン層およびSiGe層の両方がパターニングされ、その後、シリコン層は第2の基板を覆う絶縁体に結合される。分割アニールおよびあらゆる続く緩和したアニーリングステップの間にSiGe層が緩和される際に、SiGe層の緩和は、シリコン層における歪みを誘導することになる。一旦残りのSiGe層が除去されると、絶縁体構造の上の歪みシリコンが、残ることになる。

40

【0009】

本発明による方法は、絶縁体上にSiGe層を形成する方法であって、シリコン基板を提供するステップと、該シリコン基板上に表面を有するSiGe層を堆積し、それにより、Si/SiGe界面が形成されるステップと、該SiGe層の表面と該Si/SiGe界面との間の該SiGe層へイオンを注入し、それにより、欠乏領域が形成されるステップと、該SiGe層をパターニングおよびエッチングし、それにより、パターニングされたSiGe層が形成されるステップと、該パターニングされたSiGe層を絶縁体層に転

50

位するステップとを包含し、これにより上記目的を達成する。

【0010】

前記SiGe層は、歪みSiGe層であってもよい。

【0011】

前記SiGe層は、緩和したSiGe層であってもよい。

【0012】

前記SiGe層は、20nmから1000nmの間の厚さであってもよい。

【0013】

前記SiGe層は、10%から60%の間の範囲のGe濃度を有してもよい。

【0014】

前記SiGe層は、勾配が付けられたGe濃度を有してもよい。

【0015】

前記SiGe層は、一定のGe濃度を有してもよい。

【0016】

前記イオンは、水素、ヘリウム、あるいは、水素とアルゴン、ヘリウム、またはボロンとの組み合わせのイオンであってもよい。

【0017】

前記パターンニングされたSiGe層は、100nmから2cmの間の寸法を含んでもよい。

【0018】

前記パターンニングされたSiGe層を転位するステップは、該パターンニングされたSiGe層の表面を第2の基板上の絶縁層に結合して結合されたカプレットを形成するステップと、該カプレットを熱アニーリングして前記欠乏領域に沿って該SiGe層を分割するステップとを含んでもよい。

【0019】

前記SiGe層をアニーリングして該SiGe層を緩和させるステップをさらに包含してもよい。

【0020】

本発明による方法は、絶縁体を覆う歪みシリコン膜を形成する方法であって、シリコン基板を提供するステップと、該シリコン基板上に表面を有する歪みSiGe層を堆積し、それにより、Si/SiGe界面が形成されるステップと、該歪みSiGe層の表面と該Si/SiGe界面との間の該歪みSiGe層へイオンを注入し、それにより、欠乏領域が形成されるステップと、該歪みSiGe層をパターンニングおよびエッチングし、それにより、パターンニングされた歪みSiGe層が形成されるステップと、該パターンニングされた歪みSiGe層を絶縁体層に転位するステップと、該歪みSiGe層を緩和させ、それにより、該歪みSiGe層が緩和したSiGe層になるステップと、該緩和したSiGe層上に歪みシリコン膜をエピタキシャルに形成するステップとを包含し、上記目的を達成する。

【0021】

前記SiGe層は、20nmから1000nmの間の厚さであってもよい。

【0022】

前記SiGe層は、10%から60%の間の範囲のGe濃度を有してもよい。

【0023】

前記SiGe層は、勾配が付けられたGe濃度を有してもよい。

【0024】

前記SiGe層は、一定のGe濃度を有してもよい。

【0025】

前記イオンは、水素、ヘリウム、あるいは、水素とアルゴン、ヘリウム、またはボロンとの組み合わせのイオンを含んでもよい。

【0026】

10

20

30

40

50

前記パターンニングされたSiGe層は、100nmから2cmの間の寸法を含んでもよい。

【0027】

前記パターンニングされたSiGe層を転位するステップは、該パターンニングされたSiGe層の表面を第2の基板上の絶縁層に結合して結合されたカプレットを形成するステップと、該カプレットを熱アニーリングして前記欠乏領域に沿って該SiGe層を分割するステップとを含んでもよい。

【0028】

前記歪みSiGe層を緩和させるステップは、さらなる熱アニーリングを行うステップを含んでもよい。

【0029】

本発明による方法は、絶縁体上にSiGeのない歪みシリコンを形成する方法であって、シリコン基板を提供するステップと、該シリコン基板上に表面を有するSiGe層を堆積し、それにより、Si/SiGe界面が形成されるステップと、該SiGe層の表面に薄いエピタキシャルなシリコン層を堆積するステップと、該SiGe層の表面と該Si/SiGe界面との間の該SiGe層へ該エピタキシャルなシリコン層を介してイオンを注入し、それにより、欠乏領域が形成されるステップと、該エピタキシャルなシリコン層およびSiGe層をパターンニングおよびエッチングし、それにより、パターンニングされたSi/SiGe積層が形成されるステップと、該エピタキシャルなシリコン層を第2の表面上の絶縁層に結合して結合されたカプレットを形成し、かつ、該カプレットを熱アニーリングして該欠乏領域に沿って該SiGe層を分割することによって、該パターンニングされたSi/SiGe積層を絶縁体層に転位し、それにより、絶縁体上のシリコン上にパターンニングされたSiGe領域が形成されるステップと、該SiGe層を緩和させ、それにより、該エピタキシャルシリコンが歪みシリコン膜になるステップと、該SiGe層を除去するステップとを包含し、これにより上記目的を達成し、これにより上記目的を達成する。

【発明の効果】

【0030】

歪みを誘発するSiGe層を用いて歪みシリコン膜を形成する方法に関連して、絶縁体上にSiGe層を形成する方法を提供することができる。

【発明を実施するための最良の形態】

【0031】

(本発明の詳細な説明)

図1は、シリコン基板10を覆うシリコンゲルマニウム(SiGe)層12を示す断面図である。SiGe層は、約20nmから約1000nmの間の厚さを有する。SiGe層は、好ましくは、歪みSiGe材料であり、Ge濃度は、約10%から約60%の間の範囲にある。SiGe層は、階段状のGe定数か、または、固定Ge定数のどちらかを有し得る。

【0032】

図2は、好ましくはSiGe層に欠乏領域14を生成するためのSiGe層12へのイオン注入の後の、SiGe/Se構造を示す。このイオンは、例えば、水素、ヘリウム、あるいは、水素とアルゴン、ヘリウム、またはボロンとの組み合わせであり得る。例えば、水素が利用される場合、このイオンは、約1keVから約300keVの間の範囲のエネルギーで、約 1×10^{16} から約 5×10^{17} の間の範囲の量の、 H^+ または H_2^+ であり得る。欠乏領域14は、最大注入イオン濃度の領域に対応する。

【0033】

図3に示されるように、SiGe層は、パターンニングされ、エッチングされる。結果として生じるSiGe領域22は、ミクロン以下、例えば、100nmから1cmを越える範囲の寸法を有し得る。SiGe層をパターンニングすることは、続く処理の間に、SiGe膜に生成される応力を低減する。これらの応力を低減することは、続く緩和プロセスに

10

20

30

40

50

よって引き起こされるふくれおよび剥離を低減、または、排除する。

【0034】

本発明の方法のある実施形態において、ここで、SiGe領域は、CMP研磨なく、接触結合のための準備ができています。別の実施形態では、CMP研磨を用いて、接触結合のためのSiGe領域をさらに準備し得る。例えば、シリコン酸化物の絶縁層を有する第2の基板が提供される。SiGe領域の表面は、絶縁体層の表面と接触して配置され、カプレットを形成するように結合される。このカプレットは、親水性結合のような直接のウェハ結合を介して形成される。この手順では、SiGe領域および絶縁体層の両方の表面が、改変された(modified)SC-1洗浄溶液($H_2O : H_2O_2 : NH_4OH = 5 : 1 : 1$)によって洗浄され、蒸留した H_2O ですすぎ処理される。スピン乾燥の後、両方の表面が親水性になる。乾燥したウェハは、周囲の温度で一定にされる。この結合は、僅かに圧縮することによって小さな領域で開始する。結合領域は、数秒で両方のウェハの界面を介して広がり、結合されたカプレットを形成する。結果として生じるカプレット28が、図4に示される。説明のために、SiGe領域22が絶縁体層32に接触するように、SiGe領域22を含むウェハが、絶縁層32を有する基板30の上で上下が反転されるように示される。ウェハを洗浄し、かつ、結合する方法が上述されたが、異なる洗浄薬品またはプロセスを用いる接触結合の他の方法が利用され得る。

10

【0035】

その後、このカプレットは、このカプレットを約350 から約700 の間の温度で約30分から約4時間熱アニーリングすることによって、分割される。明らかに、この熱アニーリングプロセスは、結合界面に平行に微小な割れ目を誘発することによって、水素注入により形成される欠乏領域でSiGe層を分割する。分割の後、SiGe領域22の一部は、図5に示されるように、基板30を覆う絶縁体層32に結合されたままである。カプレットの残りの部分は、更なる処理にもはや必要ではなく、再利用されてもよいし、破棄されてもよい。

20

【0036】

カプレットを分割するアニーリングのプロセスは、SiGe領域22を部分的に緩和させる。より高温でのさらなるアニーリングを用いて、分割の後に、SiGe領域22をさらに緩和させ得る。図7は、温度の関数として緩和を示す。白丸60は、650 における、分割プロセスの後の緩和に対応する。黒丸62は、780 における、約1時間のポスト分割アニーリングに対応する。三角64は、950 における約30分間の、さらなるアニーリングの後の緩和に対応する。

30

【0037】

カプレットの分割アニールの後、図6に示されるように、シリコン34の層が、SiGe領域22の上にエピタキシャルに堆積し得る。ある実施形態では、シリコン34の層を堆積する前に、SiGe領域22は、まず、約50%の緩和を越えて緩和され、好ましくは、約75%の緩和を越えて緩和される。緩和したSiGe上にシリコンをエピタキシャルに形成することによって、形成されるシリコンは、歪みSiとなる。別の実施形態では、シリコンの層は、分割の後に堆積され、その後、さらなる緩和アニーリングが適用されて、SiGeをさらに緩和させる。分割アニールは、堆積されるシリコンが歪まされるようにSiGeを緩和させ得るが、SiGeのさらなる緩和は、堆積したシリコン層へさらなる歪みを誘発することになる。

40

【0038】

図8は、緩和アニール後のパターンニングされたSiGeを示す。説明のために、この例では、チェス盤のパターンが用いられる。他の形状およびパターンが可能である。SiGeは、SiGe領域22が形成されるように、パターンニングされ、エッチングされる。緩和アニーリングプロセスの間に、残りの応力が、これらのフィーチャのエッジに伝播し、それにより、SiGe材料における剥離およびふくれを低減または排除する。図8に示されるチェス盤パターンは、 $4\mu m \times 4\mu m$ パターン、および $16\mu m \times 16\mu m$ パターンの両方を用いて、剥離またはふくれの低減および排除を証明した。 $125\mu m \times 125$

50

μm と同程度の大きさの緩和したSiGeの領域は、明らかな剥離またはふくれなく形成された。 $1\text{cm} \times 1\text{cm}$ より大きい領域が可能であることが期待される。

【0039】

説明および図示された2つのパターンは、例示の目的のみである。多様なパターンを用いて、SiGe転位(transfer)および緩和プロセスによる損傷を誘発する応力を低減または排除し得る。

【0040】

さらに、歪みシリコンを形成するためにパターンニングされた歪みSiGeを転位する(transfer)方法の別の実施形態が提供される。図9は、シリコン基板10を覆うシリコンゲルマニウム(SiGe)層12を示す断面図である。SiGe層は、約20nmから約1000nmの間の厚さを有する。好ましくは、SiGe層は、歪みSiGe材料であり、Ge濃度は、約10%から約60%の間の範囲にある。SiGe層は、勾配が付けられたGe定数または固定Ge定数のどちらかを有し得る。エピタキシャルシリコン層16は、SiGe層12上に堆積される。エピタキシャルシリコン層16は、好ましくは、約10nmから約25nmの厚さである。

10

【0041】

図10は、好ましくはSiGe層内における欠乏領域14を生成するためのSiGe層12へのイオン注入の後のSi/SiGe/Si構造を示す。例えば、イオンは、水素、ヘリウム、あるいは、水素とアルゴン、ヘリウム、またはボロンとの組み合わせであり得る。例えば、水素が用いられる場合、このイオンは、約1keVから約300keVの間の範囲のエネルギーで、約 1×10^{16} から約 5×10^{17} の間の範囲の量の、 H^+ または H_2^+ であり得る。欠乏領域14は、最大注入イオン濃度の領域に対応する。

20

【0042】

図11に示されるように、Si/SiGe積層は、パターンニングされ、エッチングされる。このエッチングは、SiGe領域22およびSi表面領域26を含むSi/SiGe積層24を生成する。Si/SiGe積層24は、ミクロン以下、例えば、100nmから1cmを越える範囲の寸法を有し得る。Si/SiGe積層をパターンニングすることは、続く処理の間に、SiGe領域22およびおそらくはシリコン領域に生成される応力を低減する。これらの応力を低減することは、続く緩和プロセスによって引き起こされるふくれおよび剥離を低減、または、排除する。

30

【0043】

本発明の方法のある実施形態では、ここで、Si表面領域は、CMP研磨なく、接触結合のための準備ができている。別の実施形態では、CMP研磨を用いて、接触結合のためにSi/SiGe積層24上にSi表面領域26をさらに準備し得る。絶縁層(例えば、シリコン酸化物)を有する第2の基板が提供される。Si表面領域26は、絶縁体層の表面と接触して配置され、カプレットを形成するように結合される。このカプレットは、親水性結合のような直接のウェハ結合を介して形成される。この手順では、Si表面領域および絶縁体層の両方が、改変された(modified)SC-1洗浄溶液($\text{H}_2\text{O}:\text{H}_2\text{O}_2:\text{NH}_4\text{OH}=5:1:1$)によって洗浄され、蒸留した H_2O ですすぎ処理される。スピン乾燥の後、両方の表面が親水性になる。乾燥したウェハは、周囲の温度で一定にされる。この結合は、僅かに圧縮することによって小さな領域で開始する。結合領域は、数秒で両方のウェハの界面を介して広がり、結合されたカプレットを形成する。結果として生じるカプレット28が、図12に示される。説明のために、Si表面領域26が絶縁体層32に接触するように、Si/SiGe積層24を含むウェハが、絶縁層32を有する基板30の上で上下が反転されるように示される。ウェハを洗浄し、かつ、結合する方法が上述されたが、異なる洗浄薬品またはプロセスを用いる接触結合の他の方法が利用され得る。

40

【0044】

その後、このカプレットは、このカプレットを約350 から約700 の間の温度で約30分から約4時間熱アニーリングすることによって、分割される。明らかに、この熱

50

アニーリングプロセスは、結合界面に平行に微小な割れ目を誘発することによって、イオン注入により形成される欠乏領域でSiGe層を分割する。分割の後、Si/SiGe積層24の一部分は、図13に示されるように、基板30を覆う絶縁体層32に結合されたSi表面26を有したままである。カプレットの残りの部分は、更なる処理にもはや必要ではなく、再利用されてもよいし、破棄されてもよい。

【0045】

カプレットを分割するアニーリングのプロセスは、SiGe領域22を部分的に緩和させる。より高温でのさらなるアニーリングを用いて、分割の後に、SiGe領域22をさらに緩和させ得る。分割アニール間のSiGe領域22の緩和は、Si表面26に歪みを誘発することになる。さらに、緩和アニーリングは、SiGe領域をさらに緩和させ、対応するようにSi表面の歪みを増加させることになる。

10

【0046】

図14に示されるように、一旦SiGe領域が、約50%より大きいレベル、好ましくは75%よりも大きいレベルで緩和されると、SiGe領域22が除去される。例えば、 H_2O 、 HCl および H_2O_2 (SC-1)を含有する溶液を用いて、約25から約80の間で、SiGe領域22が除去され得、絶縁体上にSi表面領域のみを残す。SiGe領域22の緩和によってSi表面領域26に誘発された歪みにより、残りのSi表面領域26は、歪みシリコン領域として残ることになる。このプロセスは、絶縁体上に歪みシリコンを形成する手段を提供する。

【0047】

20

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。

【0048】

(要約)

絶縁体を覆うSiGe層を形成する方法が提供される。SiGe層は、基板上に堆積され、イオンが注入されて、その表面の下のSiGe材料内に欠乏領域を形成する。SiGe層は、その後、第2の基板の上の絶縁体に接触結合することによってパターンングされ、転位される。接触結合した後、この構造は、欠乏領域に沿ってSiGe層を分割するためにアニーリングされる。分割アニールは、SiGe層を緩和させる。より高温でのさらなるアニーリングを用いて、さらにSiGe層を緩和させ得る。歪みシリコン層は、絶縁体上に結果として生じる緩和したSiGeの構造上に、エピタキシャルに堆積され得る。パターンングの前にSiGe層上にシリコン層をエピタキシャルに堆積する別の方法が提供される。シリコン層は、第2の基板の上の絶縁体に結合される。あれば、分割アニールおよびさらなるアニールは、シリコン層へ歪みを誘発することになる。シリコン層は、SiGe層が除去された後、絶縁体上に残る。

30

【図面の簡単な説明】

【0049】

40

【図1】図1は、本発明の方法の実施形態におけるステップを示す断面図である。

【図2】図2は、本発明の方法の実施形態におけるステップを示す断面図である。

【図3】図3は、本発明の方法の実施形態におけるステップを示す断面図である。

【図4】図4は、本発明の方法の実施形態におけるステップを示す断面図である。

【図5】図5は、本発明の方法の実施形態におけるステップを示す断面図である。

【図6】図6は、本発明の方法の実施形態におけるステップを示す断面図である。

【図7】図7は、温度の関数としてSiGeの緩和のプロットである。

【図8】図8は、本発明の方法に関連して形成されるあるパターンの実施形態の例である。

【図9】図9は、本発明の方法の実施形態におけるステップを示す断面図である。

50

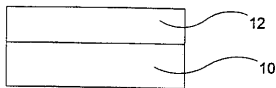
【図10】図10は、本発明の方法の実施形態におけるステップを示す断面図である。
 【図11】図11は、本発明の方法の実施形態におけるステップを示す断面図である。
 【図12】図12は、本発明の方法の実施形態におけるステップを示す断面図である。
 【図13】図13は、本発明の方法の実施形態におけるステップを示す断面図である。
 【図14】図14は、本発明の方法の実施形態におけるステップを示す断面図である。

【符号の説明】

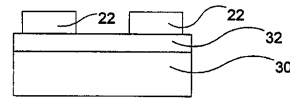
【0050】

- 10 シリコン基板
- 12 SiGe層
- 14 欠乏領域
- 22 SiGe層
- 30 基板
- 32 絶縁体層
- 34 シリコン

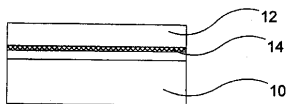
【図1】



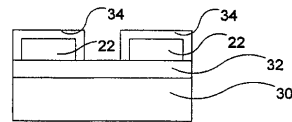
【図5】



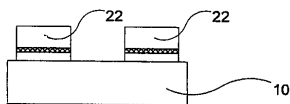
【図2】



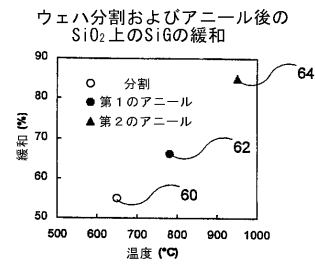
【図6】



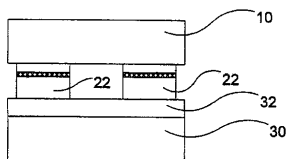
【図3】



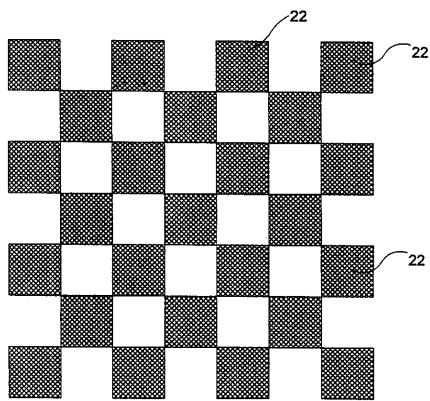
【図7】



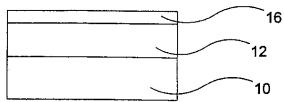
【図4】



【図 8】



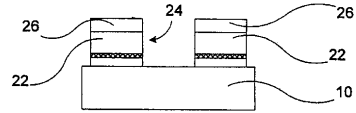
【図 9】



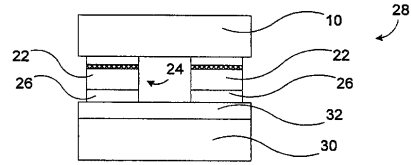
【図 10】



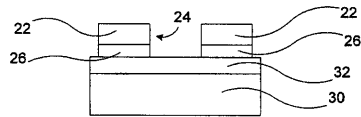
【図 11】



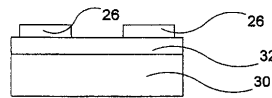
【図 12】



【図 13】



【図 14】



フロントページの続き

- (72)発明者 ジョン ジャン リー
アメリカ合衆国 ワシントン 98607, カマス, エヌダブリュー 32エヌディー アベ
ニュー 2525
- (72)発明者 ダグラス ジェー. ツイート
アメリカ合衆国 ワシントン 98607, カマス, エヌダブリュー 34ティーエイチ サ
ークル 2715
- (72)発明者 シェン テン スー
アメリカ合衆国 ワシントン 98607, カマス, エヌダブリュー トラウト コート 2
216

審査官 太田 一平

- (56)参考文献 特開2001-284558(JP,A)
特開2001-351869(JP,A)
特表2004-510350(JP,A)
特開2003-273017(JP,A)
特開2004-014878(JP,A)
特開2004-128185(JP,A)
特開2005-093753(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20
H01L 27/12
H01L 21/02
H01L 23/52
H01L 21/76
H01L 21/265
H01L 21/00 - 21/16